

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4398587号
(P4398587)

(45) 発行日 平成22年1月13日(2010.1.13)

(24) 登録日 平成21年10月30日(2009.10.30)

(51) Int.Cl. F I
G O 1 D 3/02 (2006.01) G O 1 D 3/02 Z

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2000-531708 (P2000-531708)	(73) 特許権者	593118586
(86) (22) 出願日	平成10年7月31日 (1998.7.31)		アメリカン・エレクトロニック・コンポー
(65) 公表番号	特表2002-503804 (P2002-503804A)		ネッツ・インコーポレーテッド
(43) 公表日	平成14年2月5日 (2002.2.5)		Durakool Incorporated
(86) 国際出願番号	PCT/US1998/016076		ed
(87) 国際公開番号	W01999/041569		アメリカ合衆国インディアナ州46515
(87) 国際公開日	平成11年8月19日 (1999.8.19)		, エルクハート, カウンティ・ロード・6
審査請求日	平成17年4月7日 (2005.4.7)		23590
(31) 優先権主張番号	09/023,136	(74) 代理人	100089705
(32) 優先日	平成10年2月12日 (1998.2.12)		弁理士 社本 一夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100071124
			弁理士 今井 庄亮
		(74) 代理人	100076691
			弁理士 増井 忠式

最終頁に続く

(54) 【発明の名称】 センサ出力信号を自動補償する電子回路

(57) 【特許請求の範囲】

【請求項 1】

センサ出力信号を動的に補償する電子回路(600)であって、
 補償されていないアナログ信号であるセンサ出力信号を受け取る端子(602)と、
 前記補償されていないアナログ信号であるセンサ出力信号を受け取り、前記センサ出力
 信号からDCオフセット値を自動的に決定するDCオフセット回路(608、610、6
 12)と、

前記補償されていないセンサ出力信号と前記DCオフセット値とを受け取り、前記補償
 されていないセンサ出力信号と前記DCオフセット値とを比較して、前記DCオフセット
 値に関して補償されたセンサ出力信号を動的に生成するコンパレータ(606)と、
 を備えていることを特徴とする電子回路。

10

【請求項 2】

請求項1記載の電子回路(600)において、前記DCオフセット回路(608、61
 0、612)はアナログ・デジタル・コンバータ(608)を含むことを特徴とする電子
 回路。

【請求項 3】

請求項2記載の電子回路(600)において、前記DCオフセット回路(608、61
 0、612)はマイクロプロセッサ(610)を含むことを特徴とする電子回路。

【請求項 4】

請求項1記載の電子回路(600)において、前記補償されたセンサ出力信号はアナロ

20

グ信号であることを特徴とする電子回路。

【請求項 5】

請求項 4 記載の電子回路 (600) において、前記 DC オフセット回路 (608、610、612) はデジタル・アナログ・コンバータ (612) を含むことを特徴とする電子回路。

【請求項 6】

請求項 1 記載の電子回路 (600) において、前記 DC オフセット回路 (608、610、612) は起動時に所定の DC オフセット・レベルを提供する手段 (608、610、612) を含むことを特徴とする電子回路。

【請求項 7】

請求項 6 記載の電子回路 (600) において、前記所定の DC オフセット・レベルは前記コンパレータ (606) の動作範囲の約半分であるように選択されることを特徴とする電子回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路に関する。更に詳しくは、本発明は、条件変化に起因するセンサの出力信号における変動を自動的に補償する電子回路に関する。

【0002】

【従来の技術】

線形変位型のセンサなど多くの既知のセンサが、特定の応用例に起因する理想的とはいえない状態で用いられることは知られている。例えば、自動車の分野に应用されるセンサは、特に厳しい環境にさらされる。そのようなセンサの例としては、自動車のタイミング回路において用いられる近接 (proximity) センサや、自動車のスロットル回路において用いられるスロットル位置センサがある。

【0003】

【発明が解決しようとする課題】

比較的厳しい環境やそれ以外の動的な要因が原因となり、これらのセンサの出力信号にエラー (誤差) が生じる。このようにセンサの出力信号にエラーが生じると、これらのセンサが用いられている回路の動作が不適切なものとなる可能性がある。従って、そのようなエラーが補償されるようなセンサや回路がこれまでに開発されてきている。例えば、米国特許第 4,893,502 号及び第 5,332,965 号は、スロットル位置センサに関するものである。米国特許第 4,893,502 号及び第 5,332,965 号などに開示されているスロットル位置センサでは、機械的な調整を行うことによって様々なエラーを補償するように構成されている。不運なことに、このような機械的な調整には比較的時間がかり面倒であって、製品の製造に要する人件費を全体的に増加させる傾向を有する。更に、このようなセンサでは、ある時点でのみ調整がなされるようになっている。従って、センサが動作する際のエアギャップや温度の変動など、動的な条件は補償されないままとなり、出力信号にエラーが生じうる。

【0004】

【課題を解決するための手段】

本発明による電子回路は、条件の変動を自動的に補償する。特に、この電子回路は、センサのアナログ出力信号の磁気的な DC オフセット・レベルを動的に判断する。DC 振幅すなわちオフセット・レベルは、速度、エアギャップ、アライメント、温度などの条件が変化することの結果として変動する。この回路は、コンパレータを用いて、磁気 DC オフセット・レベルを元のセンサ・アナログ出力信号と比較して、DC オフセットがゼロであるデジタル出力信号を提供する。これによって、条件の変動が補償される。

【0005】

【発明の実施の形態】

本発明によると、例えば、線形ホール効果センサであるアレグロ社製のモデル番号 351

10

20

30

40

50

6など、ほとんどどのような線形センサと共にでも用いられるように構成された動的な回路が提供される。この電子回路は、磁石に対するセンサの構成や、エア・ギャップ、温度シフト、機械的な重なり状態、センサ用のパッケージないでのずれなど、それ以外のファクタの結果として生じるセンサ出力信号におけるDCオフセットを自動的に補償する。これらのファクタは、センサ出力信号の振幅を、特に、センサ出力信号のDCオフセット・レベルを変化させる原因となることが知られている。この出願において信号のDCオフセットというのは、ゼロ・ボルトに対する信号のDC又は平均値を意味する。この実施例では、センサ出力信号のDCオフセットが決定されると、コンパレータを用いて元の信号と比較され、DCオフセットがゼロである対称的な出力信号が自動的に提供される。従って、この実施例では、センサの手動によるDCオフセットの調整は、もはや必要ない。

10

【0006】

本発明の重要な特徴は、センサ出力信号がリアルタイムに処理されるということである。後述するように、この回路には、信号のDCオフセットを判断するマイクロプロセッサが組み込まれている。センサ出力がアナログであるような実施例では、DCオフセット・レベルは、アナログ信号をデジタル化すると平行してDCオフセット・レベルが判断される。DCオフセット・レベルは高速のコンパレータに与えられ、元の入力信号と比較される。元の信号が直接に高速のコンパレータに与えられるので、このシステムは、マイクロプロセッサに付随する計算時間遅延に影響されない。図1を参照すると、センサ出力信号からのDCオフセットを自動的に補償する自動動的補償回路600が図解されている。図1に示されているように、アナログ入力信号が、例えば、入力端子602に与えられる。ここでは、このアナログ入力信号は、任意の線形信号であるか、又は、正弦(シヌソイダル)若しくはそれ以外の信号の線形部分でありうる。図1に示されているように、入力アナログ信号は、最初に、信号処理回路に与えられる。この信号処理回路は、ブロック604として表されている。信号処理回路は、本発明の一部を形成することではなく、自動ゲイン制御を備えた前置増幅器を含みうる。このような回路は、この技術分野では広く知られている。本発明の重要な特徴は、アナログ入力信号が、信号処理回路604によって処理された後で、高速のコンパレータ606とアナログ・デジタル・コンバータ(ADC)608とに与えられることである。ADC608は、例えば、トラック・ホールド機能を備えた8ビットのADCである。例としては、アナログ・デバイズ社製のモデル番号AD7821がある。デジタル化されたセンサ出力は、次に、マイクロプロセッサ610に与えられる。マイクロプロセッサ610の例としては、マイクロチップ社製のモデル番号PIC16C5Xがある。マイクロプロセッサ610は、センサ出力信号の最大及び最小のピーク・ピークを決定し、以下で述べるように、DCオフセットを計算する。次に、DCオフセット・レベルが、デジタル・アナログ・コンバータ(DAC)612に与えられる。DAC612の例としては、アナログ・デバイズ社製の8ビットのモデル番号AD557がある。DAC612の出力は、アナログ出力信号であって、元の入力信号のDCオフセットを表している。DCオフセット・レベルは、高速のコンパレータを用いて元の信号と比較される。このコンパレータの例としては、ナショナル・セミコンダクタ社製のモデル番号LMC6492の演算増幅器がある。コンパレータ606の出力は、0DCと電源電圧との間のデジタル出力信号を提供する。DCオフセットを元の信号と比較することによって、本発明による回路600は、アナログ入力信号を動的に調整して、DCオフセットを補償する。

20

30

40

【0007】

図1に図解されているブロック図の回路図の例が図2に示されている。回路600は、アレグロ社製のモデル番号3516などのホール効果センサ614のような、線形ホール効果センサに結合されているのが示されている。既に述べたように、補償回路600は、ほとんどどのタイプの線形変位又は回転センサと共にでも用いることができる。ホール効果センサ614は、単なる例である。補償回路は、図2に示されているようにオフチップとして構成できるし、又は、センサと一体化されてモノリシックなスマート・センサを形成することもある。センサ614からのアナログ出力信号 V_{IN} が、ADC608のアナログ

50

入力端子 V_{IN} に与えられる。ADC 608 は、センサ 614 からのアナログ入力信号を、ADC 608 のピン DB [0 - 7] において得られる 8 ビットのデジタル信号に変換する。ADC 608 からの 8 ビット信号は、マイクロプロセッサ 610 の入力ポート RB [0 - 7] に与えられる。後述するように、マイクロプロセッサは、アナログ入力信号の最大及び最小電圧ピークを決定し、DC オフセットを決定する。DC オフセットがマイクロプロセッサ 610 によって決定されると、マイクロプロセッサ 610 の出力ポート RC [0 - 7] において与えられる DC オフセットを表す 8 ビットのデジタル値が、DAC 612 の 8 ビットの入力ポート DB [0 - 7] に与えられる。DAC 612 からのアナログ出力は、コンパレータ 606 に与えられ、元のアナログ入力信号 V_{IN} と比較される。コンパレータ 606 の出力信号は、図 4 a ないし 4 f に図解されているように、DC オフセットが

10

【 0008 】

DAC 612 の出力電圧レンジ (range、範囲) を調整するために、レンジ乗算器回路 615 が、DAC 612 の出力 DAC OUT とコンパレータ 606 の入力との間に配置される。レンジ乗算器回路 615 は、演算増幅器 616 と 1 対の抵抗 618 及び 620 とを含む。示されているように、レンジ乗算器回路 615 は、公称で 0 ないし 2.56 ボルトである DAC 612 の出力電圧レンジを、0 ないし 5 ボルトまで乗算するのに用いられる。レンジ乗算器回路 615 の使用はオプションであって、選択されている特定の DAC とその出力レンジとに依存することに注意すべきである。

【 0009 】

20

コンパレータ 606 には、1 対のゲイン抵抗 622 及び 624 とアナログ入力信号 V_{IN} のスケーリングに用いられるスケーリング抵抗 626 とを含む。コンパレータ 606 の出力は、コンパレータ 606 の出力信号を処理する 1 つ又は複数のインバータ 628 及び 630 に与えられる。インバータ 628 の出力はアナログ入力信号に対して反転されるが、インバータ 630 の出力は反転されない。

【 0010 】

アナログ入力信号 V_{IN} の最大及び最小ピークを決定するソフトウェアが、図 3 a ないし 3 d に図解されている。ソース・コードは、参考文献として提出されるアペンディクスに与えられている。まず、ステップ 632 において、割込みベクトルとマイクロプロセッサ 610 の I/O ポートとが初期化される。割込みベクトルと I/O ポートとが初期化された後で、ステップ 634 において、論理変数 STATE 及び STARTUP が初期化される。特に、STATE 変数はデフォルト値にセット (設定) され、STARTUP 変数は 1 にセットされる。これらの論理変数が初期化された後で、ステップ 635 において、最小及び最大値の変数である MIN、MAX、LMIN、LMAX が初期化される。更に、ステップ 635 では、DC オフセット値が、0X7F (16 進法の 7F) にセットされる。これは、約 2.5 ボルトであり、コンパレータ 606 の電圧レンジの半分であって、パワーアップ (起動) 時の論理状態を決定する当初の基準値を提供する。この DC オフセット値は、ステップ 637 において、DAC 612 に書き込まれる。初期化プロセスの後で、ADC 608 からの 8 ビットのデジタル値が読み出され、ステップ 639 において、変数 VOLTAGE に等しくなるようにセットされる。8 ビットの電圧が ADC 608 から読み出された後で、STATE 論理変数が、ステップ 630 A 及びステップ 632 A においてチェックされる。既に述べたように、STATE 論理変数は、当初に、デフォルト値にセットされている。このように、システムは、まず、ステップ 634 A に進む。そして、ADC 608 から読み出された 8 ビットの電圧が、ステップ 634 及びステップ 636 において、最小及び最大値の変数である MIN 及び MAX と比較される。既に述べたように、システムは、アナログ入力電圧の最小及び最大ピークを決定する。そして、ステップ 634 A において、ADC 608 から読み出された電圧が最小電圧 (当初には、ステップ 635 において 0XFF にセットされる) よりも小さいと判断される場合には、最小電圧変数 MIN は、ステップ 638 において、その電圧と等しくなるようにセットされる。そうでない場合には、システムはステップ 636 に進み、そこで、ADC から読み出され

30

40

50

た電圧が最大電圧MAXと比較される。ADC608から読み出された電圧が最大電圧（当初は、ステップ635で0にセットされる）よりも大きい場合には、最大電圧変数MAXは、ステップ640において、その電圧と等しくセットされる。

【0011】

次に、システムは、ステップ642に進み、DCオフセットDC_OFFSETを計算する。DCオフセットDC_OFFSETは、最小電圧と最大電圧とを加算して2で除算することによって決定される。DCオフセットDC_OFFSETが決定した後で、システムは、論理変数STARTUPが1又は0に等しいかどうかを判断する。既に述べたように、論理変数STARTUPは、当初、論理1に等しくなるようにセットされている。従って、システムは、まず、ステップ646に進み、ADC608から読みだされた電圧が計算されたオフセット電圧であるDC_OFFSETよりも小さいかどうかを判断する。システムは、ステップ639にループして戻り、ADC608の別の電圧を読み出す。ADC608から読み出された電圧が計算されたDC_OFFSETよりも小さい場合には、システムはステップ648に進み、論理変数STARTUPの状態を0に等しくなるように変更し、そして、ステップ639にループして戻って、ADCから別の電圧を読み出す。次に、システムは、ステップ630Aから642までを反復し、ADC608から読み出された新たな電圧に基づいて新たなオフセットを計算する。

10

【0012】

ステップ644では、論理変数STARTUPの状態が0にセットされている場合には、システムはステップ650に進み、ADC608から読み出された電圧が計算されたオフセットDC_OFFSETよりも大きいかどうかを判断する。大きくない場合には、システムはループしてステップ639に戻り、別の電圧を読み出して、ステップ630Aないし642に進み、別のDCオフセットDC_OFFSETを計算する。電圧が計算されたDCオフセットDC_OFFSETよりも大きく、直前に計算されたDCオフセットよりも大きな電圧を示している場合には、システムはステップ652に進み、論理変数STATEの状態をハイにセットし、高い電圧ピークを計算する。次に、システムは、ステップ654に進み、最後の計算されたDCオフセットをステップ654においてDAC612に書き込む。次に、システムはループしてステップ639に戻り、別のADC電圧を読み出して、ステップ630Aに進む。

20

【0013】

既に述べたように、システムは、ステップ630Aにおいて、STATE論理変数がハイに等しくセットされているかどうかを調べる。そうである場合には、システムはステップ656に進み、ADC608から読み出された最後の電圧が変数LMAXよりも大きいかどうかをチェックする。そうでない場合には、システムは658に進み、電圧が計算されたDCオフセットよりも小さいかどうかを調べる。そうでない場合には、システムはループしてステップ639に戻り、ADC608から別の電圧MINを読み出す。ADC608からの最後に読み出された電圧が最大電圧LMAXよりも大きい場合には、変数LMAXは、ステップ660において、その電圧と等しくなるようにセットされる。電圧がLMAXに等しくセットされた後で、ステップ662において最小電圧とLMAX電圧とを加算し2で除算することによって、DCオフセットが計算される。ステップ662において新たなDCオフセットDC_OFFSETが計算された後で、システムは、ステップ664において、電圧LMAXがMAXよりも大きいかどうかを判断する。大きい場合には、ステップ662において計算されたDCオフセットが、ステップ666において、DAC612に書き込まれる。そして、システムは、ステップ658に進む。そうでなく、電圧LMAXがMAXよりも大きくない場合には、システムは、ステップ658に直接進んで、ADCから読み出された電圧がDCオフセットDC_OFFSETよりも小さいかどうかを判断する。小さくない場合には、システムは、ループしてステップ639に戻り、ADC608から別の電圧を読み出す。電圧がDCオフセットよりも小さい場合には、システムはステップ668に進み、論理状態STATEをローにセットし、その後で、変数MAXが変数LMAXに等しくセットされ、変数LMINがステップ670においてOXF

30

40

50

Fに等しくなるようにセットされる。次に、システムは、ループしてステップ639に戻り、別の電圧を読み出す。ステップ632Aで判断されたように、システムがロー状態（すなわち、STATE = ロー）である場合には、システムは、ステップ672において、ADC608から読み出された電圧が変数LMINよりも小さいかどうかをチェックする。小さい場合には、変数LMINが、ステップ674において、その電圧と等しくなるようにセットされる。そして、ステップ676において、変数LMIN及びMAXを加算し2で除算することによって、オフセットが計算される。ステップ676においてオフセットが計算されると、システムは、電圧LMINがMINよりも小さいかどうかをチェックする。小さい場合には、DCオフセットが、ステップ680において、DAC612に書き込まれる。次に、システムは、ステップ682に進む。小さくない場合には、システムは、直接にステップ682に進む。ステップ682において、システムは、電圧がDCオフセットよりも小さいかどうかを判断する。小さい場合には、システムは、ロー状態にあると判断され、ループしてステップ639に戻り、別の電圧を読み出す。小さくない場合には、システムは、ステップ684においてハイ状態に変化し、ステップ686において、最小電圧MINをLMINに等しくセットし、変数LMAXを0に等しくセットする。

【0014】

DCオフセットの決定は、反復的なプロセスである。DCオフセットがいったん決定されると、この値はDAC612に与えられ、DCオフセット値をアナログ値に変換する。DAC612の出力は、センサ出力信号と共に、コンパレータ606に送られ、デジタル出力信号を発生する。

【0015】

図4aないし4fは、本発明の応用例を図解している。特に、例示的なアナログ入力信号 V_{IN} 690と本発明による電子回路からの出力信号とが、異なるDCオフセットに対して図解されている。示されているように、アナログ入力信号 V_{IN} のDCオフセット・レベル687が、図4aないし4fに図解されているように、下方向に移動するにつれて、出力信号 V_{OUT} 692は、0電圧の軸に対して対称的な状態に留まる。

【0016】

本発明の別の実施例では、電子回路は動的（dynamic）である。この実施例では、回路は、入ってくるセンサ・アナログ出力信号のDCオフセット・レベルを動的に判断する。DCオフセット・レベルは、元のセンサ・アナログ出力信号と共にコンパレータに与えられ、デジタル出力信号を提供する。

【0017】

明らかに、本発明に対しては、多くの修正や変形が以上の説明から可能である。従って、本発明は、ここに特に記載されている実施例とは異なる態様で実現することが可能であることを理解すべきである。

【図面の簡単な説明】

【図1】 本発明による電子回路のブロック図である。

【図2】 図2a及び図2bから構成される。図1に図解された電子回路の回路図である。

【図3】 図3aないし図3dから構成される。図2に図解された電子回路のためのソフトウェアの流れ図である。

【図4】 図4aないし図4fから構成される。これらの図には、様々なDCオフセットにおけるアナログ入力信号の例示的なグラフィカルな図解と、本発明による電子回路からの対応するデジタル出力とが示されている。

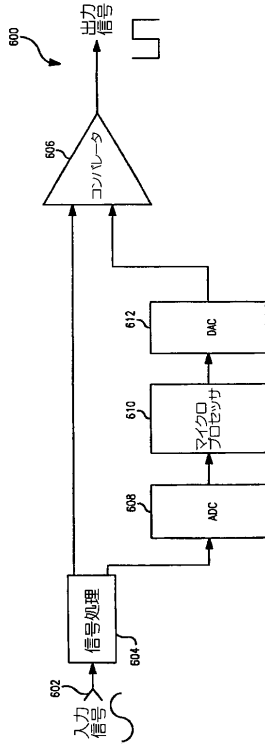
10

20

30

40

【図1】



【図2】

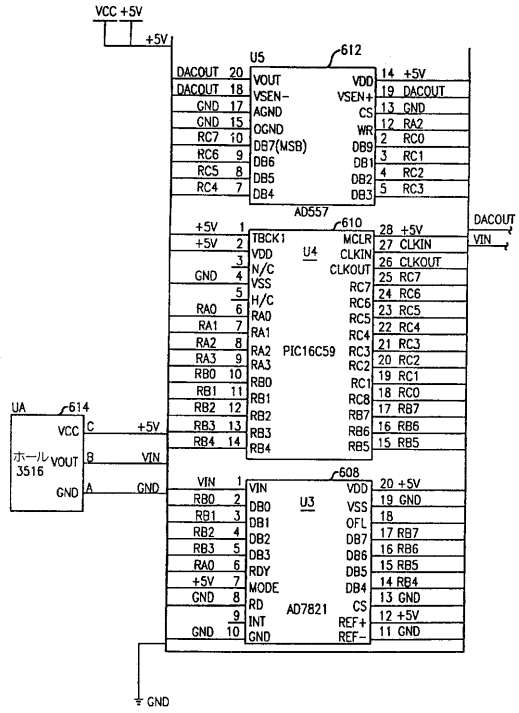


FIG. 2A

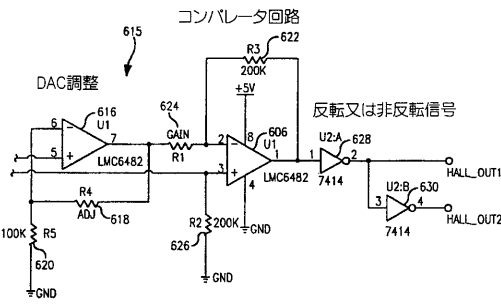


FIG. 2B

【図3】

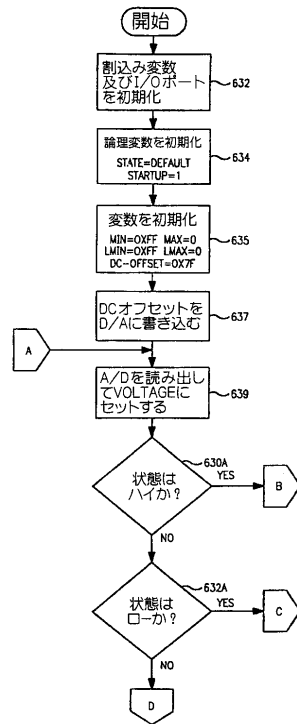


FIG. 3A

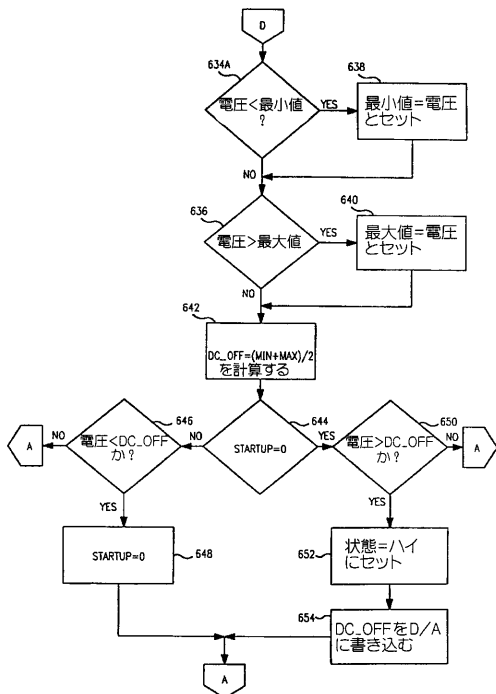


FIG. 3B

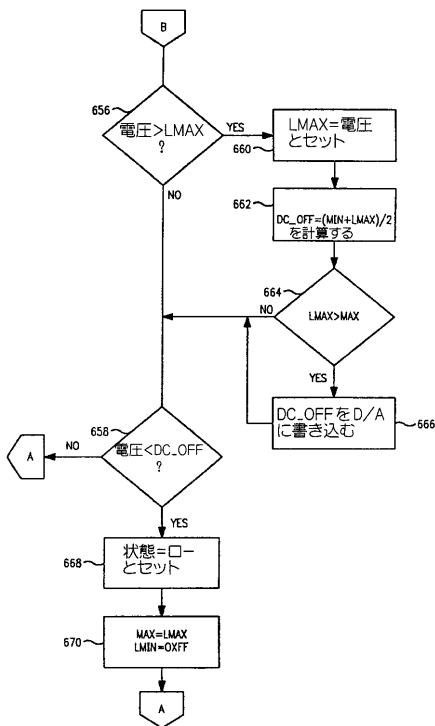


FIG. 3C

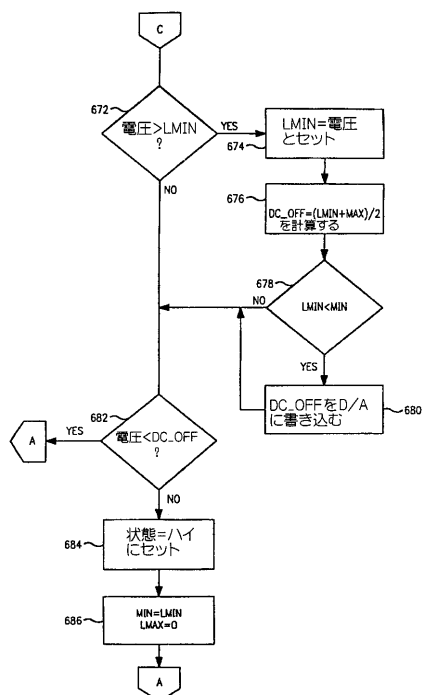


FIG. 3D

【図4】

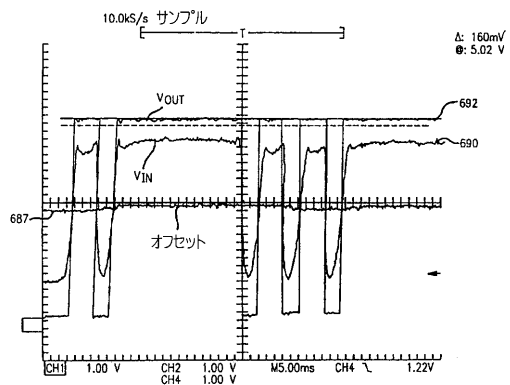


FIG. 4A

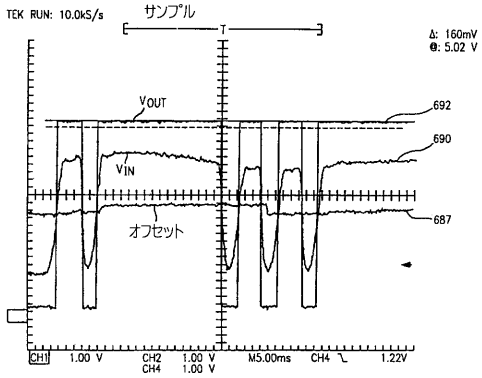


FIG. 4B

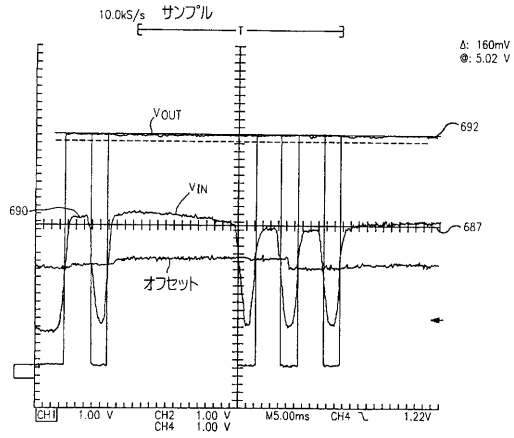


FIG. 4C

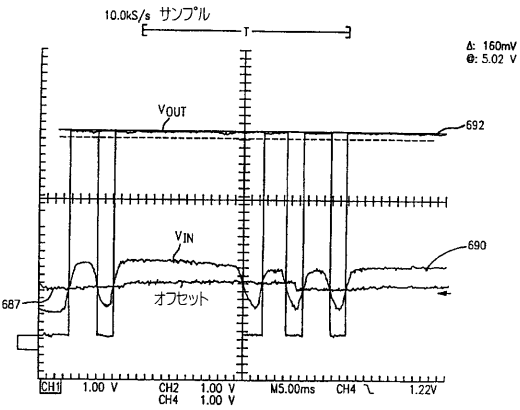


FIG. 4D

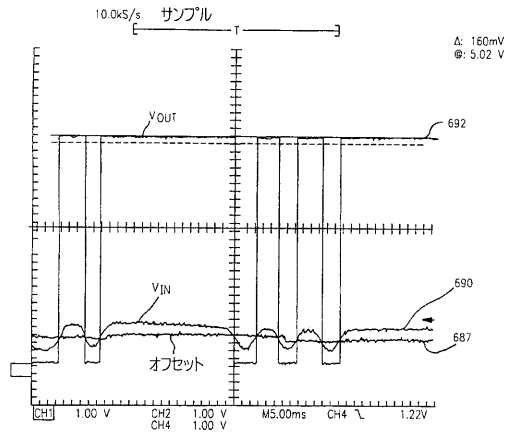


FIG. 4E

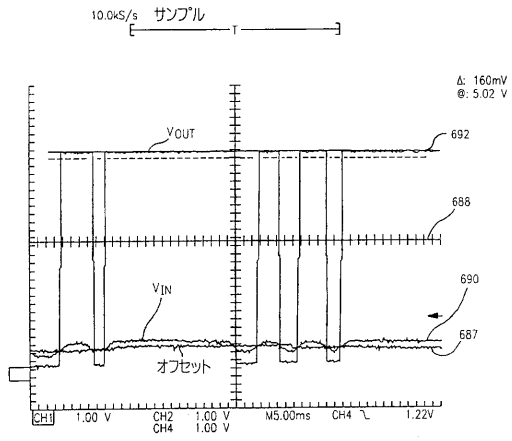


FIG. 4F

フロントページの続き

(74)代理人 100075270

弁理士 小林 泰

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100087424

弁理士 大塚 就彦

(72)発明者 ウルフ, ロナルド・ジェイ

アメリカ合衆国インディアナ州46514, エルクハート, ストラットフォード・コート 510
82

(72)発明者 オースティン, マーク・ダブリュー

アメリカ合衆国テキサス州46514, バールソン, ニコル・ウェイ 1225

審査官 榮永 雅夫

(56)参考文献 米国特許第04795904 (US, A)

(58)調査した分野(Int.Cl., DB名)

G01D 3/00 -028