



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0099847
(43) 공개일자 2013년09월06일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8242 (2006.01)

(21) 출원번호 10-2013-0019682
(22) 출원일자 2013년02월25일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-044109 2012년02월29일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
야마자키 슌페이
일본 가나가와Ken 아쓰기시 하세 398 가부시키가이
샤 한도오따이 에네루기 켄큐쇼 내
요시즈미 겐스케
일본 가나가와Ken 아쓰기시 하세 398 가부시키가이
샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
박충범, 장수길, 이중희

전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **반도체 장치**

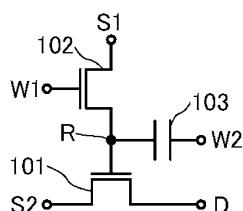
(57) 요 약

본 발명은 점유 면적이 작감된 반도체 장치를 제공한다. 또는 저전력으로 동작 가능한 반도체 장치를 제공한다. 또는 전력 공급이 정지되어도 데이터를 유지 가능한 반도체 장치를 제공한다.

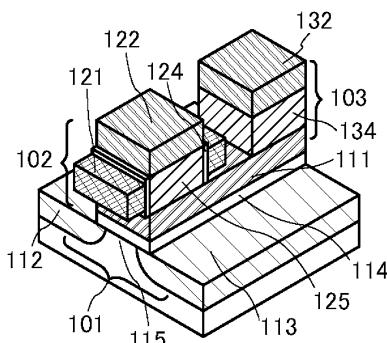
반도체 장치가 제 1 트랜지스터와, 제 2 트랜지스터와, 하나의 용량 소자를 갖는 구성으로 한다. 제 2 트랜지스터를 통하여 용량 소자에 전하를 축적함으로써 데이터를 기록하고, 상기 제 2 트랜지스터를 오프 상태로 함으로써 데이터를 유지한다. 또한 제 2 트랜지스터와 용량 소자 간의 유지 노드가 게이트와 접속된 제 1 트랜지스터에 의하여 데이터를 파괴하지 않고 판독을 수행할 수 있다. 또한 제 2 트랜지스터와 용량 소자를 제 1 트랜지스터 위에 중첩되도록 제공하고 제 2 트랜지스터의 한쪽의 전극과 용량 소자의 한쪽의 전극을 제 1 트랜지스터의 게이트와 전기적으로 접속되는 구성으로 한다.

대 표 도

도 1a



도 1b



특허청구의 범위

청구항 1

반도체 장치에 있어서,

제 1 반도체층을 포함한 제 1 트랜지스터와;

상기 제 1 트랜지스터 위에 중첩되는 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터의 채널의 방향이 상기 제 1 반도체층의 상면에 수직인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터 위에 위치하고 상기 제 1 트랜지스터와 중첩된 용량 소자를 더 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 반도체층의 채널이 상기 제 2 트랜지스터의 상기 채널과 중첩되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 트랜지스터는 절연 표면 위에 위치하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 트랜지스터는,

상기 제 1 반도체층 위의 제 1 절연층과;

상기 제 1 절연층 위의 제 1 전극층을 더 포함하고,

상기 제 2 트랜지스터는,

상기 제 1 전극층과 직접 접한 제 2 반도체층과;

상기 제 2 반도체층의 측면과 인접한 제 2 절연층과;

상기 제 2 절연층을 개재(介在)하여 상기 제 2 반도체층의 상기 측면과 인접한 제 2 전극층과;

상기 제 2 반도체층 위의 제 3 전극층을 포함하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 2 전극층이 상기 제 1 전극층과 상기 제 3 전극층 사이에 위치하는, 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 제 2 반도체층은 산화물 반도체를 포함하고,

상기 제 1 반도체층은 단결정 실리콘, 비정질 실리콘, 및 다결정 실리콘 중에서 선택된 재료를 포함하는, 반도체 장치.

청구항 8

제 5 항에 있어서,
용량 소자로서,
상기 제 1 전극층과 직접 접한 유전층과;
상기 유전층 위의 제 4 전극층을 포함한 상기 용량 소자를 더 포함하는, 반도체 장치.

청구항 9

제 8 항에 있어서,
상기 제 2 반도체층과 상기 유전층은 동일한 층에 존재하는, 반도체 장치.

청구항 10

제 8 항에 있어서,
상기 제 2 절연층과 상기 유전층은 동일한 층에 존재하는, 반도체 장치.

청구항 11

제 8 항에 있어서,
상기 제 2 절연층과 상기 제 2 전극층은 상기 제 2 반도체층을 둘러싸는, 반도체 장치.

청구항 12

전자 기기에 있어서,
제 1 항에 따른 반도체 장치를 포함한 전자 기기.

청구항 13

반도체 장치에 있어서,
제 1 반도체층과;
상기 제 1 반도체층 위의 제 1 절연층과;
상기 제 1 절연층 위의 제 1 전극층과;
상기 제 1 전극층 위에 직접 접한 제 2 반도체층과;
상기 제 2 반도체층의 측면과 인접한 제 2 절연층과;
상기 제 2 절연층을 개재하여 상기 제 2 반도체층의 상기 측면과 인접한 제 2 전극층과;
상기 제 2 반도체층 위의 제 3 전극층을 포함하는, 반도체 장치.

청구항 14

제 13 항에 있어서,
상기 제 1 반도체층의 채널이 상기 제 2 반도체층의 채널과 중첩되는, 반도체 장치.

청구항 15

제 13 항에 있어서,
상기 제 2 전극층은 상기 제 1 전극층과 상기 제 3 전극층 사이에 위치하는, 반도체 장치.

청구항 16

제 13 항에 있어서,

상기 제 1 반도체층은 절연 표면 위에 위치하는, 반도체 장치.

청구항 17

제 13 항에 있어서,

상기 제 2 절연층과 상기 제 2 전극층은 상기 제 2 반도체층을 둘러싸는, 반도체 장치.

청구항 18

제 13 항에 있어서,

상기 제 2 반도체층은 산화물 반도체를 포함하고,

상기 제 1 반도체층은 단결정 실리콘, 비정질 실리콘, 및 다결정 실리콘 중에서 선택되는 재료를 포함하는, 반도체 장치.

청구항 19

제 13 항에 있어서,

상기 제 1 전극층 위에 직접 접한 유전층과;

상기 유전층 위의 제 4 전극층을 더 포함하는, 반도체 장치.

청구항 20

제 19 항에 있어서,

상기 제 2 반도체층과 상기 유전층은 동일한 층에 존재하는, 반도체 장치.

청구항 21

제 19 항에 있어서,

상기 제 2 절연층과 상기 유전층은 동일한 층에 존재하는, 반도체 장치.

청구항 22

전자 기기에 있어서,

제 13 항에 따른 반도체 장치를 포함한 전자 기기.

청구항 23

반도체 장치에 있어서,

제 1 반도체층을 포함한, 절연 표면 위의 제 1 트랜지스터와;

상기 제 1 트랜지스터와 중첩되고 제 2 반도체층을 포함한, 상기 제 1 트랜지스터 위의 제 2 트랜지스터와;

상기 제 1 반도체층의 채널의 방향과 상기 제 2 반도체층의 채널의 방향은 상기 절연 표면의 상면에 각각 수직인, 반도체 장치.

청구항 24

제 23 항에 있어서,

상기 제 1 트랜지스터 위의 용량 소자를 더 포함하고,

상기 용량 소자는 상기 제 1 트랜지스터와 중첩되는, 반도체 장치.

명세서

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 또한, 본 명세서 중에 있어서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 기억 장치, 전기 광학 장치, 반도체 회로, 전자 부품, 및 전자 기기는 모두 반도체 장치의 일 형태이다.

[0003] 반도체 소자를 이용한 반도체 장치 중 하나로서, 기억 장치가 있다. 기억 장치는 전력 공급이 정지되면 기억 내용이 소실되는 휘발성의 기억 장치와, 전력 공급이 정지되어도 기억 내용이 유지되는 불휘발성의 기억 장치로 대별된다.

[0004] 휘발성의 기억 장치의 대표적인 예로서는 DRAM(Dynamic Random Access Memory)이나 SRAM(Static Random Access Memory) 등을 들 수 있다. 이들 휘발성의 기억 장치는 전력 공급이 정지되면 기억 내용이 소실되지만, 불휘발성 메모리와 같은 큰 전압을 필요로 하지 않기 때문에 소비 전력을 비교적 작다.

[0005] DRAM은 하나의 기억 소자에 하나의 트랜지스터와 하나의 용량 소자를 적용할 수 있으므로 점유 면적을 저감할 수 있지만, 데이터의 유지 기간이 매우 짧고 높은 빈도로 리프레시 동작을 수행할 필요가 있고 소비 전력을 충분히 저감할 수 없다는 문제가 있다.

[0006] SRAM은 고속 동작이 가능하지만 하나의 기억 소자에 적어도 6개의 트랜지스터가 필요하므로 점유 면적이 크게 된다. 또한, 트랜지스터의 미세화에 따라 상기 트랜지스터의 오프 전류가 증대되기 때문에 데이터의 유지 기간에서의 소비 전력을 충분히 저감할 수 없다는 문제가 있다.

[0007] 불휘발성의 기억 장치의 대표적인 예로서는, 플래시 메모리가 있다. 플래시 메모리는, 플로팅 게이트에 전하를 유지함으로써, 반영구적인 데이터 유지 기간을 갖는 기억 장치이다(예를 들어, 특허문현 1 참조). 그러나, 플래시 메모리에 있어서, 기록이나 소거를 할 때는 높은 전압이 필요하기 때문에 소비 전력이 높고 이들의 동작의 고속화가 용이하지 않다는 문제도 있다. 또한, 기록이나 소거를 할 때는 절연막에 높은 전계를 인가하여 터널 전류를 발생시킴으로써 플로팅 게이트에 전하를 주입하기 때문에 채기록 횟수에 따라 상기 절연막의 열화가 진행되는 문제도 있다.

[0008] 또한, 근년에 들어 밴드갭이 큰 산화물 반도체를 사용하여 제작되며, 매우 큰 오프 저항을 갖는 트랜지스터가 발견되고, 이것을 사용하여 기억 장치를 구성하는 기억 소자나 신호 처리 회로를 제작하는 것이 제안되어 있다(특허문현 2 내지 특허문현 4 참조).

[0009] 이들 기억 소자는 트랜지스터의 오프 전류가 높으므로 트랜지스터에 직렬로 접속된 용량 소자에 축적된 전하가 소멸될 때까지 장시간을 필요로 하고, 통상의 SRAM 등에 포함되는 플립플롭 회로에 필요한 기억 유지를 위한 전류 소비가 삼감되고, 소비 전력을 더 적게 할 수 있다. 또는, DRAM에 필요하게 된 매우 큰 용량 소자가 불필요하므로 회로를 소형화할 수 있고, 제조 공정의 간략화나 수율의 향상을 도모할 수 있다.

선행기술문현

특허문현

[0010] (특허문현 0001) 일본국 특개소(昭) 57-105889호 공보

(특허문현 0002) 미국 특허 출원 공개 제 2011/0121878호 명세서

(특허문현 0003) 미국 특허 출원 공개 제 2011/0134683호 명세서

(특허문현 0004) 미국 특허 출원 공개 제 2011/0175646호 명세서

발명의 내용

해결하려는 과제

[0011] 근년에 들어, 반도체 장치를 구성하는 소자의 고집적화에 따라 상기 소자의 점유 면적의 축소가 요구되고 있다.

반도체 장치의 점유 면적을 축소함으로써 하나의 기판으로부터 얻어지는 반도체 장치의 개수를 증대하여 반도체 장치 하나에 드는 비용을 저감시킬 수 있다. 기억 장치에서는 기억 소자의 점유 면적이 작을수록 고밀도로 기억 소자를 배치할 수 있고 단위 면적당의 데이터의 양을 증대시킬 수 있다.

[0012] 또한, 반도체 장치가 적용되는 기기의 저소비 전력화를 도모하기 위하여 저전력으로 동작 가능한 반도체 장치가 요구되고 있다. 이러한 관점에서 기억 장치에 있어서 전력을 정지하여도 데이터가 유지될 수 있다는 것이 요구되고 있다.

[0013] 본 발명은 이러한 기술적 배경에 의거하여 발명된 것이다. 따라서 본 발명의 일 형태는 점유 면적이 작고 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 저전력으로 동작 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 전력의 공급이 정지되어도 데이터의 유지가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0014] 본 발명의 일 형태는 상기 과제 중 적어도 하나를 해결하는 것이다.

과제의 해결 수단

[0015] 본 발명의 일 형태의 반도체 장치는 제 1 트랜지스터와, 제 2 트랜지스터와, 하나의 용량 소자를 갖는 구조이다.

[0016] 또한, 상기 반도체 장치는 제 2 트랜지스터를 통하여 용량 소자에 전하를 축적함으로써 데이터를 기록하고, 상기 제 2 트랜지스터를 오프 상태로 함으로써 데이터를 유지하는 것이다. 또한, 제 2 트랜지스터와 용량 소자 간의 노드(유지 노드라고도 함)의 전위가 제 1 트랜지스터의 게이트 전극에 공급된다. 제 1 트랜지스터의 도통 상태를 검지함으로써 데이터를 파괴할 것 없이 판독을 수행할 수 있다.

[0017] 또한, 제 2 트랜지스터와 용량 소자를 제 1 트랜지스터 위에 중첩하여 제공한다. 더 바람직하게는 제 1 트랜지스터를 구성하는 게이트 전극과 중첩하여 제공한다. 또한, 제 2 트랜지스터의 한쪽의 전극(소스 전극 또는 드레인 전극 중 한쪽) 및 용량 소자의 한쪽의 전극을 제 1 트랜지스터의 게이트 전극과 전기적으로 접속되는 구성으로 한다.

[0018] 즉, 본 발명의 일 형태의 반도체 장치는, 제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 구비한다. 제 1 트랜지스터는 제 1 반도체층과, 제 1 반도체층 위에 접하는 제 1 절연층과, 제 1 절연층 위에 접하며 제 1 반도체층과 중첩되는 제 1 전극층을 갖는다. 또한, 제 2 트랜지스터는 제 1 전극층 위에 중첩하여 제공되고, 상기 제 1 전극층과 전기적으로 접속되는 제 2 반도체층과, 제 2 반도체층의 측면에 접하는 제 2 절연층과, 제 2 절연층과 접하며 제 2 반도체층의 측면의 적어도 일부를 덮는 제 2 전극층과, 제 2 반도체층 위에 제공되며 상기 제 2 반도체층과 전기적으로 접속되는 제 3 전극층을 갖는다. 또한, 용량 소자는 제 1 전극층 위에 중첩되는 제 4 전극층과, 제 1 전극층과 제 4 전극층 사이에 유전층을 갖는다.

[0019] 상술한 바와 같은 구성으로 함으로써 점유 면적이 작고 반도체 장치를 실현할 수 있다.

[0020] 또한, 반도체 장치에 데이터를 기록하거나 반도체 장치에서 데이터를 소거할 때 제 2 트랜지스터를 온 상태로 할 수 있을 정도의 전압을 사용하면 좋으므로 플래시 메모리에서 필요한 높은 전압을 사용할 필요는 없다. 따라서, 매우 작은 전력으로 동작 가능한 반도체 장치로 할 수 있다.

[0021] 또한, 상기 반도체 장치에서의 제 1 반도체층은 단결정 실리콘으로 구성되는 것이 바람직하다.

[0022] 상술한 구성으로 함으로써 반도체 장치에 유지된 데이터의 판독 동작을 매우 고속으로 수행할 수 있다.

[0023] 또한, 본 발명의 다른 일 형태의 반도체 장치는, 제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 구비한다. 제 1 트랜지스터는 제 5 전극층과, 제 5 전극층 위에 중첩되어 제공되고 상기 제 5 전극층과 전기적으로 접속되는 제 1 반도체층과, 제 1 반도체층 측면에 접하는 제 1 절연층과, 제 1 절연층과 접하며 제 1 반도체층의 측면의 적어도 일부를 덮는 제 1 전극층과, 제 1 반도체층 위에 제공되고 상기 제 1 반도체층과 전기적으로 접속되는 제 6 전극층을 갖는다. 또한, 제 2 트랜지스터는, 제 1 전극층 위에 중첩되어 제공되고 상기 제 1 전극층과 전기적으로 접속되는 제 2 반도체층과, 제 2 반도체층의 측면에 접하는 제 2 절연층과, 제 2 절연층과 접하며 제 2 반도체층의 측면의 적어도 일부를 덮는 제 2 전극층과, 제 2 반도체층 위에 제공되며 상기 제 2 반도체층과 전기적으로 접속되는 제 3 전극층을 갖는다. 또한, 용량 소자는 제 1 전극층 위에 중첩되는 제 4 전극층과, 제 1 전극층과 제 4 전극층 사이에 유전층을 갖는다.

[0024] 상술한 구성으로 함으로써 제 1 트랜지스터 자체의 점유 면적을 저감시킬 수 있으므로 반도체 장치 자체의 점유

면적을 더 삭감할 수 있다.

[0025] 또한, 상술한 것 중 어느 반도체 장치에 있어서, 제 2 반도체층은 실리콘보다 밴드갭이 넓은 반도체를 포함하는 것이 바람직하다.

[0026] 이로써, 제 2 트랜지스터로서 그 오프 전류가 저감된 트랜지스터를 사용할 수 있다. 따라서, 전력 공급이 정지된 상태이어도 긴 기간에 걸쳐 유지 노드에 유지된 전위를 유지하는 것이 가능하다. 따라서, 전력 공급이 정지되어도 데이터를 유지 가능한 반도체 장치로 할 수 있다.

[0027] 또한, 상기 제 2 반도체층의 반도체는 산화물 반도체인 것이 바람직하다.

[0028] 또한, 상기 산화물 반도체는 In, Ga, 및 Zn을 포함하는 것이 바람직하다.

[0029] 상술한 바와 같이, 제 2 트랜지스터의 채널을 구성하는 반도체로서 산화물 반도체를 사용하는 것이 특히 바람직하다. 실리콘보다 밴드갭이 넓은 산화물 반도체는 낮은 오프 전류를 실현할 수 있다.

[0030] 특히 In, Ga, 및 Zn을 포함하는 산화물 반도체를 트랜지스터에 사용하는 경우에는, 비교적 저온으로 형성된 비정질 상태의 산화물 반도체라도 다른 산화물 반도체에 비하여 양호한 전기적 특성(높은 전계 효과 이동도나 작은 S값 등)과 높은 신뢰성을 경비하므로 바람직하다. 여기서, 예를 들어 산화물 반도체 중의 하나인 산화 아연은 저온으로 다결정 상태가 되기 쉽고 그 결정 입자에 의하여 원하는 전계 효과 이동도나 S값 등의 전기 특성을 얻는 것이 어렵다.

[0031] 또한, 상기 실리콘보다 밴드갭이 넓은 반도체가 적용된 반도체 장치에 있어서 유전층은 제 2 반도체층과 동일한 막을 사용하여 구성되는 것이 바람직하다.

[0032] 제 2 반도체층에 사용하는 반도체는 그 저항값이 매우 높으므로 용량 소자를 구성하는 유전층으로서도 사용할 수 있다. 따라서 상술한 구성으로 함으로써 제 1 트랜지스터의 게이트 전극 위에 공통의 공정에 의하여 제 2 트랜지스터와 용량 소자를 형성할 수 있다. 따라서, 반도체 장치의 제작 공정이 간략화되어 낮은 비용 및 높은 수율이 실현된 반도체 장치로 할 수 있다.

[0033] 또한, 상술한 것 중 어느 반도체 장치에 있어서 제 1 트랜지스터보다 아래쪽에 구동 회로를 구비하는 것이 바람직하다.

[0034] 상술한 바와 같이, 하부에 구동 회로를 구비하는 반도체 장치로 함으로써, 제 1 트랜지스터, 제 2 트랜지스터 또는 용량 소자 등의 구성과 구동 회로를 겹치지 않고 배치하는 경우와 비교하여 반도체 장치의 점유 면적을 삭감할 수 있다.

[0035] 또한, 상술한 것 중 어느 반도체 장치에 있어서, 제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 구비하는 복수의 반도체 장치의 층이 적층되어 있는 것이 바람직하다.

[0036] 이로써, 본 발명의 일 형태의 반도체 장치는 복수의 층을 적층하여 제공할 수 있다. 이러한 적층형의 반도체 장치로 함으로써 반도체 장치를 매우 고집적화하는 것이 가능하고, 반도체 장치의 점유 면적당의 유지 가능한 데이터 양을 매우 증대시킬 수 있다.

[0037] 또한, 본 명세서 중에 있어서, 기억 장치는 반도체 장치의 일 형태이다. 또한, 기억 장치는 적어도 데이터의 기억 상태를 유지하는 장치를 말한다. 또한, 데이터의 기억 상태를 유지하는 복수의 기억 장치를 구비하는 장치도 기억 장치의 일 형태이다. 또한, 기억 장치에 상기 기억 장치를 구동하는 구동 회로나 IC(집적 회로)가 실장된 모듈도 기억 장치에 포함하는 것으로 한다.

발명의 효과

[0038] 본 발명에 따르면 점유 면적이 삭감된 반도체 장치를 제공할 수 있다. 또한, 저전력으로 동작 가능한 반도체 장치를 제공할 수 있다. 또한, 전력 공급이 정지되어도 데이터를 유지 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0039] 도 1a 및 도 1b는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 2a 내지 도 2c는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 3a 및 도 3b는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 4a 내지 도 4c는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 5는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 6a 및 도 6b는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 7a 및 도 7b는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 8a 및 도 8b는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 9a 및 도 9b는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 10a 내지 도 10d는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 11a 내지 도 11c는 본 발명의 일 형태의 반도체 장치의 제작 공정 예를 설명한 도면.

도 12a 내지 도 12c는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 13은 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 14는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 15는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 16a 내지 도 16c는 본 발명의 일 형태의 반도체 장치를 설명한 도면.

도 17a 및 도 17b는 본 발명의 일 형태의 전자 기기를 설명한 도면.

도 18a 내지 도 18c는 본 발명의 일 형태의 전자 기기를 설명한 도면.

발명을 실시하기 위한 구체적인 내용

[0040]

실시형태에 대하여, 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0041]

또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층 두께, 또는 영역은, 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되지 않는다.

[0042]

트랜지스터는 반도체 소자의 한 가지이며, 전류나 전압의 종폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0043]

또한, “소스”나 “드레인”의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀔 경우가 있다. 따라서, 본 명세서에서는 “소스”나 “드레인”이라는 용어는 바꿔 사용할 수 있다.

[0044]

또한, 본 명세서 등에 있어서, 트랜지스터의 소스 또는 드레인의 어느 한쪽을 “제1 전극”이라 부르고, 소스 또는 드레인의 다른 쪽을 “제2 전극”이라 부르는 경우가 있다. 또한, 게이트에 대해서는 “게이트” 또는 “게이트 전극”이라 부른다.

[0045]

또한, 본 명세서 등에서, “전기적으로 접속”에는, “무엇인가 전기적 작용을 갖는 것”을 통해 접속되어 있는 경우가 포함된다. 여기서, “무엇인가 전기적 작용을 갖는 것”은 접속 대상간에서의 전기 신호를 주고받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다. 예를 들어, “무엇인가 전기적 작용을 갖는 것”에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 그 외 각종 기능을 갖는 소자 등이 포함된다.

[0046]

또한, 본 명세서 등에 있어서 노드란, 회로를 구성하는 소자의 전기적인 접속을 가능하게 하는 소자(예를 들면, 배선 등)를 말한다. 따라서, “A가 접속된 노드”란, A와 전기적으로 접속되고, 또 A와 동전위라고 볼 수 있는 배선을 말한다. 또한, 배선의 도중에 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드 등)가 하나 이상 배치되어 있어도, A와 동전위라면 그 배선은 A가 접속

된 노드라고 간주할 수 있다.

[0047] 또한 본 명세서 등에 있어서, 두 개 또는 두 개 이상의 구성 요소가 같은 재료를 사용하여 동시에 형성될 때, 이들의 구성 요소는 동일한 층으로서 존재한다고 정의된다. 예를 들어, 하나의 층이 형성되고, 그 후 애칭 등에 의하여 구성 요소 A와 구성 요소 B로 가공된 경우 이들은 동일한 층으로서 존재하는 구성 요소로 한다.

[0048] (실시형태 1)

[0049] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치의 일례로서 기억 장치의 구성예에 대하여 도면을 참조하여 설명한다.

[0050] 도 1a는 본 발명의 일 형태의 기억 장치의 주요부에서의 회로도이다. 기억 장치는 트랜지스터(101), 트랜지스터(102) 및 용량 소자(103)를 구비한다.

[0051] 기억 장치는 트랜지스터(101)의 게이트 전극과, 트랜지스터(102)의 제 1 전극과, 용량 소자(103)의 한쪽의 전극이 각각 전기적으로 접속되는 노드(유지 노드(R))를 구비한다.

[0052] 또한, 트랜지스터(101)의 제 1 전극과 전기적으로 접속되는 배선을 배선(S2), 제 2 전극과 전기적으로 접속되는 배선을 배선(D)으로 한다. 또한 트랜지스터(102)의 게이트 전극과 전기적으로 접속되는 배선을 배선(W1), 제 2 전극과 전기적으로 접속되는 배선을 배선(S1)으로 한다. 또한, 용량 소자(103)의 다른 쪽의 전극과 전기적으로 접속되는 배선(W2)으로 한다.

[0053] 기억 장치에 데이터를 기록할 때, 배선(W1)에 트랜지스터(102)를 온 상태로 하는 전위를 입력하고, 배선(S1)으로부터 트랜지스터(102)의 제 2 전극에 소정의 전위를 입력함으로써 트랜지스터(102)를 통하여 유지 노드(R)에 소정의 전위를 기록할 수 있다. 이 후에 배선(W1)에 트랜지스터(102)를 오프 상태로 하는 전위를 입력하면 유지 노드(R)에 기록된 전위가 유지된다.

[0054] 또한, 유지 노드(R)에 유지되어 있는 전위에 따라 유지 노드(R)에 게이트 전극이 접속된 트랜지스터(101)는 온 상태 또는 오프 상태 중 어느 상태를 취한다. 따라서 배선(S2)과 배선(D)의 한쪽에 판독을 하기 위한 전위를 입력하고 다른 쪽 전위를 검지함으로써 판독을 수행할 수 있다.

[0055] 상술한 바와 같이, 본 발명의 일 형태의 기억 장치에 데이터를 기록하거나 기억 장치에서 데이터를 소거할 때, 트랜지스터(102)를 온 상태로 할 수 있을 정도의 전압을 사용하면 좋다. 바꿔 말하면 유지 노드(R)에 기록하기 위하여 필요한 전압으로서 트랜지스터(101)의 온 상태 또는 오프 상태를 제어할 수 있을 정도의 전압을 사용하면 좋다. 따라서 본 발명의 일 형태의 기억 장치의 구동에 있어서 플래시 메모리와 같은 고전압을 필요로 하지 않으므로 소비 전력이 매우 저감된 기억 장치를 실현할 수 있다.

[0056] 여기서 트랜지스터(102)로서 채널이 형성되는 반도체에 실리콘을 사용한 트랜지스터와 비교하여 오프 상태에서의 누설 전류(오프 전류)가 저감된 트랜지스터를 사용하는 것이 바람직하다. 구체적으로는 채널이 형성되는 반도체로서 실리콘보다 밴드갭이 넓은 반도체를 사용한 트랜지스터를 사용할 수 있다. 실리콘보다 밴드갭이 넓은 반도체로서 화합물 반도체가 있으며 예를 들어 산화물 반도체, 질화물 반도체 등이 있다.

[0057] 구체적으로는 매우 높은 오프 저항을 얻기 위해서는 실리콘(밴드갭 1.1전자 볼트)은 충분하지 않기 때문에, 밴드갭이 2.5전자 볼트 이상 4전자 볼트 이하, 바람직하게는 3전자 볼트 이상 3.8전자 볼트 이하의 와이드 밴드갭 반도체를 사용하는 것이 바람직하다. 예를 들어 산화 인듐, 산화 아연 등의 산화물 반도체, 질화 갈륨 등의 질화물 반도체, 황화 아연 등의 황화물 반도체 등을 사용하면 좋다.

[0058] 특히 트랜지스터(102)의 채널을 구성하는 반도체로서 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체는 에너지갭이 3.0전자 볼트 이상으로 크고, 산화물 반도체를 적절한 조건으로 가공하여 얻어진 트랜지스터에 있어서는 오프 상태에서의 소스와 드레인간의 채널폭 $1\mu\text{m}$ 당 누설 전류(오프 전류)는 소스와 드레인간의 전압이 3.5V, 사용시의 온도 조건하(예를 들어, 25°C)에 있어서 $100\text{zA}(1\times 10^{-19}\text{A})$ 이하, 또는 $10\text{zA}(1\times 10^{-20}\text{A})$ 이하, 또는 $1\text{zA}(1\times 10^{-21}\text{A})$ 이하로 할 수 있다. 그러므로, 소비 전력이 작은 반도체 장치를 실현할 수 있다.

[0059] 특히 In, Ga, Zn을 포함한 산화물 반도체를 트랜지스터에 사용한 경우에는, 비교적 저온으로 형성된 비정질 상태의 산화물 반도체이라도 다른 산화물 반도체와 비교하여 양호한 전기적 특성(높은 전계 효과 이동도나 작은 S값 등)과 높은 신뢰성을 겸비하여 바람직하다. 여기서 예를 들어 산화물 반도체 중 하나인 산화 아연은, 저온으로 다결정 상태가 되기 쉽고 그 결정 입계에 의하여 원하는 전계 효과 이동도나 S값 등의 전기 특성을 얻기가

어렵다.

- [0060] 상술한 바와 같이 트랜지스터(102)에 오프 전류가 저감된 트랜지스터를 적용함으로써 유지 노드(R)에 유지된 전위를 긴 기간에 걸쳐 유지할 수 있다. 또한 기억 장치에 공급되는 전력이 정지되어도 데이터의 유지가 가능하게 된다.
- [0061] 도 1b는 본 발명의 일 형태의 기억 장치의 개략도이다.
- [0062] 기억 장치는 트랜지스터(101) 위에 트랜지스터(102)와 용량 소자(103)가 적층되어 제공되어 있다.
- [0063] 트랜지스터(101)는 채널이 형성되는 반도체 장치에 단결정 반도체가 적용된 트랜지스터이다. 트랜지스터(101)는 반도체층(115)과, 반도체층(115)과 전기적으로 접속되는 제 1 전극층(112) 및 제 2 전극층(113)과, 반도체층(115) 위에 접하는 게이트 절연층(114)과, 게이트 절연층(114) 위에 접하며 반도체층(115)의 채널 형성 영역과 중첩되는 게이트 전극층(111)을 구비한다. 트랜지스터(101)의 채널 방향은 반도체층(115)의 상면과 평행한다.
- [0064] 또한 트랜지스터(102)는, 상기 게이트 전극층(111) 위에 제공되고 상기 게이트 전극층(111)과 전기적으로 접속되는 반도체층(125)과, 반도체층(125) 위에 제공되고 상기 반도체층(125)과 전기적으로 접속되는 전극층(122)과, 반도체층(125)의 측면에 접하여 제공되는 게이트 절연층(124)과, 게이트 절연층(124)과 접하며 반도체층(125)의 상기 측면과 대향하도록 제공되는 게이트 전극층(121)을 구비한다. 트랜지스터(102)는 소위 종형의 트랜지스터이다. 따라서 트랜지스터(102)의 채널 방향은 트랜지스터(101)의 채널 방향, 및 반도체층(115)의 상면에 대하여 수직이다.
- [0065] 또한 용량 소자(103)는 상기 게이트 전극층(111) 위에 중첩되어 제공되는 전극층(132)과, 게이트 전극층(111)과 전극층(132) 사이에 협지되는 유전층(134)을 구비한다. 따라서 트랜지스터(101)의 채널은, 트랜지스터(102)의 반도체층(125)과 용량 소자(103)의 유전층(134)과 중첩된다.
- [0066] 여기서 전극층(122)은 도 1a에서의 배선(S1)과 전기적으로 접속된다. 마찬가지로, 게이트 전극층(121)은 배선(W1)과, 전극층(132)은 배선(W2)과, 제 1 전극층(112)은 배선(S2)과, 제 2 전극층(113)은 배선(D)과 각각 전기적으로 접속된다. 또한, 게이트 전극층(111)이 유지 노드(R)에 상당한다.
- [0067] 도 1b에 도시한 바와 같이 트랜지스터(101)의 게이트 전극층(111) 위에 종형의 트랜지스터인 트랜지스터(102)와, 용량 소자(103)를 적층하여 제공함으로써 접유 면적이 삭감된 기억 장치를 실현할 수 있다. 또한, 게이트 전극층(111)이 트랜지스터(102)의 한쪽의 전극, 및 용량 소자(103)의 한쪽의 전극과 겹하는 구성으로 함으로써 기억 장치의 구성이 간략화되어 더욱 낮은 비용으로 제작할 수 있게 된다.
- [0068] 또한, 특히 판독 동작을 수행하는 트랜지스터(101)에 단결정 반도체를 적용함으로써 판독 동작을 고속화할 수 있다.
- [0069] 또한 반도체층(125)에 사용하는 반도체로서 밴드갭이 실리콘보다 넓은 재료를 사용한 경우 상기 재료는 저항값이 매우 높으므로 용량 소자를 구성하는 유전층으로서도 사용할 수 있다. 이 경우, 도 1b에 도시한 바와 같이 트랜지스터(102)의 반도체층(125)과 같은 재료로 형성되는 유전층(134)을 용량 소자(103)에 적용하는 것이 바람직하다. 즉, 반도체층(125)과 유전층(134)이 동일한 층으로서 존재하는 것이 바람직하다. 이러한 구성으로 함으로써 공통의 제작 공정에 의하여 트랜지스터(102)와 용량 소자(103)를 제작하는 것이 가능하게 되므로, 기억 장치의 제작 공정을 간략화할 수 있어 낮은 비용 또 높은 수율이 실현된 기억 장치로 할 수 있다.
- [0070] 또한, 도 2a에 도시한 바와 같이 용량 소자(103)의 유전층(134)으로서 절연 재료의 박막을 사용한 구성으로 하여도 좋다. 유전층(134)에 절연 재료의 박막을 사용함으로써 유전층(134)의 두께를 얇게 형성할 수 있으므로 용량 소자(103)의 용량을 높일 수 있다.
- [0071] 여기서 트랜지스터(102)의 채널 길이는 반도체층(125)의 두께를 바꿈으로써 제어할 수 있다. 이로써 미세화됨에 따라 게이트 전극층(111)이나 전극층(122) 등의 선폭이 매우 작아진 경우에도 반도체층(125)의 두께에 의하여 임의의 채널 길이로 할 수 있다.
- [0072] 또한 도 1b나 도 2a에 있어서 반도체층(125)을 각기둥 형상으로서 나타내었지만 상이한 형상으로 할 수도 있다. 도 2b에는 반도체층(125)의 형상을 원기둥 형상으로 한 경우의 개략도를 도시하였다. 또한 도 2c는 도 2b에서의 게이트 전극층(121) 및 게이트 절연층(124)을 파선으로 나타낸 도면이다.
- [0073] 반도체층(125)의 형상이 예를 들어 각기둥 형상이면, 그 측면 근방에 형성되는 채널의 실효적인 폭을 크게 할 수 있으므로 트랜지스터(102)의 온 전류를 높게 할 수 있다. 또한, 도 2b 및 도 2c에 도시한 바와 같이 반도체

층(125)을 원주 형상으로 하면 그 측면에 돌출된 부분이 없기 때문에, 그 측면 전체에 게이트 전계가 균일하게 인가되게 되어 신뢰성이 높은 트랜지스터(102)로 할 수 있다. 또한, 예를 들어 온 전류를 높게 하고 싶은 경우에는 반도체층(125)의 저면의 형상을 예를 들어 별형 다각형(star polygon)과 같이, 적어도 하나의 내각이 180°를 넘는 다각형(오목 다각형)으로 하여 실효적인 채널폭을 크게 하여도 좋다.

[0074] 또한 도 1b에 있어서, 게이트 전극층(121)은 게이트 절연층(124)을 개재(介在)하여 반도체층(125)의 측면의 일부에 대향하도록 제공되는 구성으로 하였지만, 적어도 반도체층(125)의 측면의 일부를 덮어 형성되어 있으면 좋다. 예를 들어 게이트 전극층(121)이 반도체층(125)의 외주를 둘러싸는 구성으로 하여도 좋고, 반도체층(125)의 한쪽의 측면에만 게이트 전극층(121)을 제공하는 구성으로 하면 접적도를 높게 할 수 있다. 도 2b, 도 2c에 도시한 바와 같이 반도체층(125)의 측면을 둘러싸는 구성으로 하면 트랜지스터(102)의 실효적인 채널폭을 크게 할 수 있으므로 온 전류를 높게 할 수 있다.

[0075] 본 실시형태에서 예시한 기억 장치는 트랜지스터(101) 위에 트랜지스터(102)와 용량 소자(103)가 적층되고 또 트랜지스터(102)로서 종형의 트랜지스터를 적용하기 때문에 접유 면적이 매우 저감된 기억 장치이다. 또한, 기록 및 제거에 사용하는 전압으로서 높은 전압이 필요 없으므로 매우 낮은 소비 전력으로 동작할 수 있는 기억 장치이다.

[0076] 또한, 트랜지스터(102)로서 오프 전류가 저감된 트랜지스터를 적용함으로써 전력 공급이 정지되어도 데이터의 유지가 가능하고 또 매우 긴 기간 데이터를 유지할 수 있는 기억 장치를 실현할 수 있다.

[0077] 본 실시형태는 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0078] (실시형태 2)

[0079] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치의 예로서 기억 장치의 다른 구성예에 대하여 도면을 참조하여 설명한다. 또한, 상기 실시형태와 중복되는 부분에 대해서는 설명을 생략하거나 간략화한다.

[0080] <구성 예>

[0081] 도 3a는 본 실시형태에서 예시하는 기억 장치의 주요부의 회로도이다.

[0082] 여기서 두 개의 트랜지스터와 하나의 용량 소자를 포함하는 구성을 모두 통합하여 하나의 기억 소자라고 부르기로 한다.

[0083] 도 3a에 도시한 기억 장치는 트랜지스터(101a), 트랜지스터(102a) 및 용량 소자(103a)를 포함한 기억 소자(110a)와, 트랜지스터(101b), 트랜지스터(102b) 및 용량 소자(103b)를 포함한 기억 소자(110b)를 구비한다. 기억 소자(110a) 및 기억 소자(110b)의 구성은 실시형태 1에서 예시한 기억 장치와 같은 구성으로 할 수 있다.

[0084] 기억 장치에는, 트랜지스터(102a) 및 트랜지스터(102b) 각각의 게이트와 전기적으로 접속되는 배선(W1)과, 용량 소자(103a) 및 용량 소자(103b) 각각의 한쪽의 전극과 전기적으로 접속되는 배선(W2)과, 트랜지스터(102a)의 제1 전극 및 트랜지스터(101a)의 제1 전극과 전기적으로 접속되는 배선(S11)과, 트랜지스터(102b)의 제1 전극 및 트랜지스터(101b)의 제1 전극과 전기적으로 접속되는 배선(S12)과, 트랜지스터(101a) 및 트랜지스터(101b) 각각의 제2 전극과 전기적으로 접속되는 배선(S2)이 접속되어 있다.

[0085] 이로써 실시형태 1에서 예시한 배선(S1)과 배선(D)을 공통화하여 배선(S11)(또는 배선(S12))으로 하고 또 인접하는 기억 소자간에서 배선(S2)을 공통화함으로써 배선의 개수를 약간시킬 수 있다.

[0086] 또한 여기서는 간략화를 위하여, 도 3a에는 두 개의 기억 소자를 구비하는 구성에 대하여 설명하지만 실제로는 이 두 개의 기억 소자의 쌍이 배선(W1)이나 배선(S2) 등을 따라서 주기적으로 배치되어 있는 것이 바람직하다.

[0087] 다음에 도 3a에 도시한 기억 장치의 동작에 대하여 설명한다.

[0088] 기록을 수행할 때에는 배선(W1)에 트랜지스터(102a) 및 트랜지스터(102b)를 온 상태로 하는 전위가 공급된다. 다음에 배선(S11)과 배선(S12) 각각에 원하는 전위를 공급함으로써 트랜지스터(102a) 또는 트랜지스터(102b)를 통하여 각각 기억 소자의 유지 노드에 데이터를 기록할 수 있다.

[0089] 판독을 수행할 때에는 배선(S2)에는 공통 전위가 공급된다. 여기서 각각의 기억 소자의 유지 노드에 트랜지스터(101a) 또는 트랜지스터(101b)를 온 상태로 하는 전위가 유지되어 있을 때에는 배선(S11) 또는 배선(S12)의 전위가 변화된다. 한편, 유지 노드의 전위가 상기 트랜지스터를 오프 상태로 하는 전위일 때에는 배선(S11) 또는 배선(S12)의 전위는 변화되지 않는다. 따라서 배선(S11) 또는 배선(S12)의 전위의 변화를 센스 앰프 등으로

검지함으로써 각각 기억 소자에 기록된 데이터를 판독할 수 있다.

[0090] 여기서 배선(S2)을 따라서 배치된 다른 기억 소자의 판독을 수행하는 경우에는 트랜지스터(101a) 및 트랜지스터(101b)를 확실하게 오프 상태로 할 필요가 있다. 이 때 배선(W2)에 원하는 전위를 공급함으로써 용량 소자(103a) 또는 용량 소자(103b)를 통하여 각각의 유지 노드의 전위를 트랜지스터(101a) 또는 트랜지스터(101b)를 오프 상태로 하는 전위로 변화시킨다. 이로써 배선(S2)을 따라서 배치된 다른 기억 소자의 판독을 확실하게 수행할 수 있다.

[0091] 이상이 기억 장치의 동작에 대한 설명이다.

[0092] 도 3b는 본 실시형태에서 예시하는 기억 장치의 상면 개략도이다.

[0093] 도 3b에는 배선(W1)으로서 기능하는 배선층(201)과, 배선(W2)으로서 기능하는 배선층(202)과, 배선(S11)으로서 기능하는 배선층(203a)과, 배선(S12)으로서 기능하는 배선층(203b)과, 배선(S2)으로서 기능하는 배선층(204)을 도시하였다.

[0094] 또한 배선층(201)과 배선층(203a)이 중첩되는 영역에 트랜지스터(102a)가 제공되어 있다. 마찬가지로 배선층(201)과 배선층(203b)이 중첩되는 영역에 트랜지스터(102b)가, 배선층(202)과 배선층(203a)이 중첩되는 영역에 용량 소자(103a)가, 배선층(202)과 배선층(203b)이 중첩되는 영역에 용량 소자(103b)가 각각 제공되어 있다.

[0095] 도 4a 내지 도 4c에는 각각 도 3b 중의 절단선 A-A', 절단선 B-B', 절단선 C-C'에서 절단한 단면 개략도를 도시하였다. 도 4a는 배선층(203a)을 따라서 트랜지스터(102a)와 용량 소자(103a)를 포함한 영역을 절단한 단면 개략도이다. 또한 도 4b는 배선층(201)을 따라서 트랜지스터(102a)와 트랜지스터(102b)를 포함한 영역을 절단한 단면 개략도이다. 도 4c는 배선층(202)과 용량 소자(103a)와 접속 전극층(213b)과 접속 전극층(213c)을 포함한 영역을 절단한 단면 개략도이다.

[0096] 기억 소자(110a)에 있어서 트랜지스터(101a)의 게이트 전극층(111a) 위에 트랜지스터(102a)와 용량 소자(103a)가 적층되어 있다. 또한 기억 소자(110b)에 있어서 트랜지스터(101b)의 게이트 전극층(111b) 위에 트랜지스터(102b)와 용량 소자(103b)가 적층되어 있다.

[0097] 여기서 트랜지스터(101a) 및 트랜지스터(101b)는 채널이 형성되는 반도체로서 단결정 반도체를 사용한 트랜지스터이다.

[0098] 트랜지스터(101a)는 반도체층(115)과, 반도체층(115)과 전기적으로 접속되는 제 1 전극층(112a) 및 제 2 전극층(113)과, 반도체층(115) 위와 접하는 게이트 절연층(114)과, 게이트 절연층(114) 위와 접하며 반도체층(115)과 중첩되는 게이트 전극층(111a)을 갖는다.

[0099] 또한 트랜지스터(101b)도 마찬가지로 반도체층(115)과 제 1 전극층(112b) 및 제 2 전극층(113)과, 게이트 절연층(114)과, 게이트 전극층(111b)을 갖는다.

[0100] 트랜지스터(101b)의 제 1 전극층(112b)은 접속 전극층(213c)을 통하여 배선층(203b)과 전기적으로 접속되어 있다. 또한 트랜지스터(101a)의 제 1 전극층(112a)도 마찬가지로 접속 전극층(213c)(도시하지 않았음)을 통하여 배선층(203a)과 전기적으로 접속되어 있다. 또한 트랜지스터(101a)와 트랜지스터(101b)에 공통된 제 2 전극층(113)은 접속 전극층(213b)을 통하여 배선층(204)과 전기적으로 접속되어 있다.

[0101] 또한 도 4a 내지 도 4c에 도시한 바와 같이 게이트 전극층(111a) 및 게이트 전극층(111b)의 측면에는 사이드 월 절연층을 가져도 좋다.

[0102] 트랜지스터(102a)는 게이트 전극층(111a)의 상면과 접하는 반도체층(125)과, 반도체층(125)의 상면과 접하는 전극층(122)과, 반도체층(125)의 측면과 접하는 게이트 절연층(124)을 갖는다. 또한 게이트 절연층(124)과 접하며 반도체층(125)의 측면을 둘러싸도록 배선층(201)이 제공되어 있다. 배선층(201)의 일부는 트랜지스터(102a)의 게이트 전극으로서 기능한다. 따라서 트랜지스터(102a)의 게이트 전극은 트랜지스터(101a)의 게이트 전극 층(111a)과 트랜지스터(102a)의 전극층(122) 사이에 위치한다.

[0103] 트랜지스터(102b)도 마찬가지로 게이트 전극층(111b)과 접하는 반도체층(125)과, 전극층(122)과, 게이트 절연층(124)을 갖고, 반도체층(125)의 측면이 배선층(201)으로 둘러싸여 있다. 트랜지스터(102b)의 게이트 전극은 트랜지스터(101b)의 게이트 전극층(111b)과 트랜지스터(102b)의 전극층(122) 사이에 위치한다.

[0104] 트랜지스터(102a)의 전극층(122)은 접속 전극층(213a)을 통하여 배선층(203a)과 전기적으로 접속되어 있다. 또

한 트랜지스터(102b)의 전극층(122)도 마찬가지로 접속 전극층(213a)을 통하여 배선층(203b)과 전기적으로 접속되어 있다.

[0105] 용량 소자(103a)는 트랜지스터(101a)의 게이트 전극층(111a) 위와 접하는 유전층(134)을 갖는다. 또한 유전층(134) 상면과 접하는 배선층(202)이 제공되어 있다. 배선층(202)의 일부는 용량 소자(103a)의 한쪽의 전극으로서 기능한다. 여기서 유전층(134)은 반도체층(125)과 같은 층으로 구성되어 있다. 즉, 유전층(134)은 반도체층(125)과 동일한 층으로서 존재한다.

[0106] 용량 소자(103b)도 마찬가지로 게이트 전극층(111b) 위와 접하는 유전층(134)을 갖고, 유전층(134)의 상면과 접하여 배선층(202)이 제공되어 있다.

[0107] 또한 도 4a 내지 도 4c에 도시한 바와 같이 기억 장치를 구성하는 전극층이나 배선층을 전기적으로 분리하기 위하여 각각의 전극층간, 배선층간, 또는 전극층과 배선층간에는 절연층(212a) 내지 절연층(212h) 중 어느 하나가 제공되어 있다.

[0108] 또한 반도체층(115)을 구성하는 기판에는 반도체층(115)을 구비하는 트랜지스터간을 전기적으로 분리하기 위한 소자 분리층(211)이 제공되어 있다.

[0109] 여기서 본 실시형태에서 예시하는 기억 장치에 있어서 상기 기억 장치를 구성하는 전극층 또는 배선층의 폭이나, 전극층간, 배선층간, 또는 전극층과 배선층 사이의 간격은 사용하는 제작 방법에서의 최소 가공 치수에 의하여 형성할 수 있다. 여기서 최소 가공 치수를 F로 하면, F의 값은 바람직하게는 100nm 이하, 더 바람직하게는 50nm 이하, 더 바람직하게는 30nm 이하로 한다.

[0110] 여기서 본 구성예에서는 종형의 트랜지스터인 트랜지스터(102a)나 용량 소자(103a)의 점유 면적을 F^2 까지 축소할 수 있다.

[0111] 이로써 트랜지스터(101a)와 트랜지스터(101b)의 한쪽의 전극층이 공통화됨으로써 두 개의 기억 소자간을 가능한 한 가깝게 하여 배치할 수 있다. 또한 트랜지스터(101a)의 게이트 전극층(111a) 위에 트랜지스터(102a)와 용량 소자(103a)를 적층하여 제공함으로써 하나의 기억 소자의 점유 면적을 축소화할 수 있다.

[0112] 이상이 본 실시형태에서 예시하는 기억 장치의 구성예에 대한 설명이다.

[0113] <변형 예>

[0114] 상기 구성예에서는 용량 소자를 구성하는 유전층으로서, 종형의 트랜지스터의 반도체층과 동일한 층을 사용하였지만(즉, 상기 유전층과 상기 반도체층은 동일한 층으로서 존재함) 이하에서는 유전층으로서 절연 재료의 박막을 사용한 경우에 대하여 설명한다.

[0115] 도 5는, 도 4a에 도시한 단면 개략도 중에 있어서의 용량 소자(103a)의 구성을 다른 구성으로 하여 도시한 도면이다. 또한 용량 소자(103a)의 구성 이외는 상기 구성예와 같은 구성이다.

[0116] 용량 소자(103a)는 트랜지스터(101a)의 게이트 전극층(111a) 위와 접하는 유전층(134)과, 유전층(134) 상면과 접하는 전극층(132)을 갖는다. 또한 전극층(132) 상면과 접하는 배선층(202)이 제공되어 있다.

[0117] 유전층(134)은 절연 재료로 이루어진 박막으로 구성되어 있다. 이런 구성으로 함으로써 유전층(134)을 얇게 형성할 수 있으므로 단위 면적당의 용량을 높일 수 있다.

[0118] 여기서 도 5에 도시한 바와 같이 유전층(134)은 트랜지스터(102a)의 게이트 절연층(124)과 동일한 층으로서 존재하는 것이 바람직하다. 또한 전극층(132)은 배선층(201)과 동일한 층으로서 존재하는 것이 바람직하다. 이로써 유전층(134)과 전극층(132)을, 트랜지스터(102a)를 구성하는 층과 동일한 층으로 구성함으로써 용량 소자(103a)와 트랜지스터(102a)를 동일한 공정에 의하여 형성하는 것이 가능하므로 제작 공정을 간략화할 수 있다.

[0119] 이상이 본 변형 예에 대한 설명이다.

[0120] <제작 공정 예>

[0121] 이하에서는 상기 구성예에서 예시한 기억 장치를 제작하는 방법의 일례에 대하여 도면을 참조하여 설명한다. 또한 본 제작 공정 예에서는 일부 이외는 개략만을 제시하기로 한다. 상세한 것은 공지의 반도체 접착 회로 제작 기술을 참조하면 좋다.

[0122] 도 6a 내지 도 9b는 본 제작 공정 예에서의 각 단계에 있어서의 상면 개략도와 단면 개략도를 도시한 것이다.

예를 들어 도 6a는 그 단계에 있어서의 상면 개략도를 도시한 것이고 도 6b는 도 6a 중의 절단선 A-A' 및 절단선 B-B'에서 절단한 단면 개략도를 도시한 것이다.

[0123] 우선 반도체 재료를 포함하는 기판을 준비한다. 반도체 재료를 포함으로서는, 실리콘이나 탄소화 실리콘으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기서, 반도체 재료를 포함하는 기판으로서 단결정 실리콘 기판을 사용하는 경우의 일례에 대하여 제시한다. 또한, 일반적으로 "SOI 기판"은 절연 표면 위에 실리콘 반도체층이 제공된 구성의 기판을 말하지만, 본 명세서 등에 있어서는 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체 층이 제공된 구성의 기판도 포함하는 것으로 한다. 즉, SOI 기판에는 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 제공된 구성도 포함되는 것으로 한다.

[0124] 다음에 기판 위에 소자 분리층(211)을 형성한다. 소자 분리층(211)은 공지의 LOCOS(Local Oxidation of Silicon) 프로세스 등을 사용하여 형성하면 좋다. 또한 이런 공정의 전후에 있어서, 나중에 형성되는 트랜지스터(101a) 및 트랜지스터(101b)의 문턱값 전압을 제어하기 위하여 n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소를 기판에 첨가하여도 좋다. 기판에 포함되는 반도체 재료가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는 예를 들어 인, 비소 등을 사용할 수 있다. 한편, p형 도전성을 부여하는 불순물로서 예를 들어 봉소, 알루미늄, 갈륨 등을 사용할 수 있다.

[0125] 또한 소자 분리층(211)을 형성한 후 기판 표면을 평탄화하는 것이 바람직하다. 예를 들어 CMP(Chemical Mechanical Polishing) 등의 연마 처리나 에칭 처리를 사용하면 좋다.

[0126] 다음에, 기판 표면에 절연막을 형성하고 상기 절연막 위에 도전막을 형성한다.

[0127] 상기 절연막은 나중에 형성되는 트랜지스터(101a) 및 트랜지스터(101b)의 게이트 절연층(114)이 되는 것이고, CVD법이나 스퍼터링법 등에 의하여 얻어지는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가된 하프늄실리케이트, 질소가 첨가된 하프늄알루미네이트($HfAl_xO_y$ ($x>0$, $y>0$)) 등을 포함한 막의 단층 구조 또는 적층 구조로 하면 좋다. 이 외에 고밀도 플라즈마 처리나 가열 처리(열산화 처리나 열질화 처리 등)에 의하여 기판의 표면을 산화, 질화함으로써 상기 절연막을 형성하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어 He, Ar, Kr, Xe 등의 희가스와, 산소, 산화 질소, 암모니아, 질소 등과의 혼합 가스를 사용하여 수행할 수 있다. 또한, 절연막의 두께는 특별히 한정되지 않지만, 예를 들어 1nm 이상 100nm 이하로 할 수 있다.

[0128] 도전막은 나중에 형성되는 트랜지스터(101a) 및 트랜지스터(101b)의 게이트 전극층(111a) 및 게이트 전극층(111b)이 되는 것이고, 알루미늄이나 구리, 티타늄, 탄탈, 텉스텐, 크롬, 니켈, 몰리브덴 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 도전 재료를 포함한 다결정 실리콘 등의 반도체 재료를 사용하여 도전막을 형성하여도 좋다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스판 코팅법 등의 각종 성막 방법을 사용할 수 있다. 또한 본 실시형태에서는 도전막으로서 금속 재료를 사용하는 경우의 일례에 대하여 제시하는 것으로 한다.

[0129] 또한 상기 도전막은 나중에 형성되는 트랜지스터(102a) 및 트랜지스터(102b)의 한쪽의 전극으로서도 기능하기 때문에 반도체층(125)에 사용하는 반도체 재료의 전자 친화력을 고려하여 재료를 선택하는 것이 바람직하다. 또한 도전막을 두 개 이상의 막이 적층된 적층막으로 하고 그 적층막의 제일 위의 층(반도체층(125)과 접하는 층)의 도전막에, 트랜지스터(102a) 및 트랜지스터(102b)의 전극에 적합한 재료로 이루어진 도전막을 사용하는 구성으로 하여도 좋다.

[0130] 다음에 상기 도전막의 불필요한 부분을 에칭하여 게이트 전극층(111a) 및 게이트 전극층(111b)을 형성한다.

[0131] 다음에 게이트 전극층(111a) 및 게이트 전극층(111b)의 측면과 접하는 사이드 월 절연층을 형성한다. 사이드 월 절연층은 게이트 전극층(111a) 및 게이트 전극층(111b)을 덮는 절연막을 형성한 후에 상기 절연막에 이방성이 높은 에칭 처리를 적용함으로써 자기 정합적으로 형성할 수 있다.

[0132] 또한 사이드 월 절연층을 형성할 때의 에칭 처리에 의하여 게이트 절연층(114)이 되는 절연막 중에 있어서, 게이트 전극층(111a) 및 게이트 전극층(111b) 및 사이드 월 절연층에 중첩되지 않은 부분이 동시에 에칭됨으로써 게이트 절연층(114)이 형성된다.

[0133] 사이드 월 절연층을 제공함으로써, 후술하는 불순물을 첨가하는 공정에 있어서, 상이한 농도로 불순물 원소가 첨가된 불순물 영역을 형성할 수 있다. 이로써 단채널 효과 등의 영향을 억제할 수 있어 바람직하다. 또한 고

집적화가 요구되는 경우, 사이드 월을 갖지 않는 구성으로 함으로써 트랜지스터의 크기를 축소할 수 있다.

[0134] 다음에 게이트 전극층(111a), 게이트 전극층(111b), 및 사이드 월 절연층을 마스크로서 사용하고 인이나 비소 등의 불순물을 첨가하여 제 1 전극층(112a), 제 1 전극층(112b), 및 제 2 전극층(113)을 형성한다. 또한 p채널 형의 트랜지스터를 형성하는 경우에는 봉소나 알루미늄 등의 불순물 원소를 첨가하면 좋고, n채널형의 트랜지스터를 형성하는 경우에는 인이나 비소 등의 불순물 원소를 첨가하면 좋다. 첨가하는 불순물의 농도는 적절히 설정할 수 있으나 반도체 소자가 고도로 미세화되는 경우에는 그 농도를 높게 하는 것이 바람직하다. 또한 불순물 원소를 첨가한 후에는 가열 처리를 수행하고 불순물 원소의 활성화나 불순물 원소의 첨가시에 생기는 결함의 개선 등을 도모하는 것이 바람직하다.

[0135] 이상 공정을 거쳐 트랜지스터(101a) 및 트랜지스터(101b)를 형성할 수 있다.

[0136] 다음에, 나중의 절연층(212a)이 되는 절연막을 형성한 후, 게이트 전극층(111a) 및 게이트 전극층(111b)이 노출 되도록 평탄화 처리를 수행하여 절연층(212a)을 형성한다.

[0137] 절연층(212a)이 되는 절연막에는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등의 무기 절연 재료를 포함한 막의 단막 또는 적층막을 사용할 수 있다. 또한 나중의 공정에서 가해지는 열에 견딜 수 있다면 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 사용하여 형성할 수도 있다.

[0138] 또한 이 단계에 있어서의 상면 개략도 및 단면 개략도가 각각 도 6a 및 도 6b에 상당한다.

[0139] 다음에 게이트 전극층(111a), 게이트 전극층(111b) 및 절연층(212a) 위에 나중의 반도체층(125)이 되는 반도체 막을 형성한다. 여기서 반도체막의 두께는 나중의 평탄화 공정에서 막 두께가 감소되는 것을 고려하여 미리 원하는 채널 길이보다 두껍게 되도록 형성하는 것이 바람직하다.

[0140] 반도체막의 재료로서 실리콘 등의 반도체 재료를 사용할 수도 있지만 실리콘보다 밴드갭이 넓은 반도체 재료를 사용하는 것이 바람직하다. 실리콘보다 넓은 밴드갭을 갖는 반도체로서 화합물 반도체가 있고 예를 들어 산화물 반도체, 질화물 반도체 등이 있다.

[0141] 트랜지스터의 오프 저항은 채널이 형성되는 반도체층에서의, 열적으로 여기하는 캐리어 농도와 반비례한다. 도너나 억셉터에 의한 캐리어가 전혀 존재하지 않는 상태(진성 반도체)라도, 실리콘의 경우에는 밴드갭이 1.1전자 볼트이기 때문에, 실온(300K)에서의 열여기 캐리어의 농도는 $1 \times 10^{11} \text{ cm}^{-3}$ 정도이다.

[0142] 한편, 예를 들어 밴드갭이 3.2전자 볼트인 반도체의 경우에는 열여기 캐리어의 농도는 $1 \times 10^{-7} \text{ cm}^{-3}$ 정도가 된다. 같은 전자 이동도인 경우, 저항률은 캐리어 농도에 반비례하기 때문에, 밴드갭이 3.2전자 볼트인 반도체의 저항률은 실리콘보다 18자릿수나 크다.

[0143] 이런 밴드갭이 넓은 반도체가 적용된 트랜지스터는 매우 낮은 오프 전류를 실현할 수 있다. 이런 트랜지스터를 트랜지스터(102a) 및 트랜지스터(102b)에 적용함으로써 각 기억 소자의 유지 노드에 유지되는 전위를 매우 긴 기간 동안 유지시키는 것이 가능하게 된다.

[0144] 본 실시형태에서는, 반도체막으로서 산화물 반도체막을 스퍼터링법에 의하여 형성한다. 구체적으로는 In-Ga-Zn 계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다.

[0145] 또한 산화물 반도체로서 사용할 수 있는 재료는 상기에 한정되지 않는다. 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn 양쪽 모두를 포함하는 것이 바람직하다.

[0146] 또한, 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스태빌라이저로서, 상술한 것에 추가하여 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 란타노이드 중에서 선택된 1 종류 또는 복수 종류를 갖는 것이 바람직하다.

[0147] 란타노이드로서, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴븀(Tm), 이테르븀(Yb), 루테븀(Lu)이 있다.

[0148] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연 등을 사용할 수 있다.

[0149] 또한, 산화물 반도체로서, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물 등을 사용할 수 있다.

- [0150] 또한, 산화물 반도체로서, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물 등을 사용할 수 있다.
- [0151] 또한, 산화물 반도체로서, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등을 사용할 수 있다.
- [0152] 또한, 여기서는 예를 들어 In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 갖는 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소를 함유시켜도 좋다.
- [0153] 또한 상기 금속 산화물에 SiO_2 를 함유시킨 산화물 반도체로 산화물 반도체막을 형성할 수도 있다.
- [0154] 또한, 산화물 반도체막을 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)으로 표기되는 산화물 반도체로 형성할 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다.
- [0155] 예를 들어, 원자수비가 In: Ga: Zn=1: 1: 1 또는 In: Ga: Zn=2: 2: 1인 In-Ga-Zn계 산화물이나, 그 조성의 근방의 산화물을 사용할 수 있다.
- [0156] 또는, 원자수비가 In: Sn: Zn=1: 1: 1, In: Sn: Zn=2: 1: 3, 또는 In: Sn: Zn= 2: 1: 5인 In-Sn-Zn계 산화물이나, 그 조성의 근방의 산화물을 사용하여도 좋다.
- [0157] 그러나, 상기에 한정되지 않고 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0158] 예를 들어, In-Sn-Zn계 산화물에 있어서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물도 벌크 내의 결함 밀도를 저감시킴으로써 이동도를 높일 수 있다.
- [0159] 또한, 예를 들어 In, Ga, 및 Zn의 원자수비가 In: Ga: Zn=a: b: c($a+b+c=1$)인 산화물의 조성이 원자수비가 In: Ga: Zn=A: B: C($A+B+C=1$)인 산화물의 조성의 근방인 것이란, a, b, c가 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 뜻하고, r는 예를 들어 0.05로 하면 좋다. 다른 산화물도 마찬가지이다.
- [0160] 산화물 반도체는 단결정과 비단결정 중 어느 쪽이어도 좋다. 비단결정인 경우, 비정질이어도 좋고, 다결정이어도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조이어도 좋다. 또한, 비정질은 결함이 많기 때문에 비정질이 아닌 것이 바람직하다.
- [0161] 비정질 상태의 산화물 반도체는 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작하였을 때의 계면 산란을 저감시킬 수 있고, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.
- [0162] 또한, 결정성을 갖는 산화물 반도체에서는 벌크 내의 결함을 더 저감시킬 수 있어, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다.
- [0163] 여기서 산화물 반도체에는 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소 화합물 등의 불순물이 가능한 한 혼입하지 않도록 형성하는 것이 바람직하다. 예를 들어 스퍼터링 타깃이나 성막에 사용하는 가스에 상기 불순물이 혼입하지 않도록 한다. 또한 막을 형성할 때 성막 장치 내를 충분히 배기하고 성막 시에 기관온도를 가열하면서 막을 형성함으로써, 막이 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감시킬 수 있다.
- [0164] 또한, 산화물 반도체막을 형성한 후에 탈수화 처리(탈수소화 처리)를 수행하여 산화물 반도체막 중에서 수소 또는 수분을 제거하고 불순물이 가능한 한 포함되지 않도록 고순도화시키고, 탈수화 처리(탈수소화 처리)로 인하여 증가한 산소 결손을 보전하기 위한 산소를 산화물 반도체막에 더하는 처리를 수행하는 것이 바람직하다. 산소의 공급은 산소 분위기하에서 가열 처리를 수행하는 방법이나, 가열에 의하여 산소를 방출하는 막의 근방에 산화물 반도체막을 배치하고 가열 처리를 수행하는 방법 등을 사용할 수 있다. 본 명세서 등에 있어서 산화물 반도체막에 산소를 공급하는 경우를 가(加)산소화 처리라고 기재하는 경우가 있거나, 또는 산화물 반도체막에 포함되는 산소를 화학양론적 조성보다 많게 하는 경우를 과(過)산소화 처리라고 기재하는 경우가 있다.

- [0165] 이와 같이 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고 가산소화 처리에 의하여 산소 결손을 보전함으로써 i형(진성)화 또는 i형에 매우 가까운 산화물을 반도체막으로 할 수 있다. 이런 산화물을 반도체막 내에는 도너에서 유래하는 캐리어가 매우 적고(0에 가깝고), 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만이 된다.
- [0166] 또한 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소의 공급에 의하여 산소 결손에 기인한 에너지갭 내의 결합 준위가 저감된 산화물을 반도체막을 갖는 트랜지스터는 매우 우수한 오프 전류 특성을 실현할 수 있다. 예를 들어, 실온(25°C)에서의 오프 전류(여기서는, 단위 채널폭($1\mu\text{m}$)당의 값)는, 100zA(1zA (갭토 암페어)는 $1 \times 10^{-21}\text{A}$) 이하, 바람직하게는 10zA 이하가 된다. 또한, 85°C에서는 100zA($1 \times 10^{-19}\text{A}$) 이하, 바람직하게는 10zA($1 \times 10^{-20}\text{A}$) 이하가 된다. 이와 같이, i형(진성)화 또는 실질적으로 i형화된 산화물을 반도체막을 사용함으로써, 매우 우수한 오프 전류 특성을 갖는 트랜지스터를 얻을 수 있다.
- [0167] 다음에 반도체막의 불필요한 부분을 제거하여 반도체층(125) 및 유전층(134)을 형성한다.
- [0168] 반도체막의 에칭은, 하드 마스크를 사용하여 수행하는 것이 바람직하다. 우선 반도체막 위에 나중의 하드 마스크가 되는 무기막을 형성하고, 상기 무기막 위의 반도체층(125) 및 유전층(134)을 형성하는 영역과 중첩되도록 레지스트를 형성한다. 여기서 형성한 레지스트에 대하여 애싱(ashing)을 수행하여 레지스트의 폭을 축소시키는, 소위 슬림화 처리를 수행하는 것이 바람직하다. 슬림화 처리를 수행함으로써 반도체층(125) 또는 유전층(134)의 폭을 최소 가공 치수 F보다 작게 할 수 있다. 따라서 반도체층(125) 및 유전층(134)은, 게이트 전극층(111a) 또는 게이트 전극층(111b)의 폭을 최소 가공 치수 F로 형성한 경우라도 그 내측의 영역에 제공될 수 있다.
- [0169] 하드 마스크는 상기 레지스트로 덮여 있지 않은 영역의 상기 무기막을 에칭하여 얻어진다. 하드 마스크를 형성한 후에 레지스트를 제거하여도 좋다.
- [0170] 반도체막의 에칭은, 하드 마스크에 덮여 있지 않은 부분에 이방성이 높은 에칭 방법을 사용하여 수행된다. 여기서 에칭을 할 때에 반도체막보다 아래층에 제공되는 층을 에칭하지 않는 조건을 이용한다. 이와 같이 함으로써 기둥 형상(원기둥 형상, 다각기둥 형상을 포함함)의 반도체층(125)을 형성할 수 있다.
- [0171] 그 다음에 하드 마스크를 제거한다. 또한 하드 마스크 위의 레지스트를 제거하지 않은 경우에는 상기 레지스트를 제거한 후에 하드 마스크를 제거한다.
- [0172] 다음에 반도체층(125)의 측면 및 상면을 덮는 절연막을 형성한다. 상기 절연막의 일부는 게이트 절연층(124)으로서 기능한다. 따라서 반도체층(125)의 측면과 접하는 부분은 두께가 균일하게 되도록 상기 절연막을 형성하는 것이 바람직하다. 상기 절연막은 CVD법, 스퍼터링법 등의 성막 방법에 의하여 형성할 수 있다. 또한 절연막의 막 내, 및 절연막과 반도체층(125)과의 계면에는 물, 수소, 수소 화합물 등의 수소 원자를 포함하는 불순물이 충분히 저감되어 있는 것이 바람직하다.
- [0173] 여기서 절연막의 형성에는 μ 파(예를 들어 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD를 사용하면 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있어 바람직하다. 고순도화된 산화물 반도체와 고품질의 게이트 절연층이 접촉함으로써 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있다.
- [0174] 절연막으로서는, 예를 들어 산화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄알루미네이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$)) 등을 포함한 막을, 단층으로 또는 적층시킴으로써 형성할 수 있다.
- [0175] 이 단계에 있어서의 상면 개략도 및 단면 개략도가 각각 도 7a 및 도 7b에 상당한다.
- [0176] 다음에 게이트 절연층(124)을 구성하는 상기 절연막 위에 배선층(201)이 되는 도전막을 형성하고, 상기 도전막의 불필요한 부분을 에칭한다. 그 다음에 상기 절연막 및 도전막 위에 나중의 절연층(212b)이 되는 절연막을 형성한다. 다음에 반도체층(125) 및 유전층(134)의 상면이 노출되도록 평탄화 처리를 수행함으로써 배선층(201)과 절연층(212b)이 형성된다.
- [0177] 배선층(201)이 되는 도전막은 상기 게이트 전극층(111a) 및 게이트 전극층(111b)에 사용하는 도전막과 같은 재

료, 방법에 의하여 형성할 수 있다. 또한, 이하, 배선층(202), 배선층(203a), 배선층(203b), 배선층(204)에 사용하는 도전막도 마찬가지이다.

[0178] 또한 절연층(212b)을 구성하는 절연막은 절연층(212a)에 사용하는 절연막과 같은 재료, 방법에 의하여 형성할 수 있다. 또한 이하, 절연층(212c), 절연층(212d), 절연층(212e), 절연층(212f), 절연층(212g), 절연층(212h)에 사용하는 절연막도 마찬가지이다.

[0179] 다음에 반도체층(125), 유전층(134), 게이트 절연층(124), 배선층(201), 및 절연층(212b) 위와 접하여 절연층(212c)이 되는 절연막을 형성한다. 그 다음에 절연층(212c)이 되는 절연막에, 반도체층(125) 또는 유전층(134)에 도달되는 개구부를 형성함으로써 절연층(212c)이 형성된다.

[0180] 다음에 나중의 배선층(202) 또는 전극층(122)이 되는 도전막을 반도체층(125), 유전층(134), 및 절연층(212c) 위에 형성한다. 그 다음에 상기 도전막의 불필요한 부분을 에칭함으로써 배선층(202) 및 전극층(122)이 형성된다.

[0181] 상술한 공정에 의하여 트랜지스터(101a)의 게이트 전극층(111a) 위에 트랜지스터(102a)와 용량 소자(103a)를 형성할 수 있다. 또한 동시에 트랜지스터(101b)의 게이트 전극층(111b) 위에 트랜지스터(102b)와 용량 소자(103b)가 형성된다.

[0182] 이 단계에 있어서의 상면 개략도 및 단면 개략도가 각각 도 8a 및 도 8b에 상당한다.

[0183] 다음에 배선층(202), 전극층(122), 및 절연층(212c) 위에 절연층(212d)이 되는 절연막을 형성한다. 그 후에 배선층(202) 및 전극층(122)의 상면이 노출되도록 평탄화 처리를 수행함으로써 절연층(212d)이 형성된다.

[0184] 다음에 절연층(212e)이 되는 절연막을 형성하고, 절연층(212e)을 형성한다.

[0185] 다음에 절연층(212e)에는 전극층(122)에 도달하는 개구부를 형성한다. 그 후에 절연층(212e) 및 전극층(122) 위에 접속 전극층(213a)이 되는 도전막을 형성하고, 절연층(212e)의 상면이 노출되도록 평탄화 처리를 수행함으로써 전극층(122)과 전기적으로 접속되는 접속 전극층(213a)을 형성한다.

[0186] 또한 이 때 동시에 절연층(212e), 절연층(212d), 절연층(212c), 절연층(212b), 게이트 절연층(124)을 구성하는 절연막, 및 절연층(212a)에, 제 1 전극층(112a) 또는 제 1 전극층(112b)에 도달하는 개구부를 형성함으로써 제 1 전극층(112a) 또는 제 1 전극층(112b)과 전기적으로 접속되는 접속 전극층(213c)(도 4a 내지 도 4c 참조)을 형성한다.

[0187] 다음에 절연층(212e), 접속 전극층(213a), 및 접속 전극층(213c) 위에 배선층(203a) 및 배선층(203b)이 되는 도전막을 형성한 후 상기 도전막의 불필요한 부분을 에칭함으로써 배선층(203a) 및 배선층(203b)을 형성한다.

[0188] 그 다음에 절연층(212e), 배선층(203a), 및 배선층(203b) 위에 절연층(212f)이 되는 절연막을 형성한 후, 배선층(203a) 및 배선층(203b)의 상면이 노출되도록 평탄화 처리를 수행함으로써 절연층(212f)을 형성한다.

[0189] 다음에 절연층(212f), 배선층(203a), 및 배선층(203b) 위에 절연층(212g)이 되는 절연막을 형성하여 절연층(212g)을 형성한다.

[0190] 다음에 절연층(212g), 절연층(212f), 절연층(212e), 절연층(212d), 절연층(212c), 절연층(212b), 게이트 절연층(124)을 구성하는 절연막, 및 절연층(212a)에, 제 2 전극층(113)에 도달하는 개구부(도시하지 않았음)를 형성한다. 이 후에 절연층(212g) 및 제 2 전극층(113) 위에 접속 전극층(213b)이 되는 도전막을 형성하고 절연층(212g)의 상면이 노출되도록 평탄화 처리를 수행함으로써 제 2 전극층(113)과 전기적으로 접속되는 접속 전극층(213b)(도시하지 않았음)을 형성한다(도 4c 참조).

[0191] 그 후에 절연층(212g) 및 접속 전극층(213b)(도시하지 않았음) 위에 배선층(204)이 되는 도전막을 형성한 후, 상기 도전막의 불필요한 부분을 에칭함으로써 배선층(204)을 형성한다(도 4c 참조).

[0192] 그 다음에 절연층(212g) 및 배선층(204)을 덮는 절연층(212h)을 형성하여도 좋다. 또한 절연층(212h)이 되는 절연막을 형성한 후 상기 절연막의 상면을 평탄화 처리에 의하여 평탄화하여 절연층(212h)을 형성하여도 좋다.

[0193] 이 단계에 있어서의 상면 개략도 및 단면 개략도가 각각 도 9a 및 도 9b에 상당한다.

[0194] 이상의 공정을 거쳐 본 실시형태의 구성예에서 예시한 기억 소자(110a) 및 기억 소자(110b)를 구비하는 기억 장치를 제작할 수 있다.

- [0195] 상기에서는 하드 마스크를 사용하여 반도체층(125) 및 유전층(134)을 형성하는 방법을 설명하였으나 이것과는 다른 방법에 의하여 반도체층(125) 및 유전층(134)을 형성할 수도 있다. 이하에서는 상기와 다른 제작 방법에 대하여 도 10a 내지 도 10d를 사용하여 설명한다.
- [0196] 우선 상기와 마찬가지로 트랜지스터(101a) 및 절연층(212a)을 형성한다.
- [0197] 다음에 절연층(212a) 및 게이트 전극층(111a) 위에 절연층(212i)과 배선층(201)이 되는 도전막을 적층하여 형성한다. 여기서 절연층(212i)은 게이트 전극층(111a)과 배선층(201)을 절연하기 위하여 제공된다.
- [0198] 다음에 상기 도전막과 절연층(212i)에, 게이트 전극층(111a)에 도달하는 개구부를 형성한다. 이 단계에 있어서의 단면 개략도가 도 10a에 상당한다.
- [0199] 다음에 개구부의 측면, 및 저면과 접하도록 나중의 게이트 절연층(124)이 되는 절연막을 형성한다. 또는 상기 도전막의 상면 및 측면을 산화시켜 절연막을 형성하여도 좋다.
- [0200] 그 후에 상기 절연막에 이방성이 높은 에칭 처리를 수행함으로써 상기 도전막과 게이트 전극층(111a) 각각의 상면이 노출되어 개구부의 측벽에만 절연막을 남길 수 있다. 이로써 개구부의 측벽과 접하는 게이트 절연층(124)을 형성할 수 있다.
- [0201] 다음에 상기 도전막 및 게이트 전극층(111a) 위에 게이트 절연층(124)과 접하도록 반도체층(125) 및 유전층(134)이 되는 반도체막을 형성한다. 그 후에 상기 도전막의 상면이 노출되도록 평탄화 처리를 수행함으로써 상기 개구부 내에 반도체층(125) 및 유전층(134)을 형성할 수 있다. 이 단계에 있어서의 단면 개략도가 도 10b에 상당한다.
- [0202] 다음에 상기 도전막, 게이트 절연층(124), 반도체층(125), 및 유전층(134)의 상면에 레지스트를 형성하고 상기 도전막의 불필요한 부분을 에칭함으로써 배선층(201)을 형성한다.
- [0203] 이 후에 절연층(212b)이 되는 절연막을 형성하고 배선층(201), 반도체층(125), 유전층(134), 및 게이트 절연층(124)의 상면이 노출되도록 평탄화 처리를 수행함으로써 절연층(212b)을 형성한다. 이 단계에 있어서의 단면 개략도가 도 10c에 상당한다.
- [0204] 이 후에, 상술한 방법에 따라 절연층(212c), 전극층(122), 및 배선층(202)을 형성한다. 이 단계에 있어서의 단면 개략도가 도 10d에 상당한다.
- [0205] 상술한 공정에 의하여 트랜지스터(101a) 위에 트랜지스터(102a)와 용량 소자(103a)를 형성할 수 있다.
- [0206] 이러한 방법을 사용함으로써 슬림화 처리를 사용하지 않고 확실하게 게이트 전극층(111a)의 내측 영역에 반도체층(125) 및 유전층(134)을 형성할 수 있다.
- [0207] 이상이 본 제작 공정 예에 대한 설명이다.
- [0208] <변형 예>
- [0209] 이하에서는 도 5에 도시한, 용량 소자의 유전층으로서 절연 재료의 박막을 사용한 기억 장치를 제작하는 방법의 일례에 대하여 도면을 참조하여 설명한다. 또한 이하에서는 상기 제작 공정 예와 중복되는 부분에 대해서는 설명을 생략한다.
- [0210] 도 11a 내지 도 11c는 본 변형 예의 각 단계에서의 단면 개략도이다.
- [0211] 우선 상기 제작 공정 예에서 설명한 방법에 의하여 트랜지스터(101a)를 형성한다.
- [0212] 다음에 게이트 전극층(111a) 위에 반도체층(125)을 형성한다. 여기서 상기 구성 예에서는 반도체층(125)과 동시에 동일한 재료로 이루어진 유전층(134)을 형성하였지만, 본 변형 예에서는 형성하지 않은 것에 유의한다.
- [0213] 다음에 게이트 절연층(124)을 구성하는 절연막을 형성한다. 이 때 상기 절연막의 일부를 유전층(134)으로서 사용할 수 있다. 이 단계에 있어서의 단면 개략도가 도 11a에 상당한다.
- [0214] 다음에 배선층(201)을 형성하는 공정에 있어서 용량 소자(103a)가 형성되는 영역에 배선층(201)과 동일한 도전막으로 이루어지는 섬 형상의 패턴을 형성함으로써 전극층(132)을 형성한다. 이로써 게이트 전극층(111a)과 전극층(132) 사이에 절연막으로 이루어진 유전층(134)이 협착된, 용량 소자(103a)를 형성할 수 있다. 이 단계에 있어서의 단면 개략도가 도 11b에 상당한다.

- [0215] 다음에 절연층(212b) 및 절연층(212c)을 형성한다. 이 후 절연층(212c)에, 반도체층(125)에 도달하는 개구부를 형성할 때 전극층(132)에 도달하는 개구부도 동시에 형성한다.
- [0216] 그 후에 전극층(122)과 배선층(202)을 형성한다. 배선층(202)은 절연층(212c)에 제공된 개구부를 통하여 전극층(132)과 전기적으로 접속된다. 이 단계에 있어서의 단면 개략도가 도 11c에 상당한다.
- [0217] 이후의 공정은 상기 제작 공정 예에 기초하여 공정을 수행함으로써 유전층(134)으로서 절연막이 적용된 용량 소자(103)를 구비한 기억 장치를 제작할 수 있다.
- [0218] 상술한 방법에 의하여, 포토마스크의 개수나 제작 공정수를 증가시키지 않고 종형의 트랜지스터와 동시에 용량 소자를 제작할 수 있으므로 저비용으로 또 높은 수율로 기억 장치를 제작할 수 있다.
- [0219] 이상이 본 변형 예에 대한 설명이다.
- [0220] 본 실시형태는 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0221] (실시형태 3)
- [0222] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치의 일례로서, 상기 실시형태와 다른 기억 장치의 구성예에 대하여 도면은 참조하여 설명한다. 또한 이하에서는 상기 실시형태와 중복되는 부분에 대해서는 설명을 생략하거나 간략화한다.
- [0223] 도 12a는 본 실시형태에서 예시하는 기억 장치의 주요부에서의 회로도이다.
- [0224] 기억 장치는 트랜지스터(101)와 트랜지스터(102)와 용량 소자(103)를 구비한다.
- [0225] 또한 기억 장치는 트랜지스터(101) 및 트랜지스터(102) 각각의 제 1 전극과 전기적으로 접속되는 배선(S1)과, 트랜지스터(101)의 제 2 전극과 전기적으로 접속되는 배선(S2)과, 트랜지스터(102)의 게이트와 접속되는 배선(W1)과, 용량 소자(103)의 한쪽의 전극과 전기적으로 접속되는 배선(W2)을 갖는다.
- [0226] 도 12b는 본 실시형태에서 예시하는 기억 장치의 상면 개략도이다. 또한 도 12c는, 도 12b 중의 절단선 D-D'로 절단된 단면 개략도이다.
- [0227] 도 12b 및 도 12c에 도시한 기억 장치는 실시형태 2에서 예시한 기억 장치에서의 트랜지스터(101)를 종형의 트랜지스터로 바꾼 구조이다.
- [0228] 기억 장치는 절연 표면 위에 제공된 배선층(204)과, 배선층(204) 위에 제공된 종형의 트랜지스터인 트랜지스터(101)와, 트랜지스터(101)의 게이트 전극층(111) 위에 제공된 트랜지스터(102) 및 용량 소자(103)와, 트랜지스터(102)의 게이트 전극으로서 기능하는 배선층(201)과, 용량 소자(103)의 한쪽의 전극으로서 기능하는 배선층(202)과, 트랜지스터(101) 및 용량 소자(103) 위에 제공되고 트랜지스터(101) 및 트랜지스터(102)와 전기적으로 접속된 배선층(203)을 갖는다.
- [0229] 배선층(201)은 도 12a에 도시한 배선(W1)으로서 기능한다. 마찬가지로 배선층(202)은 배선(W2)으로서 기능하고, 배선층(203)은 배선(S1)으로서 기능하고, 배선층(204)은 배선(S2)으로서 기능한다. 또한 게이트 전극층(111)이 유지 노드에 상당한다.
- [0230] 도 12b 및 도 12c에 도시한 바와 같이 배선층(204)을 트랜지스터(101)보다 아래층에 제공하는 것이 가능하므로 배선층(204)과 배선층(203)을 중첩시켜 제공할 수 있다. 이 경우 배선층(204)과 배선층(203)은 트랜지스터(101)가 제공되어 있는 층과, 트랜지스터(102) 및 용량 소자(103)가 제공되어 있는 층을 개재하여 형성되므로 이를 거리를 충분히 이격하여 형성할 수 있다. 그러므로 상기 배선층간의 용량을 무시할 수 있을 정도까지 저감시킬 수 있다. 이로써 두 개의 배선층을 중첩시켜 형성함으로써 기억 장치의 점유 면적을 매우 작게 할 수 있다.
- [0231] 또한 도 12c에는 게이트 절연층(114)을 구성하는 절연막에 의하여 게이트 전극층(111)과 배선층(204)이 전기적으로 절연되는 구성을 도시하였지만 게이트 전극층(111)과 배선층(204) 사이에 절연층을 별도로 형성하고, 이들 사이의 용량을 저감시켜도 좋다. 이 경우 상기 절연층을 관통하는 접속 전극층에 의하여 배선층(204)과 제 2 전극층(113)을 접속되는 구조으로 하면 좋다.
- [0232] 트랜지스터(101)는, 배선층(204) 위에 제공되고 상기 배선층(204)과 전기적으로 접속되는 제 2 전극층(113)과, 제 2 전극층(113) 위에 제공되고 상기 제 2 전극층(113)과 전기적으로 접속되는 반도체층(115)과, 반도체층

(115) 위에 제공되고 상기 반도체층(115)과 전기적으로 접속되는 제 1 전극층(112)과, 반도체층(115), 제 1 전극층(112), 및 제 2 전극층(113)의 측면과 접하여 제공되는 게이트 절연층(114)과, 적어도 반도체층(115)의 상기 측면과 대향하도록 제공되는 게이트 전극층(111)을 구비한다. 채널 방향은 절연 표면에 대하여 수직이다.

[0233] 반도체층(115)에는 비정질 반도체나 다결정 반도체, 단결정 반도체 등을 사용할 수 있다.

[0234] 비정질 반도체로서는, 대표적으로는 수소화 비정질 실리콘을 들 수 있다. 또한, 다결정 반도체로서는 대표적으로는 폴리실리콘(다결정 실리콘)을 들 수 있다. 폴리실리콘에는 800°C 이상의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로서 사용한 소위 고온 폴리실리콘이나, 600°C 이하의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 또한 결정화를 촉진하는 원소 등을 사용하여 비정질 실리콘을 결정화시킨 폴리실리콘 등이 포함된다. 물론, 미결정 반도체 또는 반도체층의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.

[0235] 또한 반도체층(115)에 사용하는 반도체로서 상술한 산화물 반도체를 사용하여도 좋다. 이 경우에는 제 1 전극층(112) 및 제 2 전극층(113)을 제공하지 않아도 좋다.

[0236] 트랜지스터(101)를 형성하는 경우, 상기 트랜지스터(102)의 제작 방법을 원용할 수 있다. 이 경우 반도체층(125)을 구성하는 반도체의 단층막 대신에 제 2 전극층(113)을 구성하는 불순물이 첨가된 반도체막과, 반도체층(115)을 구성하는 반도체막과, 제 1 전극층(112)을 구성하는 불순물이 첨가된 반도체막의 적층막을 사용함으로써 트랜지스터(101)를 형성할 수 있다.

[0237] 트랜지스터(102) 및 용량 소자(103)는 상기 실시형태에서 예시한 구성을 사용할 수 있다.

[0238] 이와 같이 함으로써 트랜지스터(101)를 종형의 트랜지스터로 함으로써 트랜지스터(101)를 F²의 면적의 범위 내에 들어가게 할 수 있다. 마찬가지로 트랜지스터(102)나 용량 소자(103)도 각각 F²의 면적의 범위 내에 들어가게 할 수 있다. 그러므로, 고도로 집적화된 경우에도 점유 면적이 매우 저감된 기억 장치를 실현할 수 있다.

[0239] 본 실시형태는 본 명세서 중에서 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0240] (실시형태 4)

[0241] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치의 일례로서 상기 실시형태와 다른 기억 장치의 구성예에 대하여 도면을 참조하여 설명한다. 또한 이하에서는 상기 실시형태와 중복되는 부분에 대해서는 설명을 생략하거나 간략화한다.

[0242] 본 발명의 일 형태의 기억 장치는 제 1 트랜지스터(101)와 제 2 트랜지스터(102)와 용량 소자(103)를 갖는 기억 장치의 층(반도체 장치의 층이라고 할 수도 있고 이하에서는 메모리층이라고도 함)을 복수로 적층하여 제공함으로써 고도로 집적화하는 것이 가능하게 된다. 또한 상기 메모리층의 아래층에 구동 회로를 제공할 수도 있다. 이하에서는 상기 메모리층을 적층하는 구성, 및 메모리층의 아래층에 구동 회로를 제공하는 구성의 예에 대하여 설명한다.

[0243] <구성 예 1>

[0244] 본 구성예에서 예시하는 기억 장치의 상면도는 도 3b가 원용되고, 도 3b의 절단선 A-A', 절단선 B-B'로 절단한 단면 개략도가 도 13에 상당한다.

[0245] 기억 장치는 절연 표면 위에 형성되어 있는 점, 및 트랜지스터(101a)나 트랜지스터(101b)의 구성이 다른 점에서, 실시형태 2(예를 들어 도 4a, 도 4b)에서 예시한 기억 장치와 다르다.

[0246] 트랜지스터(101a)는, 절연 표면 위에 형성된 반도체층(115)과, 반도체층(115)의 측면과 접하여 제공되고 반도체층(115)과 각각 전기적으로 접속되는 제 1 전극층(112a) 및 제 2 전극층(113a)과, 반도체층(115)의 상면과 접하여 제공되는 게이트 절연층(114)과, 게이트 절연층(114)의 상면과 접하여 제공되는 게이트 전극층(111a)을 구비한다.

[0247] 또한 트랜지스터(101b)도 마찬가지로 반도체층(115)과 제 1 전극층(112b)과 제 2 전극층(113b)과, 게이트 절연층(114)과, 게이트 전극층(111b)을 구비한다.

[0248] 또한 소자 분리층(211)이, 반도체층(115), 제 1 전극층(112a), 제 1 전극층(112b), 및 제 2 전극층(113)의 측면과 접하여 제공된다.

- [0249] 반도체층(115)에 사용되는 반도체로서는 실시형태 3에서 예시한 반도체를 사용할 수 있다.
- [0250] 또한 바람직하게는, 반도체층(115)에 사용되는 반도체로서 SOI기판의 제작 방법이 적용된 단결정 반도체를 사용한다.
- [0251] SOI기판의 제작 방법으로서는 경면 연마 웨이퍼에 산소 이온을 주입한 후 고온 가열 처리를 수행함으로써, 표면에서 일정한 깊이로 산화층을 형성시킴과 함께 표면층에 생긴 결함을 소멸시켜서 제작하는 방법, 수소 이온 조사에 의하여 형성된 미소 보이드의 가열 처리에 의한 성장을 이용하여 반도체 기판을 벽개(劈開)하는 방법이나, 절연 표면 위에 결정 성장에 의하여 단결정 반도체층을 형성하는 방법 등을 사용할 수 있다.
- [0252] 게이트 전극층(111a) 위에는 트랜지스터(102a)와 용량 소자(103a)가 제공되어 있다. 또한 게이트 전극층(111b) 위에는 트랜지스터(102b)와 용량 소자(103b)(도시하지 않았음)가 제공되어 있다.
- [0253] 여기서 적어도 트랜지스터(101a), 트랜지스터(102a), 및 용량 소자(103a)를 구성하는 복수의 층을 모두 합쳐서 메모리층(250)으로 한다. 바람직하게는 메모리층(250)은, 메모리층(250)이 형성되는 면과 평행한 방향으로 병렬하여 제공된 복수의 기억 장치를 갖는다. 또한 메모리층(250)은 트랜지스터나 용량 소자를 전기적으로 접속되는 배선층을 포함한다.
- [0254] 이와 같이 하여 트랜지스터(101a) 및 트랜지스터(101b)를 절연 표면 위에 형성 가능한 구성으로 함으로써 복수의 메모리층(250)을 적층하는 것, 또는 메모리층(250)의 아래층에 구동 회로를 제공하는 것이 가능하게 된다.
- [0255] 도 14에는, 종래의 CMOS 프로세스를 사용하여 형성된 구동 회로부(260) 위에 메모리층(250a)과 메모리층(250b)이 적층되어 제공된 기억 장치의 구성을 도시하였다.
- [0256] 메모리층(250a)은 충간 절연층(251a)을 개재하여 구동 회로부(260) 위에 제공되어 있다. 또한 메모리층(250b)은 충간 절연층(251b)을 개재하여 메모리층(250a) 위에 제공되어 있다.
- [0257] 충간 절연층(251a) 및 충간 절연층(251b)은 그 표면이 평탄화 처리되어 있는 것이 바람직하다. 또한 구동 회로부(260)와 메모리층(250a)간, 또는 메모리층(250a)과 메모리층(250b)간의 기생 용량을 저감시키기 위하여 충간 절연층(251a) 및 충간 절연층(251b)에 저유전율의 절연 재료를 사용하거나 또는 충분히 두껍게 형성하는 것이 바람직하다.
- [0258] 메모리층(250a)이나 메모리층(250b)에 포함되는 각 배선층은 도시하지 않은 영역에 있어서 구동 회로부(260)와 접속 전극층을 통하여 전기적으로 접속되어 있고, 구동 회로부(260)에 의하여 데이터의 기록이나 소거, 판독 등의 동작이 제어된다.
- [0259] 이와 같이 하여 복수의 메모리층이 적층된 구성으로 함으로써 기억 장치의 점유 면적당의 데이터 양을 증대시킬 수 있다. 또한 구동 회로를 메모리층의 아래층에 배치함으로써 점유 면적의 증대를 억제할 수 있다.
- [0260] 이상이 본 구성예에 대한 설명이다.
- [0261] <변형예>
- [0262] 또한 실시형태 3에서 예시한 트랜지스터(101)로서 종형의 트랜지스터를 적용한 경우에도, 상기 구성예와 마찬가지로 복수의 메모리층을 적층하는 것이나 아래층에 구동 회로를 제공하는 것이 가능하다.
- [0263] 도 15에는 트랜지스터(101)로서 종형의 트랜지스터를 적용한 경우의 기억 장치의 구성예를 도시하였다.
- [0264] 상기 구성예와 마찬가지로 메모리층(250a)은 충간 절연층(251a)을 개재하여 구동 회로부(260) 위에 제공되어 있다. 또한 메모리층(250b)은 충간 절연층(251b)을 개재하여 메모리층(250a) 위에 제공되어 있다.
- [0265] 여기서 메모리층(250a) 및 메모리층(250b)에는 실시형태 3에서 예시한 바와 같이 점유 면적이 매우 저감된 기억 장치가 적용된다. 따라서 이런 메모리층을 복수로 적층하여 제공함으로써 단위 면적당의 데이터 양을 매우 큰 것으로 할 수 있다.
- [0266] 이상이 본 변형예에 대한 설명이다.
- [0267] 본 실시형태는 본 명세서 중에서 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0268] (실시형태 5)
- [0269] 상기 실시형태에서 예시한 반도체층(125)에 적용 가능한 산화물 반도체로서 결정성을 갖는 반도체막을 사용하면

트랜지스터의 전기 특성을 향상시킬 수 있다. 바람직하게는 반도체막으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 사용하는 것이 바람직하다. 이하에서는 CAAC-OS막이 적용된 반도체 장치에 대하여 설명한다.

- [0270] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼성 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에는 입계(그레이인 바운더리라고도 함)는 확인할 수 없다. 그러므로, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0271] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막이 형성되는 면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향에서 보아서 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 수직인 방향에서 보아서 금속 원자가 층 형상 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있다. 또한, 상이한 결정부간에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서, 단순히 "수직"이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0272] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우에는, 산화물 반도체막이 형성되는 면의 근방보다 산화물 반도체막의 표면 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0273] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막이 형성되는 면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향할 경우가 있다. 또한, 결정부의 c축 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막을 수행함으로써, 또는 성막을 수행한 후에 열처리 등의 결정화 처리를 수행함으로써 형성된다.
- [0274] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0275] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0276] 또한, CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서는, 벌크 내의 결함을 더욱 저감시킬 수 있고, 산화물 반도체의 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 산화물 반도체의 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하인 표면 위에 형성하면 좋다.
- [0277] 또한, Ra란 JIS B 0601:2001(ISO4287: 1997)에서 정의되어 있는 산술 평균 거칠기를 곡면에 적용할 수 있도록 3차원으로 확장한 것이고, "기준면으로부터 지정면까지의 편차의 절대값을 평균한 값"으로 표현할 수 있으며, 이하의 수학식 1로 정의된다.
- [0278] [수학식 1]
- $$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad \dots (1)$$
- [0279] 여기서, 지정면이란 거칠기 계측의 대상이 되는 면이며, 좌표(x₁, y₁, f(x₁, y₁)), (x₁, y₂, f(x₁, y₂)), (x₂, y₁, f(x₂, y₁)), (x₂, y₂, f(x₂, y₂))의 4점으로 연결되는 사각형의 영역으로 하고, 지정면을 xy평면에 투영한 직사각형의 면적을 S₀, 기준면의 높이(지정면의 평균의 높이)를 Z₀로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)에 의하여 측정 가능하다.
- [0281] 상술한 바와 같은 CAAC-OS막을 얻는 방법으로서는 예를 들어 기판을 가열하여(예를 들어 기판 온도를 170°C로

하여) 산화물 반도체막을 형성하고 표면에 대략 수직으로 c축 배향시키는 방법이 있다.

[0282] 또한 산화물 반도체막은 복수의 산화물 반도체막이 적층된 구조이어도 좋고, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중 어느 하나에 CAAC-OS와는 다른 결정성을 갖는 산화물 반도체를 적용하여도 좋다. 즉, CAAC-OS와, 단결정 산화물 반도체, 다결정 산화물 반도체, 또는 비정질 산화물 반도체를 적절히 조합한 구성으로 하여도 좋다. 또한 제 1 산화물 반도체막과 제 2 산화물 반도체막 중 적어도 어느 하나에 비정질 산화물 반도체를 적용하면, 적층된 산화물 반도체막의 내부 응력이나 외부로부터의 응력을 완화하여, 트랜지스터의 특성 변동이 저감되고, 또한, 트랜지스터의 신뢰성을 더욱 높이는 것이 가능하게 된다. 한편, 비정질 산화물 반도체는 수소 등의 도너가 되는 불순물을 흡수하기 쉽고, 또한 산소 결손이 생기기 쉬우므로 n형화되기 쉽다. 그러므로 채널측의 산화물 반도체막은 CAAC-OS 등의 결정성을 갖는 산화물 반도체를 적용하는 것이 바람직하다.

[0283] 또한 산화물 반도체막을 3층 이상으로 이루어지는 적층 구조로 하여, 복수의 층의 결정성을 갖는 산화물 반도체막으로 비정질 산화물 반도체막을 끼우는 구조로 하여도 좋다. 또한 결정성을 갖는 산화물 반도체막과 비정질 산화물 반도체막을 교대로 적층하는 구조로 하여도 좋다. 또한 산화물 반도체막을 복수의 막으로 이루어지는 적층 구조로 하는 경우의 상기 구성은, 각각을 적절히 조합하여 사용할 수 있다.

[0284] 상술한 바와 같이 산화물 반도체막으로서 CAAC-OS막을 사용함으로써 가열 처리(탈수소화 처리)에 있어서 CAAC-OS막의 상면으로부터 용이하게 수소를 이탈시킬 수 있다. 또한 결정성을 갖는 산화물 반도체막과 비정질 산화물 반도체막을 저감시켜 선택적으로 수소를 많이 이탈시킬 수 있다.

[0285] 본 실시형태는, 본 명세서 중에서 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0286] (실시형태 6)

[0287] 본 실시형태에서는 반도체 장치의 일례로서, 상기 실시형태에 기재된 기억 장치를 적어도 일부에 사용한 CPU(Central Processing Unit)에 대하여 설명한다.

[0288] 도 16a는 CPU의 구체적인 구성을 도시한 블록도이다. 도 16a에 도시한 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖는다. 기판(1190)은 반도체 기판, SOI기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 각각 다른 칩에 제공하여도 좋다. 물론 도 16a에 도시한 CPU는 그 구성을 간략화하여 나타낸 일례에 불과하고 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다.

[0289] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되고, 디코드된 후 ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0290] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하고 있는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요청을, 그 유선도나 마스크 상태를 보아 판단하고 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고 CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

[0291] 또한 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클록 신호(CLK1)에 의거하여 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하며 내부 클록 신호(CLK2)를 상기 각종 회로에 공급한다.

[0292] 도 16a에 도시한 CPU에서는 레지스터(1196) 등에 메모리셀이 제공되어 있다. 메모리셀로서, 상기 실시형태 1 내지 실시형태 4에서 제시한 기억 장치를 적용할 수 있다. 레지스터(1196)의 메모리셀에는 논리값을 반전시키는 논리 소자와 상기 실시형태에 기재된 기억 장치의 양쪽 모두를 구비한다.

[0293] 도 16a에 도시한 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 갖는 메모리셀에 있어서, 논리값을 반전시키는 논리 소자에 의한 데이터의 유지를 수행하는지, 또는 기억 장치에 의한 데이터의 유지를 수행하는지를 선택한다. 논리값을 반전시키는 논리 소자에 의한 데이터의 유지가 선택된 경우 레지스터(1196) 내의 메모리셀에 전원 전압

을 공급하는 것이 수행된다. 기억 장치에서의 데이터의 유지가 선택된 경우 기억 장치에 데이터의 재기록이 수행되고 레지스터(1196) 내의 메모리셀에 전원 전압을 공급하는 것을 정지할 수 있다.

[0294] 전원 정지에 대해서는, 도 16b 또는 도 16c에 도시한 바와 같이 메모리셀군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 공급된 노드간에 스위칭 소자를 제공함으로써 수행할 수 있다. 이하에서 도 16b 및 도 16c의 회로에 대하여 설명한다.

[0295] 도 16b 및 도 16c에서는 레지스터(1196)는 메모리셀에 전원 전위를 공급하는 것을 제어하는 스위칭 소자를 구비한다.

[0296] 도 16b에 도시한 레지스터(1196)는 스위칭 소자(1141)와, 복수의 메모리셀(1142)을 갖는 메모리셀군(1143)을 갖는다. 구체적으로는 각 메모리셀(1142)에는 논리값을 반전시키는 논리 소자와 상기 기억 장치의 양쪽 모두를 구비한다. 메모리셀군(1143)이 갖는 각 메모리셀(1142)에는 스위칭 소자(1141)를 통하여 하이 레벨의 전원 전위(VDD)가 공급된다. 또한 메모리셀군(1143)이 갖는 각 메모리셀(1142)에는 신호(IN)의 전위와 로우 레벨의 전원 전위(VSS)의 전위가 공급된다.

[0297] 도 16b에서는 스위칭 소자(1141)로서 트랜지스터를 사용하고 있고 상기 트랜지스터는 그 게이트 전극에 공급되는 신호(SigA)에 의하여 스위칭이 제어된다.

[0298] 또한 도 16b에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하였지만 특별히 한정되지 않아 복수의 트랜지스터를 가져도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 복수의 트랜지스터를 갖는 경우 상기 복수의 트랜지스터는 병렬로 접속되어도 좋고 직렬로 접속되어도 좋고 직렬과 병렬이 조합되어 접속되어도 좋다.

[0299] 또한 도 16c에는 메모리셀군(1143)이 갖는 각 메모리셀(1142)에 스위칭 소자(1141)를 통하여 로우 레벨의 전원 전위(VSS)가 공급되는 레지스터(1196)의 일례를 도시하였다. 스위칭 소자(1141)에 의하여 메모리셀군(1143)이 갖는 각 메모리셀(1142)에 로우 레벨의 전원 전위(VSS)를 공급하는 것을 제어할 수 있다.

[0300] 메모리셀군과, 전원 전위(VDD) 또는 전원 전위(VSS)가 공급된 노드간에 스위칭 소자를 제공하고 일시적으로 CPU의 동작을 정지하여, 전원 전압의 공급을 정지한 경우에도 데이터를 유지하는 것이 가능하며 소비 전력을 저감시킬 수 있다. 구체적으로는 예를 들어 퍼스널 컴퓨터의 사용자가 키보드 등의 입력 장치에 정보를 입력하는 것을 정지하고 있는 동안에도, 메모리셀군 내의 데이터를 소실하지 않고 CPU의 동작이 정지될 수 있어 소비 전력이 저감될 수 있다.

[0301] 또한 이런 CPU가 적용된 전자 기기는 소비 전력이 저감되어 있으므로, 예를 들어 태양 전지나 비접촉 급전(와이어리스 급전이라고도 함)에 의하여 얻어지는 비교적 작은 전력으로도 충분히 동작시킬 수 있다. 예를 들어 전자 기기에 태양 전지 모듈 또는 비접촉 급전 모듈과, 이런 모듈에 의하여 얻어진 전력을 축전하는 2차 전지(리튬 이온 전지 등)를 구비하는 구성으로 한다.

[0302] 여기서는 CPU를 예로 들어 설명하였지만 DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용할 수 있다.

[0303] (실시형태 7)

[0304] 본 명세서에서 기재하는 기억 장치나 반도체 장치는, 여러 가지의 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 텔레비전이나 모니터 등의 표시 장치, 조명 장치나 데스크톱형 또는 노트북형의 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 정지 화상 또는 동영상을 재생하는 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프 레코더, 헤드폰 스테레오, 스테레오, 무선 전화 핸드셋, 트랜시버, 휴대 무선기, 휴대전화, 자동차 전화, 휴대형 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공조 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 연기 감지기, 방사선 측정기, 투석 장치 등의 의료 기기 등을 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템 등의 산업 기기를 들 수도 있다. 또한, 석유를 사용한 엔진, 또는 비수계 2차 전지로부터의 전력을 사용하여 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서, 예를 들어, 전기 자동차(EV), 내연 기관과 전동기를 결합한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들의 타이어 차륜이 무한 궤도로 대체된 장궤(裝軌)

차량, 전동 어시스트 자전거를 포함한 원동기가 달린 자전거, 자동 이륜차, 자동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기나 흑성 탐사기, 우주선을 들 수 있다. 이를 전자 기기의 구체적인 예를 도 17a 내지 도 18c에 도시하였다.

[0305] 도 17a는 휴대 음악 플레이어를 도시한 것이고, 본체(3021)에는 표시부(3023)와, 귀에 장착하기 위한 고정부(3022)와, 조작 버튼(3024), 외부 접속 포트(3025) 등이 제공되어 있다. 또한 스피커를 가져도 좋다. 상기 실시형태에서 예시한 기억 장치나 반도체 장치를, 본체(3021)에 내장되는 메모리나 CPU 등에 적용함으로써 전력이 더욱 절약된 휴대형 음악 플레이어(PDA)로 할 수 있다.

[0306] 또한, 도 17a에 도시한 휴대형 음악 플레이어에 안테나나 마이크 기능이나 무선 기능을 갖게 하고, 휴대 전화와 연계시키면, 승용차 등을 운전하면서 와이어리스에 의한 핸즈프리로 회화도 가능하다.

[0307] 도 17b는 컴퓨터이며, CPU를 포함한 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다. 상기 실시형태에 제시된 기억 장치나 CPU 등의 반도체 장치를 이용하면 전력이 절약된 컴퓨터로 하는 것이 가능하다.

[0308] 도 18a에 있어서 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 내장되고, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)에서 음성을 출력하는 것이 가능하다. 상기 실시형태에서 예시한 기억 장치 또는 반도체 장치를, 하우징(8001)에 내장된 표시부(8002)를 동작하기 위한 구동 회로에 사용하는 것이 가능하다.

[0309] 표시부(8002)에는 액정 표시 장치, 유기 EL 소자 등의 발광 소자를 각 화소에 구비한 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel) 등의 반도체 표시 장치를 사용할 수 있다.

[0310] 텔레비전 장치(8000)는 수신기나 모뎀 등을 구비하여도 좋다. 텔레비전 장치(8000)는 수신기에 의해 일반 텔레비전 방송을 수신하는 것이 가능하고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보 통신을 수행하는 것도 가능하다.

[0311] 또한 텔레비전 장치(8000)는 정보 통신을 수행하기 위한 CPU나 메모리를 구비하여도 좋다. 텔레비전 장치(8000)는 상기 실시형태에서 예시한 기억 장치나 CPU 등의 반도체 장치를 사용하는 것이 가능하다.

[0312] 도 18a에 있어서 실내기(8200) 및 실외기(8204)를 갖는 에어컨디셔너는 상기 실시형태에서 예시한 CPU 등의 반도체 장치를 사용한 전자 기기의 일례이다. 구체적으로는 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 갖는다. 도 18a에 있어서 CPU(8203)가 실내기(8200)에 제공되는 경우를 예시하였지만 CPU(8203)는 실외기(8204)에 제공되어도 좋다. 또는 실내기(8200)와 실외기(8204)의 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 상기 실시형태에서 예시한 CPU 등의 반도체 장치를 전기 냉동 냉장고(8300)의 CPU(8304)에 사용함으로써 전력 절약이 뛰어난 에어컨디셔너를 실현할 수 있다.

[0313] 도 18a에 있어서 전기 냉동 냉장고(8300)는 상기 실시형태에서 예시한 CPU 등의 반도체 장치를 구비하는 전자 기기의 일례이다. 구체적으로는 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용문(8302), 냉동실용문(8303), CPU(8304) 등을 갖는다. 도 18a에서는 CPU(8304)가 하우징(8301) 내부에 제공된다. 상기 실시형태에서 예시한 CPU 등의 반도체 장치를 전기 냉동 냉장고(8300)의 CPU(8304)에 사용함으로써 전력 절약을 도모할 수 있다.

[0314] 도 18b 및 도 18c에는, 전자 기기의 일례인 전기 자동차의 예를 도시하였다. 전기 자동차(9700)에는 2차 전지(9701)가 탑재된다. 2차 전지(9701)의 전력은 제어 회로(9702)에 의하여 출력이 조정되어 구동 장치(9703)에 공급된다. 제어 회로(9702)는 도시하지 않은 ROM, RAM, CPU 등을 갖는 처리 장치(9704)에 의하여 제어된다. 상기 실시형태에서 예시한 기억 장치나 CPU 등의 반도체 장치를 전기 자동차(9700)의 처리 장치(9704)에 사용함으로써 전력 절약을 도모할 수 있다.

[0315] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단체, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행시의 정보(오르막길이나 내리막길 등의 정보, 구동륜에 가해지는 부하의 정보 등)의 입력 정보에 따라 제어 회로(9702)에 제어 신호를 출력한다. 제어 회로(9702)는 처리 장치(9704)의 제어 신호에 따라 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 도시하지 않았지만 직류를 교류로 변환시키는 인버터도 내장된다.

[0316] 본 실시형태는, 본 명세서 중에서 기재한 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0317] 101: 트랜지스터

101a: 트랜지스터

101b: 트랜지스터

102: 트랜지스터

102a: 트랜지스터

102b: 트랜지스터

103: 용량 소자

103a: 용량 소자

103b: 용량 소자

110a: 기억 소자

110b: 기억 소자

111: 게이트 전극층

111a: 게이트 전극층

111b: 게이트 전극층

112: 제 1 전극층

112a: 제 1 전극층

112b: 제 1 전극층

113: 제 2 전극층

114: 게이트 절연층

115: 반도체층

121: 게이트 전극층

122: 전극층

124: 게이트 절연층

125: 반도체층

132: 전극층

134: 유전층

201: 배선층

202: 배선층

203: 배선층

203a: 배선층

203b: 배선층

204: 배선층

211: 소자 분리층

212a: 절연층

212b: 절연층

212c: 절연층

212d: 절연층

212e: 절연층

212f: 절연층

212g: 절연층

212h: 절연층

212i: 절연층

213a: 접속 전극층

213b: 접속 전극층

213c: 접속 전극층

250: 메모리층

250a: 메모리층

250b: 메모리층

251a: 층간 절연층

251b: 층간 절연층

260: 구동 회로부

1141: 스위칭 소자

1142: 메모리셀

1143: 메모리셀군

1189: ROM 인터페이스

1190: 기판

1191: ALU

1192: ALU 컨트롤러

1193: 인스트럭션 디코더

1194: 인터럽트 컨트롤러

1195: 타이밍 컨트롤러

1196: 레지스터

1197: 레지스터 컨트롤러

1198: 버스 인터페이스

1199: ROM

3021: 본체

3022: 고정부

3023: 표시부

3024: 조작 버튼

3025: 외부 메모리 슬롯

8000: 텔레비전 장치

8001: 하우징

8002: 표시부

8003: 스피커부

8200: 실내기

8201: 하우징

8202: 송풍구

8203: CPU

8204: 실외기

8300: 전기 냉동 냉장고

8301: 하우징

8302: 냉장실용문

8303: 냉동실용문

8304: CPU

9201: 본체

9202: 하우징

9203: 표시부

9204: 키보드

9205: 외부 접속 포트

9206: 포인팅 디바이스

9700: 전기 자동차

9701: 2차 전지

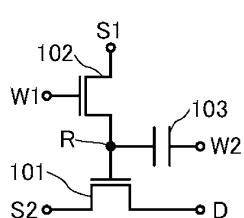
9702: 제어 회로

9703: 구동 장치

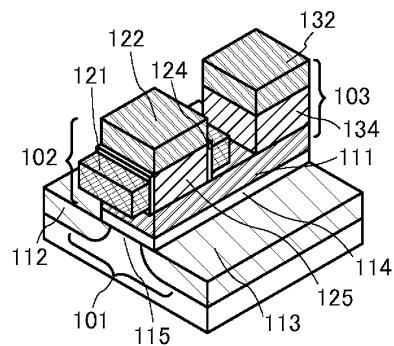
9704: 처리 장치

도면

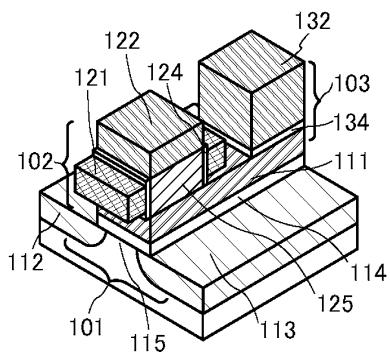
도면 1a



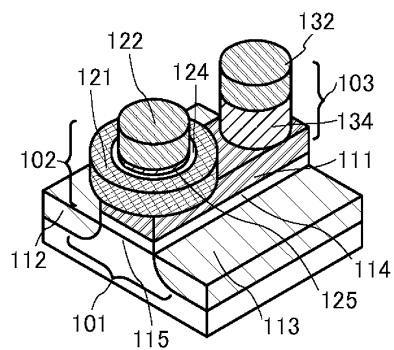
도면1b



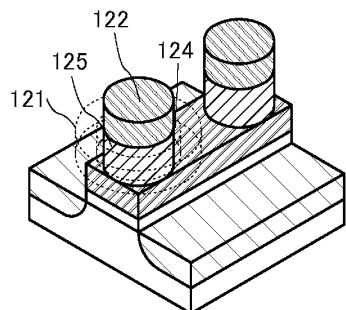
도면2a



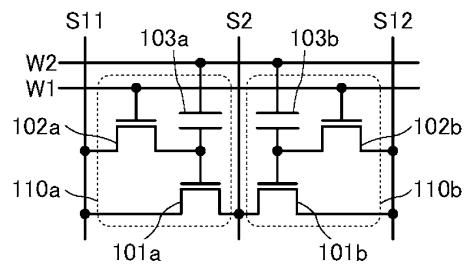
도면2b



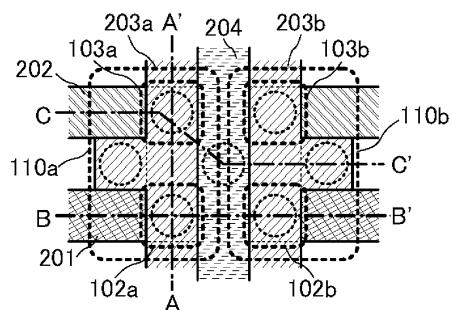
도면2c



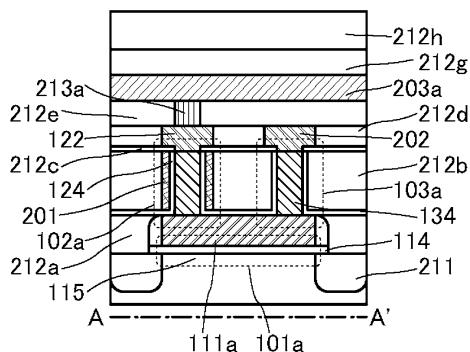
도면3a



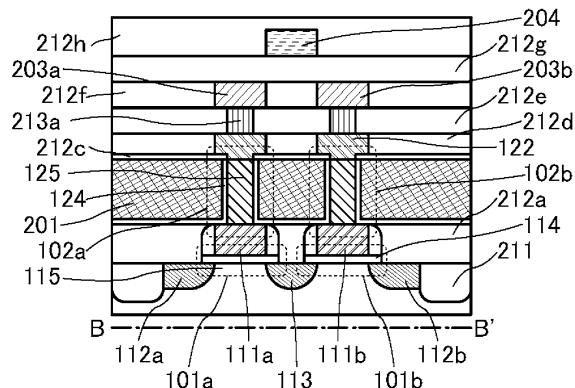
도면3b



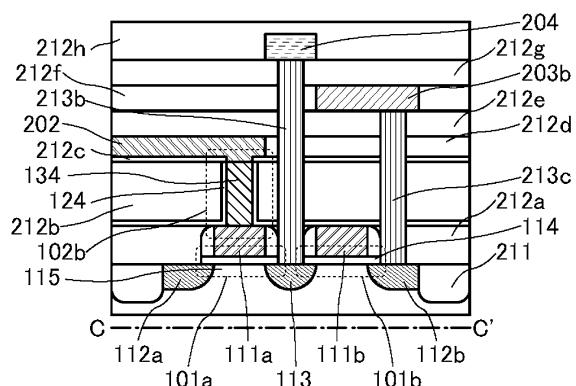
도면4a



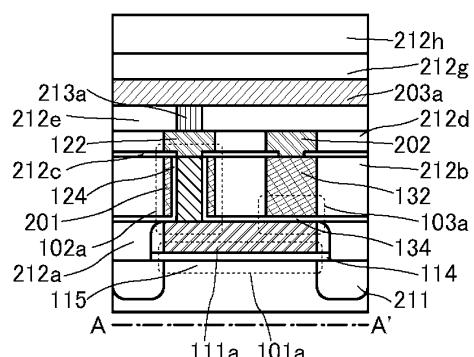
도면4b



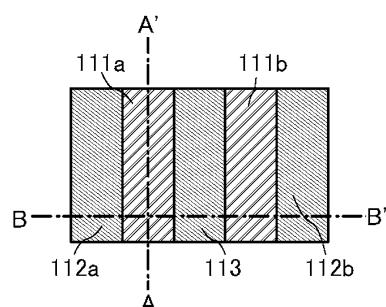
도면4c



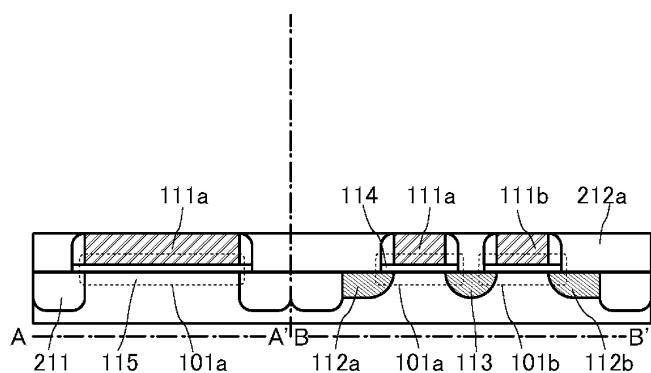
도면5



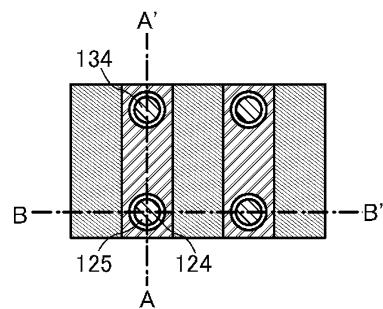
도면6a



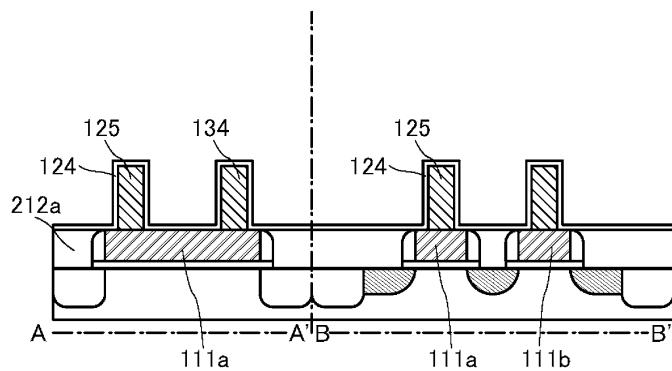
도면6b



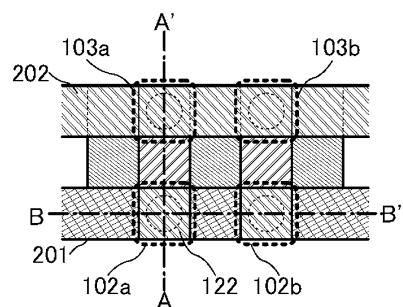
도면7a



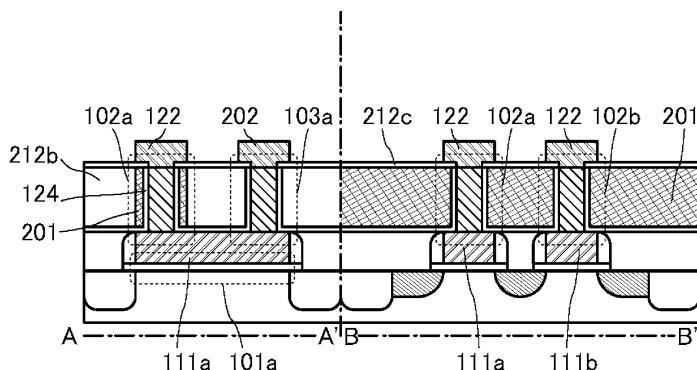
도면7b



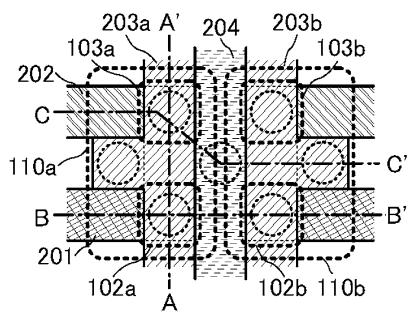
도면8a



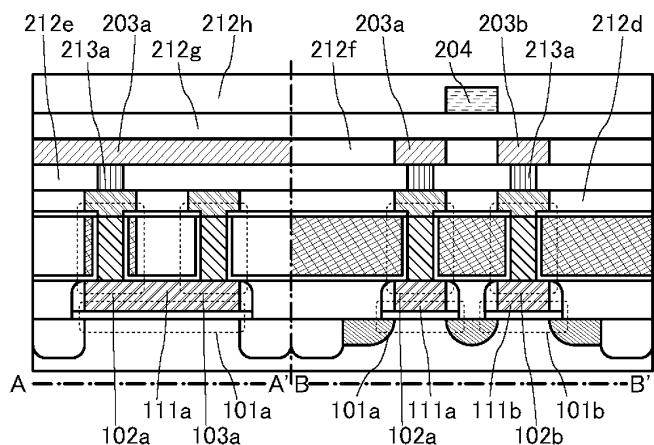
도면8b



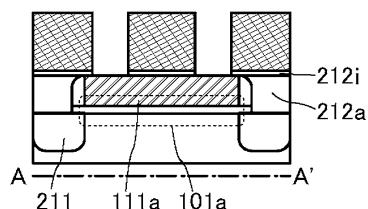
도면9a



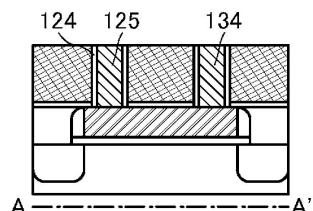
도면9b



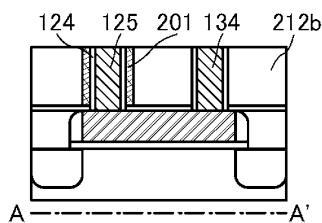
도면10a



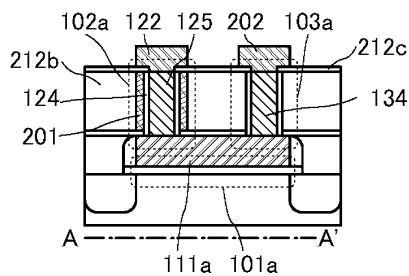
도면10b



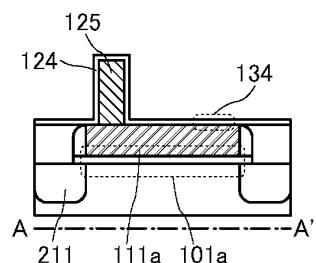
도면10c



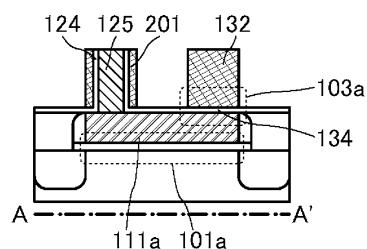
도면10d



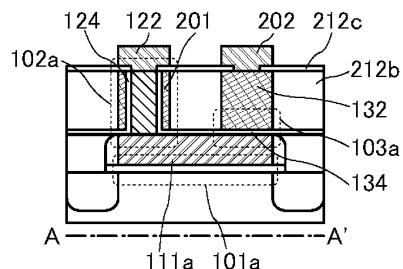
도면11a



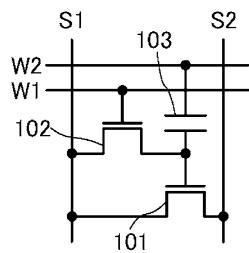
도면11b



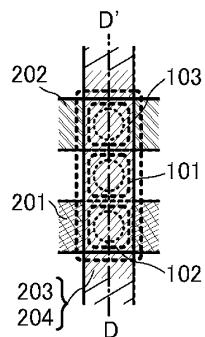
도면11c



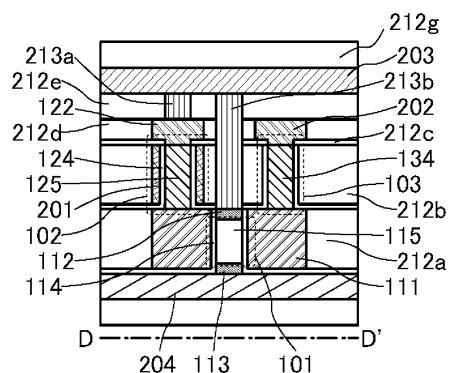
도면12a



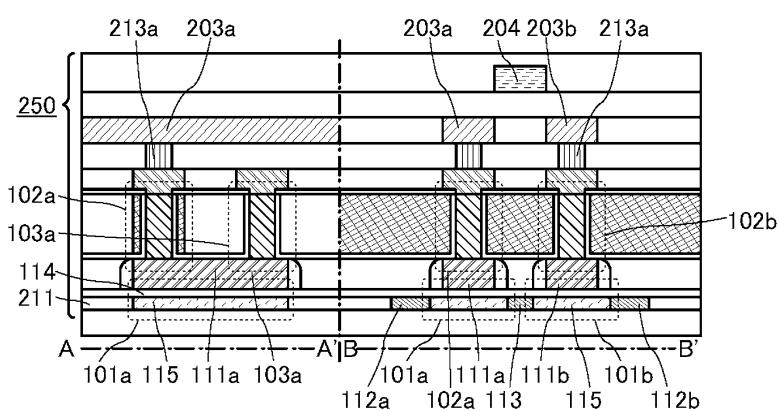
도면12b



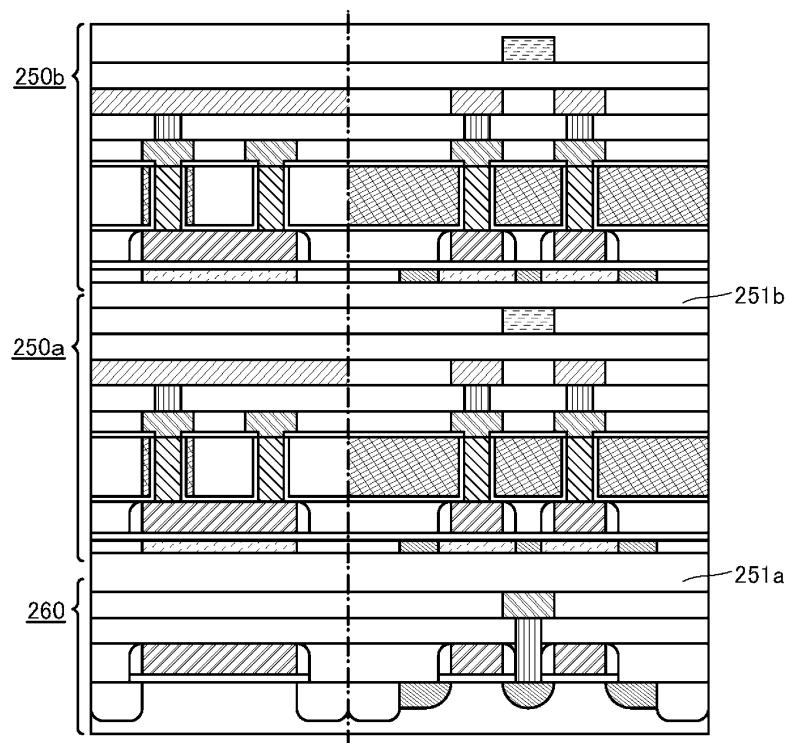
도면12c



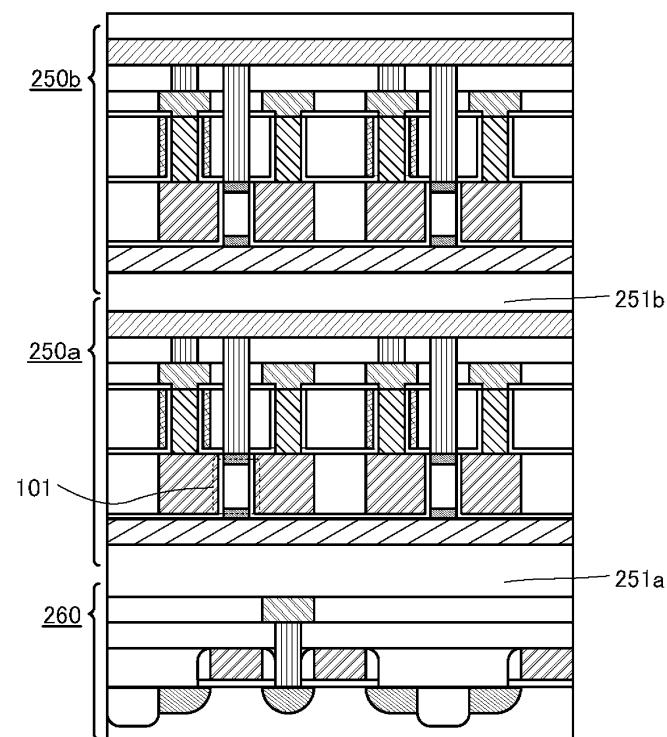
도면13



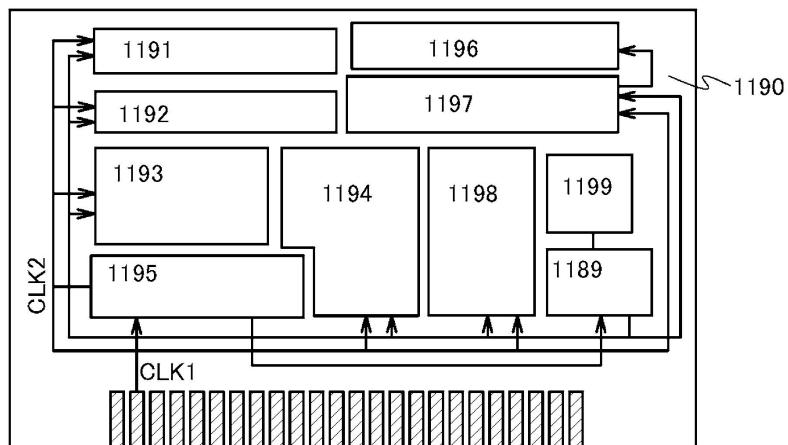
도면14



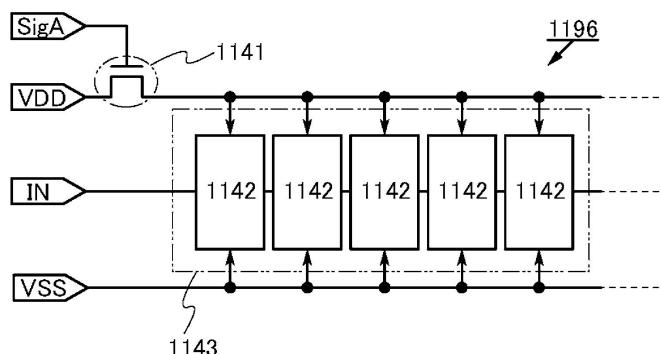
도면15



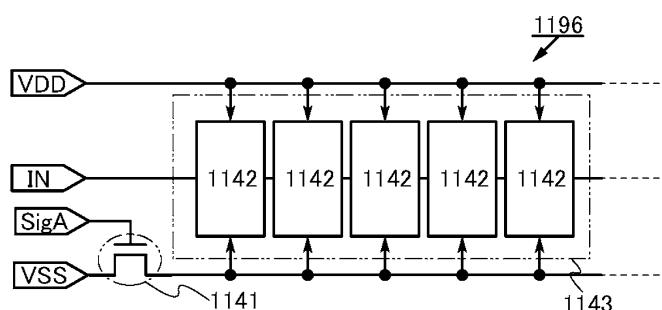
도면16a



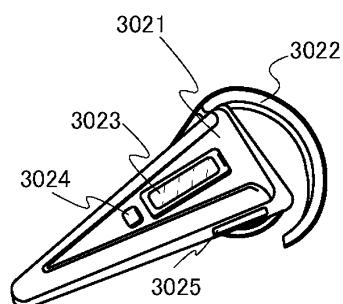
도면16b



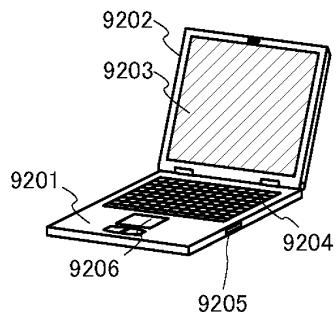
도면16c



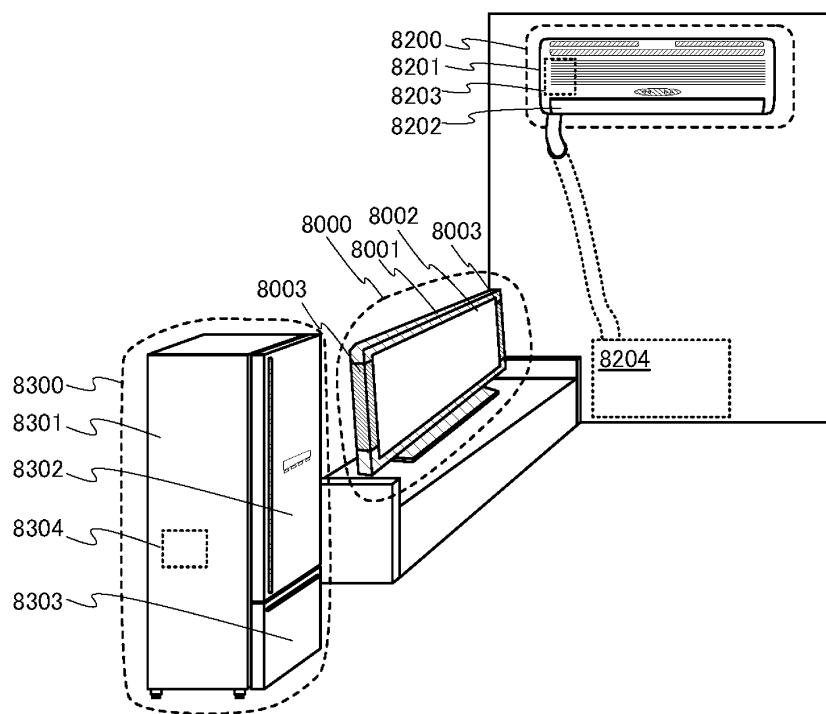
도면17a



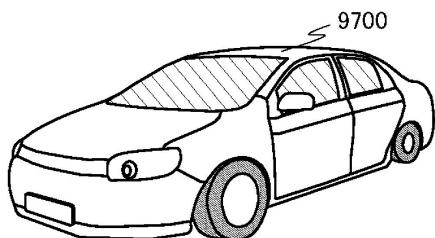
도면17b



도면18a



도면18b



도면18c

