



(12) 发明专利

(10) 授权公告号 CN 104091574 B

(45) 授权公告日 2016. 03. 02

(21) 申请号 201410291291. 4

G11C 19/28(2006. 01)

(22) 申请日 2014. 06. 25

审查员 韩慧龙

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 北京京东方光电科技有限公司

(72) 发明人 陈小川 王世君 王磊 薛艳娜
姜文博 李月 包智颖 吕振华
肖文俊

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/36(2006. 01)

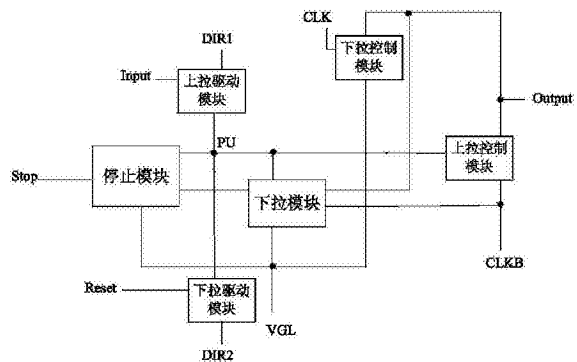
权利要求书2页 说明书8页 附图5页

(54) 发明名称

移位寄存器、阵列基板、显示装置及其驱动方法

(57) 摘要

本发明实施例公开了一种移位寄存器、阵列基板、显示装置及其驱动方法,在移位寄存器中增加了下拉模块和停止模块,在显示装置显示全屏画面时,移位寄存器的信号输出端输出高电平到与其相连的栅线,栅线对显示装置的显示面板进行正常扫描,在移位寄存器非工作时间内下拉模块维持上拉节点和信号输出端为低电平,防止移位寄存器输出噪音;在显示装置显示局部画面时,移位寄存器在停止信号输入端的控制下,停止模块维持信号输出端输出低电平到与其相连的栅线,栅线停止对显示面板进行扫描;相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然依次向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。



1. 一种移位寄存器,包括:上拉驱动模块、下拉驱动模块、上拉控制模块和下拉控制模块;其中,

所述上拉驱动模块用于在信号输入端和第一参考信号端的控制下,通过上拉节点导通所述上拉控制模块;

所述下拉驱动模块用于在复位信号端和第二参考信号端的控制下,通过所述上拉节点关闭所述上拉控制模块;

所述上拉控制模块用于在上拉节点的控制下,将第一时钟信号端与信号输出端导通;

所述下拉控制模块用于在第二时钟信号端的控制下,将低电平信号端与所述信号输出端导通;

其特征在于,还包括:下拉模块和停止模块;其中,

所述下拉模块,其连接于所述信号输出端、所述上拉节点、所述低电平信号端与所述第一时钟信号端之间,用于在所述移位寄存器的非工作时间内,维持所述上拉节点和所述信号输出端为低电平;

所述停止模块,其连接于停止信号输入端、所述上拉节点、所述下拉模块与所述低电平信号端之间,用于在所述停止信号输入端的控制下,维持所述信号输出端为低电平。

2. 如权利要求 1 所述的移位寄存器,其特征在于:

所述上拉驱动模块,包括第一薄膜晶体管,所述第一薄膜晶体管的栅极与所述信号输入端相连、漏极与所述第一参考信号端相连,源极与所述上拉节点相连;

所述下拉驱动模块,包括第二薄膜晶体管,所述第二薄膜晶体管的栅极与所述复位信号端相连、漏极与所述上拉节点相连、源极与所述第二参考信号端相连;

所述上拉控制模块,包括第三薄膜晶体管和第一电容,其中,所述第三薄膜晶体管的栅极与所述上拉节点相连、漏极与所述第一时钟信号端相连、源极与所述信号输出端相连;所述第一电容连接在所述上拉节点和所述信号输出端之间;

所述下拉控制模块,包括第四薄膜晶体管,所述第四薄膜晶体管的栅极与所述第二时钟信号端相连、漏极与所述信号输出端相连、源极与所述低电平信号端相连。

3. 如权利要求 1 所述的移位寄存器,其特征在于,所述停止模块,具体包括:第五薄膜晶体管,其栅极与漏极共同连接于所述停止信号输入端、源极连接于所述下拉模块;

当所述停止信号输入端输入高电平信号时,导通所述第五薄膜晶体管,导通的第五薄膜晶体管将所述下拉模块导通,使所述信号输出端与所述低电平信号端导通。

4. 如权利要求 3 所述的移位寄存器,其特征在于,所述停止模块,还包括:第六薄膜晶体管,其栅极与所述停止信号输入端相连、漏极与所述上拉节点相连、源极与所述低电平信号端相连。

5. 如权利要求 1-4 任一项所述的移位寄存器,其特征在于,所述下拉模块,具体包括:

第七薄膜晶体管,其栅极与下拉节点相连、漏极与所述信号输出端相连、源极与所述低电平信号端相连;

第八薄膜晶体管,其栅极与所述上拉节点相连、漏极与所述低电平信号端相连、源极与所述下拉节点相连;

第九薄膜晶体管,其栅极与所述下拉节点相连、漏极与所述上拉节点相连、源极与所述低电平信号端相连;

第二电容,其连接于所述下拉节点与所述第一时钟信号端之间。

6. 一种栅极驱动电路,其特征在于,包括串联的多个如权利要求 1-5 任一项所述的移位寄存器,除第一个移位寄存器和最后一个移位寄存器之外,其余每个移位寄存器的信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号,并向与其相邻的上一个移位寄存器的复位信号端输入复位信号;第一个移位寄存器的信号输出端向第二个移位寄存器的信号输入端输入触发信号;最后一个移位寄存器的信号输出端向自身以及上一个移位寄存器的复位信号端输入复位信号。

7. 一种阵列基板,其特征在于,包括如权利要求 6 所述的栅极驱动电路、与所述栅极驱动电路的移位寄存器的信号输出端相连的栅线、薄膜晶体管、数据线以及像素电极;其中,

所述薄膜晶体管的栅极与所述栅线相连,所述薄膜晶体管的源极与数据线相连,所述薄膜晶体管的漏极与像素电极相连。

8. 一种显示装置,其特征在于,包括如权利要求 7 所述的阵列基板,以及所述阵列基板的驱动电路。

9. 一种如权利要求 8 所述的显示装置的驱动方法,其特征在于,包括:

所述显示装置中的驱动电路接收外部视频数据,在判断外部视频数据为显示局部画面时,在所述局部画面显示完成后,向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号;

所述移位寄存器在接收到停止显示信号时,信号输出端向相连的栅线输出低电平信号。

10. 如权利要求 9 所述的驱动方法,其特征在于,还包括:

在所述驱动电路向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号的同时,向所述显示装置中的源极驱动电路输入低电平信号,使与所述源极驱动电路连接的数据线加载低电平信号。

移位寄存器、阵列基板、显示装置及其驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器、阵列基板、显示装置及其驱动方法。

背景技术

[0002] 目前,随着液晶显示技术的发展,液晶产品对功耗要求越来越高,降低液晶产品在显示一些局部画面时的功耗显得尤为重要。

[0003] 在薄膜晶体管液晶显示器(TFT-LCD, Thin Film Transistor Liquid Crystal Display)中,通常通过栅线驱动装置向像素区域的各个薄膜晶体管(TFT, Thin Film Transistor)的栅极提供栅极驱动信号,栅线驱动装置中的栅线驱动电路由多个移位寄存器组成。现有的一个移位寄存器电路的结构,如图1所示,使用4个薄膜晶体管M1-M4和一个电容C1可以实现最基本的移位寄存器功能,具体工作原理如下:在信号输入端Input输入高电平信号时,第一薄膜晶体管M1导通对上拉节点即PU节点充电;当时钟信号端CLK输入高电平信号时,第三薄膜晶体管M3导通,使信号输出端Output输出时钟信号端CLK提供的高电平信号,同时由于电容C1的自举作用将PU节点进一步拉高;之后,复位信号端Reset输入高电平信号时,第二薄膜晶体管M2和第四薄膜晶体管M4导通,对PU节点和信号输出端Output放电。

[0004] 然而,显示装置在显示一些局部画面时,例如图2所示的显示装置在进入待机状态时,除了时钟部分需要输出相应的时钟画面,其他部分都是黑画面,此时显示装置中各个移位寄存器电路依然向各相应栅线输出栅极扫描信号,各栅线对整个薄膜晶体管液晶器的显示面板进行逐行扫描,同时数据线全部输出信号,进行像素驱动,进而使显示装置显示所需画面,这种驱动模式功耗较高。

[0005] 因此,如何在显示局部画面时降低显示装置的功耗,是本领域技术人员亟待解决的问题。

发明内容

[0006] 本发明实施例提供一种移位寄存器、阵列基板、显示装置及其驱动方法,用以解决现有技术中存在的显示装置在显示局部画面时,功耗较高的问题。

[0007] 本发明实施例提供了一种移位寄存器,包括:上拉驱动模块、下拉驱动模块、上拉控制模块、下拉控制模块、下拉模块,以及停止模块,其中:

[0008] 所述上拉驱动模块用于在信号输入端和第一参考信号端的控制下,通过上拉节点导通所述上拉控制模块;

[0009] 所述下拉驱动模块用于在复位信号端和第二参考信号端的控制下,通过所述上拉节点关闭所述上拉控制模块;

[0010] 所述上拉控制模块用于在所述上拉节点的控制下,将第一时钟信号端与信号输出端导通;

[0011] 所述下拉控制模块用于在第二时钟信号端的控制下,将低电平信号端与所述信号输出端导通;

[0012] 所述下拉模块,其连接于所述信号输出端、所述上拉节点、所述低电平信号端与所述第一时钟信号端之间,用于在所述移位寄存器的非工作时间内维持所述上拉节点和所述信号输出端为低电平;

[0013] 所述停止模块,其连接于停止信号输入端、所述上拉节点、所述下拉模块与所述低电平信号端之间,用于在所述停止信号输入端的控制下,维持所述信号输出端为低电平。

[0014] 本发明实施例提供的上述移位寄存器,增加了下拉模块和停止模块,在显示装置显示全屏画面时,移位寄存器的信号输出端输出高电平到与其相连的栅线,使栅线对显示装置的显示面板进行正常扫描以显示全屏画面,并且,在移位寄存器非工作时间内下拉模块可以维持上拉节点和信号输出端为低电平,防止移位寄存器输出噪音;在显示装置显示局部画面时,移位寄存器在停止信号输入端的控制下,停止模块维持信号输出端为低电平,即信号输出端将低电平信号输出到与其相连的栅线,使栅线停止对显示面板进行扫描以显示除局部画面外的黑色画面;相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然依次向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。

[0015] 在一种可能的实施方式中,本发明实施例提供的上述移位寄存器中:

[0016] 所述上拉驱动模块,包括第一薄膜晶体管,所述第一薄膜晶体管的栅极与所述信号输入端相连、漏极与所述第一参考信号端相连,源极与所述上拉节点相连;

[0017] 所述下拉驱动模块,包括第二薄膜晶体管,所述第二薄膜晶体管的栅极与所述复位信号端相连、漏极与所述上拉节点相连、源极与所述第二参考信号端相连;

[0018] 所述上拉控制模块,包括第三薄膜晶体管和第一电容,其中,所述第三薄膜晶体管的栅极与所述上拉节点相连、漏极与所述第一时钟信号端相连、源极与所述信号输出端相连;所述第一电容连接在所述上拉节点和所述信号输出端之间;

[0019] 所述下拉控制模块,包括第四薄膜晶体管,所述第四薄膜晶体管的栅极与所述第二时钟信号端相连、漏极与所述信号输出端相连、源极与所述低电平信号端相连。

[0020] 在一种可能的实施方式中,本发明实施例提供的上述移位寄存器中所述停止模块,具体包括:第五薄膜晶体管,其栅极与漏极共同连接于所述停止信号输入端、源极连接于所述下拉模块;

[0021] 当所述停止信号输入端输入高电平时,导通所述第五薄膜晶体管,导通的第五薄膜晶体管将所述下拉模块导通,使所述信号输出端与所述低电平信号端导通。

[0022] 在一种可能的实施方式中,本发明实施例提供的上述移位寄存器中,所述停止模块,还包括:第六薄膜晶体管,其栅极与所述停止信号输入端相连、漏极与所述上拉节点相连、源极与所述低电平信号端相连。

[0023] 在一种可能的实施方式中,本发明实施例提供的上述移位寄存器中,所述下拉模块,具体包括:

[0024] 第七薄膜晶体管,其栅极与下拉节点相连、漏极与所述信号输出端相连、源极与所述低电平信号端相连;

[0025] 第八薄膜晶体管,其栅极与所述上拉节点相连、漏极与所述低电平信号端相连、源

极与所述下拉节点相连；

[0026] 第九薄膜晶体管,其栅极与所述下拉节点相连、漏极与所述上拉节点相连、源极与所述低电平信号端相连；

[0027] 第二电容,其连接于所述下拉节点与所述第一时钟信号端之间。

[0028] 本发明实施例提供了一种栅极驱动电路,包括串联的多个本发明实施例提供的上述移位寄存器,除第一个移位寄存器和最后一个移位寄存器之外,其余每个移位寄存器的信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号,并向与其相邻的上一个移位寄存器的复位信号端输入复位信号;第一个移位寄存器的信号输出端向第二个移位寄存器的信号输入端输入触发信号;最后一个移位寄存器的信号输出端向自身以及上一个移位寄存器的复位信号端输入复位信号。

[0029] 本发明实施例提供了一种阵列基板,包括本发明实施例提供的上述栅极驱动电路、与所述栅极驱动电路的移位寄存器的信号输出端相连的栅线、薄膜晶体管、数据线以及像素电极;其中,

[0030] 所述薄膜晶体管的栅极与所述栅线相连,所述薄膜晶体管的源极与数据线相连,所述薄膜晶体管的漏极与像素电极相连。

[0031] 本发明实施例提供了一种显示装置,包括本发明实施例提供的上述阵列基板,以及所述阵列基板的驱动电路。

[0032] 本发明实施例提供了一种显示装置的驱动方法,包括:

[0033] 所述显示装置中的驱动电路接收外部视频数据,在判断外部视频数据为显示局部画面时,在所述局部画面显示完成后,向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号;

[0034] 所述移位寄存器在接收到停止显示信号时,信号输出端向相连的栅线输出低电平信号。

[0035] 本发明实施例提供的上述显示装置的驱动方法中,驱动电路接收外部视频数据后,在判断外部视频数据为显示局部画面时,在局部画面显示完成后,向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号,移位寄存器在接收到停止显示信号时,信号输出端向相连的栅线输出低电平信号,使栅线停止对显示面板进行扫描以显示除局部画面外的黑色画面,相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。

[0036] 在一种可能的实施方式中,本发明实施例提供的上述驱动方法,还包括:

[0037] 在所述驱动电路向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号的同时,向所述显示装置中的源极驱动电路输入低电平信号,使与所述源极驱动电路连接的数据线加载低电平信号。

附图说明

[0038] 图 1 为现有技术中移位寄存器的结构示意图;

[0039] 图 2 为现有的显示装置显示的局部画面示意图;

[0040] 图 3 为本发明实施例提供的移位寄存器的结构示意图;

[0041] 图 4 为本发明实施例提供的移位寄存器具体结构示意图;

- [0042] 图 5 为本发明实施例提供的移位寄存器的输入输出时序图；
[0043] 图 6 为本发明实施例提供的栅极驱动电路的结构示意图；
[0044] 图 7 为本发明实施例提供的显示装置显示的局部画面输出示意图。

具体实施方式

[0045] 下面结合附图,对本发明实施例提供的移位寄存器、阵列基板、显示装置及其驱动方法的具体实施方式进行详细地说明。

[0046] 本发明实施例提供的一种移位寄存器,如图 3 所示,包括:上拉驱动模块、下拉驱动模块、上拉控制模块、下拉控制模块、下拉模块,以及停止模块,其中:

[0047] 上拉驱动模块用于在信号输入端 Input 和第一参考信号端 DIR1 的控制下,通过上拉节点 PU 导通上拉控制模块;

[0048] 下拉驱动模块用于在复位信号端 Reset 和第二参考信号端 DIR2 的控制下,通过上拉节点 PU 关闭上拉控制模块;

[0049] 上拉控制模块用于在上拉节点 PU 的控制下,将第一时钟信号端 CLKB 与信号输出端 Output 导通;

[0050] 下拉控制模块用于在第二时钟信号端 CLK 的控制下,将低电平信号端 VGL 与信号输出端 Output 导通;

[0051] 下拉模块,其连接于信号输出端 Output、上拉节点 PU、低电平信号端 VGL 与第一时钟信号端 CLKB 之间,用于在移位寄存器的非工作时间内维持上拉节点 PU 和信号输出端 Output 为低电平;

[0052] 停止模块,其连接于停止信号输入端 Stop、上拉节点 PU、下拉模块与低电平信号端 VGL 之间,用于在停止信号输入端 Stop 的控制下,维持信号输出端 Output 为低电平。

[0053] 本发明实施例提供的上述移位寄存器,增加了下拉模块和停止模块,在显示装置显示全屏画面时,移位寄存器的信号输出端 Output 输出高电平到与其相连的栅线,使栅线对显示装置的显示面板进行正常扫描以显示全屏画面,并且,在移位寄存器非工作时间内下拉模块可以维持上拉节点 PU 和信号输出端 Output 为低电平,防止移位寄存器输出噪音;在显示装置显示局部画面时,移位寄存器在停止信号输入端 Stop 的控制下,停止模块维持信号输出端 Output 为低电平,即信号输出端 Output 将低电平信号输出到与其相连的栅线,使栅线停止对显示面板进行扫描以显示除局部画面外的黑色画面;相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然依次向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。

[0054] 具体地,本发明实施例提供的上述移位寄存器中,上拉驱动模块、下拉驱动模块、上拉控制模块,以及下拉控制模块可以有多种结构,例如图 4 所示,其中:

[0055] 上拉驱动模块,包括第一薄膜晶体管 M1,其栅极与信号输入端 Input 相连、漏极与第一参考信号端 DIR1 相连,源极与上拉节点 PU 相连;

[0056] 下拉驱动模块,包括第二薄膜晶体管 M2,其栅极与复位信号端 Reset 相连、漏极与上拉节点 PU 相连、源极与第二参考信号端 DIR2 相连;

[0057] 上拉控制模块,包括第三薄膜晶体管 M3 和第一电容 C1,其中,第三薄膜晶体管的栅极与上拉节点 PU 相连、漏极与第一时钟信号端 CLKB 相连、源极与信号输出端 Output 相

连；第一电容 C1 连接于上拉节点 PU 和信号输出端 Output 之间；

[0058] 下拉控制模块，包括第四薄膜晶体管 M4，其栅极与第二时钟信号端 CLK 相连、漏极与信号输出端 Output 相连、源极与低电平信号端 VGL 相连。

[0059] 在具体实施时，本发明实施例提供的上述移位寄存器中，在信号输入端 Input 输入高电平时，第一薄膜晶体管 M1 导通，导通的第一薄膜晶体管 M1 将上拉节点 PU 与第一参考信号端 DIR1 导通，将上拉节点 PU 拉至高电平，进而导通第三薄膜晶体管 M3，且对第一电容 C1 充电，导通的第三薄膜晶体管 M3 将信号输出端 Output 与第一时钟信号端 CLKB 导通；在复位信号端 Reset 输入高电平时，第二薄膜晶体管 M2 导通，导通的第二薄膜晶体管 M2 将上拉节点 PU 与第二参考信号端 DIR2 导通，将上拉节点 PU 拉至低电平，进而使第三薄膜晶体管 M3 关闭；在第二时钟信号端输入高电平时，第四薄膜晶体管 M4 导通，导通的第四薄膜晶体管 M4 将信号输出端 Output 与低电平信号端 VGL 导通，使信号输出端 Output 输出低电平。

[0060] 在具体实施时，为了实现在停止信号输入端 Stop 的控制下维持信号输出端 Output 为低电平，本发明实施例提供的上述移位寄存器中的停止模块，如图 4 所示，具体包括：第五薄膜晶体管 M5，其栅极与漏极共同连接于停止信号输入端 Stop、源极连接于下拉模块，这样，在显示装置显示局部画面时，停止信号输入端 Stop 输入高电平信号，导通第五薄膜晶体管 M5，导通的第五薄膜晶体管 M5 将下拉模块导通，使信号输出端 Output 与低电平信号端 VGL 导通，移位寄存器的信号输出端 Output 输出低电平信号到与其相连的栅线，从而使栅线停止对显示装置的显示面板进行扫描，实现了在显示装置显示局部画面时降低功耗的目的。

[0061] 进一步地，为了实现在液晶显示器显示局部画面时，在停止信号输入端 Stop 的控制下，维持信号输出端 Output 为低电平，本发明实施例提供的上述移位寄存器的停止模块，如图 4 所示，还可以包括：第六薄膜晶体管 M6，其栅极与停止信号输入端 Stop 相连、漏极与上拉节点 PU 相连、源极与低电平信号端 VGL 相连，这样，在显示装置显示局部画面时，停止信号输入端 Stop 输入高电平信号可以导通第六薄膜晶体管 M6，导通的第六薄膜晶体管 M6 将上拉节点 PU 与低电平信号端 VGL 导通，将上拉节点 PU 拉低至低电平，从而维持信号输出端 Output 为低电平。

[0062] 具体地，本发明实施例提供的上述移位寄存器中的下拉模块可以有多种具体结构，例如图 4 所示，可以具体包括：

[0063] 第七薄膜晶体管 M7，其栅极与下拉节点 PD 相连、漏极与信号输出端 Output 相连、源极与低电平信号端 VGL 相连；

[0064] 第八薄膜晶体管 M8，其栅极与上拉节点 PU 相连、漏极与低电平信号端 VGL 相连、源极与下拉节点 PD 相连；

[0065] 第九薄膜晶体管 M9，其栅极与下拉节点 PD 相连、漏极与上拉节点 PU 相连、源极与低电平信号端 VGL 相连；

[0066] 第二电容 C2，其连接于下拉节点 PD 与第一时钟信号端 CLKB 之间。

[0067] 在具体实施时，本发明实施例提供的上述移位寄存器，在显示装置显示局部画面时，停止信号输入端 Stop 输入高电平信号，导通停止模块中的第五薄膜晶体管 M5 和第六薄膜晶体管 M6；导通的第五薄膜晶体管 M5，将下拉节点 PD 拉高至高电平，进而导通下拉模

块中的第七薄膜晶体管 M7 和第九薄膜晶体管 M9, 导通的第七薄膜晶体管 M7 使信号输出端 Output 与低电压信号端 VGL 导通, 移位寄存器的信号输出端 Output 输出低电平信号到与其相连的栅线, 导通的第九薄膜晶体管 M9 将上拉节点 PU 与低电平信号端 VGL 导通, 将下拉节点 PD 拉低至低电平; 导通的第六薄膜晶体管 M6 也可以将上拉节点 PU 与低电平信号端 VGL 导通, 保证上拉节点 PU 的噪声可以输出。

[0068] 进一步地, 由于在本发明实施例提供的上述移位寄存器中信号输入端 Input 和复位信号端 Reset 为对称设计, 可以实现功能互换, 因此本发明实施例提供的上述移位寄存器可以实现双向扫描。

[0069] 一般地, 在启动正向扫描时, 第一参考信号端 DIR1 提供高电平信号, 第二参考信号端 DIR2 提供低电平信号。一般地, 在反向正向扫描时, 第一参考信号端 DIR1 提供低电平信号, 第二参考信号端 DIR2 提供高电平信号。

[0070] 下面结合图 4 所示的移位寄存器以及图 5 所示的图 4 的输入输出时序图, 以正向扫描为例对本发明实施例提供的移位寄存器的工作过程作以描述。具体地, 选取如图 5 所示的输入输出时序图中的 T1 ~ T5 五个阶段。下述描述中以 1 表示高电平信号, 0 表示低电平信号。

[0071] 在 T1 阶段, $Input = 1, CLKB = 0, CLK = 1, Reset = 0, Stop = 0, DIR1 = 1$ 。由于 $Input = 1$, 因此第一薄膜晶体管 M1 导通, DIR1 与上拉节点 PU 导通, 使得上拉节点 PU 处于高电平, 进而使得第三薄膜晶体管 M3 导通, 同时对第一电容 C1 充电, 导通的第三薄膜晶体管 M3 控制移位寄存器开始工作, 此时, 由于 $CLKB = 0$, 因此信号输出端 Output 输出低电平信号, 且 $CLK = 1$, 第四薄膜晶体管 M4 处于导通状态, 使信号输出端 Output 与低电平信号端 VGL 导通, 可以将信号输出端 Output 的噪音及时拉低。T1 阶段为第一电容 C1 的充电阶段。

[0072] 在 T2 阶段, $Input = 0, CLKB = 1, CLK = 0, Reset = 0, Stop = 0$ 。此时, 第一薄膜晶体管 M1 和第四薄膜晶体管 M4 截止, 由于电容 C1 的自举作用将上拉节点 PU 进一步拉高, 第三薄膜晶体管 M3 仍处于导通状态, 并且由于此时 $CLKB = 1$, 因此信号输出端 Output 输出高电平信号。信号输出端 Output 输出的高电平信号同时输入到下一行移位寄存器的信号输入端 Input 为下一行移位寄存器的上拉节点 PU 充电, 且信号输出端 Output 输出的高电平信号同时输入到上一行移位寄存器的信号复位端 Reset。T2 阶段为该移位寄存器工作阶段。

[0073] 在 T3 阶段, $Input = 0, CLKB = 0, CLK = 1, Reset = 1, Stop = 0, DIR2 = 0$ 。由于 $Input = 0$, 因此第一薄膜晶体管 M1 截止。由于 $Reset = 1$, 第二薄膜晶体管 M2 导通, 将上拉节点 PU 与第二参考信号端 DIR2 导通, 上拉节点 PU 被拉低至低电平。由于 $CLK = 1$, 因此第四薄膜晶体管 M4 导通, 将低电平信号端 VGL 与信号输出端 Output 导通, 使信号输出端 Output 向连接的栅线输出低电平信号, 从而使显示装置的显示面板的显示区域内与该行栅线连接的所有薄膜晶体管截止。T3 阶段为该移位寄存器复位阶段。

[0074] 在 T4 阶段, $Input = 0, CLKB = 1, CLK = 0, Reset = 0, Stop = 0$ 。由于 $Input = 0$, 因此第一薄膜晶体管 M1 截止, 由于 $Reset = 0$, 因此第二薄膜晶体管 M2 截止, 由于 $CLK = 0$, 因此第四薄膜晶体管 M4 截止。此时 $CLKB = 1$, 对第二电容 C2 进行充电, 将下拉节点 PD 拉高至高电平, 进而导通第七薄膜晶体管 M7, 使信号输出端 Output 与低电平信号端 VGL 导

通,信号输出端 Output 输出低电平信号。T4 阶段为该移位寄存器下拉阶段。

[0075] 在 T5 阶段, $Input = 0$, $CLKB = 0$, $CLK = 0$, $Reset = 0$, $Stop = 1$ 。由于 $Stop = 1$, 因此第五薄膜晶体管 M5 和第六薄膜晶体管 M6 导通;导通的第五薄膜晶体管 M5 将下拉节点 PD 拉至高电平,使第七薄膜晶体管 M7 与第九薄膜晶体管 M9 导通,由于第七薄膜晶体管 M7 导通,使信号输出端 Output 与低电平信号端 VGL 导通,保证信号输出端 Output 输出低电平信号,由于第九薄膜晶体管 M9 导通,使上拉节点 PU 与低电平信号端 VGL 导通,同时导通的第六薄膜晶体管 M6 也可以将上拉节点 PU 与低电平信号端 VGL 导通,保证上拉节点的噪声可以输出。T5 阶段为该移位寄存器非工作时间阶段。

[0076] 基于同一发明构思,本发明实施例还提供了一种栅极驱动电路,如图 6 所示,包括串联的多个本发明实施例提供的上述移位寄存器,除第一个移位寄存器和最后一个移位寄存器之外,其余每个移位寄存器的信号输出端 Output 均向与其相邻的下一个移位寄存器的信号输入端 Input 输入触发信号,并向与其相邻的上一个移位寄存器的复位信号端 Reset 输入复位信号;第一个移位寄存器的信号输出端 Output 向第二个移位寄存器的信号输入端 Input 输入触发信号;最后一个移位寄存器的信号输出端 Output 向自身以及上一个移位寄存器的复位信号端 Reset 输入复位信号。

[0077] 为了方便说明,图 6 中仅示出了八个移位寄存器,分别为第 1 级移位寄存器、第 2 级移位寄存器、第 3 级移位寄存器、第 4 级移位寄存器、第 N-3 级移位寄存器、第 N-2 级移位寄存器、第 N-1 级移位寄存器、第 N 级移位寄存器。其中,第 N-1 级移位寄存器的信号输出端 Output 不仅向与其连接的栅线输出栅开启信号,还向第 N-2 级移位寄存器输出复位信号,同时还向第 N 级移位寄存器输出触发信号。

[0078] 具体地,上述栅极驱动电路中的每个移位寄存器与本发明提供的上述移位寄存器在功能和结构上均相同,重复之处不再赘述。

[0079] 基于同一发明构思,本发明实施例还提供了一种阵列基板,包括本发明实施例提供的上述栅极驱动电路、与栅极驱动电路的移位寄存器的信号输出端相连的栅线、薄膜晶体管、数据线以及像素电极;其中,

[0080] 薄膜晶体管的栅极与栅线相连,薄膜晶体管的源极与数据线相连,薄膜晶体管的漏极与像素电极相连。

[0081] 在本发明实施例提供的上述阵列基板中,在显示装置显示局部画面时,在停止信号输入端 Stop 的控制下,栅极驱动电路中的各移位寄存器的信号输出端 Output 输出低电平信号到与其相连的栅线,使显示装置的显示面板的显示区域内相应的各栅线上的所有薄膜晶体管截止,进而使数据线上的信号不能传输到像素电极,使像素电极停止驱动,以显示除局部画面外的黑色画面,相对于现有的显示装置在显示局部画面时,栅极驱动电路中的各个移位寄存器依然依次向各相应栅线输出高电平,使栅线上所有的薄膜晶体管开启,进而使数据线上的信号传输到像素电极,进行像素电极驱动,可以降低显示装置在显示局部画面时的功耗。

[0082] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述阵列基板,以及阵列基板的驱动电路。

[0083] 在具体实施时,本发明实施例提供的上述显示装置的驱动方法,包括:

[0084] 显示装置中的驱动电路接收外部视频数据,在判断外部视频数据为显示局部画面

时,在局部画面显示完成后,向显示装置中的各移位寄存器的停止信号输入端输入停止显示信号;

[0085] 移位寄存器在接收到停止显示信号时,信号输出端向相连的栅线输出低电平信号。

[0086] 例如,如图 7 所示的显示装置在进入显示待机状态时,显示时钟画面,除了时钟部分需要显示相应的时钟画面,其他部分都是黑画面,显示装置中的驱动电路识别到时钟画面只显示到第 N 行栅线 Gate,因此在第 N 行栅线 Gate 输出完成以后,即局部画面显示输出完成以后,向显示装置中各移位寄存器发出一个停止显示信号,停止显示信号一直保持高电平,直到下一帧开启信号开启时变为低电平。在栅线 Gate 从第一行扫描到第 N 行的过程中,由于周边画面显示黑色画面,只有时钟部分的数据线 Data 需要输出视频数据信号,所以,数据线 Data 可以只在第 A 行到第 B 行输出。另外,在每隔十帧或者二十帧以后,还可以进行一次栅极全部扫描,保持显示面板其他部分为黑色画面,这样,就实现了显示装置在显示局部画面时降低功耗的目的。

[0087] 在具体实施时,本发明实施例提供的上述驱动方法,还包括:

[0088] 在驱动电路向显示装置中的各移位寄存器的停止信号输入端 Stop 输入停止显示信号的同时,向显示装置中的源极驱动电路输入低电平信号,使与源极驱动电路连接的数据线加载低电平信号。

[0089] 本发明实施例提供的上述显示装置的驱动方法中,驱动电路接收外部视频数据后,在判断外部视频数据为显示局部画面时,在局部画面显示完成后,向显示装置中的各移位寄存器的停止信号输入端 Stop 输入停止显示信号,移位寄存器在接收到停止显示信号时,信号输出端 Output 向相连的栅线输出低电平信号,使栅线停止对显示面板进行扫描,在驱动电路向显示装置中的各移位寄存器的停止信号输入端 Stop 输入停止显示信号的同时,向显示装置中的源极驱动电路输入低电平信号,使与源极驱动电路连接的数据线加载低电平信号,以显示除局部画面外的黑色画面,相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。

[0090] 本发明实施例提供了一种移位寄存器、栅极驱动电路、阵列基板、显示装置及其驱动方法,在移位寄存器中增加了下拉模块和停止模块,在显示装置显示全屏画面时,移位寄存器的信号输出端输出高电平到与其相连的栅线,使栅线对显示装置的显示面板进行正常扫描以显示全屏画面,并且,在移位寄存器非工作时间内下拉模块可以维持上拉节点和信号输出端为低电平,防止移位寄存器输出噪音;在显示装置显示局部画面时,移位寄存器在停止信号输入端的控制下,停止模块维持信号输出端为低电平,即信号输出端将低电平信号输出到与其相连的栅线,使栅线停止对显示面板进行扫描以显示除局部画面外的黑色画面;相对于现有的显示装置在显示局部画面时,显示装置中各个移位寄存器电路依然依次向各相应栅线输出高电平使栅线进行正常扫描,可以降低显示装置的功耗。

[0091] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

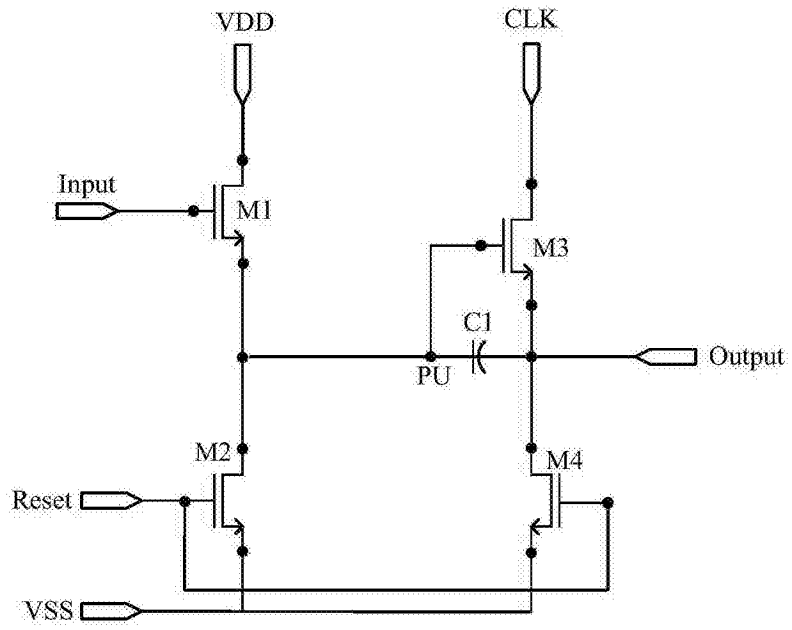


图 1

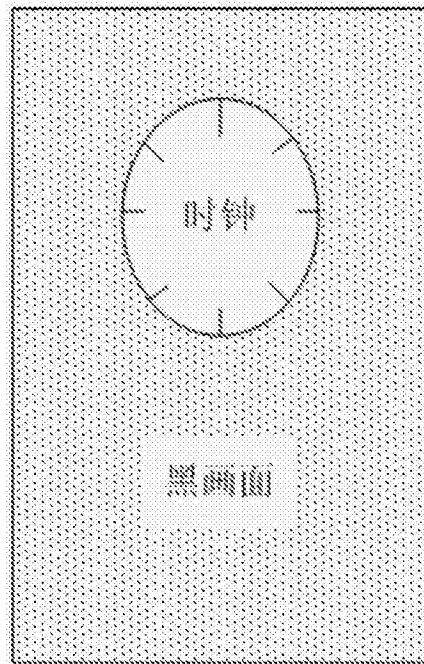


图 2

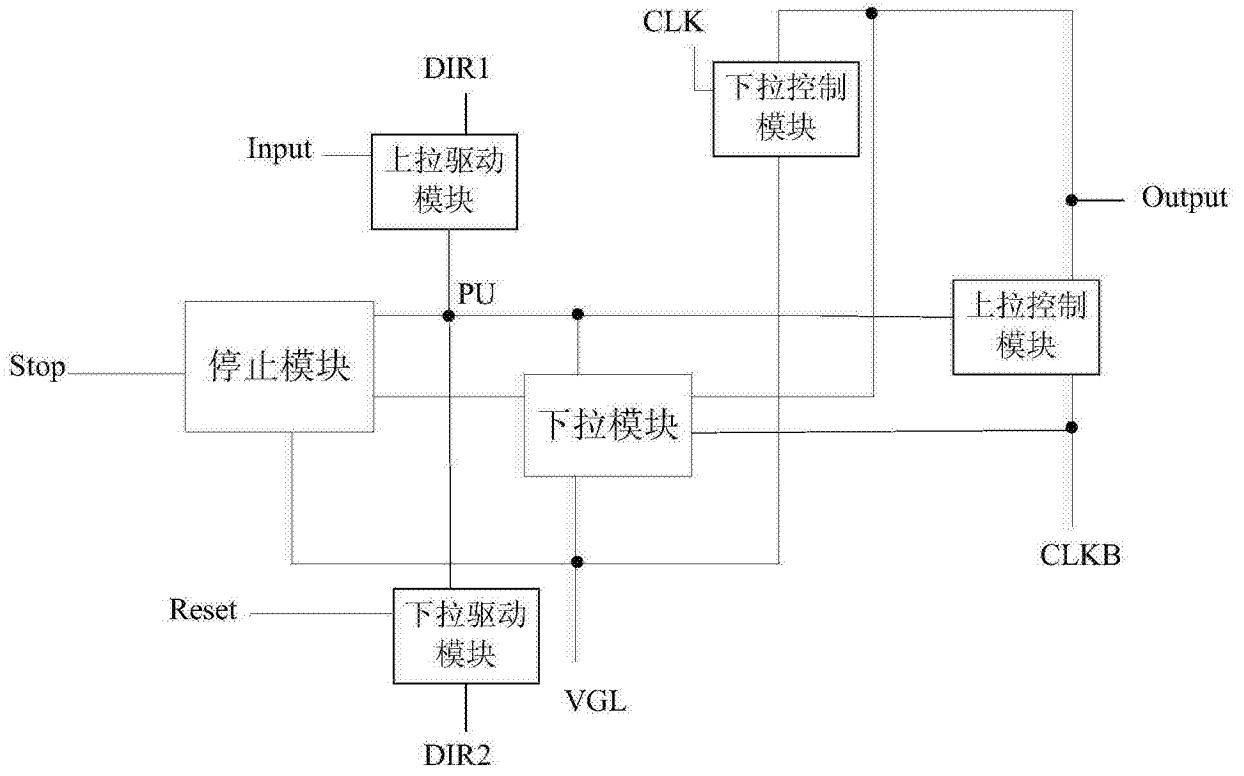


图 3

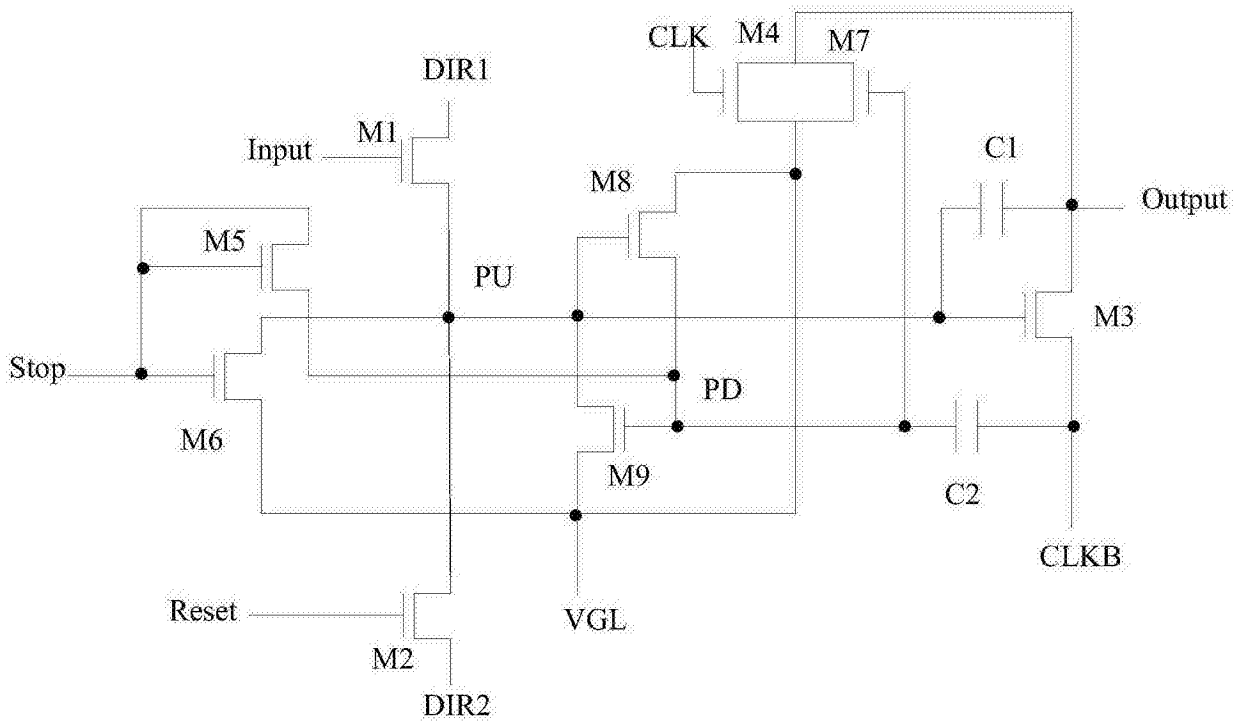


图 4

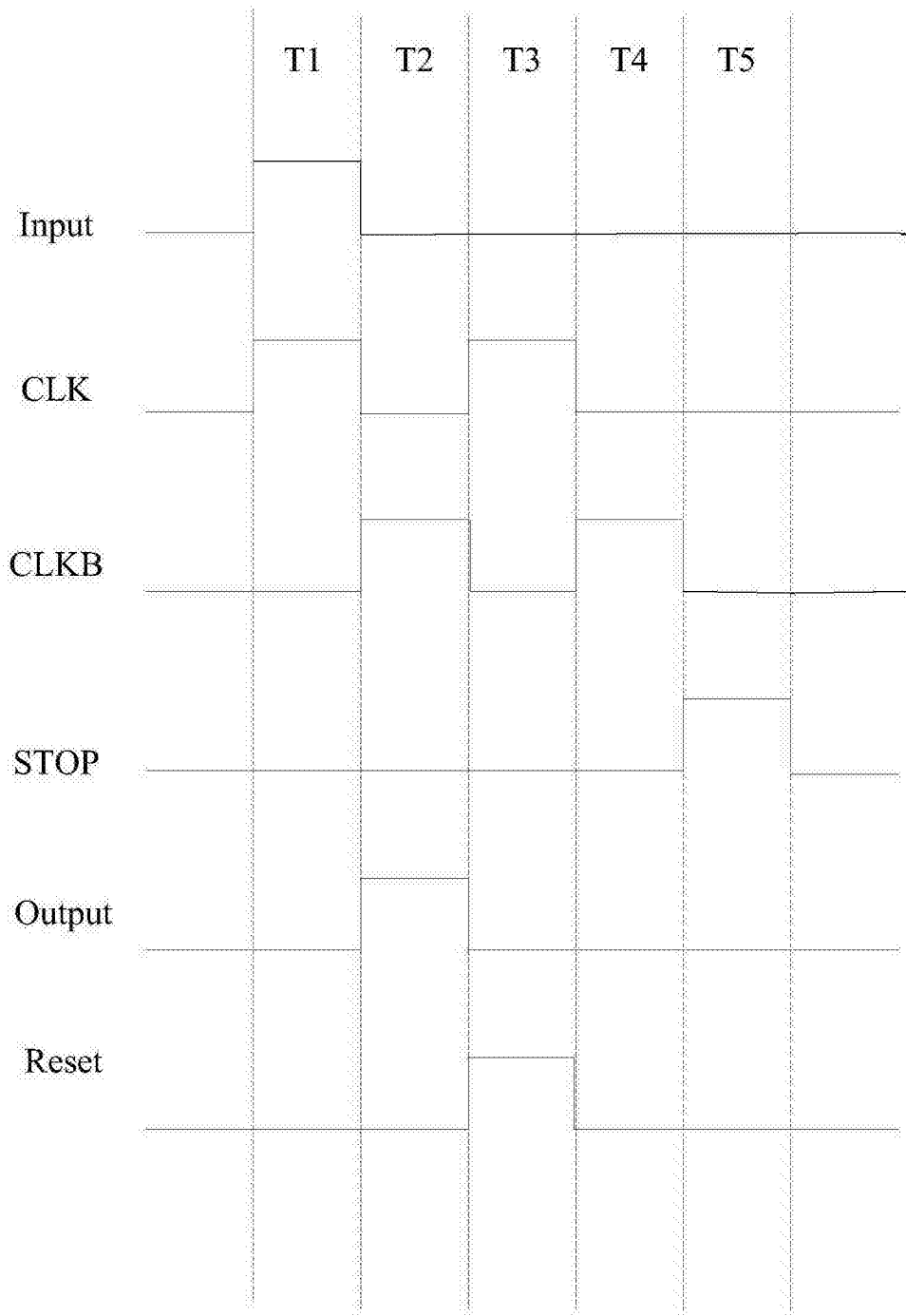


图 5

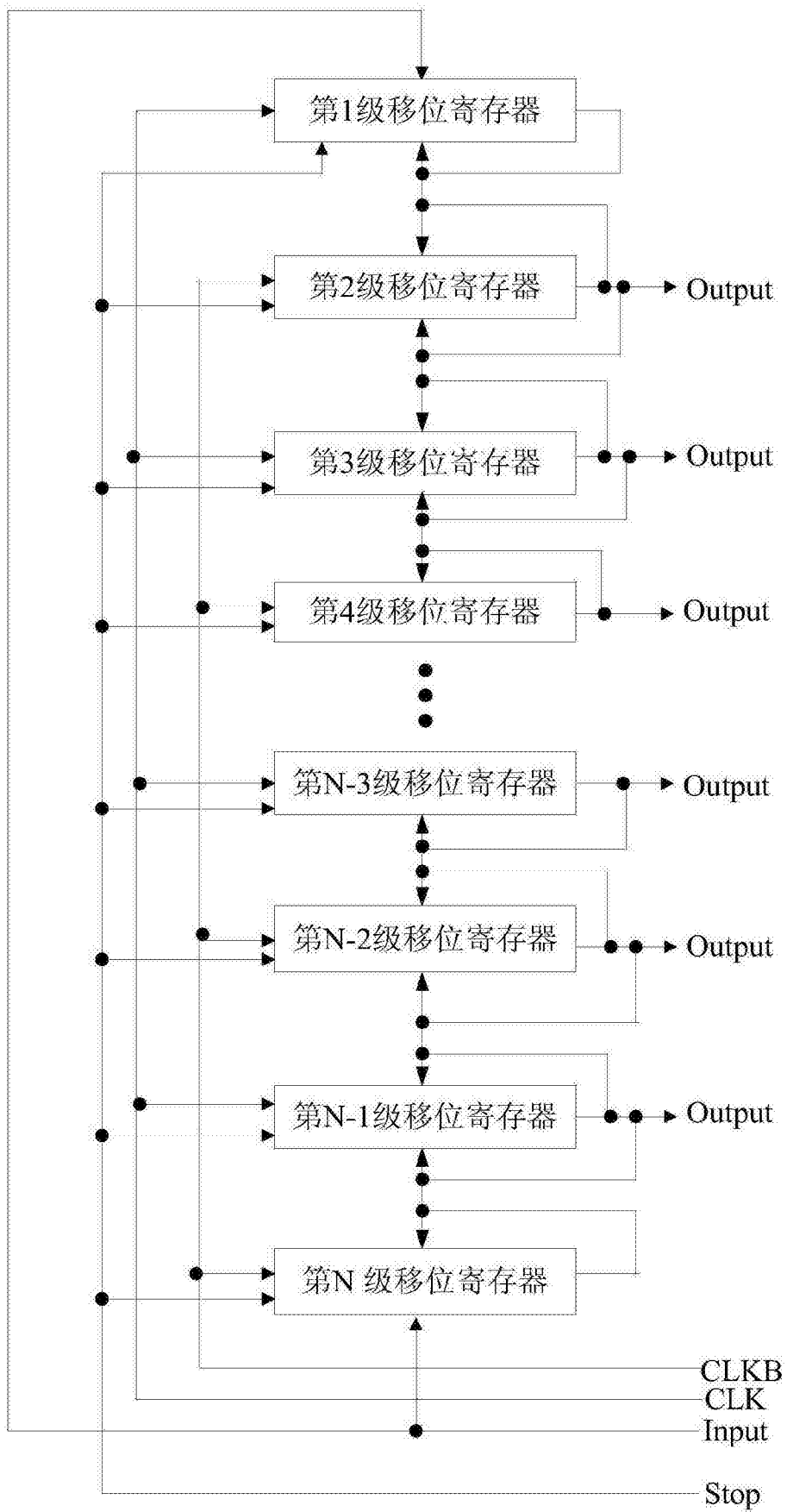


图 6

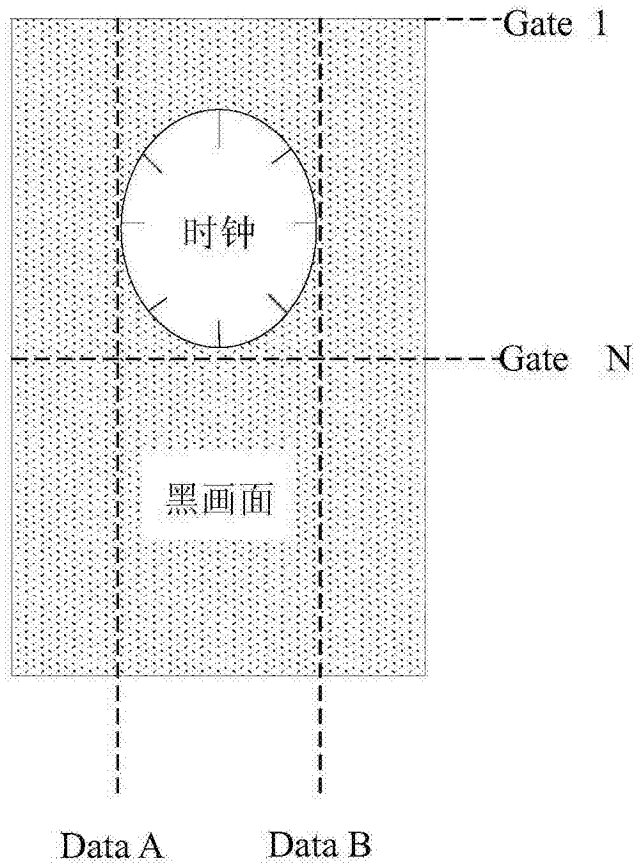


图 7