



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1283755 A1

(51) 4 G 06 F 7/544

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3918769/24-24

(22) 28.06.85

(46) 15.01.87. Бюл. № 2

(72) Л. П. Лобанов, П. Б. Пучков,
В. А. Терсков и Г. С. Тимофеев

(53) 681.325(088.8)

(56) Авторское свидетельство СССР
№ 832555, кл. G 06 F 7/548, 1980.

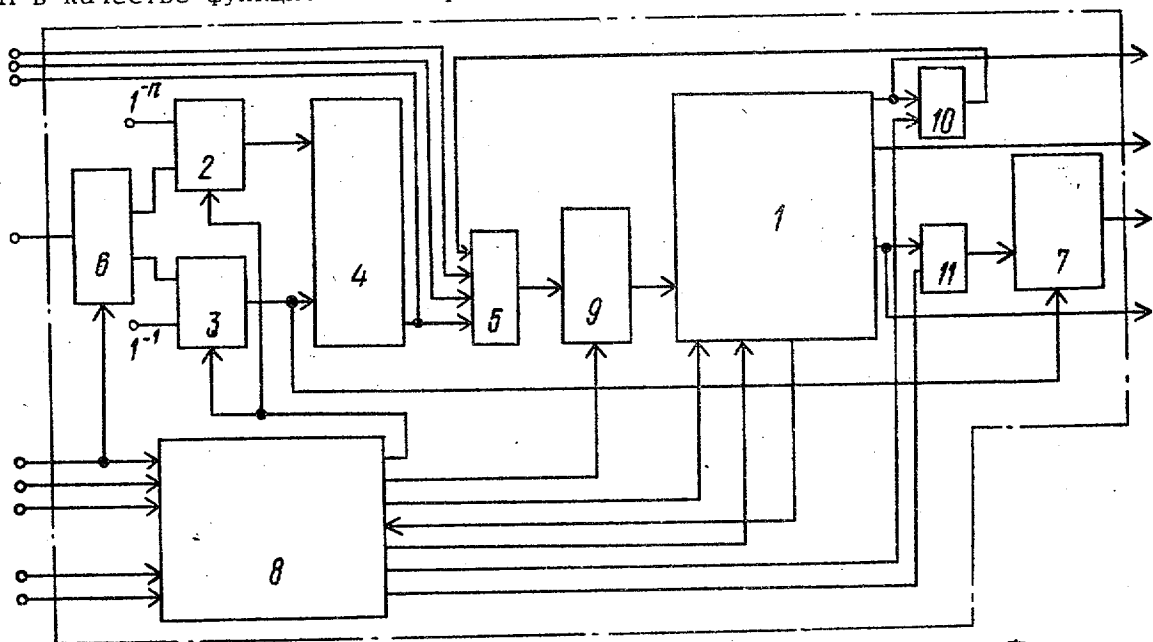
Авторское свидетельство СССР
№ 1062692, кл. G 06 F 7/552, 1982.

Устройство для извлечения квадратного корня с помощью значений синусов, хранящихся в блоке памяти. - Электроника, 1975, № 23, с. 62-63.

(54) ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО

(57) Изобретение может быть применено автономно в специализированных вычислителях или в составе больших ЭВМ в качестве функциональных рас-

ширителей арифметических операций. Целью изобретения является расширение класса решаемых задач за счет возможности вычислений значений квадратного корня, прямых и обратных тригонометрических функций. Устройство содержит тригонометрический преобразователь 1, регистр аргумента 6, буферный регистр 9, первый сумматор 2, второй сумматор 3, блок деления 4, группу элементов ИЛИ 5, первую группу элементов И 10, вторую группу элементов И 11, умножитель 7, блок управления 8. Вычисление основано на итерационном процессе вычисления обратного косинуса и синуса в блоке 1 и использовании известного соотношения для вычисления квадратного корня, 2 ил.



Фиг.1

(19) SU (11) 1283755 A1

Изобретение относится к вычислительной технике и может быть использовано как автономно, так и в составе больших ЭВМ в качестве функциональных расширителей арифметических операций.

Цель изобретения - расширение класса решаемых задач путем обеспечения возможности вычисления значений квадратного корня, прямых и обратных тригонометрических функций.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 - функциональная схема блока управления.

Вычислительное устройство содержит тригонометрический преобразователь 1, первый 2 и второй 3 сумматоры, блок 4 деления, группу элементов ИЛИ 5, регистр 6 аргумента, умножитель 7, блок 8 управления, буферный регистр 9, первую 10 и вторую 11 группы элементов И.

Блок 8 управления образуют шесть элементов ИЛИ 12.1 - 12.6, три триггера 13.1 - 13.3, счетчик 14, четыре элемента И 15.1 - 15.4, элементы 16 и 17 задержки и элемент НЕ 18.

Устройство реализует выражение:

$$y = \sqrt{a} = \left(\frac{1}{2} + \frac{a}{2} \right) \sin \left[\arccos \frac{\frac{|1-a|}{2}}{\frac{1}{2} + \frac{a}{2}} \right]. \quad (1)$$

Устройство работает следующим образом.

В начальный момент времени на вход задания режима блока 8 подается код единицы, устанавливающий режим вычисления квадратного корня, на входы вторых слагаемых сумматоров 3 и 2 подаются соответственно коды единицы младшего n -го и старшего первого разряда, в тригонометрическом преобразователе осуществляются начальные установки, на вход блока 8 управления и стробирующий вход регистра 6 аргумента поступает сигнал "Пуск". По этому сигналу в регистр 6 аргумента производится запись аргумента a и в блоке 8 управления происходит отключение входа (тактового) блока 8 управления от аналогичного входа (тактового) тригонометрического преобразователя 1 на время выполнения операции сложения и деления, а также производится переключение триггеров 13.1 и 13.2, управляющих работой

тригонометрического преобразователя 1, настраивая его на вычисление обратных тригонометрических функций.

С регистра 6 обратный код аргумента a поступает на вход первого слагаемого сумматора 2, а код аргумента a , сдвинутый на один разряд вправо, поступает на вход первого слагаемого сумматора 3. По сигналу с первого тактирующего выхода блока 8 управления в сумматоре 2 обратный код числа $[a]_{\text{обр}}$ преобразуется в дополнительный код путем сложения $[a]_{\text{обр}}$ с единицей младшего n -го разряда

$$|1-a| = [a]_{\text{доп}} = [a]_{\text{обр}} + 2^{-n}.$$

Во втором сумматоре 3 вычисляется выражение:

$$\frac{1}{2} + \frac{a}{2}.$$

В первом сумматоре 2 результат со сдвигом на один разряд вправо,

т.е. $\frac{|1-a|}{2}$, подается на вход делителя которого подается результат с второго сумматора 3. В блоке 4 деления производится вычисление косинуса угла

$$\cos \alpha = \frac{\frac{|1-a|}{2}}{\frac{1}{2} + \frac{a}{2}},$$

результат которого через группу элементов ИЛИ 5 по команде с второго тактирующего выхода блока 8 управления записывается в буферный регистр 9. К тригонометрическому преобразователю 1 подключается тактовый вход устройства. В преобразователе 1 производится вычисление величины

$$\alpha = \arccos \frac{\frac{|1-a|}{2}}{\frac{1}{2} + \frac{a}{2}}$$

за пятнадцать тактов. С приходом шестнадцатого импульса в блок 8 управления выдается сигнал окончания вычислений, в соответствии с которым происходит отключение тактового входа от тригонометрического преобразователя на время передачи кода α в буферный регистр 9 через группу элементов И 10 по команде с четвертого

тактирующего выхода блока 8 управления, а также осуществляется переключение каналов коммутатора в тригонометрическом преобразователе 1 на вычисление прямых тригонометрических функций. При подключении тактового входа в тригонометрическом преобразователе 1 происходит вычисление величины $\sin \alpha$ за пятнадцать тактов. С приходом шестнадцатого импульса тактовый вход тригонометрического преобразователя 1 отключается и с пятого тактирующего выхода блока 8 управления на вход второй группы элементов И 11 поступает сигнал, по которому на первый вход умножителя 7 поступает код $\sin \alpha$, а на второй вход - значение $\frac{1}{2} + \frac{\alpha}{2}$ с второго сумматора 3. На выходе умножителя 7 формируется результат вычисления квадратного корня по формуле (1). При вычислении тригонометрических функций на вход заданий блока 8 управления подается сигнал нуля и работа тригонометрического преобразователя 1 происходит автономно.

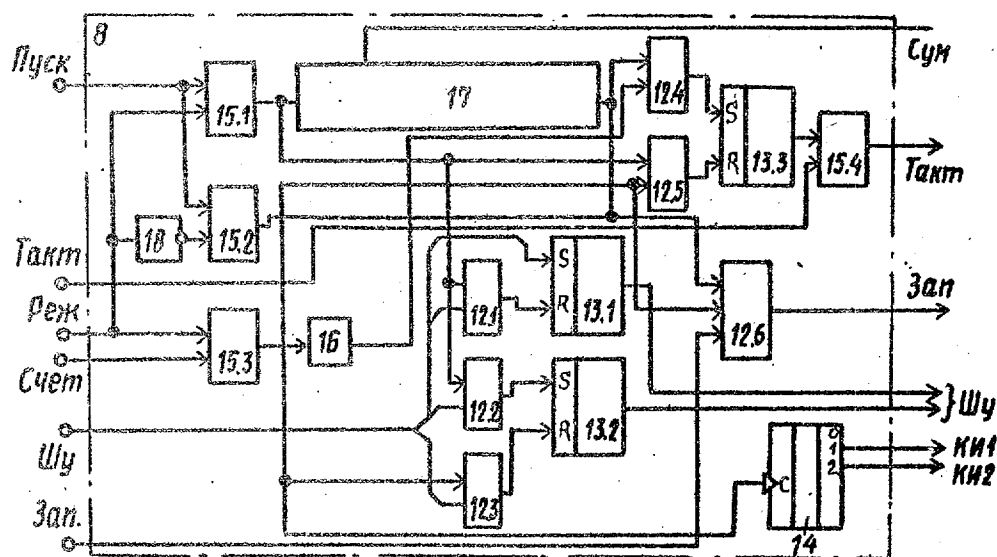
Ф о р м у л а и з о б р е т е н и я

Вычислительное устройство, содержащее регистр аргумента, первый сумматор, блок деления, умножитель, причем вход аргумента устройства соединен с информационным входом регистра аргумента, выход которого соединен с входом первого слагаемого первого сумматора, выход которого соединен с входом делимого блока деления, отличающееся тем, что, с целью расширения класса решаемых задач путем обеспечения возможности вычисления значений квадратного корня, прямых и обратных тригонометрических функций, в него дополнительно введены второй сумматор, буферный регистр, группа элементов ИЛИ, две группы элементов И, тригонометрический преобразователь и блок управления, причем разрядные выходы регистра аргумента соединены со сдвигом на один разряд в сторону младших разрядов с входами первого слагаемого второго сумматора, выход которого соединен с входом первого сомножителя умножителя и входом делителя блока деления, выходы частного блока деления соединены с пер-

выми входами элементов ИЛИ группы, вторые входы которых соединены с входами аргумента тригонометрической функции устройства, выходы элементов ИЛИ группы соединены с информационными входами буферного регистра, выходы которого соединены с входами аргумента тригонометрического преобразователя, выходы значения обратной функции которого соединены с первыми входами элементов И первой группы и выходом значения обратной функции устройства, выходы элементов И первой группы соединены с третьими входами элементов ИЛИ группы, выход значения прямой функции тригонометрического преобразователя соединен с одноименным выходом устройства и первыми входами элементов И второй группы, выходы которых соединены с входом второго сомножителя умножителя, выход которого соединен с выходом значения квадратного корня устройства, стробирующие входы первого и второго сумматоров, буферного регистра, тригонометрического преобразователя, элементов И первой и второй групп соединены с управляющими выходами блока управления с первого по пятый соответственно, выход задания режима блока управления соединен с одноименным входом тригонометрического преобразователя, вход запуска устройства соединен с входом разрешения записи регистра аргумента и входом запуска блока управления, тактовый вход устройства, входы задания режима, управления, тригонометрическим преобразователем, управления записью в буферный регистр устройства соединены с одноименными входами блока управления, первый и второй входы коррекции аргумента устройства соединены с входами вторых слагаемых первого и второго сумматоров, выход признака окончания вычисления тригонометрического преобразователя соединен с одноименным входом блока управления, содержащего счетчик, три триггера, шесть элементов ИЛИ, четыре элемента И, элемент НЕ, два элемента задержки, причем вход запуска блока управления соединен с первыми входами первого и второго элементов И, вход задания режима блока управления соединен с вторым входом первого элемента И, первым входом третьего элемента И и через

элемент НЕ с вторым входом второго элемента И, вход признака окончания вычисления тригонометрического преобразователя блока соединен с вторым входом третьего элемента И, выход которого соединен со счетным входом счетчика, выход первого элемента И соединен с первыми входами первого и второго элементов ИЛИ, первый вход третьего элемента ИЛИ соединен с выходом третьего элемента И непосредственно и через первый элемент задержки — с первым входом четвертого элемента ИЛИ, второй вход которого соединен с первым выходом второго элемента задержки, выход третьего элемента И соединен с первыми входами первого и шестого элементов ИЛИ, вторые входы пятого и шестого элементов ИЛИ соединены соответственно с выходами первого и второго элементов И, третий и второй входы шестого элемента ИЛИ соединены с входом управления записью в буферный регистр блока управления и первым выходом второго элемента задержки соответственно, выходы первого и третьего элементов ИЛИ соединены со входами сброса соответ-

ственно первого и второго триггеров, выход второго элемента ИЛИ соединен с входом установки второго триггера, вход управления тригонометрическим преобразователем блока управления соединен с вторыми входами первого, второго и третьего элементов ИЛИ и входом установки первого триггера, прямые выходы первого и второго триггеров соединены с выходом задания режима блока управления, выходы четвертого и пятого элементов ИЛИ соединены с входами соответственно установки и сброса третьего триггера, прямой выход которого соединен с первым входом четвертого элемента И, второй вход которого соединен с тактовым входом блока управления, второй выход второго элемента задержки соединен с первым управляющим выходом блока управления, второй, третий управляющие выходы которого соединены с выходами соответственно шестого элемента ИЛИ и четвертого элемента И, выходы разрядов счетчика соединены с четвертым и пятым управляющими входами блока управления.



Фиг. 2.

Составитель С. Куликов

Редактор Л. Пчелинская

Техред Л. Сердюкова

Корректор Л. Патай

Заказ 7442/47

Тираж 670

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4