

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 23/12	(45) 공고일자 1999년07월 15일	(11) 등록번호 10-0209863
(21) 출원번호 10-1996-0705108	(65) 공개번호 특 1997-0701924	(24) 등록일자 1999년04월 22일
(22) 출원일자 1996년09월 11일	(43) 공개일자 1997년04월 12일	
번역문제출일자 1996년09월 11일		
(86) 국제출원번호 PCT/JP 96/00040	(87) 국제공개번호 WO 96/21948	
(86) 국제출원일자 1996년01월 12일	(87) 국제공개일자 1996년07월 18일	
(81) 지정국 국내특허 : 일본 대한민국 미국 중국		
(30) 우선권주장 95-004486 1995년01월 13일 일본(JP) 95-059139 1995년03월 17일 일본(JP)		
(73) 특허권자 세이코 엡슨 가부시기가이샤 야스카와 히데아키 일본 도쿄도 163 신주쿠구 니시신주쿠 2초메 4-1		
(72) 발명자 타무라 츠요시		
(74) 대리인 일본국 나가노켄 스와시 오와 3조메 3-5 세코에푸손 가부시기가 이샤 내 이병호, 최달용		

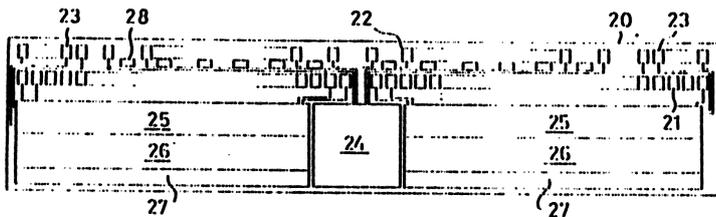
심사관 : 최승삼

(54) 반도체 장치 테이프 캐리어 패키지 및 디스플레이 패널 모듈

요약

외부와 전기적으로 접속하기 위한 전극들이 직사각형 반도체 칩(20)의 한 쪽 긴변을 따라 형성된다. 그 전극들은 출력 터미널(21) 및 다른 입력 터미널(22) 및 파워 서플라이 터미널(23)이 2열로 배열되거나, 또는 출력 터미널, 입력 터미널, 파워 서플라이 터미널이 1열로 배열된다. 입력 터미널의 입력 보호저항 및 정전기 보호용 다이오드(28)는 적어도 출력 터미널의 크기 만큼 출력 시스템으로부터 떨어져서 출력 터미널의 외부에 배치된다. 반도체 장치의 외부 터미널(21)에 접속된 외부 회로, 예를 들어 테이프 캐리어(29)의 내부 리드(33)로부터 연장된 와이어링(35)은 반도체 장치의 반대쪽 긴변을 향해 전극 내부에 루트되어, 와이어링 면적은 반도체 장치의 평면과 중첩된다. 그러므로, 반도체 장치의 실장 면적이 크게 감소할 수 있고, 집적도가 증가되어 TCP의 세로 크기를 최소화할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치, 테이프 캐리어 패키지, 및 디스플레이 패널 모듈

[도면의 간단한 설명]

제1도는 본 발명에 의한 반도체 장치의 제1실시예를 도시한 평면도이다.

제2도는 제1도의 반도체 장치를 탑재한 TCP를 도시한 평면도이다.

제3도는 제2도의 III-III선을 따라 확대된 단면도이다.

제4도는 본 발명에 의한 반도체 장치의 제2실시예를 도시한 평면도이다.

제5도는 제4도의 반도체 장치를 탑재한 TCP를 도시한 평면도이다.

제6도는 제5도의 VI-VI선을 따라 확대된 단면도이다.

제7도는 본 발명에 의한 반도체 장치의 변형된 실시예를 도시한 평면도이다.

제8도는 본 발명에 의한 액정 디스플레이 모듈의 평면도이다.

제9도는 제8도의 IX-IX선을 따라 확대된 단면도이다.

제10도는 종래의 TCP를 도시한 평면도이다.

제11도는 제10도의 X I-X I 선을 따라 확대된 단면도이다.

#### [기술분야]

본 발명은 외부 회로(external circuit)와 접속된 반도체 장치의 전극의 레이아웃에 관한 것이며, 특히 테이프 자동화 결합(tape automated bonding, TAB) 기술에 의해 테이프 캐리어상에 반도체 칩이 탑재된 테이프 캐리어 패키지(tape carrier package, TCP)에 관한 것이다.

또한, 본 발명은 액정 디스플레이(liquid crystal display, LCD) 또는 플라즈마 디스플레이와 같은, 플랫폼 디스플레이 패널에 구동용 반도체 칩을 탑재한 디스플레이 패널 모듈에 관한 것이다.

#### [배경기술]

TAB법 또는 테이프 자동 결합법에 의한 테이프 캐리어 패키지(이하, TCP로 칭함)는 반도체 실장 기술분야에서 광범위하게 사용되고 있다. 그 이유는, 상기 방식에 의하면 반도체의 고집적화 및 고기능화를 향한 최근의 동향으로 인해 이러한 요건을 충족시키기 위하여, 핀의 수를 최대화하고 또한, 리드간의 거리 또는 피치를 최소화하고, 전극의 수를 증가시키고, 전극 피치를 보다 미세하게 하며, 칩 사이즈를 대형화하는 것이 가능하게 되기 때문이다.

종래 기술에서는, TCP의 전극은 일본특허공개 평4-22146호 및 평5-326622호 공보에 기재된 바와 같이, 반도체 칩의 표면에 2번 또는 4번 모두를 따라 배열되었다.

또 다른 일본특허공개 소 63-84039호는 테이프 캐리어의 외부 리드가 상기 범프(bump)에 연결되어 칩의 내부를 향하도록 하여 실장 면적을 최소화하고 실장밀도를 높게 하기 위해 반도체 칩의 표면에 중심 영역에 범프가 형성된 TCP 실장 구조가 제시되어 있다. 또한, 본 출원인에 의한 국제 공개 번호 W091/16656에는 출력 전극은 직사각형 칩의 수직 중심선을 따라 형성된 반도체 칩이 기재되어 있다.

대부분의 액정 디스플레이 장치에서는, TCP는 후광 유니트(back-light unit)가 디스플레이 패널에 매우 용이하게 설치될 수 있고 또한 TCP 실장 공정을 자동화하기에 적합하기 때문에 LCD를 구동하기 위한 드라이버 반도체 칩을 실장하는 데 사용된다.

이 경우, 상기 일본특허공개 평5-326622호에 기재된 바와 같이, TCP의 폭을 짧게 하여 LCD의 소위 프레임부(frame portion)를 없애기 위해, 길고 좁은 직사각형의 형태로 드라이버 칩을 배치하고, 입력 및 출력 전극을 대향하는 긴 변을 따라서 각각 배치하는 데 유리하다.

상기의 길고 좁은 직사각형 칩위에 TCP의 세로 크기 또는 길이가 통상적으로 전극의 수와 칩의 크기에 의해 결정되는 반면, TCP의 측면 길이 또는 폭은 주로 1)입력 및 출력 외부 리드의 길이, 2)입력 및 출력 내부 리드의 길이, 3)내부 리드 및 외부 리드를 연결하기 위한 테이프 캐리어상의 와이어링, 및 4) 칩의 단면의 길이에 의해 결정된다. 제10도 및 제11도는 종래기술의 일반적인 실시예의 하나로서 TCP등을 도시하고 있다. 도면에서 TCP(1)은 테이프 캐리어(3)의 중심에 형성된 디바이스 홀(4)내에 배치된 LCD 드라이버로서 반도체 칩(2)을 포함한다.

칩(2)의 상부 표면에는, 다수의 출력 전극(5) 및 입력 전극(6)이 각각 대향하는 긴 변을 따라 1열로 배치되고, 디바이스 홀(4)내로 돌출하는 내부 리드(7,8)와 각각 접속되어 있다. 와이어링(9,10)에 의해서 외부 리드(11,12)에 접속된 내부 리드는 테이프 캐리어(3)의 표면에 형성된다.

종래기술에서, 외부 리드(11,12)의 길이는 어느 정도까지는 상기 TCP를 LCD 패널에 부착하고 외부 입력 회로에 연결하는 것에 의해 결정되고, 내부 리드(7,8)의 길이는 상기 칩(2)의 전극의 크기 및 피치등에 의해서 부분적으로 결정된다. 통상 칩(2)의 단면의 길이는 비록 항상 물리적 제한이 있지만, 칩의 크기를 감소시켜서 칩의 적층도를 개선하는 것에 의해 단축될 수 있다.

더우기, 칩의 집적도를 높게 하기 위해 필요한 기계는 매우 고가이고 또한 제조 단가가 증가하기 때문에 칩의 가격이 높아지게 되는 또다른 문제가 있다.

따라서, TCP 크기의 감소를 위해서는 출력 전극의 수가 보다 많은 것을 고려하여 테이프 캐리어의 표면에 특별히 출력 와이어링(output wiring)(10)을 위한 와이어링 면적을 줄임으로써 반도체 칩(2)의 실장 면적을 감소시키는 것이 바람직하다.

그러나, 외부 리드 피치를 보다 미세하게 만드는 데는 기술적인 한계가 있다. 더 나아가서, 때로는 외부에 연결하는 조건에 따라 외부 리드(12)의 크기를 보다 크게 만드는 것이 요구된다. 이러한 경우에, 와이어링(10)은 테이프 캐리어(3)상에 지정될 때 반드시 굵어지게 되고 그래서 보다 길어지고 TCP(1)의 폭이 보다 크게 된다.

반대로, 상기 일본특개 평5-326622호 공보에는 테이프 캐리어의 출력 리드를 직선상으로 형성하는 것에 의해 테이프 캐리어의 외부 리드의 것과 같은 피치로 칩상에 전극을 배열함으로써 테이프 캐리어상의 와이어링으로부터 종래의 굵은 패턴을 제거하여 TCP의 크기를 감소시키기 위한 기술이 기재되어 있다.

그러나, 이러한 종래 기술의 문제는 외부 리드 피치가 칩의 크기를 결정하는 전극 피치를 결정하기 때문에 칩의 크기감소를 실현하기 어렵고 칩의 제조단가가 증가된다. 그래서 TCP의 설계 유연성은 반도체 칩의 전극 수와 피치에 의해 제한된다.

그러므로 종래 기술의 상기 결점과 문제를 없애기 위해, 본 발명은 예를 들어, LCD 패널과 같은 플랫폼 디스플레이 패널을 운전하기 위한 드라이버 칩(driver chip)같은 반도체 칩을 구성하는 반도체 장치를 제공하고자 하였다. 상기 표면에 전극의 수를 포함한 상기 칩에서, 실장면적은 칩의 집적도와 크기가 제

조단가와 적절히 균형을 이룰 때 감소될 수 있다.

본 발명의 또다른 목적은 상기한 바와 같은 다수의 전극을 갖는 반도체 칩을 탑재하고 있는, 반도체 칩의 제조비용을 절감시키면서 크기 및 비용을 감소시킬 수 있는 테이프 캐리어 패키지를 제공하는 데 있다.

또한 본 발명의 목적은 드라이버 반도체 칩이 부착되는 프레임부를 줄여서 실질적으로 디스플레이 면적을 확대시키고 전체 장치의 크기를 감소시킬 수 있는 플랫폼 디스플레이 패널 모듈을 제공하는 데 있다.

[발명의 상세한 설명]

본 발명의 반도체 칩은 상기한 목적을 성취하기 위해 외부와 전기적으로 접속하기 위한 전극을 직사각형 반도체 칩의 한쪽 긴 변을 따라 형성하고 회로 셀(circuit cell)들이 전극내부에 배열되는 특징을 갖도록 설계되었다.

이러한 반도체 장치가 회로기판(circuit board)과 같은 외부 회로상에 부착될 때, 테이프 캐리어 또는 이와 같은, 상기 외부 회로의 전극으로부터 또는 테이프 캐리어의 내부 리드로부터의 와이어링은 상기 반도체 장치의 전극의 내부에 반대측의 긴변 방향을 향해 지정함으로써 회로기판등의 면적을 크게 줄일 수 있다. 그러므로, 반도체 칩의 개별 가격은 그 집적도 및 크기와 관련하여 적당한 저가 수준으로 유지될 수 있고, 아울러 실장밀도를 증가시키기 위해 그 실장면적을 크게 감소시킬 수 있으므로 전자 기계의 소형화 및 고밀도 실장화 모두를 실현할 수 있다.

바람직하게는, 반도체 장치의 전극은 입력 터미널, 출력 터미널 및 파워 서플라이 터미널(power supply terminal)로 구성될 수 있고, 상기 입력 터미널 및 파워 서플라이 터미널은 칩 표면에 상기 출력 터미널 외부에 배열된다. 특히, 출력 터미널의 수가 입력 및 파워 서플라이 터미널의 수 보다 많이 배치될 때, 출력에 대한 실장 면적은 입력에 대한 실장 면적보다 커지게 되고 따라서, 실장 면적을 보다 효과적으로 축소시킬 수 있다.

또한 출력 터미널은 2이상의 블록으로 나눌 수 있고, 그 블록은 상기 블록의 출력 터미널의 피치보다 크게 이격할 수 있다. 이러한 배열에 의해, 출력 와이어링의 루팅(routing)은 보다 자유롭게 설계될 수 있고 그 결과 반도체 칩의 설계 유연성이 향상된다. 또한, 이러한 반도체 장치가 테이프 캐리어에 실장될 때, 출력 터미널의 열내에서 블록들간에 충분한 공간이 제공되므로 성형수지물질(molding resin material)이 그 공간을 통해서 칩과 테이프 캐리어간 출력 터미널의 열 내부에 넓은 면적속으로 균일하게 주입될 수 있다.

다른 실시예에서는 입력 터미널, 출력 터미널 및 파워 서플라이 터미널로 구성되는 반도체 칩의 모든 전극은 1열로 배열하여서 실장 면적을 감소할 수 있고 칩의 세로 길이 또는 폭을 단축할 수 있다. 이러한 경우에, 출력 터미널은 출력 터미널의 상기 블록간에 배열된 입력 터미널과 2개 이상의 블록으로 분할될 수 있고, 파워 서플라이 터미널이 전극 열의 양쪽 말단에 배열되고, 그 결과 출력 와이어링의 설계 유연성이 향상될 수 있고 동시에 테이프 캐리어 위에 부착할 때, 성형수지 물질은 출력 터미널 열의 블록간에 형성된 공간을 통해서 균일하게 주입될 수 있다.

또한, 상기 입력 터미널에 대한 입력 보호 저항(input protective resistor) 및 정전기 보호용 다이오드(static electricity protective diode)는 상기 출력 터미널 외부에 배열되어, 출력 시스템에 부여되는 것으로부터 입력 시스템내에서 서지(surge)를 일으킬 수 있는 어떤 영향도 배제하기 위해 레지스터 및 다이오드는 반도체 칩의 출력 시스템으로부터 적어도 출력 전극의 폭만큼 떨어져 있다.

본 발명의 반도체 장치는 플랫폼 디스플레이 패널을 구동하기 위한 드라이버인 반도체 칩으로 구성되며, 상기 출력, 입력 및 파워 서플라이 터미널로 구성된 칩 표면에 다수의 전극, 상기 디스플레이 패널에 구동 신호를 출력하기 위한 터미널을 포함한 상기 출력 터미널, 및 직렬 데이터(serial data)를 입력하기 위한 터미널을 포함한 상기 입력 터미널 및 상기 직렬 데이터를 병렬 신호(parallel signal)로 변환하기 위한 클럭 시그널(clock signal)을 입력하기 위한 터미널을 포함하는 반도체 장치의 경우에, 와이어링에 넓은 면적이 사용되기 때문에 실장 면적을 효과적으로 줄일 수 있다.

또한, 본 발명에 의한 테이프 캐리어 및 상기 테이프 캐리어의 내부 리드에 연결된 전극을 갖는 반도체 칩으로 구성되는 테이프 캐리어 패키지는 상기 전극이 직사각형 칩의 한 쪽 긴 변을 따라 배열되고, 회로 셀들이 상기 전극의 내부에 배열되는 것을 특징으로 한다.

그래서, 테이프 캐리어상에서 내부 리드로부터 연장되는 와이어링의 루팅은 반대측의 긴변 방향으로 칩외 전극 내부에 배열될 수 있기 때문에, 와이어링 영역이 반도체 칩의 평면과 중첩되므로 테이프 캐리어 또는 TCP의 세로 크기를 줄일 수 있게 되어 제조 비용의 절감을 가능하게 해준다.

또한, 와이어링 및 TCP의 외부 리드의 설계 유연성을 향상시킬 수 있게 되므로 TCP의 크기를 감소시키면서 칩의 제조비용을 저가로 유지할 수 있게 된다.

본 발명의 TCP에서, 반도체 칩의 상기 전극은 입력 터미널, 출력 터미널 및 파워 서플라이, 및 상기 외부 터미널에 연결된 내부 리드로 구성되는 반도체 칩의 상기 전극은 반대측의 긴변 방향으로 상기 출력 터미널 내부에 지정된다. 왜냐하면 입력 와이어링보다 출력 와이어링에 보다 넓은 면적이 사용되기 때문에 테이프 캐리어의 세로 크기를 보다 효과적으로 줄일 수 있기 때문이다. 또한, 상기 반도체 칩이 플랫폼 디스플레이 패널을 구동하기 위한 드라이버이고, 상기 디스플레이 패널에 구동 신호를 보내기 위한 터미널을 포함한 상기 출력 터미널 및, 상기 직렬 데이터를 병렬 신호로 변환하기 위한 클럭시그널을 받기 위한 전극을 포함하는 상기 출력 터미널로 구성되는 경우에는, 와이어링 면적은 보다 크게 되므로, TCP의 세로 크기를 감소시키기 위한 효과는 한층 증대된다.

더 나아가, 본 발명에 따른 플랫폼 디스플레이 패널 및 원주를 따라 디스플레이 패널에 접속된 다수의 테이프 캐리어 패키지로 구성되고 상기 디스플레이 패널을 구동하기 위한 반도체 칩을 포함하는 디스플레이 패널 모듈은 상기 테이프 캐리어 패키지의 내부 리드에 접속된 상기 반도체 칩의 전극 및 상기 회로 셀이 전극 내부에 배열되는 것을 특징으로 한다.

이러한 배열에서, TCP의 세로 크기는 상기와 같이 감소될 수 있기 때문에 소위 드라이버 반도체 칩을 실장하기 위해 필요한 디스플레이 패널 모듈의 소위 프레임부(frame portion)을 줄일 수 있다. 따라서, 모듈의 전체 크기를 적게 하면서 실질적으로 보다 좋은 화면을 제공하기 위해 디스플레이 부분이 확대된 디스플레이 장치를 제공할 수도 있다.

#### [실시예]

이하에, 첨부 도면을 참조하면서 바람직한 실시예를 이용하여 본 발명을 상세히 설명하겠다.

제1도는, 본 발명에 따른 반도체 장치의 제1실시예를 나타낸 것이다. 반도체 칩(20)은 LCD를 구동하기 위한 길고 좁은 직사각형의 형태의 구동용 드라이버이며, 그 표면에는 한쪽의 긴 변, 첨부 도면에서 윗변을 따라 다수의 전극이 2열로 형성되어 있다.

상기 전극은 약 60  $\mu\text{m}$ 의 일정판 피치로 1열에 배열된 240개의 출력 터미널(21), 및 13개의 입력 터미널(22) 및 상기 출력 터미널의 외부에 1열로 배열된 14개 파워 서플라이 터미널(23)로 구성된다. 상기 전극 및 반대측의 긴변간의 영역은 각각 회로 셀을 구성하는 7개 블록으로 나뉜다. 데이터 컨트롤 및 클럭 버퍼(clock buffer)등을 포함한 로직 영역(24)이 중앙에 위치하고, 그 좌우 양측에 드라이버 출력부(25) 및 상기 드라이버와 같은 수의 출력을 갖는 드라이버 제어부(26), 및 직렬 데이터를 출탕하기 위한 래치부(27)가 위치한다.

각 약 50의  $\mu\text{m}$ 의 폭으로 길이 방향으로 확장되는 드라이버 출력부, 드라이버 제어부 및 래치부는 평행하게 형성되고, 따라서 반도체 칩(20)은 좁고 길게 형성된다.

본 실시예에서는, 출력 터미널 열 및 입력 및 파워 서플라이 터미널 열은 약 150  $\mu\text{m}$ 의 간격으로 이격되어 있고, 이것은 아래에 후술하는 바와 같이 반도체 칩(20)을 실장할 때 발생할 수 있는 테이프 캐리어의 내부 리드의 쇼트를 방지하기에 충분하다. 반도체 칩(20)이 테이프 캐리어 대신에 회로기판의 표면상에 직접 실장하는 경우에, 상기 터미널 열간 거리는 약 20 $\mu\text{m}$ 까지 감소될 수 있다.

상기 피치보다 넓은 약 500  $\mu\text{m}$ 의 갭이 출력 터미널(21) 열의 중앙에 형성되어 좌우의 2조로 분할된다. 각 조의 터미널은 드라이버 출력부(25)의 어느 한 쪽에 각각 형성된다. 입력 터미널(22)은 8개의 직렬 데이터 입력 터미널, 데이터 래칭을 위한 1개의 클럭 터미널(clock terminal), 모든 데이터를 일시적으로 출탕하기 위한 1개의 래치 터미널, 직렬 데이터에 대응하는 구동 출력(driving outputs)을 재생하기 위한 드라이버 출력부의 조절을 위한 1개의 터미널, 및 구동 출력을 변조 신호 또는 각각의 고정된 저수준 데이터로 강제적으로 유지하기 위한 1개의 시그널 터미널(signal terminal)로 구성된다.

파워 서플라이 터미널(23)은 로직 영역을 위한 2개의 파워 서플라이 터미널 및 드라이버 시스템을 위한 2조의 12개 파워 서플라이 터미널로 구성된다.

드라이버 시스템을 위한 파워 서플라이 터미널의 상기 조는 각각 입력 터미널의 열의 양 끝단에 위치하고, 해당 드라이버 출력부(25) 및 드라이버 제어부(26)에 접속된다. 입력 터미널(22)은 좌우 파워 서플라이 터미널(23)에 배열되고, 입력 터미널로부터 확장된 와이어링(wiring)은 출력 터미널의 열의 중심내 갭을 통과하여 로직 영역(24)에 접속된다. 이러한 배열은, 로직 영역(24)이 칩(20)의 왼쪽 또는 오른쪽 말단에 배치되는 것과 비교하여 입력 터미널로부터 와이어링을 위한 영역을 1/2까지 감소시킬 수 있다.

또한, 본 실시예에서 입력 터미널(22)에 접속된 정전기 보호 저항(static electricity protective resistor) 및 다이오드(28)는 입력 터미널(22)과 출력 터미널(21)사이에 배열된다. 종래 기술에 의한 반도체 장치에서, 입력측의 정전기 보호 저항 및 다이오드는 드라이버 출력으로부터 상당히 떨어진 곳에 위치하고 있으므로, 입력 시스템으로부터 서지가 드라이버 시스템에 영향을 주어 래치-업(latch-up)을 일으키는 등의 장애를 고려할 필요가 없다.

그러나, 본원 발명에 의하면, 드라이버로부터 출력 터미널이 입력 터미널에 근접하여 형성되기 때문에, 입력을 위한 정전기 보호 저항 및 다이오드(28)는 출력 터미널(21)에 연결된 정전기 보호 저항 및 다이오드(28)를 포함하는 드라이버 시스템으로부터 최소한 상기 출력 터미널의 크기만큼 분리될 수 있다. 그래서, 드라이버 시스템에 영향을 미치는 입력측으로부터의 서지를 효과적으로 방지할 수 있다. 그러나, 출력측의 상기 정전기 보호저항 및 다이오드로부터 입력하는 서지에 대해서는, 미리 래치-업의 방지 대책을 설치할 필요가 있다. 또한, 입력측의 정전기 보호저항 및 다이오드는 출력 터미널(21) 외부에 배치되면 좋고, 입력 터미널(22,23)의 열 간에 또는 그보다 외부에 배치할 수도 있다.

제2도에는, 통상적인 물질로 형성된 25 $\mu\text{m}$ 의 절연막(insulating film)으로 구성되는 테이프 캐리어(29)상에 부착되는 제1도의 반도체 칩(20)을 갖는 TCP(30)을 도시한 것이다.

테이프 캐리어(29)는 외부 리드(31,32), 내부 리드(33,34) 및 상기 외부 리드 및 내부 리드에 접속된 와이어링(35,36)을 갖고 막의 표면에 결합된 약 20 $\mu\text{m}$ 의 구리 박막(copper foil)을 에칭하여 패턴화함으로써 형성된다. 외부 리드(31)는 직사각형 테이프 캐리어의 한 쪽 긴 변을 따라 70 $\mu\text{m}$ 의 일정한 피치로 배열된다.

내부 리드는 반대측의 긴변을 따라 배열되고 테이프 캐리어(29)에 형성된 슬릿(37)을 통해서 뒷 면에 노출된다.

장치 홀(device hole)(38)은 중심보다도 오히려 입력 외부 리드에 가까운 위치에서 테이프 캐리어(29)에 형성되고, 입력 및 출력 내부 리드(33,34)가 모두 서로 대향하는 방향으로 확장하기 위해 양 끝단으로 부터 장치 홀의 개구로 돌출한다.

반도체 칩(20)의 모든 전극은 상기 한 쪽 긴 변을 따라 배열되기 때문에, 장치 홀(38)의 크기는 개구 내에서 전극을 밀봉하기에 충분하도록 크게 하고 칩(20)의 외형보다 작게 되도록 결정하기도 한다. 그러므로, 반도체 칩의 외형보다 큰 장치 홀을 갖는 종래 TCP와 비교하여 볼 때, 본 발명은 장치 홀(38)로 돌출하는 내부 리드(33,34)의 길이를 줄일 수 있다.

제3도에 도시한 바와 같이, 반도체 칩의 전극은 예를들어, 골드 플레이팅(gold plating)에 의해 범프(bump)(39,40)에 형성되고, 통상적으로 내부 리드 결합분야에서 사용되는 결합 도구로 가열·가압하여 내부 리드(33,34)에 접속된다.

또한, 내부 리드는 골드 범프(39,40)와의 접합성을 양호하게 성취하기 위해서 표면상에 주석(tin)으로 플레이트된다. 내부리드와 범프의 결합부 및 테이프 캐리어(29)와 반도체 칩(20)사이에서 형성된 공간은 성형수지(41)를 주입하는 것에 의해 밀봉된다.

통상적으로 성형수지는 모세관압에 의해 좁은 갭속으로 퍼지려는 경향이 있고, 본 실시예에서 제1도와 관련하여 상기한 바와 같이 출력 터미널(21)의 열의 중심이 크게 개방되어 수지가 쉽게 흐를 수 있고 출력 터미널의 열 내부의 넓은 영역까지 퍼진다. 이때, 반도체 칩(20)은 상기 전극이 출력 터미널(21)내에 테이프 캐리어와 반도체 칩의 표면간에 스페이서로서 더미 범프(42)에 장착되기도 한다. 상기 전극이 동일한 표면상 및 출력 터미널(21) 내부에 형성되어, 성형수지의 흐름을 막거나 또는 테이프 캐리어와 반도체 칩 사이에 충분한 공간을 확보해준다.

더미 범프(42)는 제2도에 도시한 위치외의 다른 적당한 위치 예를 들어, 상기 전극과 반대측의 긴 변을 따라 배열될 수도 있다.

다른 실시예에서는, 출력 터미널(21)의 열은 열의 중심외의 위치에서 소정의 피치보다 넓은, 약 500 $\mu$ m의 10이상의 부가 갭(additional gap)을 형성하는 것에 의해 보다 작은 그룹으로 나눌 수 있고 그리하여, 성형수지가 그 갭을 통하여 유연하게 표면위로 흐를 수 있고, 출력 측의 와이어링(35)의 설계 유연성이 증가될 수 있게 된다. 또한, 성형수지가 테이프 캐리어와 반도체 칩간에 입력측상의 갭속으로 넘치게 흐르지 않도록 조절하고 또한 입력 내부 리드(34)와 반도체 칩(20)의 결합의 물리적 강도를 향상시키기 위해, 더미 범프(도시되지 않은)는 입력 측의 전극(22,23)열에 형성될 수도 있고 또는 부가적으로 더미 내부 리드(도시되지 않은)는 상기 더미 범프에 연결하기 위해 테이프 캐리어(29)상에 형성될 수도 있다.

제2도에 도시한 바와 같이, 이 실시예에서 TCP의 크기는 다음과 같이 설정할 수 있다: 출력측의 외부 리드(31)의 길이  $L_{01}=1.9\text{mm}$ , 성형수지(41)의 길이  $L_r=2.1\text{mm}$ , 입력측(32)의 외부 리드의 길이  $L_{02}=0.9\text{mm}$ , 입력측 리드 보강용 테이프부분의 길이  $L_t=0.5\text{mm}$ ,로 설정하므로

TCP의 전체 길이는  $L_{01}+L_r+L_{02}+L_t=5.4\text{mm}$ 이다.

이제 출력 외부 리드의 길이  $L_{01}$ 는 이 TCP(30)가 외부에 실장될 때, 예를 들어 하기하는 바와 같이 LCD 상에 TCP를 접속할 때 사용되는 도구의 크기에 의해 결정되고, 입력 외부 리드의 길이  $L_{02}$ 는 리드를 외부 입력 및/또는 전원 회로에 납땀할 때 사용되는 도구의 크기에 의해 결정된다.

제2도 및 제3도로 부터 충분히 이해할 수 있는 바와 같이, 본 발명에 따르면 출력 와이어링(35)의 면적은 실질적으로 반도체 칩(20)의 평면과 중첩하기 때문에 TCP(30)의 길이는 요구되는 최소 길이로 단축될 수 있다.

또한, 와이어링(35)의 면적은 출력 터미널(21)의 피치가 증가된 만큼 확대되고, 특히 본 발명은 와이어링의 루팅을 설계하기에 충분한 공간을 확보해준다. 그리고 출력 터미널의 피치가 수  $\mu$ m 정도 크게 되어도 TCP의 크기를 변화시키지 않고 대응할 수 있다. 그래서 본 발명에 따르면, 와이어링 및 TCP의 외부 리드의 설계 유연성이 증가되기 때문에 반도체 칩(20)의 가격을 그 크기 및 집적도에 비해 적당하게 낮은 수준으로 유지하면서, TCP의 크기 감소 및 그 제조비용이 절감될 수 있다.

반대로, 제10도의 종래의 TCP(1)는 칩(2) 외부에 출력 와이어링(10)을 배열하기 위하여 1.3mm의 부가적인 길이가 필요하고 또한 칩(2)과 동일한 크기의 반도체 칩이 사용될 때 조차 반도체 칩(2)과 장치 홀(4)간에 갭을 위해  $0.15 \times 2 = 0.3\text{mm}$ 의 부가적인 공간을 필요로 한다. 이러한 이유 때문에, TCP의 최소 길이는 7.0mm로 제한되고, 실질적으로 이 보다 짧은 길이로 만드는 것은 불가능하다.

또한, 만약 외부 리드(12)의 피치가 증가한다면 와이어링(10)의 면적은 훨씬 커지게 될 것이고, 따라서 TCP(1)의 크기는 증가 될 것이다.

제4도에는, 본 발명의 반도체 장치의 제2실시예가 도시되어 있다. 이 실시예의 반도체 장치는 실질적으로 출력 터미널(21), 입력 터미널(22) 및 파워 서플라이 터미널(23)이 모두 반도체 칩(20)의 한 쪽 긴 변을 따라 1열로 배열되는 것을 제외하고는 제1실시예와 동일하다.

그러므로, 칩(20)의 폭은 제1실시예보다 길고 반면에 칩(20)의 길이는 제1실시예의 것보다 짧다. 제1실시예에서와 마찬가지로, 상기 전극과 칩(20)의 반대측 긴 변 사이의 영역에는, 중심에 로직 영역(24) 그리고 좌우 양면에 드라이버 출력부(25), 드라이버 제어부(26), 및 직렬 데이터를 출탕하기 위한 래치부(27)에 제공된다.

출력 터미널은 약 60 $\mu$ m의 일정한 피치로 배열되고, 터미널의 열 중심에 형성된 넓은 갭에 의해 좌·우 2조로 분할됨과 동시에, 출력 터미널의 각 조는 대응하는 좌·우 드라이버 출력부에 접속된다. 상기 각 조의 출력 터미널은 약 100 $\mu$ m의 간격을 가진 3개의 블럭으로 나뉘고, 입력 터미널(22)은 인접 블럭간에 각각 동일한 간격으로 떨어져서 배열된다. 입력 터미널(22)은 터미널 열의 중심에 갭을 통해 지나가는 와이어링에 의해 로직 영역(24)에 접속된다.

로직 영역을 위한 2개 파워 서플라이 터미널(23)은 중앙 갭에 위치하고 로직 영역(24)에 접속된다. 드라이버 시스템을 위한 파워 서플라이 터미널(23)은 2조로 나뉘고 해당 드라이버 출력부 및 드라이버 제어부의 끝단에 연결하기 위해 각 조마다 터미널 열의 양 끝단에 배열된다.

본 실시예에서는 상기 입력 터미널 및 파워 서플라이 터미널의 크기가 80 $\times$ 60 $\mu$ m인 반면, 출력 터미널은 80 $\times$ 40 $\mu$ m으로 폭이 보다 좁아지게 된다. 이것은 하기하는 바와 같이 칩을 테이프 캐리어상에 실장할 때, 입력 내부 리드 및 출력 외부 리드가 서로 대향하는 방향으로 연장되기 때문에 서로 접촉하는 것에 의해 단락하는 것을 방지하기 위한 것이고, 또한, 입력 터미널(22)에 의해 분할된 출력 터미널의 블럭 사이에 출력 터미널의 피치보다 큰 갭을 만들기 위한 것이다.

정전기 보호저항 및 입력 터미널(22)에 접속된 다이오드(28)는 상기 출력 터미널의 열보다 외부에 배치되어 있다. 이러한 배열에 의해, 입력 시스템의 정전기 보호저항 및 다이오드(28)는 적어도 출력 터미널의 크기 이상으로 드라이버로부터 이격되기 때문에 입력 시스템의 서지가 드라이버 시스템에 미치는 영향을 효과적으로 방지할 수 있다.

제5도는, 제2도의 실시예와 마찬가지로 제4도의 반도체 칩(20)이 약  $25\mu\text{m}$  두께의 플라로이드 필름으로 된 테이프 캐리어(43)상에 탑재한 TCP(44)를 도시한 것이다. 테이프 캐리어(43)는 약  $20\mu\text{m}$  두께의 구리 박막을 에칭하는 것에 의해 외부 리드(45,46), 내부 리드(47,48), 및 이를 접속 위한 와이어링(49,50)으로 구성된다.

출력 외부 리드(45)는 상기 테이프 캐리어의 한 쪽 긴변을 따라  $70\mu\text{m}$ 의 일정한 피치로 배설되고, 입력 외부 리드(46)는 반대측의 긴변에 따라 배설되고, 테이프 캐리어(43)을 통해서 형성된 슬릿(51)을 통해 뒷면에 부분적으로 노출된다.

장치 홀(52)은 중심보다 오히려 입력 외부 리드(46)의 측면 위치에 테이프 캐리어(43)에 형성된다. 본 실시예에서는, 반도체 칩(20)의 모든 전극은 한 쪽 긴변을 따라 1열로 배치하기 때문에, 장치 홀(52)은 제2도의 제1실시예의 경우보다 크기를 보다 작게 형성할 수 있다.

그러므로, TCP(44)의 세로 크기 또는 폭을 제2도의 제1실시예의 경우보다 더 많이 줄일 수 있다. 입력 및 출력 내부 리드(47,48)는 전극 열상에서 양측 가장자리로부터 서로 대향하는 방향으로 또한 상기 터미널 열 방향에서 수평 방향으로 장치 홀(52)의 개구내에 돌출되고, 리드의 길이는 종래 반도체 칩의 외형보다 큰 장치 홀을 갖는 TCP 보다도 작게 줄일 수 있다.

TCP(44)의 내부 리드(47,48)는 통상의 결합 도구를 사용하여 가열, 가압 공정을 통해서 골드 플레이팅에 의해 반도체 칩의 전극으로 구성된 범프(53,54)에 접속된다. 상기 테이프 캐리어(43)와 반도체 칩(20)과의 사이에 형성된 갭 및, 내부 리드 및 범프의 접합부는 성형수지물질(55)에 의해 밀봉된다. 상기한 바와 같이, 출력 터미널 열의(21) 중심에 형성된 갭과, 상기 각 전극의 그룹을 각각 더 작은 불력으로 분할하는 또다른 갭에 의해서, 장치 홀(52)의 개구를 통해서 주입되는 성형수지물질(55)은 보다 용이하게 상기 칩의 전극 내부에 균일하게 흐를 수 있게 된다.

본 실시예에서는, 출력 터미널(21)은 입력 터미널(22)에 의해 6 개 불력으로 나뉘고, 다른 실시예에서는 출력 터미널은 입력 터미널의 위치를 변경함으로써 보다 많은 불력으로 나눌 수 있게 된다. 상기 출력 터미널을 불력으로 분할하는 또다른 장점은 와이어링, 특히 테이프 캐리어(43)상에 출력 와이어링(49)의 설계 유연성을 증가시키는 점이다.

또한, 반도체 칩(20)의 전극 형성면에는 성형수지물질을 막기 위한 장애물로서 또는 테이프 캐리어 사이의 스페이서로서, 상기 터미널 열보다 내부에 더미 범프(42)를 설치할 수 있다. 또한, 본 실시예의 TCP(44)의 경우에도, 더미 범프는 반도체 칩(20)의 터미널 열내에 설치할 수 있고, 더미 내부 리드는 그 더미 범프에 접속된 테이프 캐리어(43)에 첨가될 수 있기 때문에, 테이프 캐리어와 칩의 기계적 접합 강도가 향상될 수 있다.

제5도에 도시된 바와 같이, 본 실시예의 TCP의 크기는 제1실시예의 TCP의 경우와 마찬가지로 설정된다. 즉, 출력 외부 리드(45)의 길이  $L01=1.9\text{mm}$ , 입력 외부 리드(46)의 길이  $L02=0.9\text{mm}$ , 및 입력 리드 보강용 테이프부의 길이  $Lt=0.5\text{mm}$ 로 설정하는 경우, TCP(44)의 전체 길이는  $L01+Lr+L02+Lt=5.4\text{mm}$ 이다.

여기에서, 출력 외부 리드의 길이  $L01$  및 입력 외부 리드의 길이는 TCP(44)를 외부 회로에 연결하는 데 사용되는 도구의 크기에 의해 결정된다. 제5도 및 제6도에 충분히 도시되어 있는 바와 같이, 출력 와이어링(49)의 면적은 평면도에서 반도체 칩(20)의 상부를 중첩하기 때문에, TCP(44)의 세로 길이는 제1도의 종래 TCP의 것에 비하여 크게 줄일 수 있다.

그러므로, 본 실시예는 반도체 칩(20)의 가격을 최소화하면서, TCP 크기 감소 및 제조비용의 감소를 실현할 수 있다.

또한, 본 실시예는 전극이 1열로 배열되기 때문에, 또한 칩(20)의 폭은 다소 줄일 수 있고, 어느 한도까지는 와이어링 및 외부 리드를 제1실시예에 비해 보다 유연하게 설계할 수 있다.

제7도는 제1실시예의 반도체 장치의 변형을 도시한 것이다. 본 변형된 실시예에서, 다수의 전극이 좁은 직사각형 반도체 칩(20) 및 긴면의 한쪽을 따라 2열로 배열된다.

제1실시예의 경우에서와 같이, 외부 열은 입력 및 파워 서플라이 터미널(56)으로 구성되고 내부 열은 외부 터미널(57)로 구성된다. 상기 반도체 칩(20)의 터미널 열과 반대측의 긴변과의 사이의 영역에는, 길이 방향을 따라 간격을 갖는 회로 셀로 구성된 다수의 불력이 배설된다. 출력 터미널(57)은 불력(58)의 회로 셀에 대응하기 위해 그룹으로 나뉘고, 그 불력에 연결된다.

상기 입력 및 파워 서플라이 터미널은 상기 불력 사이의 영역을 통과해서 소정의 불력(58)에 연결된다. 또한 본 실시예에서는, 제1실시예 및 제2실시예에서와 같이, 출력 터미널(57)을 위한 와이어링은 반도체 칩의 평면과 중첩되는 영역에 설치할 수 있으므로 실장 면적이 줄어 들 수 있다.

제8도 및 제9도에서는, 본 발명에 따른 LCD모듈의 실시예를 도시한 것이다.

LCD(59) 모듈은  $1920 \times 480$  픽셀(pixel)의 컬러 VGA 형이고, 전극의 X-Y 행렬 구조의 LCD 패널(60)로 구성되어 있으며 LCD 드라이버 반도체 칩상에 부착된 제2도의 TCP(30)들이 상기 LCD 패널에 연결된다. 즉, 상기 TCP의 각 8개가 각각 유리기판(61)의 상부 및 하부 에지를 따라 배치되고, 상기 TCP의 2개는 다른 유리기판(62)의 오른쪽 끝을 따라 배치된다. X 방향으로 연장된 스트립 회로기판(strip circuit board)(65)이 상기 상부 및 하부 에지상에 TCP(30)의 대응 입력 터미널에 각각 연결되고, Y 방향으로 연장된 스트립 회로기판(65)은 오른쪽 에지의 TCP(30)에 연결된다.

제9도에 충분히 도시된 바와 같이, 각 TCP(30)의 출력 터미널(31)은 공지된 이방성 전도막(anisotropic

conductive layer)(66)에 의해 유리기판(61)의 표면에 ITO 전극에 전기적 그리고 기계적으로 연결된다.

또한, 동일한 이방성 전도물질이 오른쪽 에지위에 TCP(30)의 출력 터미널을 유리기판(62)의 ITO 전극에 연결하기 위해 사용된다. 이방성 전도막 대신에 다른 방법으로서, 적당한 접착제가 상기 출력 터미널을 ITO 전극에 직접 접속하기 위해 사용될 수 있다. 각 TCP(30)의 입력 터미널(32)은 납땜에 의해 회로기판(63)의 출력 터미널(68)에 연결된다. 또한, 성형수지물질(69)은 TCP(30)의 터미널 및 상기 유리기판의 연결부와 상기 터미널 및 회로기판의 연결부를 보호하기 위해 사용된다.

상기한 바와 같이, TCP(30)의 길이는 종래의 TCP 길이보다 짧기 때문에, LCD 모듈(59)의 원주 가장자리 에지부분 또는 프레임이 이전보다 작아질 수 있게 되었다.

그러므로, 전체 LCD 모듈(59)의 크기는 줄어들 수 있고, 즉 바꿔 말하면 전체 장치의 크기에 비해 디스플레이 스크린의 크기는 실질적으로 커질 수 있기 때문에, 보기 쉬운 LCD 장치를 제공할 수 있다. 물론, 제 5도에 도시한 바와 같이 제2실시예의 TCP는 본 발명의 LCD 모듈(59)에 적용할 수 있다. 또한, 종래 형태의 TCP는 유리기판(62)의 오른쪽 에지를 따라 본 발명의 TCP(30) 대신에 사용될 수도 있다.

이것은 비록 이러한 경우에 LCD 모듈(59)의 가로 크기가 최소화될 수 없지만, 통상적으로 대부분 LCD 장치의 가로 크기는 엄격히 제한되기 때문이다.

#### [산업상이용가능성]

본 발명은 상기한 액정 디스플레이에 사용될 수 있을 뿐만 아니라 플라즈마 디스플레이 같은, 주변부에 구동용 반도체 칩을 탑재하는 어떤 플랫폼 패널 디스플레이 모듈에도 사용할 수 있다.

이상 본 발명의 바람직한 실시예에 대해서 상세히 설명하였으나, 당업자에게 명백해진 바와같이 본 발명은, 이 기술적 범위에 있어서 상기 실시예에 여러가지 변형·변경을 해서 실시할 수 있다.

예를 들면, 제1도 및 제4도의 반도체 장치에서는 각 터미널 열이 직선으로 형성되어 있으나, 다른 방법으로서 길이를 따라 적당한 위치에 전체적으로 또는 부분적으로 지그재그(zigzag)로 배열될 수 있다. 또한, 반도체 칩위에 형성된 회로 셀의 레이아웃은 그 목적 및 목표하는 사양에 따라 다르게 변화될 수 있다.

더 나아가, 파워 서플라이 터미널 및/ 또는 입력 터미널들도 마찬가지로 상기 실시예에 한정되는 것이 아니고, 회로 셀의 레이아웃, 본 발명의 TCP 또는 다른 장치가 부착되는 외부 회로의 구조에 따라 자유롭게 설계할 수 있다.

### (57) 청구의 범위

#### 청구항 1

외부와 전기적으로 접속하기 위한 전극이 직사각형 반도체 칩의 한쪽 긴 변을 따라 형성되고, 또한 회로 셀이 상기 전극 보다 내부에 설치된 것을 특징으로 하는 반도체 장치.

#### 청구항 2

제1항에 있어서, 상기 전극이 입력 터미널, 출력 터미널 및 파워 서플라이 터미널로 구성되고, 상기 입력 터미널 및 파워 서플라이 터미널은 상기 출력 터미널 보다 외부에 배치되는 것을 특징으로 하는 반도체 장치.

#### 청구항 3

제1항에 있어서, 상기 전극이 입력 터미널, 출력 터미널 및 파워 서플라이 터미널로 구성되고, 또한 1열로 배치되는 것을 특징으로 하는 반도체 장치.

#### 청구항 4

제2항 또는 제3항에 있어서, 상기 입력 터미널의 입력 보호저항 및 정전기 보호용 다이오드가 상기 출력 터미널보다 외부에 배치된 것을 특징으로 하는 반도체 장치.

#### 청구항 5

제2항에 있어서, 상기 출력 터미널이 2이상의 블럭으로 분할되고, 또한 각 블럭은 상기 블럭의 출력 터미널의 피치보다 크게 거리를 두고 이격되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 6

제3항에 있어서, 상기 출력 터미널이 2이상의 블럭으로 분할되고, 상기 입력 터미널은 입력 터미널의 상기 블럭들간에 배치되고, 상기 파워 서플라이 터미널은 상기 전극 열의 양 끝단에 배치되어 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 7

제2항 또는 제3항에 있어서, 상기 반도체 칩이 플랫폼 디스플레이 패널을 구동하기 위한 드라이버이고, 상기 출력 터미널은 상기 디스플레이 패널에 구동 신호를 출력하기 위한 터미널로 구성되며, 상기 입력 터미널은 직렬 데이터를 입력하기 위한 터미널, 및 상기 직렬 데이터를 병렬 신호로 변환하기 위한 클럭 시그널을 입력하기 위한 터미널로 이루어진 것을 특징으로 하는 반도체 장치.

#### 청구항 8

테이프 캐리어 및, 상기 테이프 캐리어의 내부 리드에 접속된 전극을 갖는 반도체 칩으로 구성되는 테이프 캐리어 패키지에 있어서,

상기 전극이 직사각형 칩의 한쪽 긴 변을 따라 배열되고, 상기 회로 셀은 상기 전극보다 내부에 배설되는 것을 특징으로 하는 테이프 캐리어 패키지.

**청구항 9**

제8항에 있어서, 상기 반도체 칩의 전극은 입력 터미널, 출력 터미널 및 파워 서플라이 터미널로 구성되고, 상기 출력 터미널에 접속된 상기 내부 리드가 상기 출력 터미널보다 내부에 반대측의 긴변의 방향으로 연장되는 것을 특징으로 하는 테이프 캐리어 패키지.

**청구항 10**

제8항 또는 제9항에 있어서, 상기 반도체 칩이 플랫형 디스플레이 패널을 구동하기 위한 드라이버이고, 상기 터미널이 구동 신호를 상기 디스플레이 패널에 보내기 위한 터미널을 포함하고, 상기 출력 터미널이 직렬 데이터를 받기 위한 터미널 및 상기 직렬 데이터를 병렬 신호로 변환하기 위한 클럭 시그널을 입력하는 터미널로 이루어진 것을 특징으로 하는 테이프 캐리어 패키지.

**청구항 11**

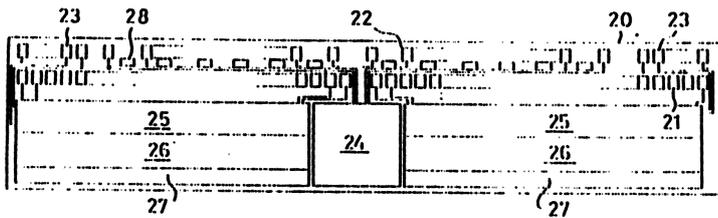
플랫형 디스플레이 패널 및, 그 주변을 따라 접속되면서 상기 디스플레이 패널을 구동하기 위한 반도체 칩을 탑재한 복수의 테이프 캐리어 패키지로 구성되는 디스플레이 패널 모듈에 있어서, 상기 테이프 캐리어 패키지의 내부 리드에 접속된 상기 반도체 칩의 전극은 직사각형 칩의 한쪽 긴 변을 따라 배열되고, 회로 셀은 상기 전극보다 내부에 배치되어 있는 것을 특징으로 하는 디스플레이 패널 모듈.

**청구항 12**

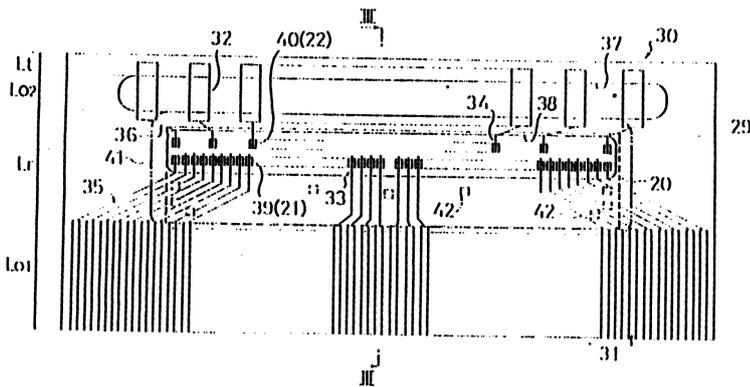
제11항에 있어서, 상기 디스플레이 패널이 액정 디스플레이 패널인 것을 특징으로 하는 디스플레이 패널 모듈.

**도면**

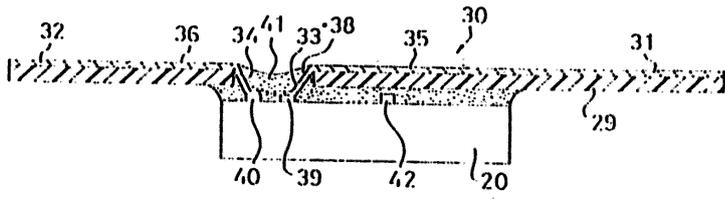
**도면1**



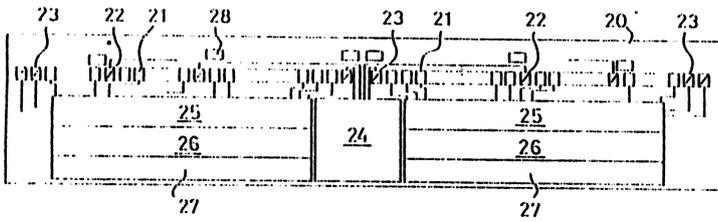
**도면2**



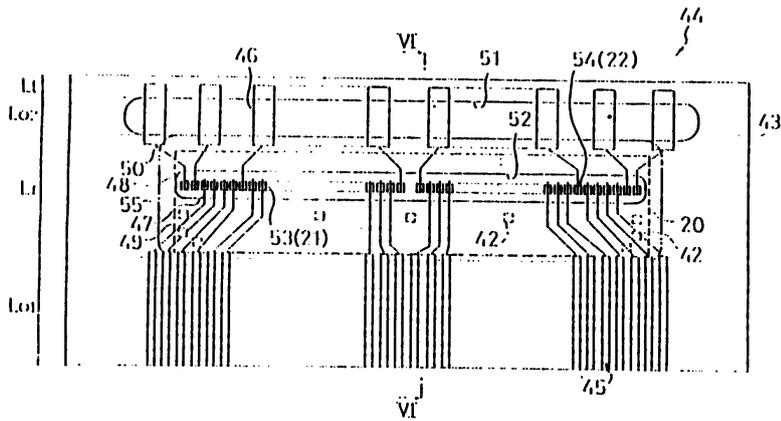
도면3



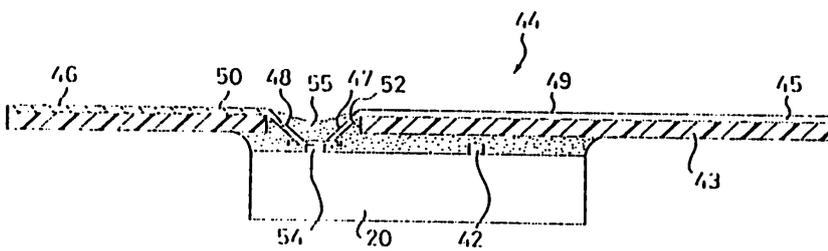
도면4



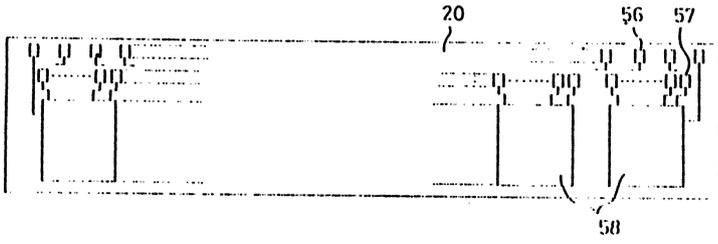
도면5



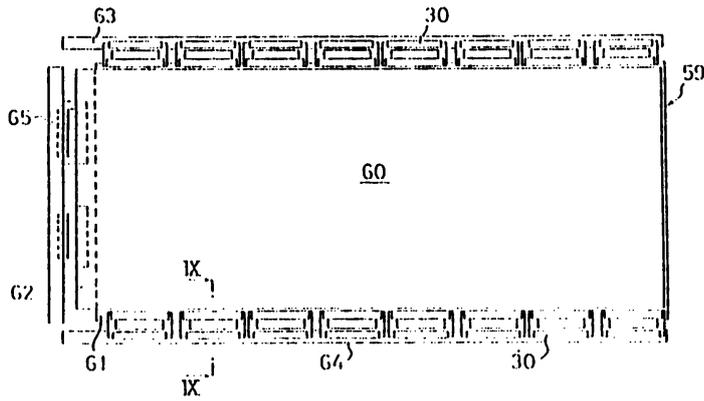
도면6



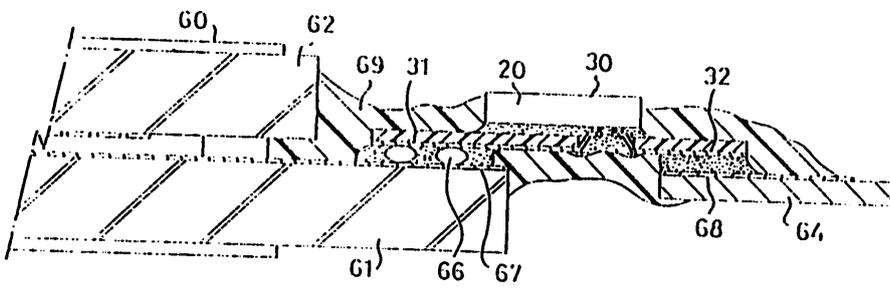
도면7



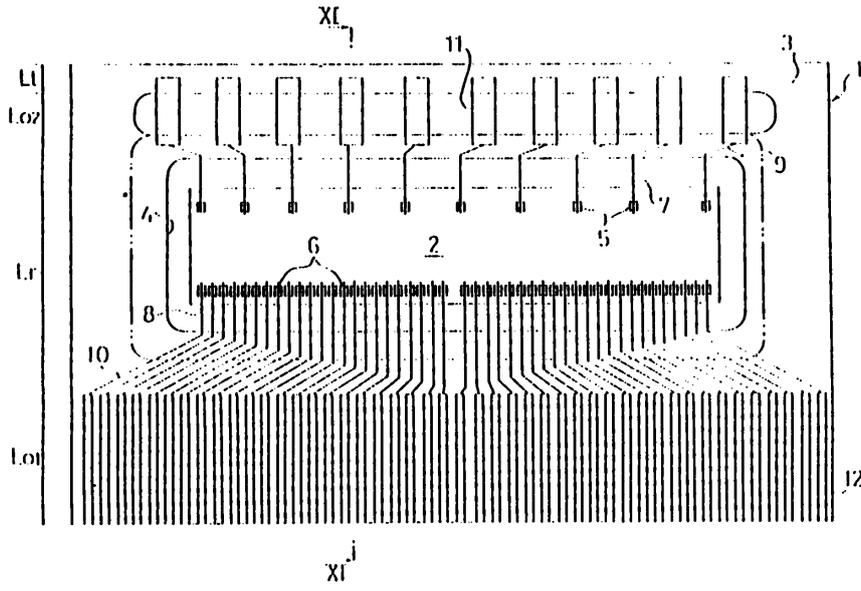
도면8



도면9



도면10



도면11

