

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-216176

(P2015-216176A)

(43) 公開日 平成27年12月3日(2015.12.3)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 21/336 (2006.01)</b>	H O 1 L 29/78 3 O 1 F	4 M 1 1 8
<b>H O 1 L 29/78 (2006.01)</b>	H O 1 L 27/14 A	5 F O 4 8
<b>H O 1 L 27/146 (2006.01)</b>	H O 1 L 27/06 1 O 2 A	5 F 1 4 O
<b>H O 1 L 21/8234 (2006.01)</b>	H O 1 L 27/08 3 2 1 A	
<b>H O 1 L 27/06 (2006.01)</b>		

審査請求 未請求 請求項の数 11 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2014-97110 (P2014-97110)	(71) 出願人	000001007
(22) 出願日	平成26年5月8日 (2014.5.8)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100076428
			弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

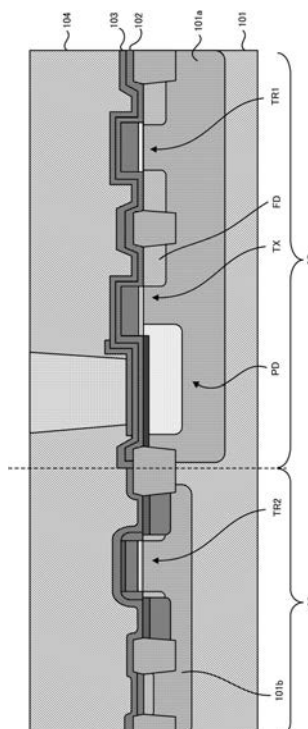
(54) 【発明の名称】 半導体装置の製造方法、及び、半導体装置

## (57) 【要約】

【課題】トランジスタの信頼性を維持しつつ、レジストを除去可能とする技術を提供する。

【解決手段】M O S トランジスタを含む半導体装置の製造方法であって、半導体基板の上に形成された第1絶縁膜の上にゲート電極を形成し、半導体基板にイオン注入を行って第1の拡散領域を形成し、ゲート電極が形成された半導体基板の上に第2絶縁膜を形成する。第1の拡散領域の形成では、第1のレジストパターンによりイオン注入を行う。その後、第1のレジストパターンのうちイオン注入により硬化した部分をアッシングにより除去し、さらに残りの部分を硫酸過水洗浄により除去する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

M O S トランジスタを含む半導体装置の製造方法であって、  
半導体基板の上に形成された第 1 絶縁膜の上にゲート電極を形成する工程と、  
前記半導体基板にイオン注入を行って第 1 の拡散領域を形成する第 1 の注入工程と、  
前記半導体基板の上に第 2 絶縁膜を形成する工程と、

をこの順に含み、

前記第 1 の注入工程は、

前記イオン注入を行うための第 1 のレジストパターンを形成する工程と、

前記第 1 のレジストパターンをマスクとして前記イオン注入を行う工程と、

前記第 1 のレジストパターンを除去する第 1 の除去工程であって、前記第 1 のレジストパターンのうち前記イオン注入により硬化した部分をアッシングにより除去した後、残りの部分を硫酸過水洗浄により除去する工程と

を含むことを特徴とする半導体装置の製造方法。

**【請求項 2】**

前記ゲート電極を形成する工程では、前記第 1 絶縁膜の上に形成されたゲート電極材料層がパターニングされるとともに、少なくとも、前記ゲート電極の側面の下部と、前記第 1 絶縁膜のうち前記側面に隣接する部分とを保護する保護膜が形成され、

前記第 2 絶縁膜を形成する工程では、前記保護膜を覆うように前記第 2 絶縁膜が形成される

ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記第 1 の除去工程では、前記保護膜に対してエッチャントとならないガスを使用して前記アッシングを行うことを特徴とする請求項 2 に記載の半導体装置の製造方法。

**【請求項 4】**

前記第 1 の除去工程では、 $O_2$  ガスを使用して前記アッシングを行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 5】**

前記イオン注入は、 $1 \times 10^{14} \text{ atoms/cm}^2$  から  $5 \times 10^{14} \text{ atoms/cm}^2$  の範囲のドーズ量で行われることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 6】**

前記第 2 絶縁膜が形成された後に、前記半導体基板にさらにイオン注入を行って第 2 の拡散領域を形成する第 2 の注入工程を更に含み、

前記第 2 の注入工程は、

イオン注入を行うための第 2 のレジストパターンを形成する工程と、

前記第 2 のレジストパターンをマスクとしてイオン注入を行う工程と、

前記第 2 のレジストパターンを除去する第 2 の除去工程であって、前記第 2 のレジストパターンに対してアッシングを行った後、レジストの残渣を洗浄により除去する工程とを含むことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 7】**

前記残渣の洗浄は、アンモニア過水洗浄またはフッ酸系の洗浄を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

**【請求項 8】**

前記第 2 のレジストパターンは、該第 2 のレジストパターンによりマスクすべき領域と、予め規定されたマージンとにより特定される大きさを有することを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

**【請求項 9】**

前記第 2 の注入工程におけるイオン注入は、 $1 \times 10^{15} \text{ atoms/cm}^2$  から  $6 \times 10^{15} \text{ atoms/cm}^2$  の範囲のドーズ量で行われることを特徴とする請求項 6 乃至

10

20

30

40

50

8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記半導体装置は、固体撮像装置を含む、

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

MOS トランジスタを含む半導体装置であって、

半導体基板の上に形成された第 1 絶縁膜の上に形成された前記 MOS トランジスタのゲート電極と、

前記半導体基板に形成された拡散領域と、

前記第 1 絶縁膜の上に形成された、前記ゲート電極の側面の下部と、前記第 1 絶縁膜のうち前記側面に隣接する部分とを保護する保護膜と、

前記保護膜を覆うように形成された第 2 絶縁膜とを備え、

前記第 1 の絶縁膜は、前記ゲート電極と前記保護膜との下において前記半導体基板上で平坦に形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関する。

【背景技術】

【0002】

半導体装置において、MOS トランジスタの特性ばらつきを低減するための方法として、ゲート電極エッチング後の MOS トランジスタを保護膜で覆う技術が提案されている（特許文献 1 を参照）。

【0003】

特許文献 1 では、ゲート電極エッチング、またはそれに引き続いて実施されるプロセス処理によって保護膜を形成し、引き続き拡散層形成などのプロセス処理を実施した後、保護膜を覆うように絶縁膜を形成する。このとき保護膜を除去することなく該絶縁膜を形成している。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2013 - 84694 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 では、ゲート電極エッチング直後の半導体基板表面に保護膜を形成することで、MOS トランジスタ特性のばらつきを抑制している。当該保護膜を形成した後に、半導体基板にイオン注入を行って拡散領域を形成することになるが、その際フォトリソパターンにもイオン注入される。しかし、イオン注入されたフォトリソパターンのアッシングについては特に考慮されていない。当該レジストパターンをアッシングするとレジストの残渣が発生する場合がある。このレジストの残渣を除去するには特定の洗浄処理の実施が必要となるが、その際にシリコン酸化膜をベースとする保護膜がウェットエッチングされてその一部ないしは全部が除去され、結果として保護膜としての機能を有しなくなってしまうおそれがある。また、保護膜がない場合においても、ゲート絶縁膜がウェットエッチングされてその一部ないしは全部が除去され、結果として、トランジスタの信頼性を低下させてしまう可能性がある。

【0006】

そこで、本願発明は、トランジスタの信頼性を維持しつつ、レジストを除去可能とする技術を提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

上記課題を解決するための本発明は、MOSトランジスタを含む半導体装置の製造方法であって、

半導体基板の上に形成された第1絶縁膜の上にゲート電極を形成する工程と、  
前記半導体基板にイオン注入を行って第1の拡散領域を形成する第1の注入工程と、  
前記第1の注入工程の後に、前記半導体基板の上に第2絶縁膜を形成する工程とを含み

、  
前記第1の注入工程は、

前記イオン注入を行うための第1のレジストパターンを形成する工程と、

前記第1のレジストパターンをマスクとして前記イオン注入を行う工程と、

前記第1のレジストパターンを除去する第1の除去工程であって、前記第1のレジストパターンのうち前記イオン注入により硬化した部分をアッシングにより除去した後、残りの部分を硫酸過水洗浄により除去する工程とを含むことを特徴とする。

## 【発明の効果】

## 【0008】

本発明によれば、トランジスタの信頼性を維持しつつ、レジストを除去可能にすることができる。

## 【図面の簡単な説明】

## 【0009】

【図1】半導体装置の一例としての固体撮像装置の画素部の一部および周辺部の一部を模式的に示す断面図。

【図2】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図3】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図4】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図5】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図6】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図7】発明の実施形態1に対応する半導体装置の製造工程を示す図。

【図8】イオン注入されたフォトリジストパターンにより発生するレジストの残渣を説明するための図。

【図9】発明の実施形態2に対応するフォトリジストパターンの形成方法を説明するための図。

【図10】発明の実施形態3に対応するフォトリジストパターンの形成方法を説明するための図。

## 【発明を実施するための形態】

## 【0010】

以下、添付の図面を参照して発明の実施形態を説明する。

## 【0011】

## [実施形態1]

本発明の一つの実施形態は、MOSトランジスタを含む半導体装置の製造方法に関する。図1を参照しながら、本発明の一つの実施形態として、MOSトランジスタを含む半導体装置として、固体撮像装置の例を説明する。

## 【0012】

図1は、半導体装置の一例としての固体撮像装置の構成を模式的に示す断面図である。固体撮像装置は、光電変換素子PDを有する画素が配列された画素部10と、画素部10から画素の信号を読み出すための周辺回路部20とを含む。図1では、画素部10の構成要素として、代表的に、1つの光電変換部PDと、光電変換部PDに蓄積された電荷をフローティングディフュージョンFDに転送する転送MOSトランジスタ(転送ゲート)TXと、1つのMOSトランジスタTR1とが示されている。MOSトランジスタTR1は、例えば、増幅トランジスタ、リセットトランジスタまたは選択トランジスタでありうる

10

20

30

40

50

。光電変換部PD、フローティングディフュージョンFD、転送MOSトランジスタTX、MOSトランジスタTR1を構成する拡散領域は、例えば、半導体基板101に形成されたウエル101aに配置されうる。図1では、周辺回路部20の構成要素として、代表的に、1つのMOSトランジスタTR2が示されている。MOSトランジスタTR2を構成する拡散領域は、例えば、半導体基板101に形成されたウエル101bに配置されうる。

#### 【0013】

画素部10では、転送MOSトランジスタ(転送ゲート)TXおよびMOSトランジスタTR1を含むMOSトランジスタが形成されている。そして、これらのMOSトランジスタを覆う保護膜の上にシリコン窒化膜102、シリコン酸化膜103、層間絶縁膜104などの絶縁膜が形成されている。一方の周辺回路部20では、MOSトランジスタTR2のゲート電極の上面の保護膜が除去されている。しかし、サイドスペーサとゲート電極との間および該サイドスペーサとゲート絶縁膜との間には保護膜が残っている。

#### 【0014】

以下、図2乃至図8を参照しながら、本発明の実施形態として、上記周辺回路部20におけるMOSトランジスタを含む半導体装置の製造方法を説明する。まず、図2(a)に示す工程では、素子分離膜202、P型ウエル203、N型ウエル204を有する半導体基板201上に第1絶縁膜205を形成し、次いで、第1絶縁膜205の上にゲート電極材料層206を形成する。ここで、半導体基板201は、シリコン基板でありうる。第1絶縁膜205は、該シリコン基板を熱酸化して形成されたシリコン酸化膜でありうる。ゲート電極材料層206は、ポリシリコン層でありうる。ゲート電極材料層206は、例えばCVD法によって形成されうる。

#### 【0015】

次に、図2(b)、(c)に示す工程では、ゲート電極材料層206の上にエッチングマスク207'を形成する。より具体的には、図2(b)、(c)に示す工程では、ゲート電極材料層206の上に絶縁膜207を形成し、絶縁膜207の上にフォトリソパターン220を形成する。次いで、フォトリソパターン220をマスクとして絶縁膜207をエッチングする。これにより絶縁膜207がパターニングされてエッチングマスク207'が形成される。フォトリソパターン220は、エッチングマスク207'の形成後に除去されうる。絶縁膜207は、シリコン酸化膜でありうる。

#### 【0016】

次に、図2(d)に示す工程では、ゲート電極材料層206をパターニングすることによりゲート電極206'を形成する。この工程では、ゲート電極材料層206がパターニングされるとともに、少なくとも、ゲート電極206'の側面の下部1と、第1絶縁膜205のうちゲート電極206'の側面に隣接する部分2とを保護する保護膜208が形成される。保護膜208は、典型的には、エッチングマスク207'および/またはゲート電極材料層206'の上にも形成される。図2(d)に示す例では、保護膜208は、ゲート電極206'の側面、エッチングマスク207'および第1絶縁膜205及び素子分離膜202を覆うように連続的に形成されている。

#### 【0017】

ゲート電極材料層206のパターニングは、ゲート電極材料層206のうちエッチングマスク207'によって覆われていない部分をエッチングによって除去することによってなされる。ゲート電極材料層206をエッチングするためのガスとしては、例えば、 $Cl_2$ 、HBrおよび $O_2$ の混合ガスを使用することができる。保護膜208は、ゲート電極材料層206のエッチングによって発生するシリコンとエッチングのために使用するガスとの反応によって、即ちゲート電極材料層206のエッチングの副産物として形成される。保護膜208は、あるいは、ゲート電極材料層206のエッチングの終了後に、保護膜208を堆積するためのガスを処理チャンバに導入することによって形成してもよい。例えば、HBrの流量を多くする等の方法がある。なお、ゲート電極材料層206のエッチングにおいて、エッチングマスク207'、および、第1絶縁膜205の露出した部分

10

20

30

40

50

の厚さが薄くなりうる。

【0018】

次に、図3(a)に示す工程では、保護膜208が存在する状態でフォトレジストパターン209を形成する。次に、図3(b)に示す工程では、フォトレジストパターン209をマスクとして半導体基板201にリンやヒ素などをイオン注入する。このイオン注入で拡散領域210を形成する。その際、フォトレジストパターン209にもイオン注入される。拡散領域210は、例えば、N型のLDD(Lightly Doped Drain)に該当する。イオン注入のドーズ量はMOSトランジスタの目標性能によって任意に決めうるが、LDDの場合は例えば14乗台のオーダーが選択されうる(例えば、 $1 \times 10^{14} \text{ atoms/cm}^2$  から  $5 \times 10^{14} \text{ atoms/cm}^2$  の範囲)。このイオン注入によって、フォトレジストパターン209が、硬化層209'と非硬化層209''とで形成されることとなる。

10

【0019】

当該フォトレジストパターン209はレジストアッシング(レジスト剥離処理)により除去されるところであるが、イオン注入されたフォトレジストをレジストアッシングによって完全に除去する場合、イオン注入のドーズ量によっては、アッシング後にレジストの残渣が発生しうる。図8(a)及び(b)はその一例であり、半導体基板上に形成されたパターンを平面図で示している。図8(a)では素子分離膜801の一部を開口して、N型の拡散領域802及び、P型の拡散領域803、ゲート電極804が形成されており、N型の拡散領域802を覆うようにフォトレジストパターン805が形成されている。

20

【0020】

図8(b)は、フォトレジストパターン805上にイオン注入を実施して、引き続きレジストアッシングを実施した直後の様子である。フォトレジストパターンの線幅長がフォトレジストの厚さよりも小さい場合、イオン注入のドーズ量によっては805'に示すレジストの残渣が発生しうる。この残渣は、フォトレジストの残留成分と、イオン注入された不純物からなる凝集によるものであり、もともとのフォトレジストパターン805の中央付近に発生する。フォトレジストに対して等方的にレジストアッシングが進んだ結果、フォトレジストパターンが最終的に消失する中央付近で、レジストの残渣が発生する。

【0021】

図8(c)は、イオンドーズ量とレジストアッシング後のレジストの残渣の発生の有無の関係を示す一例である。ここでは、ドーズ量が  $3 \text{ E } 13 / \text{cm}^2$  ( $3 \times 10^{13} \text{ atoms/cm}^2$ 、単位表記につき以下同様)の場合はレジストの残渣が残らないが、 $2 \text{ E } 14 / \text{cm}^2$ 、 $1 \text{ E } 15 / \text{cm}^2$ 、 $4 \text{ E } 14 / \text{cm}^2$  のようにイオン注入のドーズ量が14乗台のオーダー以上に高くなると、レジストの残渣が発生することを示している。このレジストの残渣は硫酸過水(硫酸と過酸化水素の混合液)洗浄では完全に除去できない。完全に除去するためには、硫酸過水洗浄後にさらにアンモニア過水洗浄(アンモニア水、過酸化水素、水の混合液による洗浄、以下SC-1洗浄と呼ぶ)、またはフッ酸系の洗浄を実施する必要がある。ただし、これらの洗浄はエッチング性を有する。したがって、図3(b)の状態ではレジストの残渣を除去するためにSC-1洗浄やフッ酸系の洗浄を行うと保護膜がウェットエッチングされてしまい、その一部ないしは全部が除去され、結果として保護膜としての機能を有しなくなってしまうおそれがある。保護膜が無い場合においても、例えば、シリコン酸化膜のゲート絶縁膜がウェットエッチングされてしまい、その一部ないしは全部が除去され、結果としてトランジスタの信頼性が低下してしまうおそれがある。

30

40

【0022】

図3の説明に戻ると、図3(b)で行ったイオン注入のドーズ量は14乗台のオーダーが選択されたのでレジストアッシングによりレジストを完全に除去しようとする場合、レジストの残渣が発生しうる。そこで、本実施形態では図3(b)に示すようなフォトレジスト209にイオン注入がなされた状態では、以下に説明する第1のレジストアッシングを実施してイオン注入により形成された硬化層209'を除去する一方、非硬化層209''

50

'を残すようにする。具体的に図3(c)に示す工程では、第1のレジストアッシングによって硬化層209'を除去し、非硬化層209''を残す。このとき第1のレジストアッシング後の非硬化層209''は、第1のレジストアッシング前の図3(b)の非硬化層209''と比較して薄くなりうる。第1のレジストアッシングのためのガスとしては例えば $O_2$ を使用することができる。なお、第1のレジストアッシングでは、シリコン酸化膜に対してエッチャントとなりうるガスは使用しない。例えば、 $CF_4$ などがそれに該当する。これによって保護膜208が保護される。次に、図3(d)に示す工程では、硫酸過水洗浄を実施して、非硬化層209''を除去する。なお、非硬化層209''を除去したのちに、SC-1洗浄やフッ酸系の洗浄は実施しない。これによって保護膜208が保護される。

10

#### 【0023】

次に、図4(a)に示す工程では、保護膜208が存在する状態でフォトレジストパターン211を形成する。次に、図4(b)に示す工程では、フォトレジストパターン211をマスクとして半導体基板201にボロンなどをイオン注入する。このイオン注入で拡散領域212を形成する。その際、フォトレジストパターン211にもイオン注入される。拡散領域212は、例えば、P型のLDD(Lightly Doped Drain)に該当する。イオン注入のドーズ量はMOSトランジスタの目標性能によって任意に決めうるが、LDDの場合は例えば14乗台のオーダーが選択されうる。このイオン注入によって、フォトレジストパターン211が硬化層211'と非硬化層211''とで形成されることになる。

20

#### 【0024】

このとき、イオン注入のドーズ量は14乗台のオーダーが選択されたのでレジストアッシングによりレジストを完全に除去しようとする場合、レジストの残渣が発生しうる。そこで、図4(c)に示す工程では、第1のレジストアッシングによって硬化層211'を除去し、非硬化層211''を残す。第1のレジストアッシング後の非硬化層211''は、第1のレジストアッシング前の図4(b)の非硬化層211''と比較して薄くなりうる。レジストアッシングするためのガスとしては例えば $O_2$ を使用する。なお、シリコン酸化膜に対してエッチャントとなりうる $CF_4$ のようなガスは使用しない。これによって保護膜208が保護される。次に、図4(d)に示す工程では、硫酸過水洗浄を実施して、非硬化層211''を除去する。なお、非硬化層211''を除去したのちに、SC-1洗浄やフッ酸系の洗浄は実施しない。これによって保護膜208は保持されるので、保護膜で覆われているトランジスタも保護される。

30

#### 【0025】

次に、図5(a)に示す工程では、保護膜208の上に絶縁膜213を形成する。絶縁膜213は単層膜であってもよいし、種類の異なる膜からなる積層膜であっても良い。例えば、シリコン酸化膜とシリコン窒化膜の積層膜などがありうる。ここで、ゲート電極206'の形成の際に形成される保護膜208を覆うように絶縁膜213を形成することは、形成された保護膜208を除去することなく絶縁膜213を形成することを意味する。

#### 【0026】

次に、図5(b)に示す工程では、絶縁膜213をエッチバックすることでサイドスペーサ213'を形成する。これにより保護膜208および絶縁膜213のうち、主としてゲート電極206'の側面を覆っている部分が残る。その際、保護膜208のうち、サイドスペーサで覆われていない領域は、エッチバックによって薄くなるか、或いは除去されうる。また、ゲート電極206'の側面の下部1と、第1絶縁膜205のうちゲート電極206'の側面に隣接する部分2は、保護膜208'とサイドスペーサ213'とで保護される。

40

#### 【0027】

以上のように、ゲート電極エッチングからサイドスペーサデボまでの工程間で実施されるイオン注入後のレジスト剥離工程では、第1のレジストアッシングを実施する。この第1のレジストアッシングでは、まず第一段階で $O_2$ ガスを使用し、イオン注入の影響によ

50

ってフォトリジストの表面が硬化した硬化層と、硬化しなかった非硬化層のうち非硬化層を残す。次いで第二段階で硫酸過水洗浄を実施して非硬化層を除去する。第一段階で非硬化層のみを残したのは、硬化層を残すと硫酸過水洗浄でフォトリジストを剥離することが困難である一方、第1のレジストアッシングで非硬化層まで除去してしまうと、レジストの残渣が発生しうるのである。このような第1のレジストアッシングでレジストの残渣が発生しないので、レジストの残渣を除去するためのSC-1洗浄、乃至はフッ酸系の洗浄を実施する必要がない。それにより、保護膜が保持される。

#### 【0028】

次に、サイドスペーサ213を形成した後の工程をさらに説明する。図6(a)に示す工程では、フォトリジストパターン214を形成する。次に、図6(b)に示す工程では、フォトリジストパターン214をマスクとして半導体基板201にリンやヒ素などをイオン注入する。このイオン注入でN+拡散領域215を形成する。その際、フォトリジストパターン214にもイオン注入される。拡散領域215は、例えば、N型のソース/ドレインに該当する。イオン注入のドーズ量はMOSトランジスタの目標性能によって任意に決めうるが、ソース/ドレインの場合は例えば15乗台のオーダーが選択されうる(例えば、 $1 \times 10^{15} \text{ atoms/cm}^2$  から  $6 \times 10^{15} \text{ atoms/cm}^2$  の範囲)。このイオン注入によって、フォトリジストパターン214は硬化層214'と非硬化層214''とで形成されることになる。

#### 【0029】

このとき、イオン注入のドーズ量は15乗台のオーダーが選択されたので図1(c)に示すようにレジストアッシングによりレジストを完全に除去しようとする場合、レジストの残渣が発生しうる。しかし、この時点ではサイドスペーサ213がすでに形成され、これにより保護膜208が保護されている。そこで図6(c)に示す工程では、第2のレジストアッシングによって硬化層214'と非硬化層214''との両方を除去する。第2のレジストアッシングするためのガスとしては例えば $O_2$ を使用することができる。また、ゲート電極206'の側面を覆っている保護膜208はサイドスペーサ213により保護されているので、シリコン酸化膜に対してエッチャントとなりうる $CF_4$ を用いてもよい。その際に発生しうるレジストの残渣216はレジストアッシングに引き続いて実施される硫酸過水洗浄後にも残りうる。次に、図6(d)に示す工程では、SC-1洗浄またはフッ酸系の洗浄を実施する。この洗浄により、残渣216は除去される。また、この洗浄により、素子分離膜202、拡散領域212及び215、エッチングマスク207'、サイドスペーサ213'、保護膜208'はその一部がエッチングされうるが、ゲート電極206'の側面の下部1と、第1絶縁膜205のうちゲート電極206'の側面に隣接する部分2は、保護膜208'とサイドスペーサ213'によってエッチングから保護される。

#### 【0030】

次に、図7(a)に示す工程では、フォトリジストパターン217を形成する。次に、図7(b)に示す工程では、フォトリジストパターン217をマスクとして半導体基板201にボロンなどをイオン注入する。このイオン注入でP型拡散領域218を形成する。その際、フォトリジストパターン217にもイオン注入される。拡散領域218は、例えば、P型のソース/ドレインに該当する。イオン注入のドーズ量はMOSトランジスタの目標性能によって任意に決めうるが、ソース/ドレインの場合は例えば15乗台のオーダーが選択されうる。このイオン注入によって、フォトリジストパターンに硬化層217'が形成されうる。217''は非硬化層である。

#### 【0031】

次に、図7(c)に示す工程では、図6(c)と同様に第2のレジストアッシングによって硬化層217'と非硬化層217''との両方を除去する。その際、レジストの残渣219が発生しうる。この残渣219はレジストアッシングに引き続いて実施される硫酸過水洗浄後にも残りうる。次に、図7(d)に示す工程では、SC-1洗浄またはフッ酸系の洗浄を実施する。この洗浄により、残渣219は除去される。また、この洗浄により、素子分離膜202、拡散領域215及び218、エッチングマスク207'、サイドスペ

10

20

30

40

50



ーサ 2 1 3'、保護膜 2 0 8'はその一部がエッチングされうるが、ゲート電極 2 0 6'の側面の下部 1 と、第 1 絶縁膜 2 0 5 のうちゲート電極 2 0 6'の側面に隣接する部分 2 は、保護膜 2 0 8'とサイドスペーサ 2 1 3'によってエッチングから保護される。

#### 【 0 0 3 2 】

図 7 ( e ) は、図 7 ( d ) に示すサイドスペーサ形成後の M O S トランジスタの断面を拡大して示した図である。ここに示す通り、第 2 のレジスタアッシングが保護膜 2 0 8 がサイドスペーサ 2 1 3 により保護された状態で処理が実施されるので、ゲート電極 2 0 6'直下のシリコン表面 2 0 5 と、それに隣接する保護膜 2 0 8 及びサイドスペーサ 2 1 3 直下のシリコン表面 2 0 5 と間 ( a - a'で示す面 ) とを実質的に平坦に維持することができる。

10

#### 【 0 0 3 3 】

このようにサイドスペーサ 2 1 3 の形成以降に実施されるイオン注入後のレジスト剥離工程では、第 2 のレジスタアッシングが実施される。この第 2 のレジスタアッシングでは、イオン注入でフォトレジストに形成された硬化層と非硬化層との両方が除去されるが、その際にレジストの残渣が発生しうる。そこで硫酸過水洗浄を実施し、さらに S C - 1 洗浄、乃至はフッ酸系の洗浄を実施する。この洗浄により、レジストの残渣が除去されると同時に、半導体基板上のシリコンあるいはシリコン酸化膜の一部がエッチングされる。しかし、この時点では保護膜を覆うようにサイドスペーサが形成されているので、保護膜のうちサイドスペーサで覆われた箇所は保護膜が保持され、S C - 1 洗浄やフッ酸系の洗浄の影響を受けない。

20

#### 【 0 0 3 4 】

以上に説明したとおり、本実施形態によればゲート電極エッチング以降からサイドスペーサデポまで工程間で実施されるイオン注入後のレジスト剥離工程 ( 第 1 のレジスタアッシング ) と、サイドスペーサ形成以降に実施されるイオン注入後のレジスト剥離工程 ( 第 2 のレジスタアッシング ) とで、異なるレジスト剥離プロセスを適用し、保護膜を適切に保護しながらレジストを剥離することができる。

#### 【 0 0 3 5 】

##### [ 実施形態 2 ]

以下、サイドスペーサ形成後のフォトレジストパターンの形成方法について、実施形態 1 を補充する。本実施形態では、サイドスペーサ形成以降の工程で、N 型拡散領域、P 型拡散領域を形成するイオン注入工程では、使用するフォトレジストパターンの大きさを設計上許容されうる最小とすることを特徴とする。これらのイオン注入工程は、一般的に N + ソース / ドレイン及び P + ソース / ドレイン形成を目的としており、図 6 ( b )、図 7 ( b ) との関連で説明したとおりイオン注入のドーズ量は 1 5 乗台と高くなる。ドーズ量が高いため、イオン注入中にフォトレジストパターンが導電性を有し、一種のアンテナ効果が生じる。このアンテナ効果によりチャージアップダメージを与えうる。アンテナ効果は、電荷を蓄積する導電体の面積が大きい場合に増大する。そのため、アンテナとなり得るレジストの面積を最小とすることで、チャージアップダメージを抑制することができる。

30

#### 【 0 0 3 6 】

以下、本実施形態の詳細を図 9 を用いて説明する。図 9 ( a ) は、半導体基板上に形成されたパターンを平面的に示した一例である。素子分離領域 9 0 0 内にイオン注入により N 型拡散領域を形成する領域 9 0 1、イオン注入により P 型拡散領域を形成する領域 9 0 2、ゲート電極 9 0 3 が含まれる。なお、ゲート電極 9 0 3 の周囲にはサイドスペーサ ( 図 6 等の 2 1 3 ) が形成されているが、図 9 では簡単のために省略している。

40

#### 【 0 0 3 7 】

まず、図 9 ( b ) に示す工程では、P 型拡散領域を形成する領域 9 0 2 をフォトレジストパターン 9 0 4 で覆い、リンやヒ素などをイオン注入することにより N 型拡散領域 9 0 5 を形成する。当該プロセスは図 6 ( a )、( b ) と対応する。イオン注入のドーズ量は、M O S トランジスタの目標性能によって任意に決めうるが、N 型のソース・ドレインを

50

形成する場合は、一般的に15乗台のオーダーになる。該イオン注入の際に使用するマスクは、P型拡散領域を形成する領域902をデザインルール上許容しうる最小面積のレジストで覆うように遮光部が規定されたものを用いる。ここでフォトリソパターン904の最小面積は、領域902に対してデザインルールにおいて予め規定されたマージンを持たせることにより特定される。例えば、デザインルールにおいて $0.1\mu\text{m}$ のマージンが指定されている場合には、領域902を構成する四辺に対するフォトリソパターン904の四辺のマージンM1からM4は $0.1\mu\text{m}$ を有する。なお、マージンの値はデザインルールによって指定されるものであって、 $0.1\mu\text{m}$ に限らず、例えば $0.05\mu\text{m}$ や $0.2\mu\text{m}$ を取り得る。これにより、半導体基板上に形成されるフォトリソパターン904は、P型拡散領域を形成する領域902をデザインルール上許容しうる最小面積で覆うように形成される。

10

#### 【0038】

このように形成されたレジストパターンは、イオン注入後に第2のレジストアッシングによって硬化層及び非硬化層が除去され、発生しうるレジストの残渣(図6(c)に対応)は硫酸過水洗浄後、SC-1洗浄またはフッ酸系の洗浄を経て除去され、図6(d)に対応する状態となる。

#### 【0039】

次に、図9(c)に示す工程では、N型拡散領域を形成する領域901をフォトリソパターン906で覆い、ボロンなどをイオン注入することによりP型拡散領域907を形成する。当該プロセスは図7(a)、(b)と対応する。イオン注入のドーズ量は、MOSトランジスタの目標性能によって任意に決めうるが、P型のソース・ドレインを形成する場合は、一般的に15乗台のオーダーになる。該イオン注入の際に使用するマスクは、N型拡散領域を形成する領域901をデザインルール上許容しうる最小面積のレジストで覆うように遮光部が規定されたものを用いる。これにより、半導体基板上に形成されるフォトリソパターン906は、N型拡散領域を形成する領域901をデザインルール上許容しうる最小面積で覆うように形成される。

20

#### 【0040】

このように形成されたレジストパターンは、イオン注入後に第2のレジストアッシングによって硬化層及び非硬化層が除去され、発生しうるレジストの残渣(図7(c)に対応)は硫酸過水洗浄後、SC-1洗浄またはフッ酸系の洗浄を経て除去され、図7(d)に対応する状態となる。

30

#### 【0041】

以上によれば、トランジスタのソース/ドレインの形成を目的とするイオン注入工程において、フォトリソパターンによるアンテナ効果を低減し、チャージアップダメージを抑制することができる。

#### 【0042】

##### [実施形態3]

以下、サイドスペーサ形成前のフォトリソパターンの形成方法について、実施形態1および2を補充する。本実施形態では、フォトリソの非硬化層を残すためのプロセスマージンを広げることを目的として、サイドスペーサ形成前のイオン注入工程で使用するマスクのレイアウトデータを、イオン注入の注入領域を包含する方を用いて演算処理により算出する。

40

#### 【0043】

以下、本実施形態の詳細を、図10を用いて説明する。図10(a)の1000は、ゲート電極形成以降からサイドスペーサデポまでの工程間で実施されるイオン注入工程で使用するマスクのレイアウトデータを演算処理で発生させる場合のレイアウトデータの一例を示す。この演算処理に際し、実施形態ではサイドスペーサ形成以降にN型拡散領域を形成するためのレイアウトデータ、またはP型拡散領域を形成するためのレイアウトデータのどちらか一方を用いる。

#### 【0044】

50

まず、図10(a)に1001はP型のウェル領域、1002は該イオン注入の対象となる拡散領域、1003は該イオン注入の対象外となる拡散領域である。1006はゲート電極レイヤである。図10(b)の1004はP型拡散領域を形成するためのレイヤであり、N型拡散領域となる領域1002を最小面積で覆うようにレイアウトされている。1005はN型拡散領域を形成するためのレイヤであり、P型拡散領域となる領域1003を最小面積で覆うようにレイアウトされている。

【0045】

ここで、該イオン注入の対象となる拡散領域1002を開口し、該イオン注入の対象外となる拡散領域1003をマスクするレイアウトを演算処理で発生させるために、該イオン注入の対象領域を包含するP型拡散領域を形成するレイヤ1004を使用する。この場合、P型ウェル1001のデータからP型拡散領域を形成する1004のデータを減算して、図9(c)のデータ1007を作成し、これを遮光領域とする。このとき半導体基板上に形成されるフォトリソパターン線の線幅はRになる。これをマスクとして使用することで、拡散領域1002にイオン注入して拡散領域1008を形成する。

【0046】

一方、演算処理にイオン注入の対象領域を包含しないN型拡散領域を形成するレイヤ1005を使用する場合は、P型ウェル1001のデータとN型拡散領域を形成する1005のデータとのANDをとって、図9(c)のデータ1009を形成し、これを遮光領域とする。このとき半導体基板上に形成されるフォトリソパターン線の線幅はR'になる。なお、N型拡散領域を形成するレイヤ1002とP型拡散領域を形成するレイヤ1003は遮光部の面積が最小となるようにレイアウトされているので、Rの線幅はR'と比較して等しいか、大きくなる。

【0047】

従って、本実施形態では、イオン注入の対象領域を包含するP型拡散領域を形成するレイヤ1004を使用して、フォトリソパターンを形成することにより第1のレジスタッシングで非硬化層を残す際のプロセスマージンを広げることができる。

【符号の説明】

【0048】

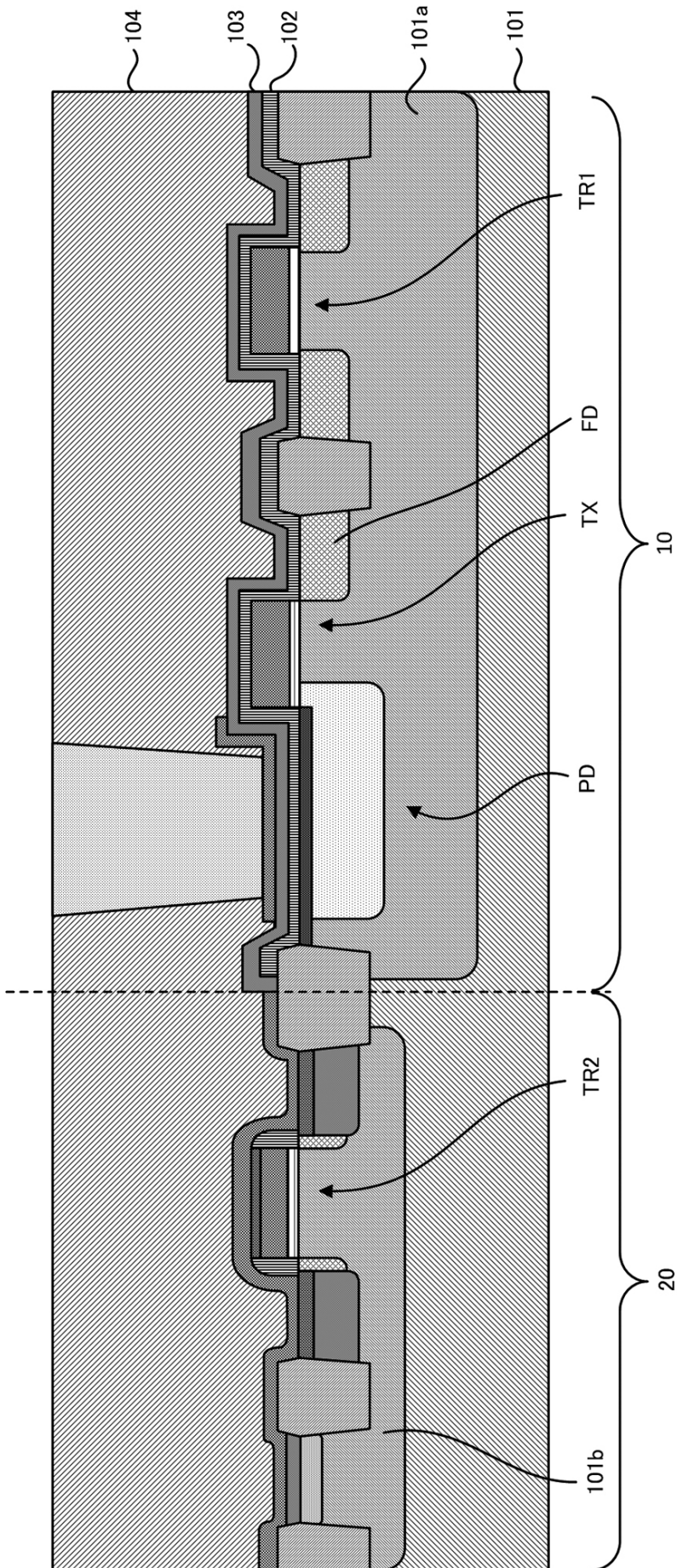
201：半導体基板、202：素子分離膜202、203：P型ウェル、204：N型ウェル、205：第1絶縁膜、206：ゲート電極材料層、207：絶縁膜、207'：エッチングマスク、208：保護膜、209：フォトリソパターン、210：拡散領域、211：フォトリソパターン、212：拡散領域、213：サイドスペーサ、215：N型拡散領域、218：P型拡散領域

10

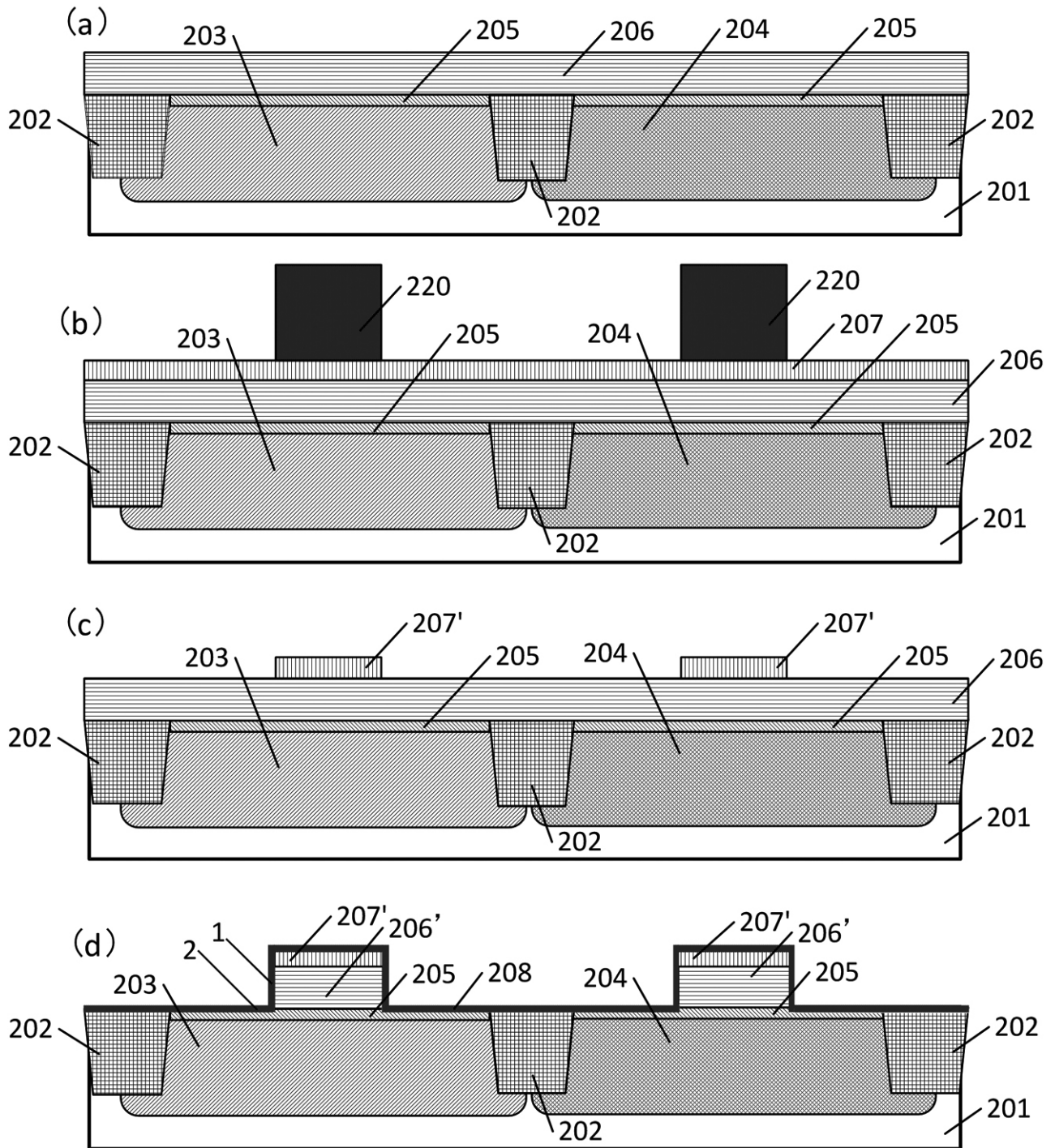
20

30

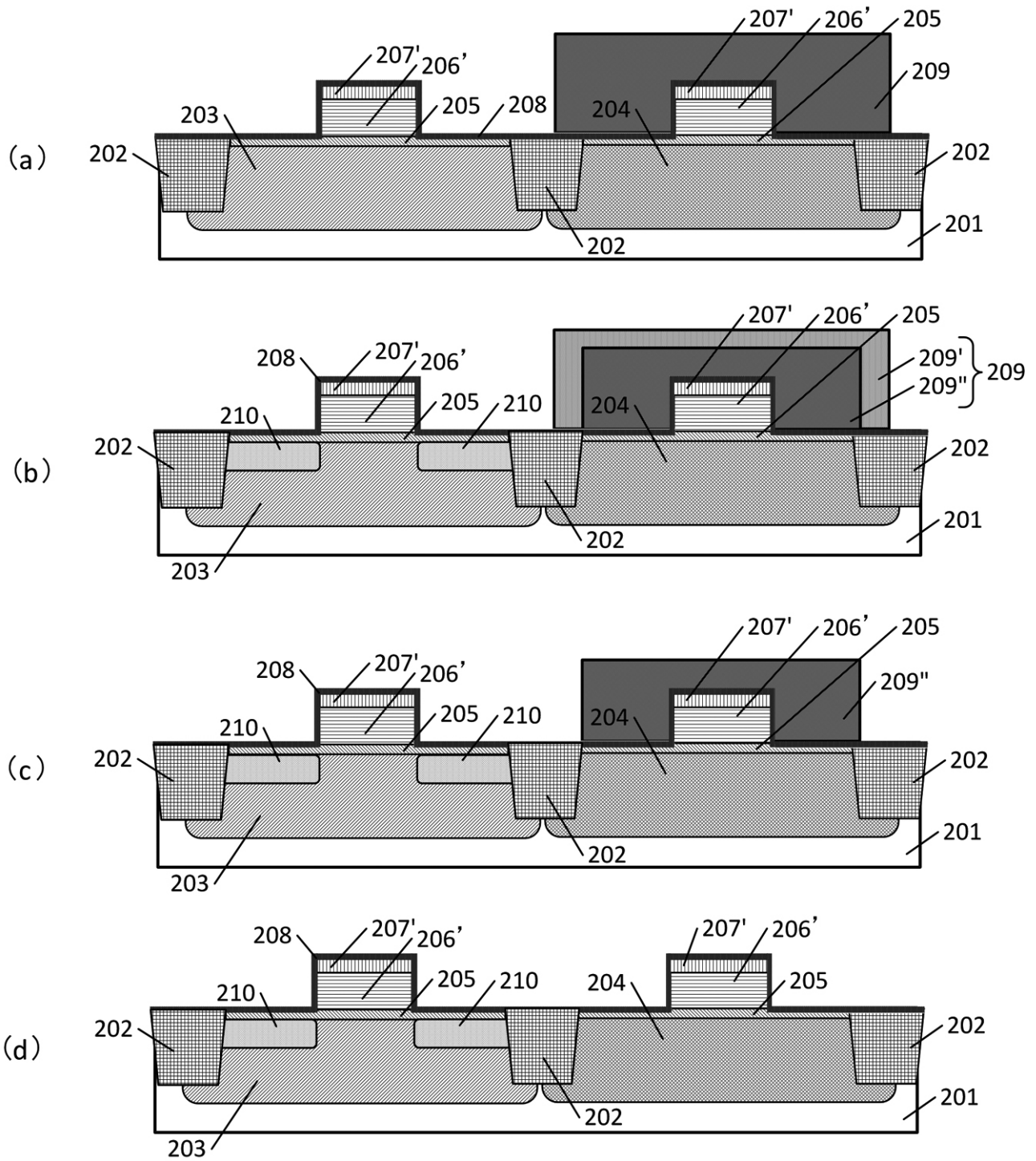
【図 1】



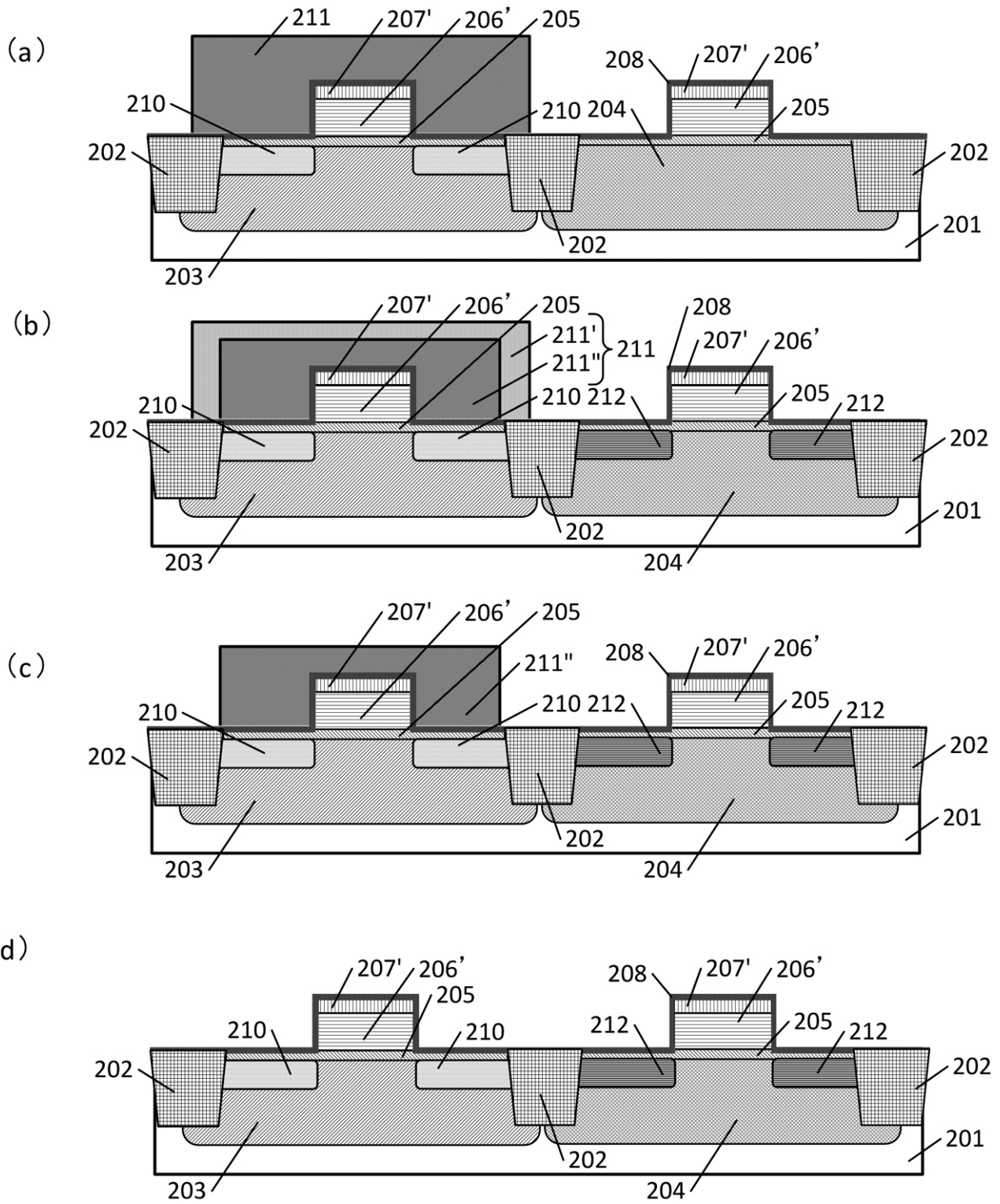
【図 2】



【図 3】

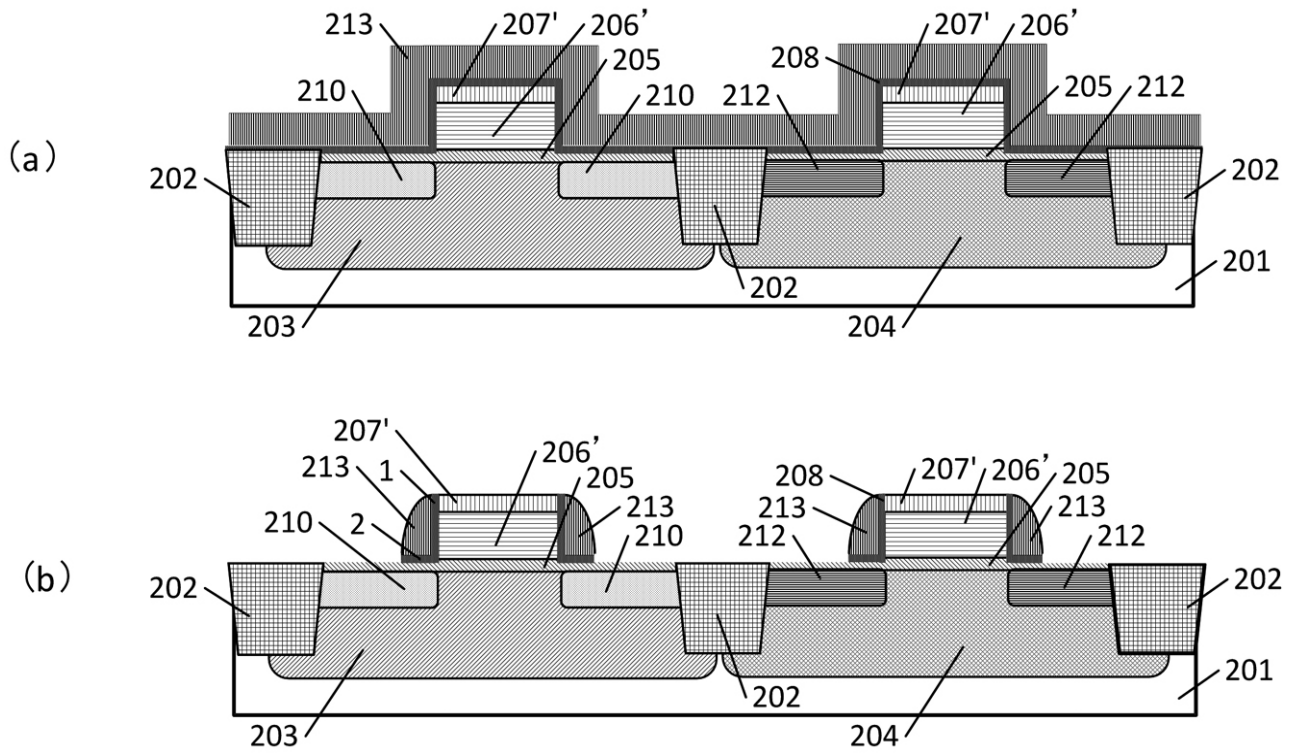


【図 4】



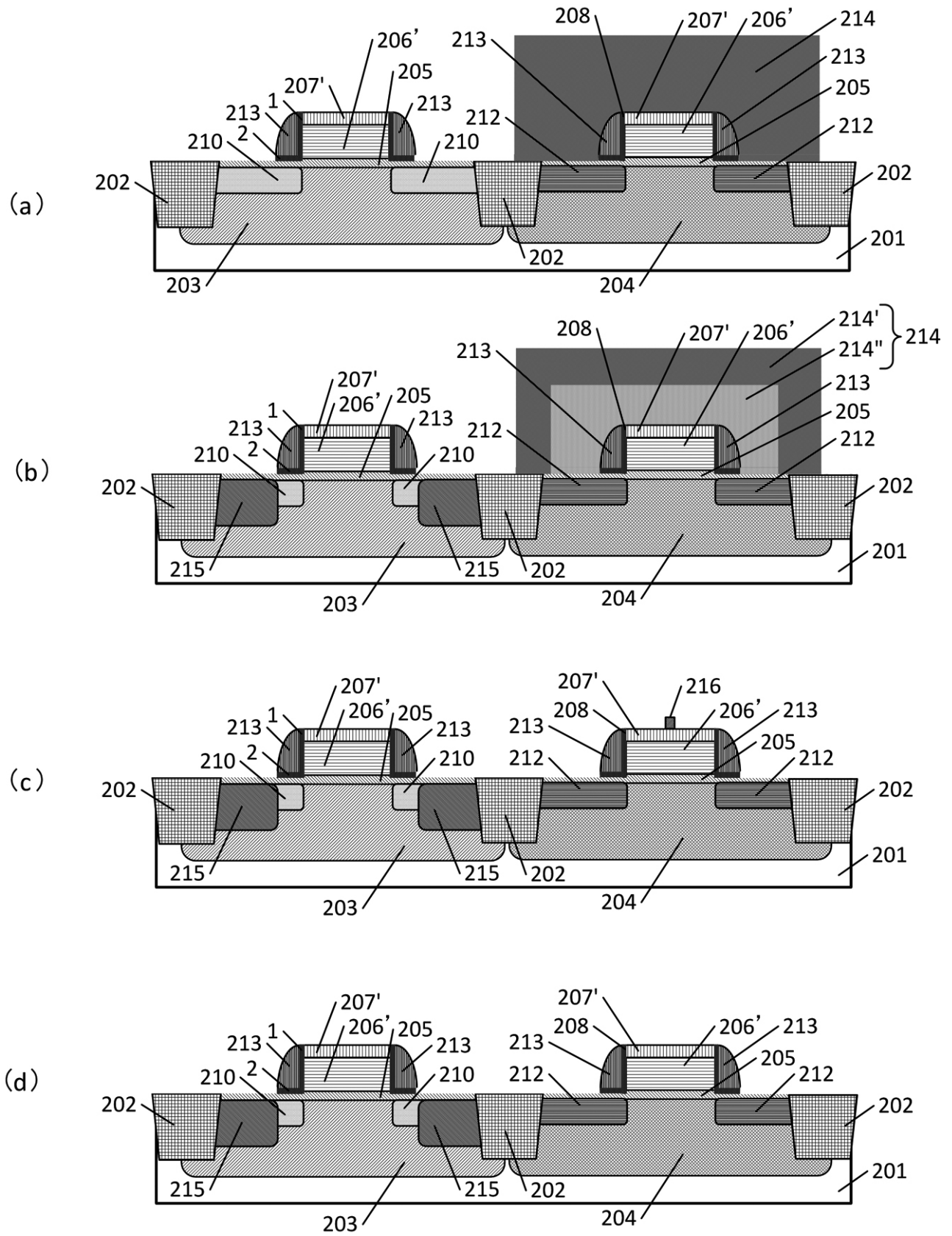


【図 5】

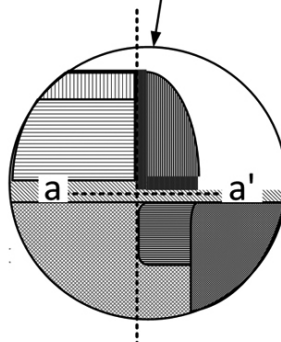




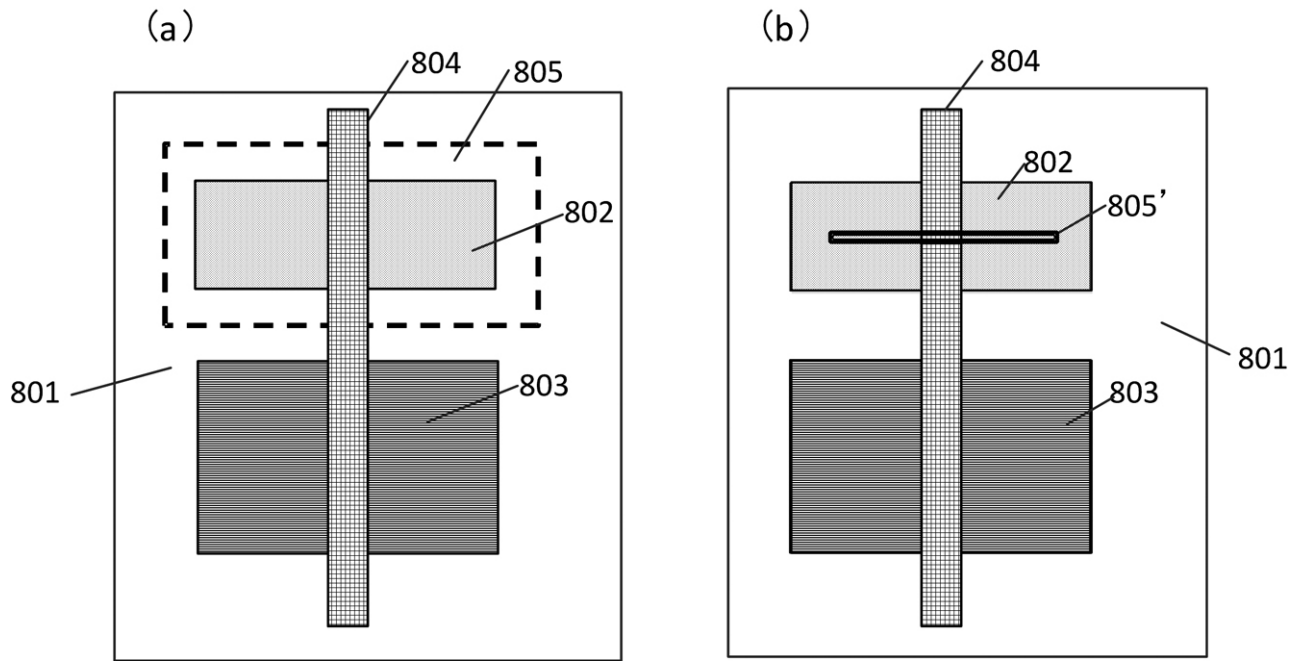
【 図 6 】



(a)

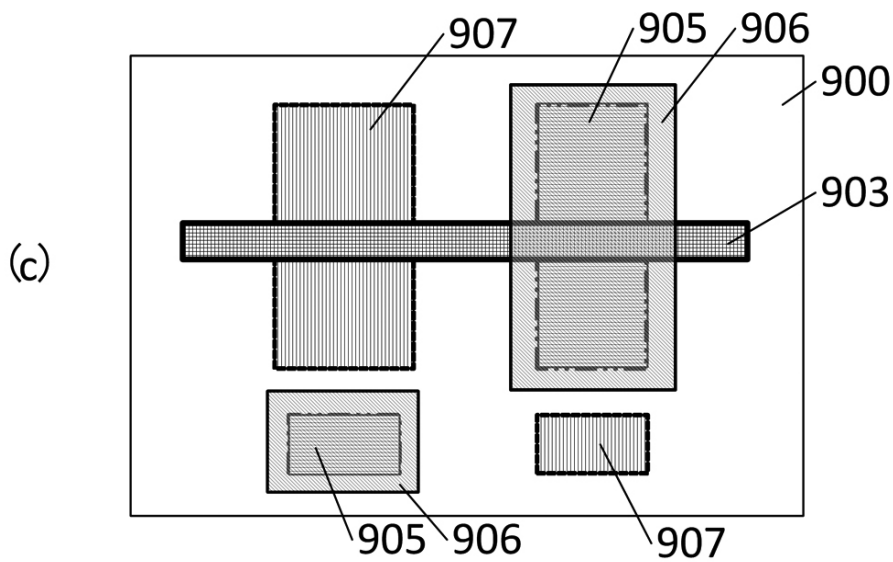
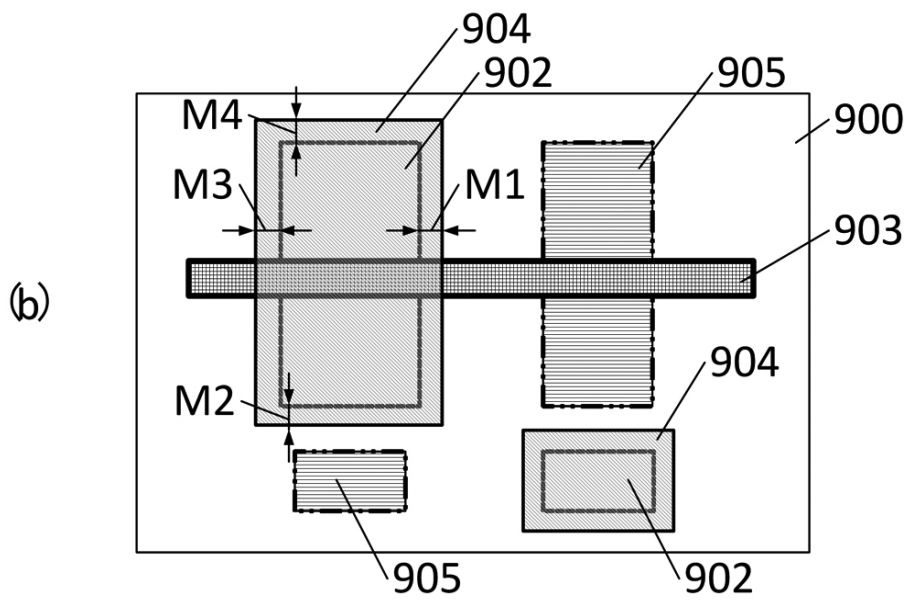
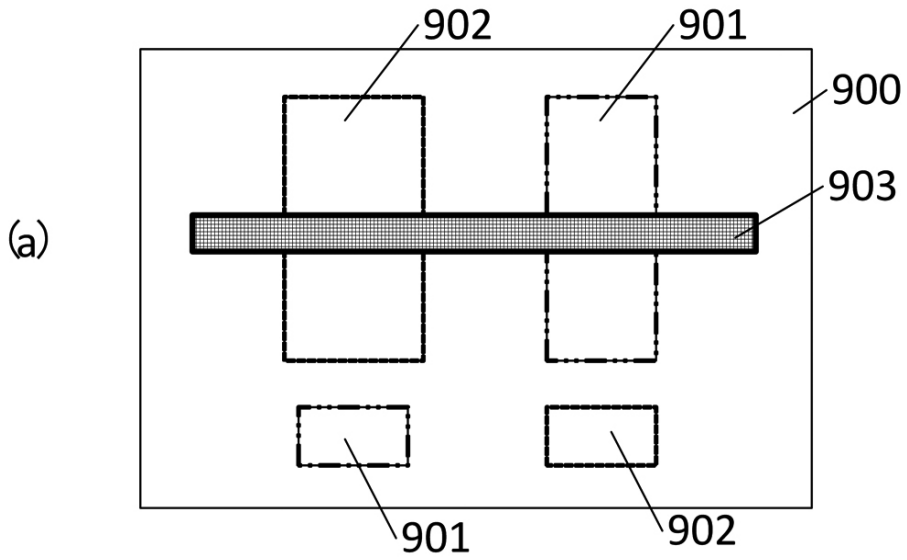


【図 8】

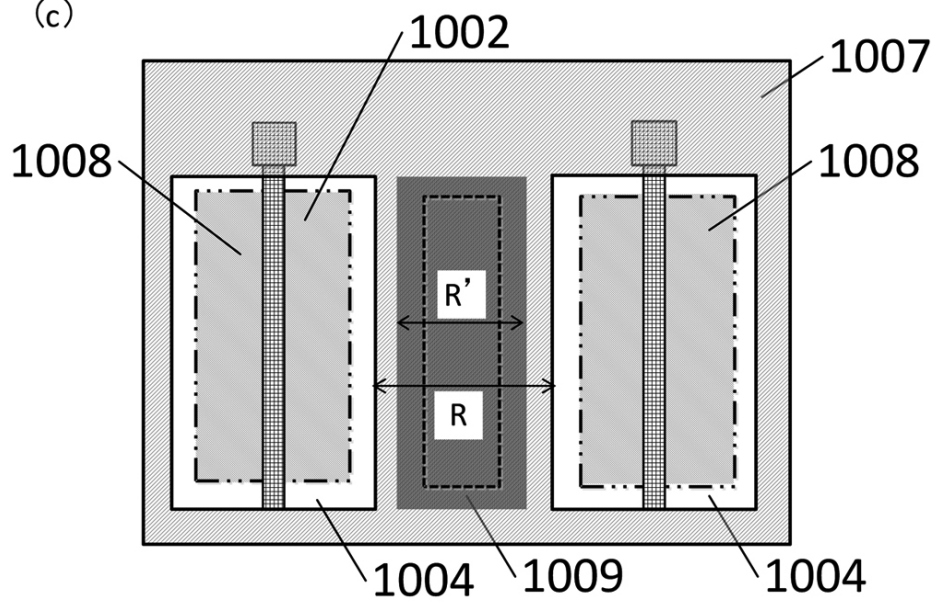
(c) アッシング前のフォトリソパターン線の線幅:0.8 $\mu$ m

	ドーズ量	レジスト残渣有無
条件1	3E13 /cm <sup>2</sup>	無
条件2	2E14 /cm <sup>2</sup>	有
条件3	1E15 /cm <sup>2</sup>	有
条件4	4E15 /cm <sup>2</sup>	有

【図 9】



(a)



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 21/8238 (2006.01)  
H 0 1 L 27/092 (2006.01)

(72)発明者 石野 英明

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 4M118 AA08 AB01 BA14 CA04 CA32 CA34 DD04 DD12 EA01 EA14  
EA15 FA25 FA33 GA09 GD11  
5F048 AA07 AC01 AC03 AC10 BA01 BB05 BC06 BE03 BE04 BG11  
DA23  
5F140 AA40 AB03 BA01 BF01 BF04 BG08 BG09 BG12 BG14 BG28  
BG37 BG53 BH15 BK02 BK13