

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 5 月 2 日(02.05.2013)



(10) 国際公開番号
WO 2013/062038 A1

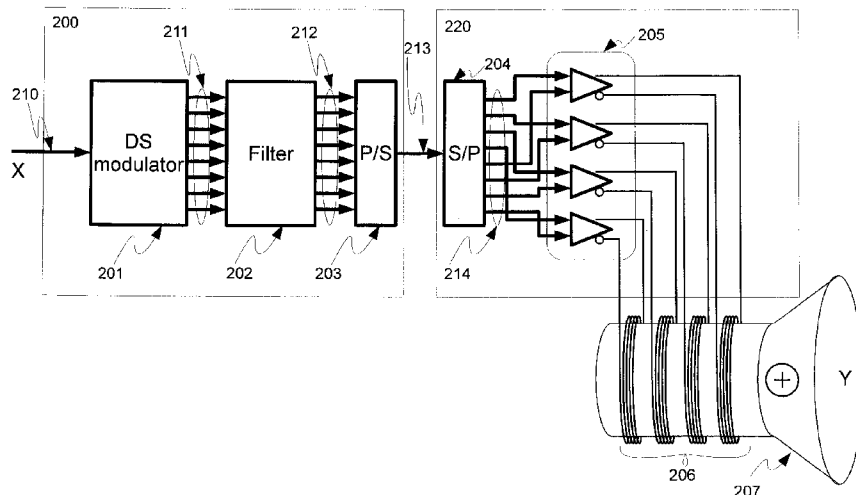
- (51) 国際特許分類:
H04R 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/077570
- (22) 国際出願日: 2012 年 10 月 25 日(25.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-233937 2011 年 10 月 25 日(25.10.2011) JP
- (71) 出願人: 株式会社 Trigen Semiconductor (TRIGENCE SEMICONDUCTOR, INC.) [JP/JP]; 〒1020074 東京都千代田区九段南 4-6-13 Tokyo (JP).
- (72) 発明者: 安田 彰(YASUDA Akira); 〒1020074 東京都千代田区九段南 4-6-13 株式会社 Trigen Semiconductor 内 Tokyo (JP). 岡村 淳一(OKAMURA Jun-ichi); 〒1020074 東京都千代田区九段南 4-6-13 株式会社 Trigen Semiconductor 内 Tokyo (JP).

- (74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田 5-24-2 損保ジャパン蒲田ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: DIGITAL ACOUSTIC SYSTEM

(54) 発明の名称: デジタル音響システム



(57) Abstract: Provided is a digital acoustic system comprising: a $\Delta\Sigma$ modulator that modulates a digital input signal and outputs a digital signal; a post-filter that is connected to the $\Delta\Sigma$ modulator and which performs mismatch shaping to convert the digital signal; a parallel-serial converter that converts the digital signal converted by the post-filter into a digital signal which is serially transmitted; a serial-parallel converter that restores the digital signal converted by the parallel-serial converter; and a drive circuit which receives the digital signal restored by the serial-parallel converter, and drives drive elements to convert the signal into an analog audio signal.

(57) 要約: デジタル入力信号を変調しデジタル信号を出力する $\Delta\Sigma$ 変調器と、 $\Delta\Sigma$ 変調器に接続され前記デジタル信号をミスマッチシェーピングし変換する後置フィルターと、後置フィルターが変換したデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、パラレル・シリアル変換器により変換されたデジタル信号を復元するシリアル・パラレル変換器と、シリアル・パラレル変換器により復元されたデジタル信号を受け取り、駆動素子を駆動してアナログ音声に変換する駆動回路とを有するデジタル音響システムを提供する。



WO 2013/062038 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

— 補正された請求の範囲及び説明書（条約第 19
条(1)）

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明 細 書

発明の名称： デジタル音響システム

技術分野

[0001] 本発明は、デジタル信号をアナログ音声に直接変換するデジタルスピーカー装置を使ったデジタル音響システム及びそのアプリケーションなどに関する。

背景技術

[0002] デジタル信号をアナログ音声に直接変換するデジタルスピーカー技術が提案されている（例えば、特許文献1 参照。）。

[0003] 特許文献1 のFig. 22には、X（L）およびY（R）の二つのデジタル音声信号を入力とし、 $\Delta\Sigma$ 変調器とミスマッチシェーピングフィルタ回路により複数のデジタル信号を出力する回路と、前記複数のデジタル信号により駆動される複数のスピーカーもしくは複数の駆動素子とにより、アナログ音声を直接変換する方法が示されている。

[0004] このような、デジタル信号をアナログ音声に直接変換するデジタルスピーカー技術を用いたデジタルスピーカー装置は、アナログ電気信号により駆動されていたアナログスピーカー装置に比べて、消費電力が小さいという特徴がある。また、これに加えて、このようなデジタルスピーカー装置は、複数のスピーカー素子もしくは複数の駆動素子（コイル等）を使うことから、従来の一つのスピーカー素子もしくは単一の駆動素子を使ったスピーカーに比べて、大きな音を出すことが可能である。

[0005] しかしながら、デジタルスピーカー装置ではPCM音源からのデジタル信号を $\Delta\Sigma$ 変調器とミスマッチシェーピングフィルタ回路により複数のデジタル信号を出力する回路が必須であり、これらの回路をLSI上に実装する為には微細デジタルプロセスを使う必要がある。

[0006] 図1 に、従来のデジタルスピーカー装置を使ったデジタル音響システムの代表的な例として、デジタルスピーカー装置のシステムの従来例を示す。こ

の従来例のデジタルスピーカ装置のシステムは、 $\Delta\Sigma$ 変調器と後置フィルター回路により複数のデジタル信号を出力する回路と複数のスピーカ駆動素子からなる。1ビットのデジタル入力信号(110)は $\Delta\Sigma$ 変調器(101)に入力される、 $\Delta\Sigma$ 変調器(101)でnビットの複数のデジタル信号(111)に変換する。nビットの複数のデジタル信号は後置フィルター(102)でミスマッチシェーピングされたm個のデジタル信号(112)に変換される。m個のデジタル信号は、スピーカ駆動回路(103)に入力されs個の駆動素子(104)を駆動してアナログ音声を振動膜(105)により直接変換する。前記 $\Delta\Sigma$ 変調器(101)と後置フィルター(102)とスピーカ駆動回路(103)とがデジタルスピーカ装置(100)の構成要素である。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第2007／135928号

発明の概要

発明が解決しようとする課題

[0008] 従来例では、 $\Delta\Sigma$ 変調器(101)と後置フィルター(102)とスピーカ駆動回路(103)とがスピーカ毎に必要なになるので、多数のスピーカが用いられる映画館や劇場にデジタルスピーカ装置を使う場合に微細デジタルプロセスのLSIを多数必要とする課題がある。

課題を解決するための手段

[0009] 本発明は、デジタル信号により駆動される複数のスピーカ（コイル）によりアナログ音声を直接変換するデジタルスピーカ装置に最適なデジタル音響システムを提案することを目的とする。

[0010] 本発明の一実施形態として、デジタル入力信号を変調しnビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器に接続され前記nビットのデジタル信号をミスマッチシェーピングしm個のデジタル信号に変換する後置フィルターと、前記後置フィルターが変換したm個のデジタル信号をシリアル伝送

されるデジタル信号に変換するパラレル・シリアル変換器と、前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路とを有するデジタル音響システムを提供する。

[0011] 本発明の一実施形態として、デジタル入力信号を m 個のデジタル信号に変換するプロセッサと、前記プロセッサが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路とを有し、前記プロセッサは、前記プロセッサを、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルタとして、動作させるためのプログラムにより、制御されることを特徴とするデジタル音響システムを提供する。

発明の効果

[0012] 本発明によれば、デジタルスピーカーの特性として、低消費電力特性を損なうことなく、多数のスピーカーを使う用途である映画館や劇場にデジタルスピーカー装置を使う場合でも、従来のデジタル音響システムに比べ単純な装置の組み合わせでデジタル音響システムを構築することが出来るため、デジタル音響システムのコストの低減が可能になる。

図面の簡単な説明

[0013] [図1]従来のデジタル音響システムの構成の一例図

[図2]本発明の第1の実施形態に係るデジタル音響システムの構成図

[図3]本発明の第2の実施形態に係るデジタル音響システムの構成図

[図4]本発明の第3の実施形態に係るデジタル音響システムの構成図

[図5]本発明の第4の実施形態に係るデジタル音響システムの構成図

[図6]本発明の第5の実施形態に係るデジタル音響システムの構成図

[図7]本発明の第6の実施形態に係るデジタル音響システムの構成図

[図8]本発明の第7の実施形態に係るデジタル音響システムの構成図

[図9]本発明の第8の実施形態に係るデジタル音響システムの構成図

発明を実施するための形態

[0014] (第1の実施形態)

図2に本発明の第1の実施形態に係る、デジタルスピーカー装置を使ったデジタル音響システムの構成を示す。本実施形態に係るデジタルスピーカー装置は、デジタル信号から複数のデジタル信号を出力する装置と、この装置が出力する複数のデジタル信号により複数のスピーカー駆動素子を駆動する駆動装置で構成される。本実施形態の特徴の一つは、複数のデジタル信号を出力する装置とスピーカー駆動素子を駆動する駆動装置の間をパラレル・シリアル変換装置とシリアル・パラレル変換装置により接続する点である。

[0015] 図2を参照すると、デジタル入力信号(210)は $\Delta\Sigma$ 変調器(201)に入力され、 $\Delta\Sigma$ 変調器(201)でnビットの複数のデジタル信号(211)に変換される。nビットの複数のデジタル信号は後置フィルター(202)でミスマッチシェーピングされたm個のデジタル信号(212)に変換される。m個のデジタル信号は、パラレル・シリアル変換器(203)でシリアル伝送されるデジタル信号(213)に変換され、シリアル・パラレル変換器(204)でm個のデジタル信号(214)に戻される。シリアル伝送されるデジタル信号(213)のビット数としては例えば1を挙げることができるが、1に限定はされない。m個のデジタル信号(214)を受け取ったスピーカー駆動回路(205)はs個の駆動素子(206)を駆動してアナログ音声を振動膜(207)により直接変換する。ここで、 $\Delta\Sigma$ 変調器(201)と後置フィルター(202)とパラレル・シリアル変換器(203)とがデジタル信号から複数のデジタル信号を出力する装置(200)を構成している。また、シリアル・パラレル変換器(204)とスピーカー駆動回路(205)とがスピーカー駆動素子を駆動する

駆動装置(220)を構成している。

[0016] 本実施形態のように、入力されたデジタル信号から複数のデジタル信号を出力する装置と、スピーカ駆動素子を駆動する駆動装置をシリアル信号で結ぶことが可能になると、デジタル信号から複数のデジタル信号を出力する装置に対して複数のスピーカ駆動素子を駆動する駆動装置をシリアル信号で接続する事が可能になる。したがって、多数のスピーカを使う例えば映画館や劇場にデジタルスピーカ装置を使う場合でも、従来のデジタル音響システムに比べ単純な装置の組み合わせでデジタル音響システムを構築することが出来る。これにより、デジタル音響システムのコストの低減が可能になる。

[0017] 図2に示す第1の実施形態に係る構成の一例として、デジタル信号から複数のデジタル信号を出力する装置と、スピーカ駆動素子を駆動する駆動装置を電氣的にシリアル信号で結ぶ例が示されている。しかし、本実施形態は、この例に限定されることはなく、シリアル信号を無線装置で接続したり、光信号で接続したりするなど、電磁誘導や電界の強度により伝送する構成も本実施形態に含まれる。また、図2に示したパラレル・シリアル変換器(203)で、パラレル信号(212)を、複数のシリアル信号に変換する実施例も含まれる。

[0018] また、スピーカ駆動素子を駆動する駆動装置をデジタル信号から複数のデジタル信号を出力する装置に分けることで、それぞれの装置に最適なデバイステクノロジーを用いてLSI化を進めることが可能になる。これにより、システム全体のコストを低減することや、スピーカ駆動素子を駆動する駆動装置側の動作電圧を上げることができる。したがって、大音量を再生することもコストの増大を伴わずに容易に構成することが可能になる。

[0019] (第2の実施形態)

図3に、本発明の第3の実施形態に係る、複数のデジタル信号を出力する回路と複数のスピーカ駆動素子とを備えるデジタルスピーカ装置の構成を示す。デジタル入力信号(310)はマイクロコンピュータ装置(301)に入力

されミスマッチシェーピングされた m 個のデジタル信号(311)に変換される。 m 個のデジタル信号は、パラレル・シリアル変換器(302)で1ビットのデジタル信号(312)に変換され、シリアル・パラレル変換器(303)で m 個のデジタル信号(313)に戻される。 m 個のデジタル信号(214)を受け取ったスピーカ駆動回路(304)は s 個の駆動素子(305)を駆動してアナログ音声を振動膜(306)により直接変換する。

[0020] ここで、マイクロコンピュータ装置(301)とパラレル・シリアル変換器(302)が、デジタル信号から複数のデジタル信号を出力する装置(300)を構成し、シリアル・パラレル変換器(303)とスピーカ駆動回路(304)とが駆動装置(320)を構成している。駆動装置(320)において、スピーカ駆動素子が駆動される。マイクロコンピュータ装置(301)は、プロセッサを有し、プロセッサは、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、 $\Delta\Sigma$ 変調器に接続され n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルタとして、動作させるためのプログラムにより、制御される

[0021] 本実施形態のように、入力されたデジタル信号から複数のデジタル信号を出力する装置として、プロセッサを有するマイクロコンピュータ装置を用いることで、第1の実施形態の $\Delta\Sigma$ 変調器と後置フィルタで行った事と同様のデジタル信号処理を、プログラムで処理することが可能になる。プログラムで処理することで $\Delta\Sigma$ 変調器の変調特性や後置フィルタでのフィルタ特性をハードウェアの変更無しに更新し改良する事が可能になる。

[0022] (第3の実施形態)

図4に複数のデジタル信号を出力する回路と複数のスピーカ駆動素子からなるデジタルスピーカ装置のシステム形態の第3の実施形態を示す。デジタル入力信号(410)はマイクロコンピュータ装置(401)に入力されミスマッチシェーピングされた m 個のデジタル信号(411)に変換される。 m 個のデジタル信号は、フォーマット変換器(402)で記憶装置(312)に一度記録され、再度フォーマット変換器(403)で m 個のデジタル信号(413)に戻される。なお、フ

フォーマット変換器(402)の出力をパラレル・シリアル変換器によりシリアル伝送されるデジタル信号に変換し、記憶装置(312)にデジタル信号を記憶してもよい。また、記憶装置(312)から読み出されたデジタル信号は、シリアル・パラレル変換器に入力され、フォーマット変換器(403)に入力されてもよい。また、フォーマット変換器(402)がパラレル・シリアル変換器を含み、フォーマット変換器(403)がシリアル・パラレル変換器を含む構成でもよい。

[0023] 前記 m 個のデジタル信号(414)を受け取ったスピーカ駆動回路(404)は s 個の駆動素子(405)を駆動してアナログ音声を振動膜(406)により直接変換する。ここで、マイクロコンピュータ装置(401)とフォーマット変換器(402)とが、デジタル信号から複数のデジタル信号を出力する装置(400)を構成している。また、フォーマット変換器(403)とスピーカ駆動回路(404)とがスピーカ駆動素子を駆動する駆動装置(420)を構成している。

[0024] 第3の実施形態のようにデジタル信号から複数のデジタル信号を出力する装置と、スピーカ駆動素子を駆動する駆動装置を記憶装置で結ぶことが可能になると、音声再生の実時間処理が出来ない、例えば処理速度の遅いマイクロコンピュータ装置を用いても、第1の実施形態の $\Delta\Sigma$ 変調器と後置フィルターで行った事と同様のデジタル信号処理をプログラムで処理することが可能になるので、従来のデジタル音響システムに比べ、より低消費電力のデジタル音響システムが可能になる。

[0025] また、デジタル信号処理をプログラムで処理した結果を複数回再生する場合には、記憶装置から事前に計算した結果を読み出すだけでよいので、再計算を行う必要がなくなるので、従来のデジタル音響システムに比べ、より低消費電力のデジタル音響システムが可能になる。

[0026] また、フォーマット変換器(402)では、ミスマッチシェーピングされた m 個のデジタル信号に対しロスレスデータ圧縮を行うことも可能である。フォーマット変換器(403)では、データの伸張を行い元の m 個のデジタル信号を再生する。このようにデータを圧縮することで必要な記憶媒体の容量を大幅に低減することが可能となる。ここで、データの圧縮伸張方法には、演算量およ

びデータ圧縮率を勘案し選択することで記憶媒体およびハードウェア規模の最適を図ることも可能となる。

[0027] (第4の実施形態)

図5に複数のデジタル信号を出力する回路と複数のスピーカ駆動素子からなるデジタルスピーカ装置のシステム形態の第4の実施形態を示す。デジタル入力信号(510)はマイクロコンピュータ装置(501)に入力されミスマッチシェーピングされたm個のデジタル信号(511)に変換される。m個のデジタル信号は、パラレル・シリアル変換器(502)で、シリアル伝送される例えば1ビットのデジタル信号(512)に、一旦変換され、再度シリアル・パラレル変換器(503)でm個のデジタル信号(513)に戻される。前記m個のデジタル信号(514)を受け取ったスピーカ駆動回路(504)はs個の駆動素子(505)を駆動してアナログ音声を振動膜(506)により直接変換する。ここで、マイクロコンピュータ装置(501)とパラレル・シリアル変換器(502)とが、デジタル信号から複数のデジタル信号を出力する装置(500)を構成している。また、シリアル・パラレル変換器(503)とスピーカ駆動回路(504)とがスピーカ駆動素子を駆動する駆動装置(520)を構成している。更に駆動装置(520)はスピーカ駆動回路の個数や特性を記憶したID素子(521)を備え、そのID素子からの情報を、複数のデジタル信号を出力する装置(500)に伝える伝送手段(522)を設置する。伝送手段(522)は、マイクロコンピュータ装置(501)にID素子(521)からの情報を伝送する。

[0028] 本実施形態のようにデジタル信号から複数のデジタル信号を出力する装置にマイクロコンピュータ装置を用いることにより、第1の実施形態の $\Delta\Sigma$ 変調器と後置フィルターで行った事と同様のデジタル信号処理をプログラムで処理することが可能になる。さらに、駆動装置(520)の情報を利用することで、駆動回路の個数や特性に適合するデジタル信号処理をプログラムにより対応することが可能になるので、異なる駆動装置を一つの複数のデジタル信号を出力する装置に接続することが可能になる。

[0029] (第5の実施形態)

図6に複数のデジタル信号を出力する回路と複数のスピーカ駆動素子からなるデジタルスピーカ装置のシステム形態の第5の実施形態を示す。図4に示した第3の実施形態と同じように、あらかじめ複数のスピーカ駆動素子を駆動する信号をデジタル信号から複数のデジタル信号を出力する装置(600)により生成して保存メディア(記憶媒体)(613)に保存しておくことが可能である。これにより変換されたデータを、保存メディア(613)を使って流通させることが可能となる。このあらかじめ変換されたデータをネットワーク通じて直接顧客に配信したり、あらかじめ変換されたデータを保存メディア(記憶媒体)に記録し流通させたりすることにより、従来必要であったフォーマッタ変換器(602)を、再生する装置側で用意する必要がなくなり、デジタルスピーカ装置をより廉価に提供することが可能となる。

[0030] 保存メディア(記憶媒体)としては、光ディスク、メモリカードなどの媒体を挙げることができる。これらの媒体は、記憶装置に着脱することができるものであることが好ましい。したがって、これらの光ディスク、メモリカードは据え置き型や携帯型の再生装置としての駆動装置(620)に装着して再生を行ってもよい。また、ネットワークを通じて直接顧客に配信する場合には、ストリーム形式で配信を行ったり、顧客の有する保存メディア(記憶媒体)に配信したデータを一旦記録したりしてもよい。

[0031] また、あらかじめいくつかの駆動素子数に対応させたデータを生成し、記録することで駆動素子数の異なるデジタルスピーカシステムに対応させることも可能である。この方法は、特に記録媒体の記録密度が上がり単価が低い場合にはコストを低減できる有効な手段となる。

[0032] また、複数のスピーカ駆動素子を駆動する信号をデジタル信号から複数のデジタル信号を出力する装置(600)からの出力は、デジタル変調されている為に、変調前のデジタル信号に戻すことが困難となる場合がある。したがって、装置(600)からの出力に、コピープロテクトされたに等しい効果を持たせることができる。さらにセキュリティ度を増す為に、前記記憶媒体に記録する際に暗号化を施したり、電子透かしデータを重畳したりすることも可能で

ある。 $\Delta\Sigma$ 変調器(601)を用いているため、音楽信号等の信号帯域以外の帯域（通常信号帯域以上の周波数帯域）に、電子透かし信号を挿入することにより、最終的に音響信号に変換された際の音質の劣化を最小限に電子透かしを用いることが可能となる。暗号化や電子透かしデータの重畳は、例えば $\Delta\Sigma$ 変調器(601)、後置フィルター(602)またはパラレル・シリアル変換器(603)に実行させることができる。例えば、 $\Delta\Sigma$ 変調器(601)、後置フィルター(602)またはパラレル・シリアル変換器(603)に、暗号化や電子透かしデータの重畳のための装置を備えてもよい。また、そのような装置は、独立した装置であってもよい。

[0033] さらに、用いるコイル数を変更できるデータを記録媒体等に記録することにより、1通りのデータのみを記録することで、複数のコイル数に対応させることが可能となり、利便性を向上させることも可能である。

[0034] （第6の実施形態）

実施形態1から5における $\Delta\Sigma$ 変調器にカスコード型 $\Delta\Sigma$ 変調器を用いることも可能である。図7にカスコード型 $\Delta\Sigma$ 変調器の内部量子化器に多ビットのものをを用いた場合の実施形態を示す。カスコード型 $\Delta\Sigma$ 変調器(701)では、初段および2段目以降の複数の内部 $\Delta\Sigma$ 変調器が出力される。初段の n_1 ビットの複数のデジタル信号(711a)は後置フィルター(702a)でミスマッチシェーピングされた m_1 個のデジタル信号(712a)に変換される。2段目以降の n_x 出力(711b)には後置フィルター(702b)で周波数特性を付加し、さらにミスマッチシェーピングされた m_x 個のデジタル信号(712b)に変換される。

[0035] $m_1+m_2+\dots+m_x$ 個のデジタル信号は、パラレル・シリアル変換器(703)で1ビットのデジタル信号(713)に一旦変換され、再度シリアル・パラレル変換器(704)で $m_1+m_2+\dots+m_x$ 個のデジタル信号(714)に戻される。前記 $m_1+m_2+\dots+m_x$ 個のデジタル信号(714)を受け取ったスピーカ駆動回路(705)は s 個の駆動素子(706)を駆動してアナログ音声を振動膜(707)により直接変換する。ここで、カスコード型 $\Delta\Sigma$ 変調器(701)と後置フィルター(702a、b)とパラレル・シリアル変換器(703)とがデジタル信号から複数のデジタル信号を出力する装置(700

を構成している。また、シリアル・パラレル変換器(704)とスピーカー駆動回路(705)とがスピーカー駆動素子を駆動する駆動装置(720)を構成している。

[0036] カスケード型 $\Delta\Sigma$ DACと同様に、2段目以降の出力は1段目出力に含まれる雑音成分を打ち消す符号となっている。このため、駆動素子(606)が $m_1+m_2\cdots+m_x$ よりも少ない場合は、後段の $m_2\cdots m_x$ を使用しないでも十分高精度な変換を行うことが可能である。

[0037] (第7の実施形態)

図8に、本発明の第7の実施形態に係る、複数のデジタル信号を出力する回路と複数のスピーカー駆動素子とを備えるデジタルスピーカー装置の構成を示す。デジタル入力信号(810)はデジタルシグナルプロセッサ装置(DSP)(801)に入力されミスマッチシェーピングされた m 個のデジタル信号(811)に変換される。 m 個のデジタル信号(811)は、パラレル・シリアル変換器(802)で s 個のデジタル信号(812)に変換され、シリアル・パラレル変換器(803)で m 個のデジタル信号(813)に戻される。 m 個のデジタル信号(814)を受け取ったスピーカー駆動回路(804)は s 個の駆動素子(805)を駆動してアナログ音声を振動膜(806)により直接変換する。

[0038] パラレル・シリアル変換器(802)の入力デジタル信号の個数と出力信号の個数の関係は $s < m$ であり、 s 個のデジタル信号(812)にはシリアル・パラレル変換器(803)での復調に必要な情報を含んでいる。

[0039] ここで、デジタルシグナルプロセッサ装置(801)とパラレル・シリアル変換器(802)が、デジタル信号から複数のデジタル信号を出力する装置(800)を構成し、シリアル・パラレル変換器(803)とスピーカー駆動回路(804)とが駆動装置(820)を構成している。駆動装置(820)において、スピーカー駆動素子が駆動される。

[0040] 本実施形態のように、入力されたデジタル信号から複数のデジタル信号を出力する装置として、デジタルシグナルプロセッサ装置を用いることで、第1の実施形態の $\Delta\Sigma$ 変調器と後置フィルターで行った事と同様のデジタル信

号処理を、プログラムで処理することが可能になる。プログラムで処理することで $\Delta\Sigma$ 変調器の変調特性や後置フィルタでのフィルタ特性をハードウェアの変更無しに更新し改良する事が可能になる。

[0041] (第8の実施形態)

図9に複数のデジタル信号を出力する回路と複数のスピーカ駆動素子からなるデジタルスピーカ装置のシステム形態の第8の実施形態を示す。デジタル入力信号(910)はデジタルシグナルプロセッサ装置(マイクロコンピュータ装置)(901)に入力されミスマッチシェーピングされたm個のデジタル信号(811)に変換される。m個のデジタル信号は、フォーマット変換器(902)でフォーマットが変換されてm個のデジタル信号を表わす情報として出力される。フォーマット変換器(902)から出力されるm個のデジタル信号は、図9に示すように記憶装置(912)の記憶媒体に一度記録されてもよい。この場合、フォーマット変換器(902)によるフォーマットの変換は、記憶媒体の記憶に適したフォーマットに変換することである。記憶装置(912)の記憶媒体に記録されたm個のデジタル信号を表わす情報は、再度フォーマット変換器(903)でm個のデジタル信号(913)に戻される。前記m個のデジタル信号(913)を受け取ったスピーカ駆動回路(904)はs個の駆動素子(905)を駆動してアナログ音声を振動膜(906)により直接変換する。ここで、マイクロコンピュータ装置(901)とフォーマット変換器(902)とが、デジタル信号から複数のデジタル信号を出力する装置(900)を構成している。また、フォーマット変換器(903)とスピーカ駆動回路(904)とがスピーカ駆動素子を駆動する駆動装置(920)を構成している。

[0042] また、フォーマット変換器(902)から出力されるm個のデジタル信号は、伝送路に出力され、伝送されてもよい。例えば、通信により送信がされ、あるいは複数の受信者に同時に放送として送信がされてもよい。送信は無線であってもよいし、有線であってもよい。この場合、受信側では、m個のデジタル信号を受信し、フォーマット変換器(903)でm個のデジタル信号(913)に戻される。以降の処理は上述した通りである。

- [0043] ここで、フォーマット変換器(902)にて変換されるフォーマットには、可逆変換可能な如何なる種類のデジタルフォーマットを利用することが出来る。
- [0044] 第8の実施形態のようにデジタル信号から複数のデジタル信号を出力する装置と、スピーカ駆動素子を駆動する駆動装置を記憶装置や伝送路で結ぶことが可能になる。、特に記憶装置を用いる場合には、音声再生の実時間処理が出来ない、例えば処理速度の遅いデジタルシグナルプロセッサ装置を用いても、第1の実施形態の $\Delta\Sigma$ 変調器と後置フィルタで行った事と同様のデジタル信号処理をプログラムで処理することが可能になるので、従来のデジタル音響システムに比べ、より低消費電力のデジタル音響システムが可能になる。
- [0045] また、デジタル信号処理をプログラムで処理した結果を複数回再生する場合には、記憶装置から事前にフォーマット変調した結果を読みだすだけでよいので、フォーマット復調に必要な計算量を抑えたデジタルフォーマットを利用することで、従来のデジタル音響システムに比べ、より低消費電力のデジタル音響システムが可能になる。
- [0046] また、フォーマット変換器(902)では、ミスマッチシェーピングされたm個のデジタル信号に対しロスレスデータ圧縮を行うことも可能である。フォーマット変換器(903)では、データの伸張を行い元のm個のデジタル信号を再生する。このようにデータを圧縮することで必要な記憶媒体の容量を大幅に低減することが可能となる。ここで、データの圧縮伸張方法には、演算量およびデータ圧縮率を勘案し選択することで記憶媒体およびハードウェア規模の最適を図ることも可能となる。
- [0047] このように、本実施形態においては、は同一のシリアル信号を用いた場合でも、デジタルスピーカユニットにおけるコイルの数を変更することが可能となる。
- [0048] 特に第3および第5の実施形態においては、あらかじめデータを生成しておくが、再生側で用いるコイル数を選択できるため、複数コイル数に対応させたデータをあらかじめ用意しておく必要がなく、データ量を削減すること

が可能となる。

請求の範囲

- [請求項1] デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、
- 前記 $\Delta\Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルタと、
- 前記後置フィルタが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、
- 前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、
- 前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路と
- を有するデジタル音響システム。
- [請求項2] 前記シリアル伝送されるデジタル信号のビット数が1であることを特徴とする請求項1に記載のデジタル音響システム。
- [請求項3] 前記パラレル・シリアル変換器により変換されたデジタル信号を記憶し、記憶されたデジタル信号を読み出して前記シリアル・パラレル変換器に出力する記憶装置を有する請求項1または2に記載のデジタル音響システム。
- [請求項4] 前記記憶装置は、着脱可能な記憶媒体に前記パラレル・シリアル変換器により変換されたデジタル信号を記憶し、読み出すことが可能であることを特徴とする請求項3に記載のデジタル音響システム。
- [請求項5] 前記記憶装置は、電子透かしデータが重畳されたデータを記憶することを特徴とする請求項3または4に記載のデジタル音響システム。
- [請求項6] 前記電子透かしデータは、前記アナログ音声の帯域外のデータとして重畳されることを特徴とする請求項5に記載のデジタル音響システム。
- [請求項7] デジタル入力信号を m 個のデジタル信号に変換するプロセッサと、

前記プロセッサが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、

前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、

前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路と

を有し、

前記プロセッサは、前記プロセッサを、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルターとして、動作させるためのプログラムにより、制御されることを特徴とするデジタル音響システム。

[請求項8] 前記駆動素子の数を記憶する素子を有し、

前記プログラムは、前記素子に記憶された前記駆動素子の数を読み取り、前記プロセッサを制御することを特徴とする請求項7に記載のデジタル音響システム。

[請求項9] 前記プロセッサはデジタルシグナルプロセッサである請求項7または8に記載のデジタル音響システム。

[請求項10] 前記パラレル・シリアル変換器の出力する信号の個数は、前記パラレル・シリアル変換器に入力される信号の個数より小さく、前記パラレル・シリアル変換器の出力する信号は、前記シリアル・パラレル変換器での復調に必要な情報を含む請求項7から9のいずれかに記載のデジタル音響システム。

[請求項11] デジタル入力信号を m 個のデジタル信号に変換するデジタルシグナルプロセッサと、

前記デジタルプロセッサが変換した m 個のデジタル信号のフォーマ

ットを変換して記憶媒体に記憶するフォーマット変換器と
を有し、

前記デジタルシグナルプロセッサは、前記プロセッサを、デジタル
入力信号を変調し n ビットのデジタル
信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器に接続され前記 n ビッ
トのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に
変換して出力する後置フィルターとして、動作させるためのプログラ
ムにより、制御されることを特徴とするデジタル音響システム。

[請求項12] 前記フォーマット変換器によるフォーマットの変換は可逆変換であ
る請求項11に記載のデジタル音響システム。

[請求項13] 前記フォーマット変換器によるフォーマットの変換はデータ圧縮を
含む請求項11に記載のデジタル音響システム。

[請求項14] 前記後置フィルターは、記憶媒体又は伝送路に出力を行う請求項1
1から13のいずれかに記載の音響システム。

[請求項15] デジタル入力信号を変調する $\Delta\Sigma$ 変調器の出力をミスマッチシェー
ピングする後置フィルターが出力したデジタル信号を記憶した記録媒
体から前記デジタル信号を読み取り、駆動素子を駆動してアナログ音
声に変換する駆動回路を有するデジタル再生装置。

[請求項16] 前記記録媒体が記憶するデジタル信号には、前記駆動回路の駆動素
子の数が含まれることを特徴とする請求項15に記載のデジタル再生
装置。

[請求項17] 前記記録媒体が記憶するデジタル信号には、電子透かしデータが重
畳されたデータを記憶することを特徴とする請求項15または16に
記載のデジタル再生装置。

[請求項18] 電子透かしデータは、前記アナログ音声の帯域外のデータとして重
畳されることを特徴とする請求項17に記載のデジタル再生装置。

[請求項19] デジタル入力信号を変調する $\Delta\Sigma$ 変調器の出力をミスマッチシェー
ピングする後置フィルターが出力したデジタル信号を受信し、駆動素

子を駆動してアナログ音声に変換する駆動回路を有するデジタル再生装置。

[請求項20] 前記受信されるデジタル信号には、前記駆動回路の駆動素子の数が含まれることを特徴とする請求項19に記載のデジタル再生装置。

[請求項21] 前記受信されるデジタル信号には、電子透かしデータが重畳されたデータを記憶することを特徴とする請求項19または20に記載のデジタル再生装置。

[請求項22] 電子透かしデータは、前記アナログ音声の帯域外のデータとして重畳されることを特徴とする請求項21に記載のデジタル再生装置。

補正された請求の範囲
[2013年4月2日(02.04.2013) 国際事務局受理]

[請求項 1] (補正後) s 個の駆動素子を駆動してアナログ音声に変換する駆動回路を有する

デジタル音響システムであり、

前記駆動素子の数 s を読み取り、デジタル入力信号を変調し n ビットのデジタル信号を $\Delta \Sigma$ 変調し、前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する変調器と、

前記変調器が変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、

前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、
を有し、

前記駆動回路は、前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、前記 s 個の駆動素子を駆動してアナログ音声に変換するデジタル音響システム。

[請求項 2] 前記シリアル伝送されるデジタル信号のビット数が 1 であることを特徴とする請求項 1 に記載のデジタル音響システム。

[請求項 3] (削除)

[請求項 4] (補正後) デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta \Sigma$ 変調器と、

前記 $\Delta \Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルタと、

前記後置フィルタが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、

前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、
を有し、

前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動

回路と

前記パラレル・シリアル変換器により変換されたデジタル信号を記憶し、記憶されたデジタル信号を読み出して前記シリアル・パラレル変換器に出力する記憶装置

を有し、

前記記憶装置は、着脱可能な記憶媒体に前記パラレル・シリアル変換器により変換されたデジタル信号を記憶し、読み出すことが可能であるデジタル音響システム。

[請求項 5] (補正後) 前記記憶装置は、電子透かしデータが重畳されたデータを記憶することを特徴とする請求項 4 に記載のデジタル音響システム。

[請求項 6] 前記電子透かしデータは、前記アナログ音声の帯域外のデータとして重畳されることを特徴とする請求項 5 に記載のデジタル音響システム。

[請求項 7] (補正後) デジタル入力信号を m 個のデジタル信号に変換するプロセッサと、前記プロセッサが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、

前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、

前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路と

を有し、

前記プロセッサは、前記プロセッサを、前記駆動素子の数 s を読み取り、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta\Sigma$ 変調器と、前記 $\Delta\Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルターとして、動作させるためのプログラムにより、制御されることを特徴とするデジタル音響システム。

[請求項 8] (削除)

[請求項 9] (補正後) 前記プロセッサはデジタルシグナルプロセッサである請求項 7 に記載のデジタル音響システム。

[請求項 10] (補正後) デジタル入力信号を m 個のデジタル信号に変換するプロセッサと、前記プロセッサが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、

前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、

前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路と

を有し、

前記プロセッサは、前記プロセッサを、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta \Sigma$ 変調器と、前記 $\Delta \Sigma$ 変調器に接続され前記 n ビットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換する後置フィルターとして、動作させるためのプログラムにより、制御され、

前記パラレル・シリアル変換器の出力する信号の個数は、前記パラレル・シリアル変換器に入力される信号の個数より小さく、前記パラレル・シリアル変換器の出力する信号は、前記シリアル・パラレル変換器での復調に必要な情報を含むデジタル音響システム。

[請求項 11] (補正後) デジタル入力信号を、 s 個の駆動素子を駆動してアナログ音声に変換するための m 個のデジタル信号に変換するデジタルシグナルプロセッサと、

前記デジタルプロセッサが変換した m 個のデジタル信号のフォーマットを変換して記憶媒体に記憶するフォーマット変換器とを有し、

前記デジタルシグナルプロセッサは、前記プロセッサを、前記駆動素子の数 s を読み取り、デジタル入力信号を変調し n ビットのデジタル信号を出力する $\Delta \Sigma$ 変調器と、前記 $\Delta \Sigma$ 変調器に接続され前記 n ビ

ットのデジタル信号をミスマッチシェーピングし m 個のデジタル信号に変換して出力する後置フィルタとして、動作させるためのプログラムにより、制御されることを特徴とするデジタル音響システム。

[請求項 12] 前記フォーマット変換器によるフォーマットの変換は可逆変換である請求項 11 に記載のデジタル音響システム。

[請求項 13] 前記フォーマット変換器によるフォーマットの変換はデータ圧縮を含む請求項 11 に記載のデジタル音響システム。

[請求項 14] 前記後置フィルタは、記憶媒体又は伝送路に出力を行う請求項 11 から 13 のいずれかに記載の音響システム。

[請求項 15] (削除)

[請求項 16] (補正後) デジタル入力信号を変調する $\Delta\Sigma$ 変調器の出力をミスマッチシェーピングする後置フィルタが出力したデジタル信号を記憶した記録媒体から前記デジタル信号を読み取り、駆動素子を駆動してアナログ音声に変換する駆動回路を有し、

前記記録媒体が記憶するデジタル信号には、前記駆動回路の駆動素子の数が含まれるデジタル再生装置。

[請求項 17] (補正後) 前記記録媒体が記憶するデジタル信号には、電子透かしデータが重畳されたデータを記憶することを特徴とする請求項 16 に記載のデジタル再生装置。

[請求項 18] 電子透かしデータは、前記アナログ音声の帯域外のデータとして重畳されることを特徴とする請求項 17 に記載のデジタル再生装置。

[請求項 19] (削除)

[請求項 20] (補正後) デジタル入力信号を変調する $\Delta\Sigma$ 変調器の出力をミスマッチシェーピングする後置フィルタが出力したデジタル信号を受信し、駆動素子を駆動してアナログ音声に変換する駆動回路を有し、

前記受信されるデジタル信号には、前記駆動回路の駆動素子の数が含まれるデジタル再生装置。

[請求項 21] (補正後) 前記受信されるデジタル信号には、電子透かしデータが重畳された

データを記憶することを特徴とする請求項 20 に記載のデジタル再生装置。

[請求項 22] 電子透かしデータは、前記アナログ音声の帯域外のデータとして重畳されることを特徴とする請求項 21 に記載のデジタル再生装置。

条約第19条(1)に基づく説明書

請求項1について、「 $\Delta\Sigma$ 変調器」と「後置フィルター」とが「変調器」を構成することを明確にし、「変調器」が「駆動素子の数 s を読み取る」ことを明確にした。

国際調査報告に示された引用文献には「駆動素子の数 s を読み取る」ことの開示はない。

請求項1に係る発明によれば、駆動回路の個数や特性に適合するデジタル信号を提供することが可能となる。

請求項4を独立請求項とした。

国際調査機関の見解書によれば、請求項4に係る発明は産業上の利用可能性、新規性及び進歩性を有する。

請求項5について、請求項3の削除に伴い補正をした。

請求項7について、「プログラム」が「プロセッサ」に「駆動素子の数 s を読み取」らせることを明確にした。

国際調査報告に示された引用文献には「駆動素子の数 s を読み取る」ことの開示はない。

請求項7に係る発明によれば、駆動回路の個数や特性に適合するデジタル信号を提供することが可能となる。

請求項9について、請求項8の削除に伴い補正をした。

請求項10を独立請求項とした。

国際調査機関の見解書によれば、請求項10に係る発明は産業上の利用可能性、新規性及び進歩性を有する。

請求項11について、「プログラム」が「プロセッサ」に「駆動素子の数 s を読み取」らせることを明確にした。

国際調査報告に示された引用文献には「駆動素子の数 s を読み取る」ことの開示はない。

請求項11に係る発明によれば、駆動回路の個数や特性に適合するデジタル信号を提供することが可能となる。

請求項16を独立請求項とした。

国際調査機関の見解書によれば、請求項16に係る発明は産業上の利用可能性、新規性及び進歩性を有する。

請求項17について、請求項15の削除に伴い補正をした。

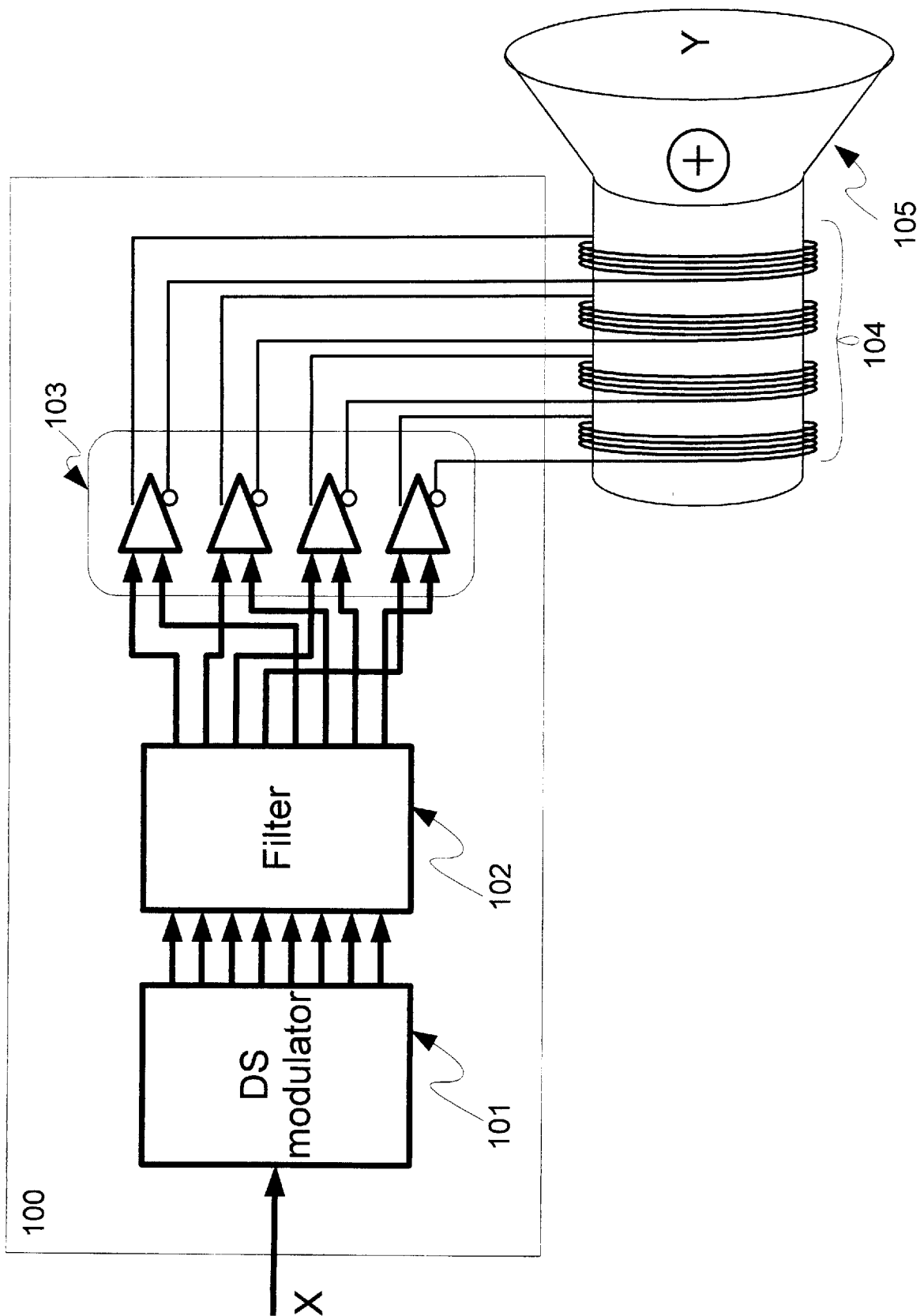
請求項20について独立請求項とした。

国際調査機関の見解書によれば、請求項20に係る発明は産業上の利用可能性、新規性及び進歩性を有する。

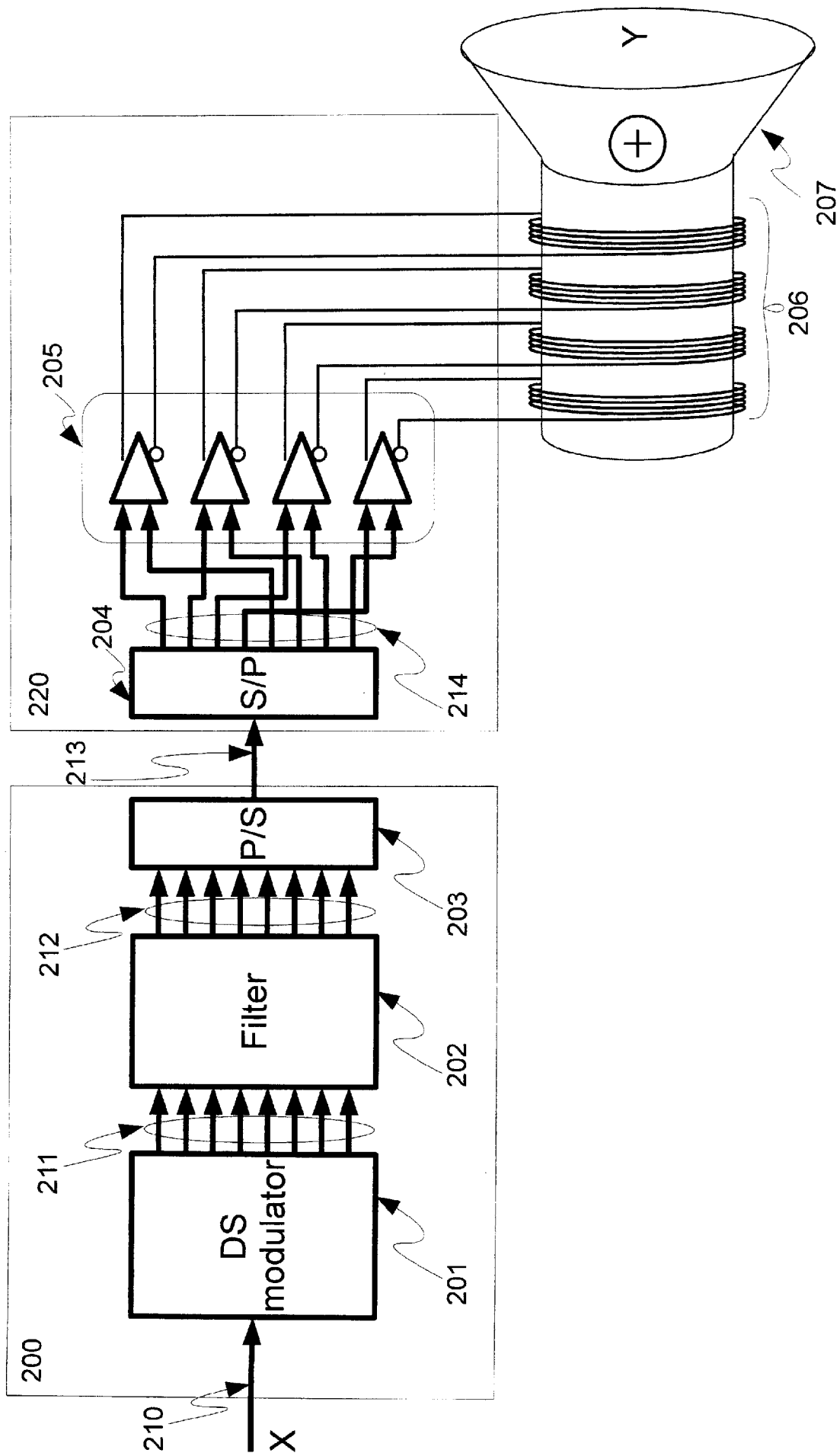
請求項21について、請求項19の削除に伴い補正をした。

条約19条(1)の規定に基づく補正の書簡にあるように、補正後の請求の範囲は、明細書による十分な裏付けがされているものであると出願人は思料する。

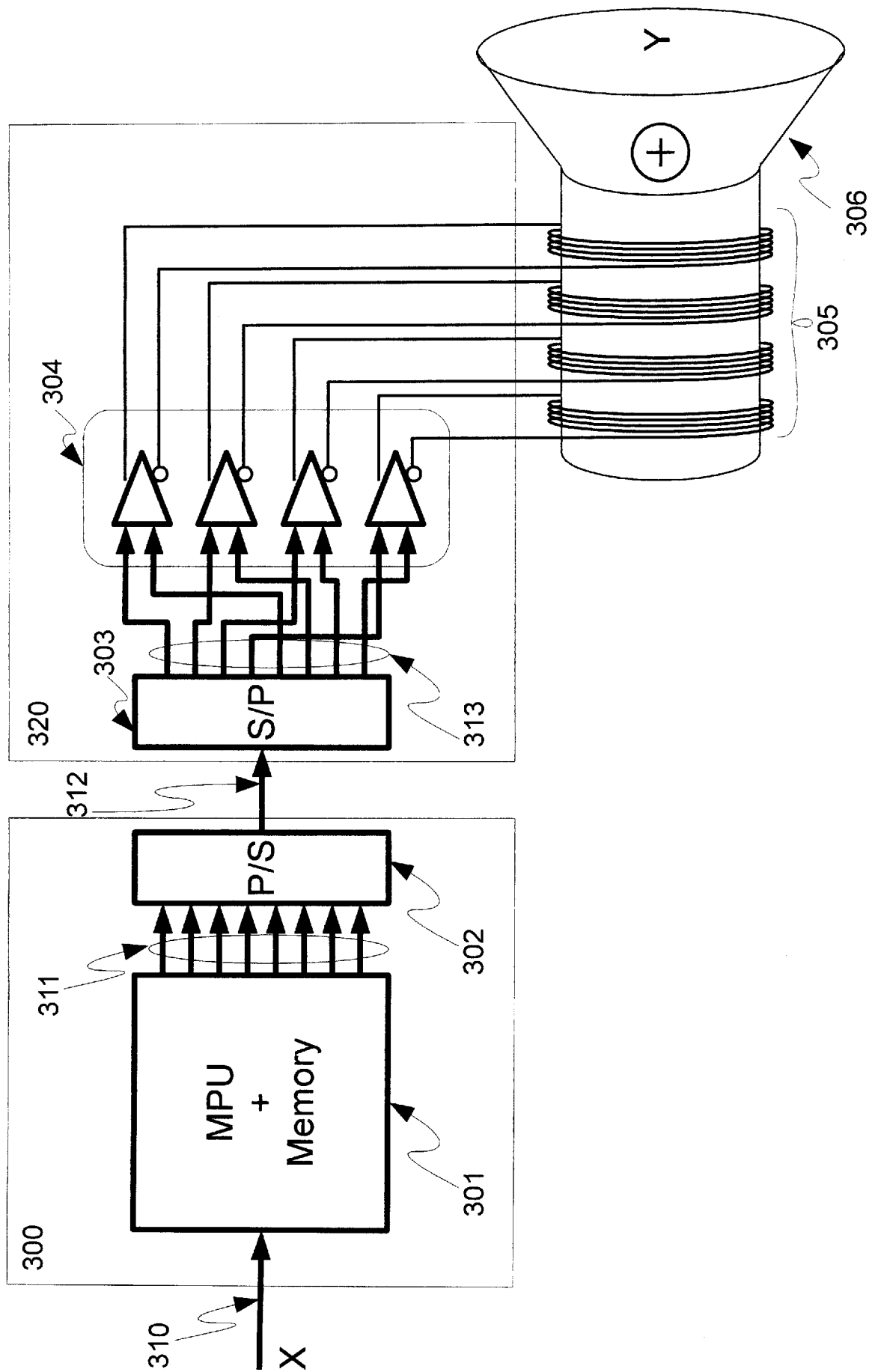
[図1]



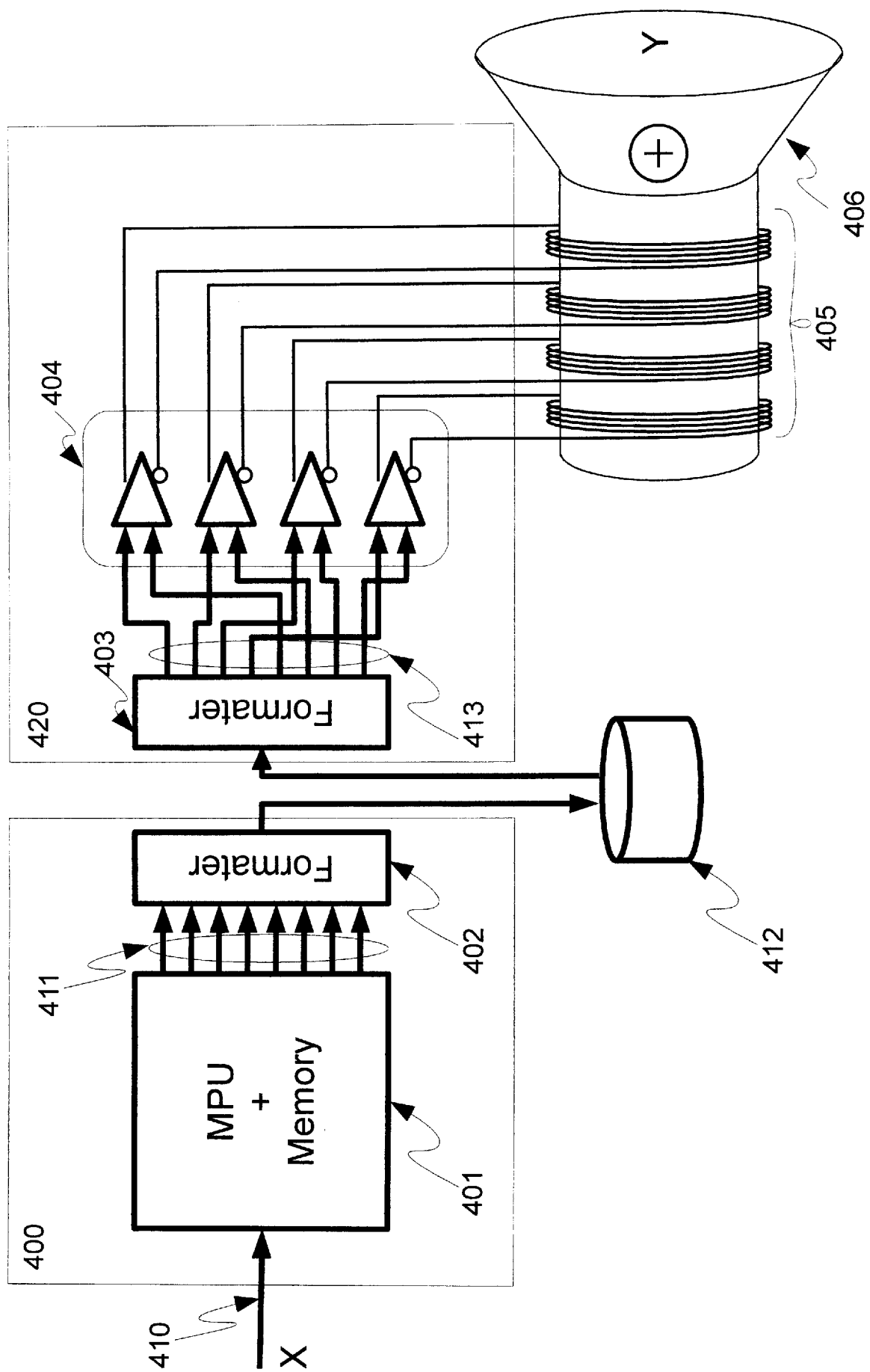
[図2]



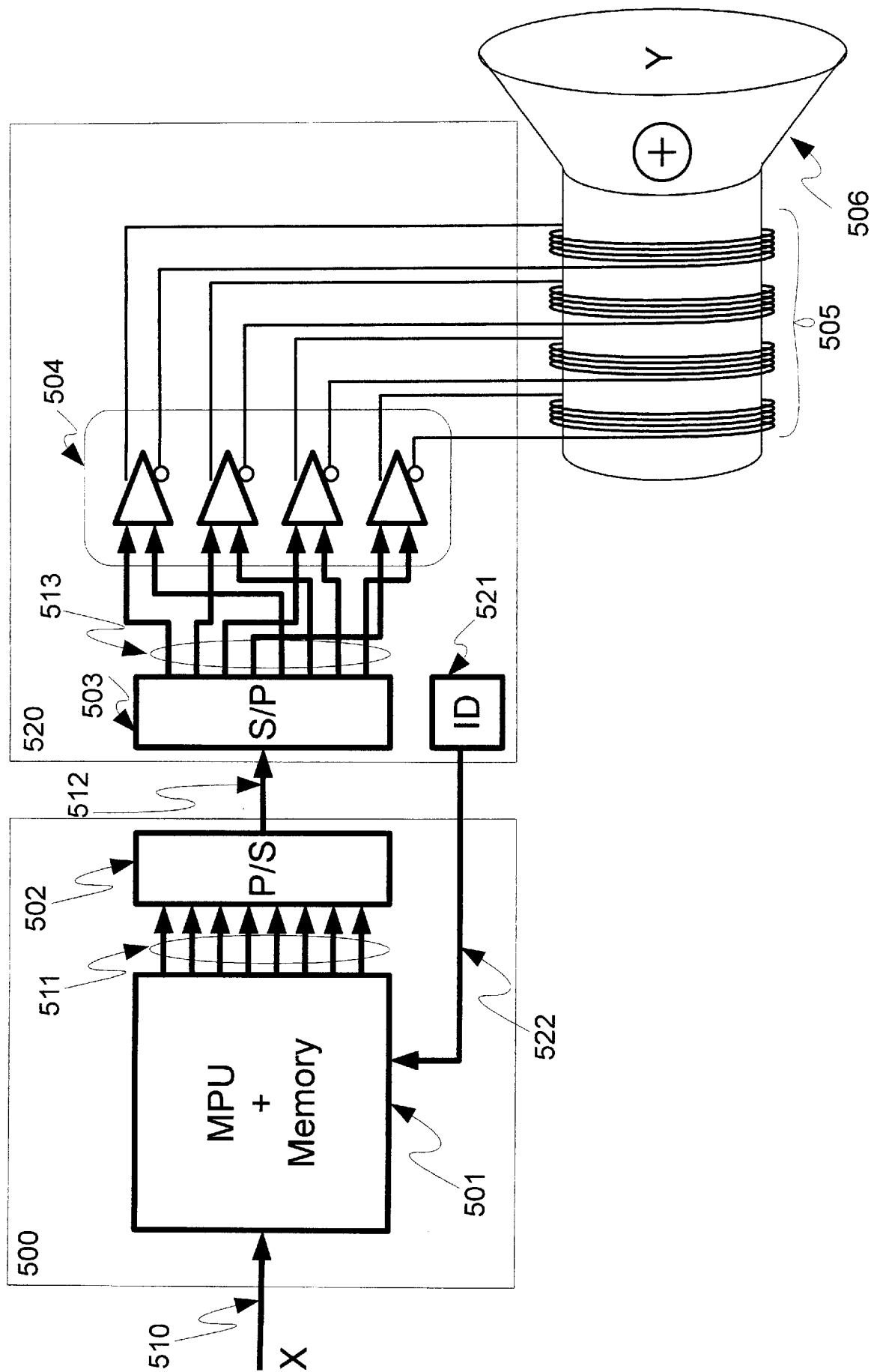
[図3]



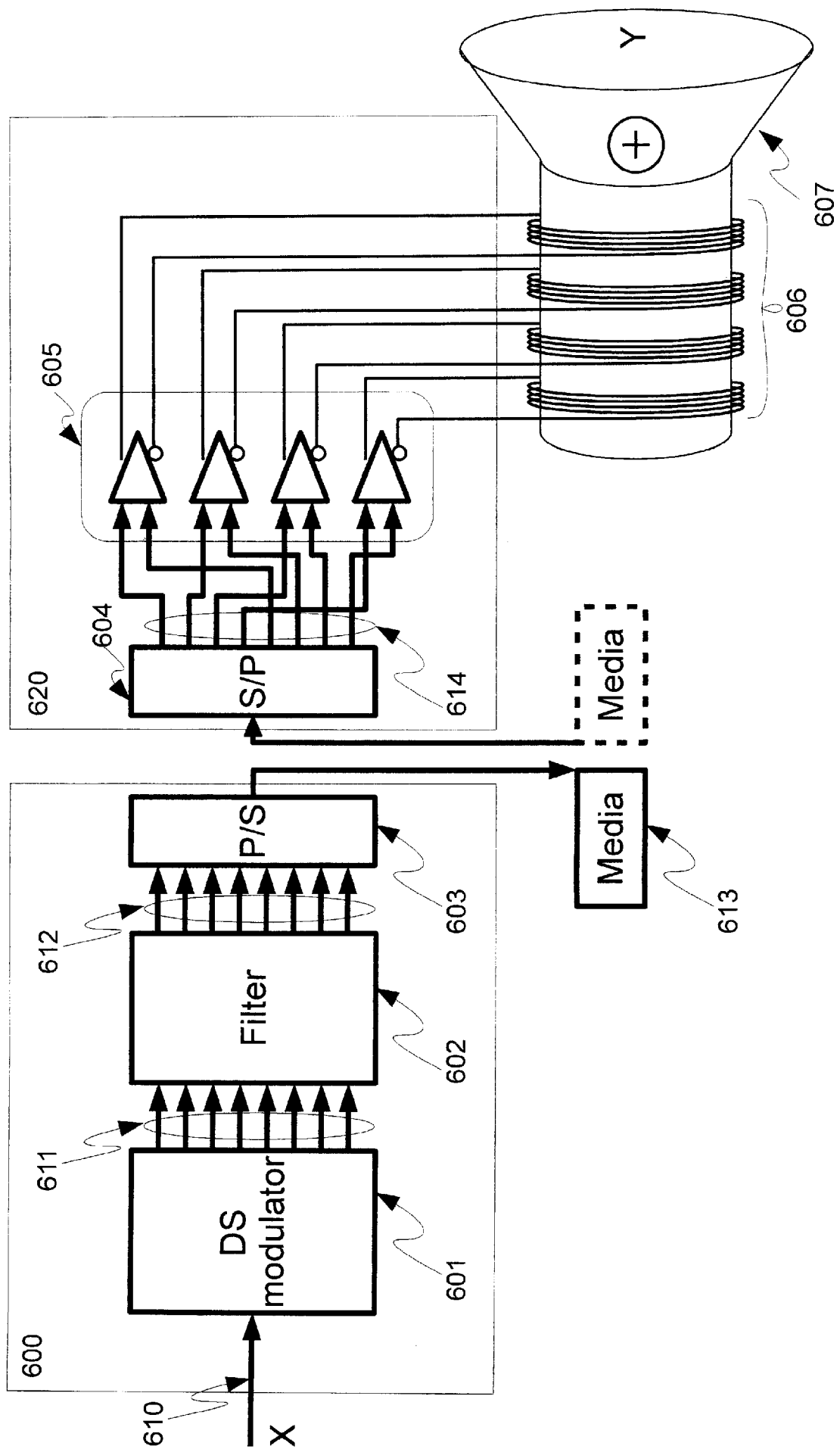
[図4]



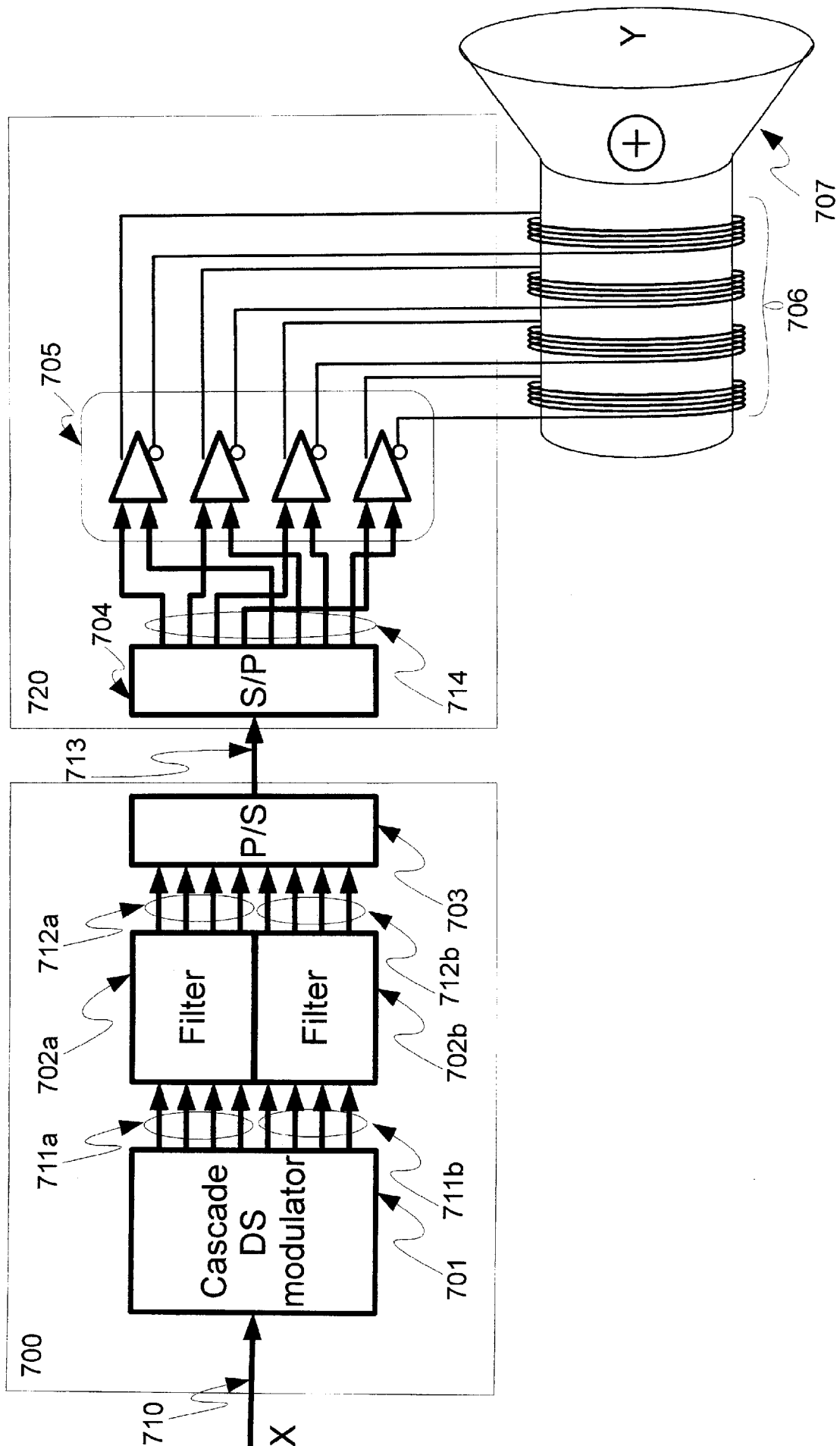
[図5]



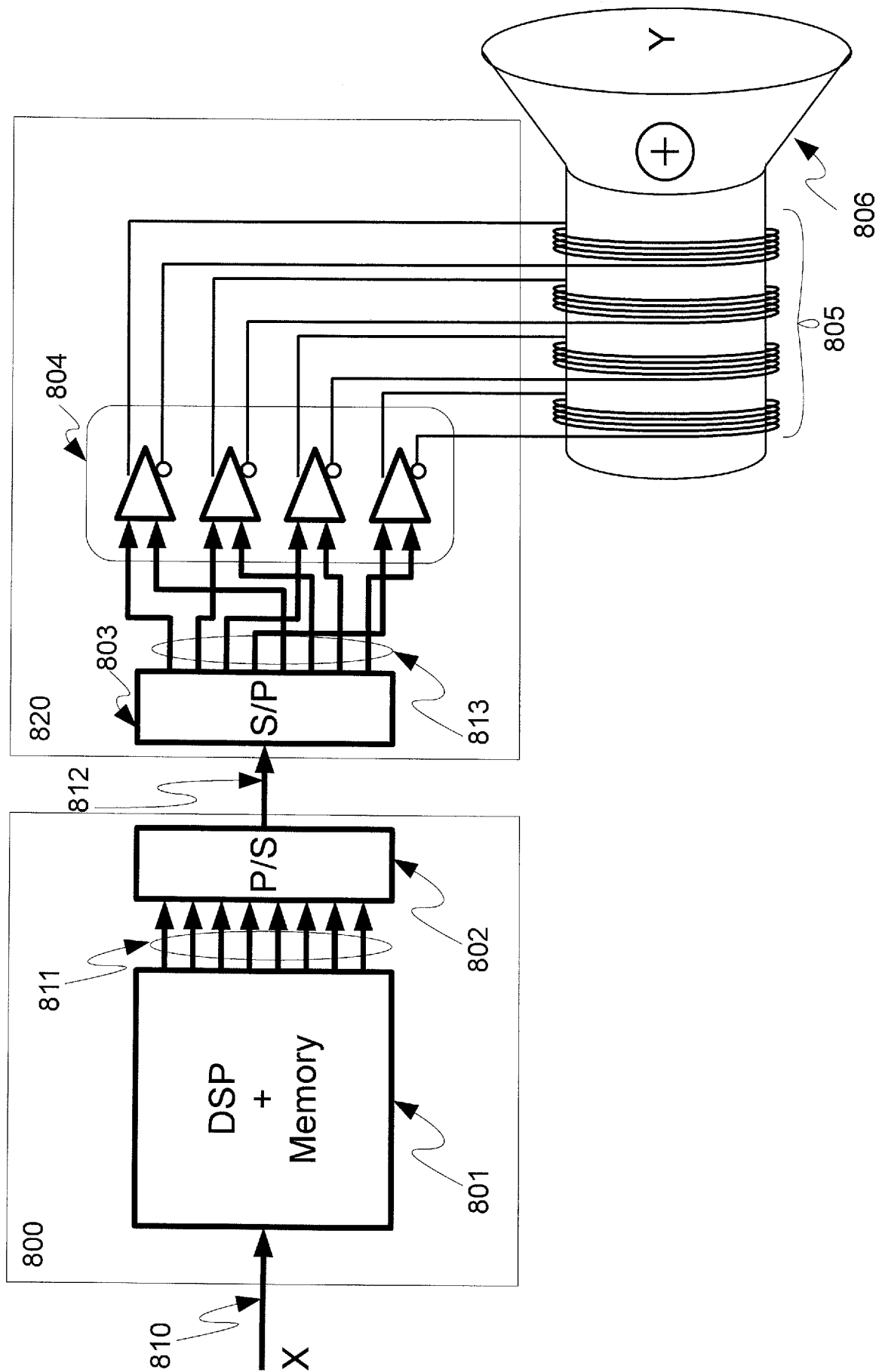
[図6]



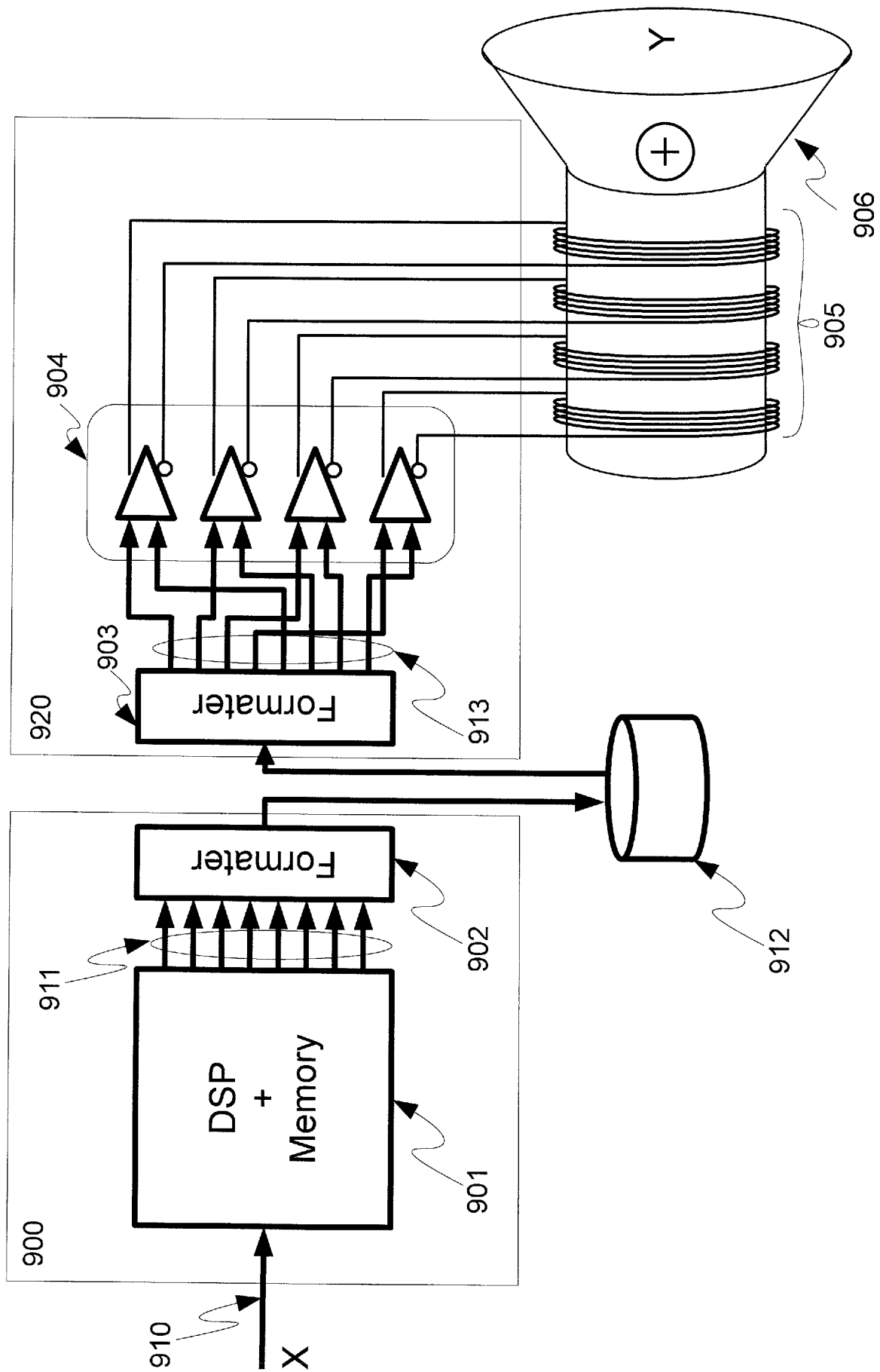
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077570

A. CLASSIFICATION OF SUBJECT MATTER

H04R3/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04R3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/074341 A1 (Trigence Semiconductor, Inc.), 23 June 2011 (23.06.2011), fig. 17a	1-3, 7, 9, 11-15, 17-19, 21, 22
A	& US 2011/0160883 A1 & EP 2515555 A & CN 102239706 A & KR 10-2012-0101186 A	4-6, 8, 10, 16, 20
Y	JP 2005-311847 A (Nippon Telegraph and Telephone Corp.), 04 November 2005 (04.11.2005), fig. 1, 10 (Family: none)	1-3, 7, 9, 19, 21, 22
Y	JP 2009-010820 A (Sony Corp.), 15 January 2009 (15.01.2009), entire text; all drawings (Family: none)	11-15, 17, 18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 January, 2013 (08.01.13)

Date of mailing of the international search report
22 January, 2013 (22.01.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077570

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-197152 A (Sharp Corp.), 27 July 2006 (27.07.2006), paragraph [0040] (Family: none)	15, 17, 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077570

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1, the invention in claim 11, the invention in claim 15 and the invention in claim 19 have a common technical feature of including a $\Delta\Sigma$ modulator for modulating a digital input signal, a back-end filter for mismatch-shaping an output of the $\Delta\Sigma$ modulator, and a driving circuit for driving driving elements to convert to an analogue voice.
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077570

Continuation of Box No.III of continuation of first sheet (2)

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the documents: "WO 2011/074341 A1 (Trigence Semiconductor, Inc.), 23 June 2011 (23.06.2011), fig. 17a" and "JP 2010-028783 A Trigence Semiconductor, Inc.), 04 February 2010 (04.02.2010), fig. 1(e)".

Further, there is no other same or corresponding special technical feature among these inventions.

Accordingly, the following four inventions (invention groups) are involved in claims.

Meanwhile, the invention of claim 19, which have only the above-said common technical feature, is classified into invention 1.

(Invention 1) the inventions of claims 1-10 and 19

A technical thought of including: a parallel/serial converter for converting m digital signals, obtained by means of conversion by the back-end filter, to digital signals to be transmitted by means of serial transmission; a serial/parallel converter for converting the digital signals, obtained by means of conversion by the parallel/serial converter, to m digital signals to perform restoration thereof; and a driving circuit for receiving m digital signals, obtained by means of restoration by the serial/parallel converter, and driving s driving elements to convert to an analogue voice.

(Invention 2) the inventions of claims 11-14

A technical thought of including a format converter for converting a format of m digital signals, obtained by means of conversion by the digital processor, so as to store them in a storage medium.

(Invention 3) the inventions of claims 15-18

A technical thought of including a driving circuit for reading the digital signal out of the recording medium which stores the digital signal output from the back-end filter for mismatch-shaping, and driving driving elements to convert to an analogue voice.

(Invention 4) the inventions of claims 20-22

A technical thought that the received digital signal includes the number of driving elements of the driving circuit.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04R3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04R3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2011/074341 A1（株式会社 T r i g e n c e S e m i c o n d u c t o r）2011.06.23, 図 1 7 a & US 2011/0160883 A1 & EP 2515555 A & CN 102239706 A & KR 10-2012-0101186 A	1-3, 7, 9, 11-15, 17-19, 21, 22 4-6, 8, 10, 16, 20
Y	JP 2005-311847 A（日本電信電話株式会社）2005.11.04, 図 1、図 1 0（ファミリーなし）	1-3, 7, 9, 19, 21, 22

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 1 . 2 0 1 3

国際調査報告の発送日

2 2 . 0 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

富澤 直樹

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 1

5 Z

4 1 8 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-010820 A (ソニー株式会社) 2009.01.15, 全文、全図 (ファミリーなし)	11-15, 17, 18
Y	JP 2006-197152 A (シャープ株式会社) 2006.07.27, 【0040】 (ファミリーなし)	15, 17, 18

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明、請求項11に係る発明、請求項15に係る発明、請求項19に係る発明は、デジタル入力信号を変調する $\Delta\Sigma$ 変調器と、 $\Delta\Sigma$ 変調器の出力をミスマッチシェーピングする後置フィルタート、駆動素子を駆動してアナログ音声に変換する駆動回路を有するという共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献「W0 2011/074341 A1（株式会社 Trigen ce Semiconductor）2011.06.23, 図17a」、「JP 2010-028783 A（株式会社 Trigen ce Semiconductor）2010.02.04, 図1（e）」の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、ほかに同一の又は対応する特別な技術的特徴は存在しない。そして、請求の範囲には以下に示す4の発明（群）が含まれる。
＜以下、特別ページに続く＞

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

< 第Ⅲ欄の続き >

なお、上記共通の技術的特徴のみを有する請求項 1 9 に係る発明については、発明 1 に区分する。

(発明 1) 請求項 1 - 1 0、1 9 に係る発明

前記後置フィルタが変換した m 個のデジタル信号をシリアル伝送されるデジタル信号に変換するパラレル・シリアル変換器と、前記パラレル・シリアル変換器により変換されたデジタル信号を m 個のデジタル信号に変換し復元するシリアル・パラレル変換器と、前記シリアル・パラレル変換器により復元された m 個のデジタル信号を受け取り、 s 個の駆動素子を駆動してアナログ音声に変換する駆動回路とを有する。

(発明 2) 請求項 1 1 - 1 4 に係る発明

前記デジタルプロセッサが変換した m 個のデジタル信号のフォーマットを変換して記憶媒体に記憶するフォーマット変換器を有する。

(発明 3) 請求項 1 5 - 1 8 に係る発明

ミスマッチシェーピングする後置フィルタが出力したデジタル信号を記憶した記録媒体から前記デジタル信号を読み取り、駆動素子を駆動してアナログ音声に変換する駆動回路を有する。

(発明 4) 請求項 2 0 - 2 2 に係る発明

前記受信されるデジタル信号には、前記駆動回路の駆動素子の数が含まれる。