

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 17 年 9 月 15 日 (2005.9.15)

【公開番号】特開 2004-205957 (P2004-205957A)

【公開日】平成 16 年 7 月 22 日 (2004.7.22)

【年通号数】公開・登録公報 2004-028

【出願番号】特願 2002-377150 (P2002-377150)

【国際特許分類第 7 版】

G 0 9 G 3/36

G 0 9 G 3/20

H 0 3 K 17/00

H 0 3 K 19/0175

H 0 3 K 19/0185

【F I】

G 0 9 G 3/36

G 0 9 G 3/20 6 2 1 L

G 0 9 G 3/20 6 3 3 U

H 0 3 K 17/00 D

H 0 3 K 19/00 1 0 1 D

H 0 3 K 19/00 1 0 1 R

【手続補正書】

【提出日】平成 17 年 3 月 24 日 (2005.3.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に形成された薄膜トランジスタを含むレベル変換回路を備える表示装置であって

、

前記レベル変換回路は、振幅が 1 . 2 V 以下の非差動の入力信号を、より大きな振幅の信号に変換することを特徴とする表示装置。

【請求項 2】

前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧の 2 倍より小さい信号であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧の 1 . 6 倍以下の信号であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記入力信号は、振幅が、前記薄膜トランジスタのしきい値電圧以上、1 . 6 倍以下の信号であることを特徴とする請求項 2 に記載の表示装置。

【請求項 5】

前記入力信号は、制御信号、あるいは表示データであることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記入力信号は、制御信号であり、

前記レベル変換回路は、第 1 電圧が供給される第 1 電源線と出力端子との間に接続され

、ゲート電極に第 1 容量素子を介して前記入力信号が印加される第 1 導電型の第 1 トランジスタと、

前記出力端子と第 2 電圧が供給される第 2 電源線との間に接続され、ゲート電極に第 2 容量素子を介して前記入力信号が印加される第 2 導電型の第 2 トランジスタと、

前記第 1 トランジスタのゲート電極に第 1 バイアス電圧を印加する第 1 バイアス回路と、

前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路とを有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧が最小値のときに、前記第 2 トランジスタがオフとなる電圧であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧の最大値が、前記第 1 電圧から前記第 1 トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧の最小値が、前記第 2 電圧に前記第 2 トランジスタのしきい値電圧を加算した電圧値となる電圧であることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記入力信号は、表示データであり、

前記レベル変換回路は、前記入力信号をサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加されるトランジスタと、

第 1 の電極が、第 1 電圧が供給される第 1 電源線に接続される第 1 スwitching 素子と

、第 2 の電極が、前記第 1 スwitching 素子の第 2 の電極に接続され、第 1 の電極が、前記トランジスタの第 2 の電極に接続される第 2 スwitching 素子と、

前記第 2 スwitching 素子の第 2 の電極に接続される電圧保持回路と、

前記第 1 電源線と、第 2 電圧が供給される第 2 電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記トランジスタの第 1 の電極にバイアス電圧を印加するバイアス回路とを有し、

前記バイアス電圧は、前記トランジスタのゲート電極に印加される電圧が最小値のときに、前記トランジスタがオフとなる電圧であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記バイアス電圧は、前記第 2 電圧から前記トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

低振幅の制御信号を、より大きな振幅の信号に変換する第 1 のレベル変換回路と、

低振幅の表示データを、より大きな振幅の信号に変換する第 2 のレベル変換回路とを備える表示装置であって、

前記第 1 のレベル変換回路は、第 1 電圧が供給される第 1 電源線と出力端子との間に接続され、ゲート電極に第 1 容量素子を介して前記制御信号が印加される第 1 導電型の第 1 トランジスタと、

前記出力端子と第 2 電圧が供給される第 2 電源線との間に接続され、ゲート電極に第 2 容量素子を介して前記制御信号が印加される第 2 導電型の第 2 トランジスタと、

前記第 1 トランジスタのゲート電極に第 1 バイアス電圧を印加する第 1 バイアス回路と

、前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路と

を有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧が最小値のときに、前記第 2 トランジスタがオフとなる電圧であり、

前記第 2 のレベル変換回路は、前記表示データをサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加される第 3 トランジスタと、第 1 の電極が、前記第 1 電源線に接続される第 1 スwitching素子と、

第 2 の電極が、前記第 1 スwitching素子の第 2 の電極に接続され、第 1 の電極が、前記第 3 トランジスタの第 2 の電極に接続される第 2 スwitching素子と、

前記第 2 スwitching素子の第 2 の電極に接続される電圧保持回路と、

前記第 1 電源線と、前記第 2 電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記第 3 トランジスタの第 1 の電極に第 3 バイアス電圧を印加する第 3 バイアス回路とを有し、

前記第 3 バイアス電圧は、前記第 3 トランジスタのゲート電極に印加される電圧が最小値のときに、前記第 3 トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項 1 1】

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧の最大値が、前記第 1 電圧から前記第 1 トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧の最小値が、前記第 2 電圧に前記第 2 トランジスタのしきい値電圧を加算した電圧値となる電圧であり、

前記第 3 バイアス電圧は、前記第 2 電圧から前記第 3 トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記第 1 のレベル変換回路から出力される制御信号に基づき、前記第 2 のレベル変換回路の前記第 1 スwitching素子および前記第 2 スwitching素子を駆動することを特徴とする請求項 1 0 または請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記第 1 のレベル変換回路、および前記第 2 のレベル変換回路は、基板上に形成された薄膜トランジスタを含むことを特徴とする請求項 1 0 ないし請求項 1 2 のいずれか 1 項に記載の表示装置。

【請求項 1 4】

低振幅の入力信号を、より大きな振幅の信号に変換するレベル変換回路を備える表示装置であって、

前記レベル変換回路は、第 1 電圧が供給される第 1 電源線と出力端子との間に接続され、ゲート電極に第 1 容量素子を介して前記入力信号が印加される第 1 導電型の第 1 トランジスタと、

前記出力端子と第 2 電圧が供給される第 2 電源線との間に接続され、ゲート電極に第 2 容量素子を介して前記入力信号が印加される第 2 導電型の第 2 トランジスタと、

前記第 1 トランジスタのゲート電極に第 1 バイアス電圧を印加する第 1 バイアス回路と、

前記第 2 トランジスタのゲート電極に第 2 バイアス電圧を印加する第 2 バイアス回路とを有し、

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧が最大値のときに、前記第 1 トランジスタがオフとなる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧が最小

値のときに、前記第 2 トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項 15】

前記第 1 バイアス電圧は、前記第 1 トランジスタのゲート電極に印加される電圧の最大値が、前記第 1 電圧から前記第 1 トランジスタのしきい値電圧を減算した電圧値となる電圧であり、

前記第 2 バイアス電圧は、前記第 2 トランジスタのゲート電極に印加される電圧の最小値が、前記第 2 電圧に前記第 2 トランジスタのしきい値電圧を加算した電圧値となる電圧であることを特徴とする請求項 14 に記載の表示装置。

【請求項 16】

低振幅の入力信号を、より大きな振幅の信号に変換するレベル変換回路を備える表示装置であって、

前記レベル変換回路は、前記入力信号をサンプリングするサンプルホールド回路と、

ゲート電極に前記サンプルホールド回路の出力電圧が印加されるトランジスタと、

第 1 の電極が、第 1 電圧が供給される第 1 電源線に接続される第 1 スwitchング素子と

、

第 2 の電極が、前記第 1 スwitchング素子の第 2 の電極に接続され、第 1 の電極が、前記トランジスタの第 2 の電極に接続される第 2 スwitchング素子と、

前記第 2 スwitchング素子の第 2 の電極に接続される電圧保持回路と、

前記第 1 電源線と、第 2 電圧が供給される第 2 電源線との間に接続され、前記電圧保持回路の出力電圧が入力されるインバータ回路と、

前記トランジスタの第 1 の電極にバイアス電圧を印加するバイアス回路とを有し、

前記バイアス電圧は、前記トランジスタのゲート電極に印加される電圧が最小値のときに、前記トランジスタがオフとなる電圧であることを特徴とする表示装置。

【請求項 17】

前記バイアス電圧は、前記第 2 電圧から前記トランジスタのしきい値電圧を減算した電圧であることを特徴とする請求項 16 に記載の表示装置。

【請求項 18】

前記レベル変換回路は、基板上に形成された薄膜トランジスタを含むことを特徴とする請求項 14 ないし請求項 17 のいずれか 1 項に記載の表示装置。