

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5090324号  
(P5090324)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int. Cl.	F I	
<b>H03K 23/66 (2006.01)</b>	H03K 23/66	J
<b>H03K 21/10 (2006.01)</b>	H03K 21/10	
<b>H03K 23/52 (2006.01)</b>	H03K 23/52	
<b>H03K 19/096 (2006.01)</b>	H03K 19/096	B
<b>H03K 3/356 (2006.01)</b>	H03K 3/356	Z
請求項の数 8 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2008-315392 (P2008-315392)  
 (22) 出願日 平成20年12月11日(2008.12.11)  
 (65) 公開番号 特開2009-147936 (P2009-147936A)  
 (43) 公開日 平成21年7月2日(2009.7.2)  
 審査請求日 平成23年2月8日(2011.2.8)  
 (31) 優先権主張番号 07122935.5  
 (32) 優先日 平成19年12月11日(2007.12.11)  
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 506425538  
 ザ・スウォッチ・グループ・リサーチ・アンド・ディベロップメント・リミテッド  
 スイス国・2074・マリン・リュ・ドゥ・ソオ・3  
 (74) 代理人 100064621  
 弁理士 山川 政樹  
 (74) 代理人 100098394  
 弁理士 山川 茂樹  
 (72) 発明者 アルノー・カサグランデ  
 スイス国・2068 オーテリヴ・シュマン・マルニエール・31  
 (72) 発明者 カルロス・ヴェラスケス  
 スイス国・2000 ヌーシャテル・ルイス・ドルレアン・30

最終頁に続く

(54) 【発明の名称】 非常に高い周波数で動作するデュアル・モジュラス・プリスケーラ回路

(57) 【特許請求の範囲】

【請求項1】

第1と第2のダイナミックD型フリップ・フロップ(12、13)、及び前記2つのフリップ・フロップの間の負帰還内に配置されている2つのロジック・ゲート(15、16)で形成されているアセンブリを少なくとも1つ含み、前記フリップ・フロップが、前記第2のフリップ・フロップを通して分周された出力信号(OUT)を与えるために入力クロック信号(CK)でクロックされ、前記出力信号の周波数が、前記ロジック・ゲートの1つの入力に与えられる分周モード選択信号(divb)に応じて2に等しい第1の要素又は3に等しい第2の要素で分周される入力クロック信号周波数にマッチし、前記第2のフリップ・フロップ(13)の1つの出力(Q)が前記第1のフリップ・フロップ(12)の1つの入力に接続されている、1GHzを超える周波数で動作するためのデュアル・モジュラス・プリスケーラ回路(1)であって、前記2つのロジック・ゲートがNANDゲートであり、反転出力信号を1つだけ提供するように前記ダイナミック・フリップ・フロップのうちの1つが3つのアクティブ・ブランチで形成されていることを特徴とするデュアル・モジュラス・プリスケーラ回路(1)。

【請求項2】

前記第1のNANDゲート(15)が、アクティブ・ブランチを3つだけ有する前記第1のダイナミック・フリップ・フロップ(12)からの前記反転出力信号(Qb)、及び前記分周モード選択信号(divb)を受け取るために構成され、前記第2のNANDゲート(16)が、前記第2のフリップ・フロップの前記入力へ出力信号を与えるために前記

第1のNANDロジック・ゲートから前記出力信号を、及び前記第2のダイナミック・フリップ・フロップ(13)から前記非反転出力信号(Q)を受けるように構成され、前記第2のフリップ・フロップからの前記非反転出力信号が前記第1のダイナミック・フリップ・フロップの前記入力に与えられることを特徴とする請求項1に記載のプリスケラ回路(1)。

【請求項3】

前記プリスケラ回路の前記分周された出力信号(OUT)が前記第2のフリップ・フロップ(13)の反転出力部(Qb)によって与えられることを特徴とする請求項1又は2に記載のプリスケラ回路(1)。

【請求項4】

前記プリスケラ回路が、3つのアクティブ・ブランチで形成され反転出力を1つだけ備える第3のダイナミックD型フリップ・フロップを含み、前記第3のフリップ・フロップが、前記反転出力を経由して前記第1のNANDロジック・ゲートにモード選択信号(divb)を与えるために入力に反転分周モード選択信号(div)を受け、前記第3のフリップ・フロップが、前記第2のフリップ・フロップからの非反転出力信号によってクロックされることを特徴とする請求項1から3のいずれか1項に記載のプリスケラ回路(1)。

【請求項5】

前記第1及び/又は第3のダイナミック・フリップ・フロップが、連続電圧源に接続された正の端子(V<sub>DD</sub>)と負の端子(V<sub>SS</sub>)の間で第1、第2のPMOSトランジスタ(P1、P2)及び第1のNMOSトランジスタ(N1)が直列に配置されている第1のアクティブ・ブランチであって、前記第1のPMOSとNMOSトランジスタのゲートが接続されて前記フリップ・フロップの入力端子を形成し、一方前記第2のPMOSトランジスタの1つのゲートが前記フリップ・フロップをクロックするためのクロック信号(CK)を受け、第1のアクティブ・ブランチと、第3のPMOSトランジスタ(P3)及び第2、第3のNMOSトランジスタ(N2、N3)が直列に配置されている第2のアクティブ・ブランチであって、前記第3のPMOSとNMOSトランジスタのゲートがクロック信号を受け、一方前記第2のNMOSトランジスタの1つのゲートが前記第2のPMOSトランジスタと前記第1のNMOSトランジスタのドレインに接続されている第2のアクティブ・ブランチと、第4のPMOSトランジスタ(P4)及び第4、第5のNMOSトランジスタ(N4、N5)が直列に配置されている第3のアクティブ・ブランチであって、前記第4のNMOSトランジスタの1つのゲートがクロック信号を受け、一方前記第4のPMOSトランジスタの1つのゲートが前記第5のNMOSトランジスタの1つのゲートと共に前記第2のNMOSトランジスタと前記第3のPMOSトランジスタのドレインに接続され、前記第4のPMOSと第4のNMOSトランジスタとのドレインの接続ノードが反転出力信号を供給する第3のアクティブ・ブランチを含むことを特徴とする請求項2及び4のいずれか1項に記載のプリスケラ回路(1)。

【請求項6】

前記第2のダイナミック・フリップ・フロップが、前記第1、第3のフリップ・フロップのように3つのアクティブ・ブランチを含むと共に、非反転出力信号を供給するためのインバータ段階を1つ含むことを特徴とする請求項5に記載のプリスケラ回路(1)。

【請求項7】

前記プリスケラ回路が0.18 $\mu$ m CMOS技術でP型にドーピングされたシリコン基板に一体化されていることを特徴とする請求項1から6のいずれか1項に記載のプリスケラ回路(1)。

【請求項8】

前記プリスケラ回路が、第1の1/2分周器又は1/3分周器アセンブリの後に、各々が少なくとも2つのダイナミックD型フリップ・フロップ及び前記2つのフリップ・フロップの間の負帰還内に配置された2つのNANDゲートで形成されたその他の1/2分周器又は1/3分周器アセンブリと組み合わせられている、一連の1/2分周器を含むこと

10

20

30

40

50

を特徴とする請求項 1 から 7 のいずれか 1 項に記載のプリスケラ回路 ( 1 ) 。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、非常に高い周波数で動作する、具体的には周波数シンセサイザの位相ロック・ループ内に配置されたデュアル・モジュラス・プリスケラ回路に関する。カウンタ/ディバイダ又はプレスケラ回路は、少なくとも、2つのダイナミックD型フリップ・フロップ及びその2つのフリップ・フロップの間の負帰還内に配置されている2つのロジック・ゲートを備えるアセンブリを含む。これら2つのフリップ・フロップは、出力信号を供給するために入力クロック信号でクロックされ、その出力信号の周波数は、選択された分周モードによって2に等しい第1の要素又は3に等しい第2の要素で分周される入力クロック信号にマッチする。

10

【背景技術】

【 0 0 0 2 】

「非常に高い周波数の信号」とは1GHzを超える周波数を伴う信号であることに留意されたい。この非常に高い周波数は、例えば、周波数シンセサイザの電圧制御発信器の出力部で生成された信号で、伝送しようとするデータが変調される伝送路のキャリア周波数である。これらの信号が、したがって移動体通信ネットワークのような無線通信システムで使用される。

【 0 0 0 3 】

20

周波数シンセサイザは、従来から位相ロック・ループを含み、その位相ロック・ループ内でデュアル・モジュラス・プリスケラ回路が、シンセサイザの出力信号の周波数を選択された分周モードに応じて第1の要素又は第2の要素により分周する。モードの選択は、例えば、シグマ・デルタ・モジュレータのようなモジュレータによって、シンセサイザの出力が所定の周波数帯内の所望の周波数で信号を生成するように実施される。

【 0 0 0 4 】

図1は従来式デュアル・モジュラス・プリスケラ回路1を示している。この回路は、入力信号CKの周波数を選択されたモードdivによって2に等しい第1の要素又は3に等しい第2の要素で分周することができる。

【 0 0 0 5 】

30

これを行うためにプレスケラ又はカウンタ/ディバイダ回路は、2つ又は3つの標準D型フリップ・フロップ2、3、4を含むと共に、第1のフリップ・フロップ2と第2のフリップ・フロップ3の間に配置された負帰還内に2つのNORロジック・ゲート5、6を備えている。これらフリップ・フロップは、各々、入力信号Dにより非反転出力信号Q及び反転出力信号Qbを提供することができる。第1及び第2のフリップ・フロップ2、3は入力クロック信号CKによってクロックされる。第2のフリップ・フロップ3からの出力信号OUTによってクロックされる第3のフリップ・フロップ4も設けられている。この第3のフリップ・フロップ4は、適切な再同期を確実にするためにモード変更div中に使用されるだけである。プレスケラ回路1のこの出力信号OUTの周波数は、選択されたモードdivにより第1の分周要素又は第2の分周要素で分周された入力信号CKの周波数とマッチする。

40

【 0 0 0 6 】

第1のNORロジック・ゲート5は、分周モードdivが選択されたことを象徴して入力部で第1のフリップ・フロップ2から非反転出力信号Qを受け、第3のフリップ・フロップ4から非反転出力信号Qを受け、この第1のロジック・ゲート5の出力部は、第2のNORロジック・ゲート6の1つの入力部に接続されており、その入力部もまた、第2のフリップ・フロップ3から非反転出力信号Qを受け、この第2のロジック・ゲート6の出力部は第2のフリップ・フロップ3の入力部Dに接続されている。プレスケラ回路1からの出力信号OUTは第2のフリップ・フロップ3の反転出力部Qbに与えられる。この出力信号OUTは第1のフリップ・フロップ2の入力信号Dでもある。

50

## 【 0 0 0 7 】

選択されたモード *div* が状態 1 にある、つまり高電圧状態である場合、プレスケーラ回路 1 は、入力信号 *CK* の周波数を 2 に等しい第 1 の要素によって分周する。反対に選択されたモード *div* が状態 0 にある、つまり低電圧状態である場合、プレスケーラ回路 1 は入力信号 *CK* の周波数を 3 に等しい第 2 の要素によって分周する。

## 【 0 0 0 8 】

各 NOR ゲートロジック 5、6 は、電圧源の正電源端子と負電源端子の間で 2 つの並列 NMOS トランジスタと直列接続された 2 つの直列 PMOS トランジスタでできている。第 1 の PMOS トランジスタの 1 つのゲートは、第 1 の NMOS トランジスタの 1 つのゲートに接続されて第 1 のゲート入力部を形成している。第 2 の PMOS トランジスタの 1 つのゲートは、第 2 の NMOS トランジスタの 1 つのゲートに接続されて第 2 のゲート入力部を形成している。PMOS トランジスタと NMOS トランジスタの間の接続ノードはロジック・ゲート出力部を形成している。

10

## 【 0 0 0 9 】

NOR ロジック・ゲートを遅い 2 つの PMOS トランジスタと一緒に直列に使用しているので、このタイプのプレスケーラ回路は、非常に高い周波数で正常に動作するようにはならず、不利な点となっている。さらに 3 つの標準 D 型フリップ・フロップが使用されているのでこのプレスケーラ回路はかなりの電力を消費する。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

20

## 【 0 0 1 0 】

したがって前述の現況技術の欠点を克服し、CMOS 技術で製作された比較的簡単な構造をもち、非常に高い周波数で動作するデュアル・モジュラス・プリスケラ回路を提供することが本発明の目的である。

## 【 課題を解決するための手段 】

## 【 0 0 1 1 】

したがって本発明は独立請求項 1 に定義されている特徴を含む前述のデュアル・モジュラス・プリスケラ回路に関する。

## 【 0 0 1 2 】

プレスケーラ回路の具体的な実施形態は従属請求項 2 から 8 に定義されている。

30

## 【 0 0 1 3 】

本発明によるプレスケーラ回路の 1 つの利点は、連続電圧源の 2 つの端子間に接続された 2 つの並列 PMOS トランジスタに直列接続された 2 つの直列 NMOS トランジスタでできている 2 つの NAND ロジック・ゲートを含むことである。各 NMOS トランジスタは各 PMOS トランジスタに比べてスイッチ速度が速いので、各 NAND ロジック・ゲートは、非常に高い周波数で動作することができるプレスケーラ回路を形成する。

## 【 0 0 1 4 】

2 つのフリップ・フロップのうちの 1 つは、反転出力を通して出力信号を 1 つだけ提供するので有利である、つまりこのフリップ・フロップは、前記回路の電力消費を少なくするために標準 D 型フリップ・フロップよりアクティブ・ブランチを 1 つ少なくして造ることができる。その D 型フリップ・フロップは、非常に高い周波数で動作することができるデュアル・モジュラス・プリスケラ回路にとって有利なダイナミック・フリップ・フロップである。

40

## 【 0 0 1 5 】

デュアル・モジュラス・プリスケラ回路の目的、利点及び特徴は、少なくとも 1 つの非制約的な例に基づいてなされ、図面によって図示される下記説明によってより明白になる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 6 】

下記の説明では、デュアル・モジュラス・プリスケラ又はカウンタ/ディバイダ回

50

路は、特に周波数シンセサイザの位相ロック・ループで非常に高い周波数で正常に動作することができるように工夫されている。勿論1/2分周器又は1/3分周器アセンブリに加えて、好ましくはアセンブリの出力に接続されている分周器のチェーンを含むこともできる。したがって回路は、非常に高い周波数の信号の周波数を少なくとも2以上の整数である第1の要素Nで分周する、あるいはN+Mである第2の要素(Mは少なくとも1以上の整数である)で分周することができる。

#### 【0017】

図2は、例えば2.45GHzのオーダの周波数を分周するために非常に高い周波数で動作することができる、本発明によるデュアル・モジュラス・プリスケアラ回路1の簡略化された構造を示している。このプリスケアラ又はカウンタ/ディバイダ回路は、2つのダイナミックD型フリップ・フロップ12、13、及び2つのNANDロジック・ゲート15、16で構成されているアセンブリを少なくとも1つ含む。これらのロジック・ゲートは2つのフリップ・フロップ12、13の間の負帰還内に配置されている。このアセンブリは、例えばそのアセンブリの後にいくつかの1/2分周器を含むプリスケアラ回路の入力段階を形成する。

10

#### 【0018】

フリップ・フロップ12、13は、プリスケアラ回路アセンブリが出力信号OUTを与えるように入力クロック信号CKによってクロックされる。この出力信号は、好ましくは第2のフリップ・フロップ13の反転出力Qbに与えられる。この出力信号OUTの周波数は、選択された分周モードdivにしたがって2に等しい第1の要素又は3に等しい第2の要素により分周された入力クロック信号の周波数にマッチする。

20

#### 【0019】

プリスケアラ回路1のアセンブリは図2に示すように第3のダイナミック・フリップ・フロップ14も含むことができる。この第3のダイナミック・フリップ・フロップは、分周モードdivが変更されたとき(その変更は高い周波数で急速に起こることもある)適切な再同期を保証する。この第3のフリップ・フロップは第2のフリップ・フロップ13の出力信号でクロックされる。この実施形態では第2のフリップ・フロップ13の非反転出力信号Qが第3のフリップ・フロップ14をクロックする。勿論、この第3のより低い周波数のフリップ・フロップを使用することなく信号divによりモードの選択を実行することもできる。

30

#### 【0020】

第1のNANDロジック・ゲート15は、反転分周モードdivbが選択されていることを象徴して、入力に第1のフリップ・フロップ12から反転出力信号Qbを受け、第3のフリップ・フロップ14から反転出力信号Qbを受ける。この第1のロジック・ゲート15の出力は、第2のNANDロジック・ゲート16の入力に接続されており、これもまた、入力で第2のフリップ・フロップ13から非反転出力信号Qを受ける。この第2のロジック・ゲート16の出力は第2のフリップ・フロップ13の入力Dに接続されている。第2のフリップ・フロップ13からの非反転出力信号Qは、第1のフリップ・フロップ12の出力信号Dも形成している。プリスケアラ回路1からの出力信号OUTは、第2のフリップ・フロップ13の反転出力Qbに与えられる。

40

#### 【0021】

図3、4を参照して下記に説明するように、第2のダイナミック・フリップ・フロップ13の反転出力Qbを通して出力信号OUTを与えることが好ましい。この場合、プリスケアラ回路1の入力CKと出力OUTの間でより少ないアクティブ・ブランチを使用して非常に高い周波数の分周を実行している。第1の単相ダイナミック・フリップ・フロップ12も反転出力信号Qbだけを提供し、標準のD型フリップ・フロップと比較してアクティブ・ブランチを1つ節約しており、したがってプリスケアラ回路1の電力消費を少なくしている。第3のフリップ・フロップ14も同じである。

#### 【0022】

選択されたモードdivが状態1にある、つまりハイ・ステートである場合、プリスケ

50

ーラ回路1は入力信号CKの周波数を2に等しい第1の要素によって分周する。しかし、選択されたモードdivが状態0にある、つまりロー・ステートである場合、プレスケーラ回路1は、入力信号CKの周波数を3に等しい第2の要素で分周する。

【0023】

各々のNANDロジック・ゲートは、連続電圧源（図示せず）の2つの端子間に接続された2つの並列PMOSトランジスタに直列接続された2つのNMOSトランジスタで造ることができる。第1のNMOSトランジスタの1つのゲートは、第1のPMOSトランジスタの1つのゲートに接続されてロジック・ゲートの第1の入力を形成している。第2のNMOSトランジスタの1つのゲートは第2のPMOSトランジスタの1つのゲートに接続されてロジック・ゲートの第2の入力を形成している。NMOSとPMOSトランジスタ間のドレイン接続ノードはロジック・ゲートの出力を形成する。各NMOSトランジスタのスイッチングは各PMOSトランジスタのスイッチングに比較して非常に速いので、各NANDロジック・ゲートは、非常に高い周波数で動作することができるプレスケーラ回路を形成することができる。

10

【0024】

プレスケーラ又はカウンタ/ディバイダ回路は、0.18 $\mu$ m CMOS技術でP型にドープされたシリコン基板に有利に一体化することができる。

【0025】

図3、4は、図3に見られる2つの出力QとQbを備えたダイナミックD型フリップ・フロップの1つの実施形態、及び図4に見られる反転出力Qb1つだけを備えたダイナミックD型フリップ・フロップの1つの実施形態を示している。この真の単相ダイナミック・フリップ・フロップは、非常に高い周波数で動作（1GHzより高い）し、かつ電力消費を削減するためのデュアル・モジュラス・プリスケアラ回路に対して有利に使用することができる。

20

【0026】

先ず第1に図3で、2つの出力QとQbを備えたダイナミックD型フリップ・フロップは、図2に示す第2のフリップ・フロップ13として使用されているものである。このダイナミック・フリップ・フロップは、各々が3つの直列MOSトランジスタで形成されている3つのアクティブ・ブランチと2つの直列MOSトランジスタで形成されている最後の1つのアクティブ・ブランチを含む。これらのMOSトランジスタは、デュアル・モジュラス・プリスケアラ回路に電力を供給している連続電圧源の2つの端子V<sub>DD</sub>とV<sub>SS</sub>の間に配置されている。

30

【0027】

したがって第1のアクティブ・ブランチは、直列で、第1のPMOSトランジスタP1、第2のPMOSトランジスタP2、第1のNMOSトランジスタN1を含む。第1のPMOSトランジスタP1のソースは正の端子V<sub>DD</sub>に、そのドレインは第2のPMOSトランジスタP2のソースに接続されている。この第2のPMOSトランジスタP2のドレインは、そのソースが負の端子V<sub>SS</sub>に接続されている第1のNMOSトランジスタN1のドレインに接続されている。第1のPMOSトランジスタP1とNMOSトランジスタN1のゲートはフリップ・フロップの入力端子Dとなるように接続されている。第2のPMOSトランジスタP2のゲートは、プレスケーラ回路がその周波数を分周する必要がある入力クロック信号CKを受ける。

40

【0028】

したがって第2のアクティブ・ブランチは、直列で、第3のPMOSトランジスタP3、第2のNMOSトランジスタN2、第3のNMOSトランジスタN3を含む。第3のPMOSトランジスタP3のソースは正の端子V<sub>DD</sub>に、そのドレインは第2のNMOSトランジスタN2のドレインに接続されている。この第2のNMOSトランジスタN2のソースは、第3のNMOSトランジスタN3のドレインに接続され、N3のソースは負の端子V<sub>SS</sub>に接続されている。第3のPMOSトランジスタP3と第3のNMOSトランジスタN3のゲートは、入力クロック信号CKを受けるように接続されている。第2のNMOS

50

トランジスタN2のゲートは、第1のNMOSTランジスタN1と第2のPMOSTランジスタP2のドレインに接続されている。

【0029】

第3のアクティブ・ブランチは、直列で、第4のPMOSTランジスタP4、第4のNMOSTランジスタN4、第5のNMOSTランジスタN5を含む。第4のPMOSTランジスタP4のソースは正の端子 $V_{DD}$ に、そのドレインは第4のNMOSTランジスタN4のドレインに接続されている。この第4のNMOSTランジスタN4のソースは第5のNMOSTランジスタN5のドレインに接続され、N5のソースが負の端子 $V_{SS}$ に接続されている。第4のPMOSTランジスタP4と第5のNMOSTランジスタN5のゲートは、第2のNMOSTランジスタN2のドレインと第3のPMOSTランジスタP3のドレインに接続されている。第4のNMOSTランジスタN4のゲートはクロック入力信号CKを受ける。フリップ・フロップの1つの反転出力Qbは、第4のPMOSTランジスタP4とNMOSTランジスタN4のドレインの接続ノードに得ることができる。

10

【0030】

最後に、第4のアクティブ・ブランチはインバータ段階を示している。この第4のブランチは、したがって、2つの電源端子 $V_{DD}$ と $V_{SS}$ の間に直列な、第5のPMOSTランジスタP5と第6のNMOSTランジスタN6を含む。第5のPMOSTランジスタP5のソースは正の端子 $V_{DD}$ に、そのドレインは第6のNMOSTランジスタN6のドレインに接続され、したがって非反転出力ノードQを定義している。第6のNMOSTランジスタN6のソースは負の端子 $V_{SS}$ に接続されている。

20

【0031】

図4に示す簡略化された、反転出力Qbを1つだけ備えたダイナミック・フリップ・フロップを造ろうとする場合には、勿論インバータ段階としてのこの最後のアクティブ・ブランチは省略される。これはフリップ・フロップの電力消費を少なくする。したがってプレスケータ又はカウンタ/ディバイダ回路がこの簡略化タイプのフリップ・フロップ12又は図2に示すように2つの簡略化されたフリップ・フロップ12、14で構成されると、回路を非常に高い周波数で動作させることを可能にしながらその電力消費を少なくすることが可能である。

【0032】

ここに与えられた説明から、特許請求の範囲で定義されている本発明の範囲から逸脱することなく当業者ならばいくつかのデュアル・モジュラス・プリスケータ回路の変形形態を考案することができる。デュアル・モジュラス・プリスケータ回路は一連のいくつかの1/2分周器又は1/3分周器を含むことができる。プリスケータ回路アセンブリは、分周器のチェーン、特に1/2分周器と組み合わせることもでき、周波数シンセサイザの位相ロック・ループ内で2つの適切な分周要素から1つを選択することを可能にしている。1/2分周器又は1/3分周器のアセンブリはプリスケータ回路の入力にあることが好ましい。

30

【図面の簡単な説明】

【0033】

【図1】すでに言及されているが、現況技術のデュアル・モジュラス・プリスケータ回路の簡略化した実施形態を示す図である。

40

【図2】本発明によるデュアル・モジュラス・プリスケータ回路の簡略化した実施形態を示す図である。

【図3】本発明によるプレスケータ回路のために反転出力部1つ及び非反転出力部1つを含むダイナミックD型フリップ・フロップの実施形態を示す図である。

【図4】本発明によるプレスケータのために反転出力部を1つだけ含む単相ダイナミックD型フリップ・フロップの実施形態を示す図である。

【符号の説明】

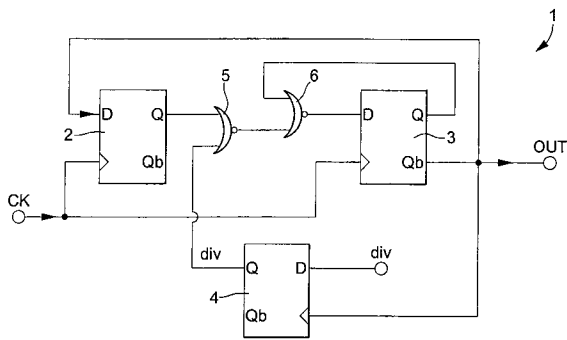
【0034】

1 デュアル・モジュラス・プリスケータ回路

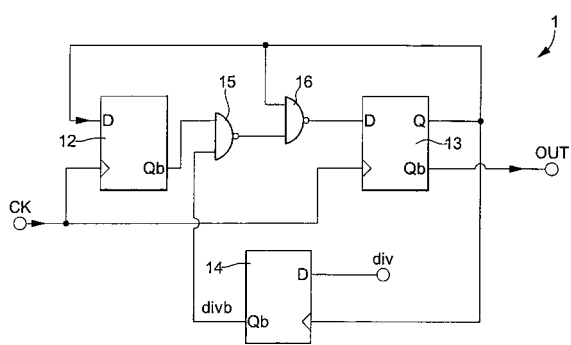
50

- 2 D型フリップ・フロップ
- 3 D型フリップ・フロップ
- 4 D型フリップ・フロップ
- 5 NORロジック・ゲート
- 6 NORロジック・ゲート
- 1 2 D型フリップ・フロップ
- 1 3 D型フリップ・フロップ
- 1 4 ダイナミック・フリップ・フロップ
- 1 5 NANDロジック・ゲート
- 1 6 NANDロジック・ゲート
- N 1 ~ N 6 NMOSトランジスタ
- P 1 ~ P 6 PMOSトランジスタ

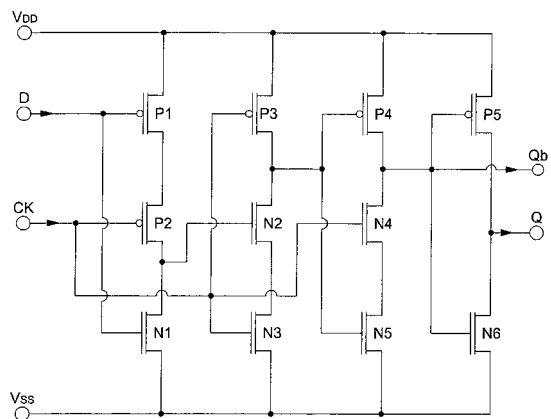
【図1】



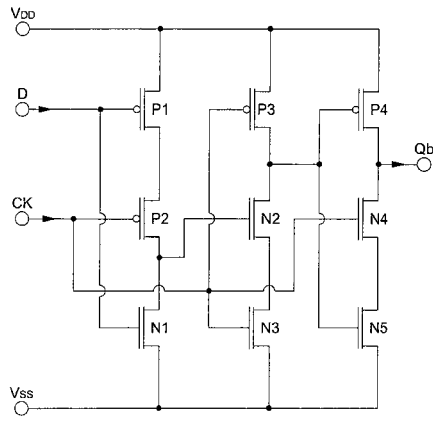
【図2】



【図3】



【 図 4 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 3 K 3/037 (2006.01) H 0 3 K 3/037 Z

(72)発明者 ジャン・リュック・アーレンド  
スイス国・2000 ヌーシャテル・プラス ブレーズ サンドラール・1

審査官 柳下 勝幸

(56)参考文献 特開平01-316023(JP,A)  
特開平02-013127(JP,A)  
特開平02-048823(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 3 K 2 3 / 0 0 - 2 9 / 0 6  
H 0 3 K 3 / 0 3 7  
H 0 3 K 3 / 3 5 6  
H 0 3 K 1 9 / 0 9 6  
H 0 3 K 2 1 / 1 0