

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4068594号
(P4068594)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月18日(2008.1.18)

(51) Int.Cl.

G06F 12/00 (2006.01)

F 1

G06F 12/00 560B
G06F 12/00 597U

請求項の数 3 (全 19 頁)

(21) 出願番号 特願2004-172262 (P2004-172262)
 (22) 出願日 平成16年6月10日 (2004.6.10)
 (65) 公開番号 特開2005-25733 (P2005-25733A)
 (43) 公開日 平成17年1月27日 (2005.1.27)
 審査請求日 平成16年6月10日 (2004.6.10)
 (31) 優先権主張番号 特願2003-165656 (P2003-165656)
 (32) 優先日 平成15年6月10日 (2003.6.10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000003067
 TDK株式会社
 東京都中央区日本橋一丁目13番1号
 (74) 代理人 100109449
 弁理士 毛受 隆典
 (74) 代理人 100095407
 弁理士 木村 满
 (72) 発明者 小柳津 剛
 東京都中央区日本橋一丁目13番1号 T
 D K 株式会社内
 (72) 発明者 寺崎 幸夫
 東京都中央区日本橋一丁目13番1号 T
 D K 株式会社内

審査官 田中 秀人

最終頁に続く

(54) 【発明の名称】フラッシュメモリコントローラ、フラッシュメモリシステム、及びフラッシュメモリの制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数個の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するメモリコントローラであって、

前記フラッシュメモリに書き込むデータ又は前記フラッシュメモリから読み出されたデータを保持する手段であって、ホストシステムのメモリアドレス空間に割り当てられているバッファと、

ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御し、さらに、前記ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、該上位側ビットに基づいて前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別するホストインターフェース制御手段と、

前記ホストシステム側から与えられるアクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段と、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理手段と、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物

10

20

理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成手段と、前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページにデータを書き込むための前記バッファから前記フラッシュメモリへの512バイト単位のデータ転送と、前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページからデータを読み出すための前記フラッシュメモリから前記バッファへの512バイト単位のデータ転送とを制御するフラッシュメモリインタフェース制御手段と、
を備えることを特徴とするフラッシュメモリコントローラ。

【請求項2】

請求項1に記載のメモリコントローラと、複数個の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリとを備えることを特徴とするフラッシュメモリシステム。10

【請求項3】

複数個の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するフラッシュメモリの制御方法であって、

アクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段に、ホストシステム側から与えられる複数ビットの前記論理ページアドレスを保持する論理ページアドレス保持ステップと、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理ステップと、20

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成ステップと

—
512バイトの転送単位で、前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページに書き込まれるデータ又は前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページから読み出されたデータを保持するバッファと前記フラッシュメモリとの間でのデータ転送を制御するデータ転送ステップと、30

ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、前記上位側ビットに基づいて、前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別する識別ステップと、

前記ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御するアクセス制御ステップとを有し、

前記バッファは、前記ホストシステムのメモリアドレス空間に割り当てられていることを特徴とするフラッシュメモリの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラッシュメモリコントローラと、フラッシュメモリシステム、及びフラッシュメモリの制御方法に関する。

【背景技術】

【0002】

近年、メモリーカードやシリコンディスクといったメモリシステムにて使用される半導体メモリに、フラッシュメモリが広く採用されている。フラッシュメモリは、不揮発性メモリの一種である。フラッシュメモリに格納されたデータは、電力が供給されていないときでも保持されていることが要求される。

10

30

40

50

【0003】

NAND型フラッシュメモリは、上記のメモリシステムで特に多く用いられるフラッシュメモリの一種である。NAND型フラッシュメモリに含まれている複数のメモリセルのそれぞれは、他のメモリセルとは独立して、論理値“1”を示すデータが格納されている消去状態から、論理値“0”を示すデータが格納されている書き込み状態へと変化することができる。

【0004】

これとは対照的に、複数のメモリセルのうちの少なくとも1つが書き込み状態から消去状態へと変化しなければならないときには、各メモリセルは他のメモリセルと独立して変化することができない。このときには、ブロックと称される予め定められた数のメモリセルにおいて、全てのメモリセルが同時に消去状態とならなければならない。この一括消去動作は、一般的に、“ブロック消去”と称されている。10

【0005】

フラッシュメモリが上記のような特徴を有しているのは、コンピュータシステムにおいてフラッシュメモリがハードディスクドライブ(HDD)と同様に取り扱われる事が想定されていたからである。この特徴を有するフラッシュメモリを採用したフラッシュメモリシステムは、通常、ATA(Advanced Technology Attachment)といったHDDの規格に準拠している。従って、上記のフラッシュメモリがホストコンピュータに接続されたコンピュータシステムでは、ホストコンピュータがフラッシュメモリシステムを通常のHDDと同じように取り扱っている。20

【発明の開示】**【発明が解決しようとする課題】****【0006】**

しかしながら、HDDの規格に準拠したフラッシュメモリシステムは、HDDのためのインターフェースを有していないホストコンピュータに接続することができない。フラッシュメモリを制御するための制御回路がフラッシュメモリ自身とは独立しているときには、その制御回路をホストコンピュータのメモリインターフェースに装着することが便利な場合もある。

【0007】

また、データ転送が行われていないときに外部バスからの指示に応じて外部から直接揮発性メモリへアクセスしているような擬似的なアクセスを可能にするコントローラが開示されいる。(例えば、特許文献1参照)。30

【特許文献1】特開2002-328836号公報(第2-13頁、第1図)

【0008】

この文献に開示されているコントローラは、フラッシュメモリから読み出されたデータをRAMに記憶できるようにし、そのRAMは、NAND型フラッシュメモリにおける数ページに対応した記憶容量を有している。これに対して、ホストコンピュータからフラッシュメモリへの柔軟なアクセスを可能とする、より簡単な構成が求められている。

【0009】

本発明は、上記実状に鑑みてなされたもので、ホストコンピュータのメモリインターフェースに装着可能なフラッシュメモリコントローラと、フラッシュメモリシステム、及びフラッシュメモリの制御方法を提供することを目的とする。40

【課題を解決するための手段】**【0010】**

上記目的を達成するため、本発明の第1の観点に係るフラッシュメモリコントローラは、

複数個の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するメモリコントローラであって、

前記フラッシュメモリに書き込むデータ又は前記フラッシュメモリから読み出されたデータを保持する手段であって、ホストシステムのメモリアドレス空間に割り当てられてい50

るバッファと、

ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御し、さらに、前記ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、該上位側ビットに基づいて前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別するホストインターフェース制御手段と、

前記ホストシステム側から与えられるアクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段と、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理手段と、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成手段と、

前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページにデータを書き込むための前記バッファから前記フラッシュメモリへの512バイト単位のデータ転送と、前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページからデータを読み出すための前記フラッシュメモリから前記バッファへの512バイト単位のデータ転送とを制御するフラッシュメモリインターフェース制御手段と、

を備えることを特徴とする。

【0011】

また、この発明の第2の観点に係るフラッシュメモリシステムは、上述のメモリコントローラと、物理ブロック単位で記憶データの消去が行われるフラッシュメモリとを備えることを特徴とする。

【0012】

上記目的を達成するため、本発明の第3の観点に係るフラッシュメモリの制御方法は、複数個の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するフラッシュメモリの制御方法であって、

アクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段に、ホストシステム側から与えられる複数ビットの前記論理ページアドレスを保持する論理ページアドレス保持ステップと、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理ステップと、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成ステップと、

512バイトの転送単位で、前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページに書き込まれるデータ又は前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページから読み出されたデータを保持するバッファと前記フラッシュメモリとの間でのデータ転送を制御するデータ転送ステップと、

ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、前記上位側ビットに基づいて、前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、前記下位側ビットに基づいて前記バッファ内のアクセス領域を識別する識別ステップと、

前記ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス

10

20

30

40

50

単位で、前記バッファにランダムアクセスできるように制御するアクセス制御ステップとを有し、

前記バッファは、前記ホストシステムのメモリアドレス空間に割り当てられていることを特徴とする。

【0013】

前記下位側ビットのビット数は、例えば、前記バッファ内の全領域を識別するために必要なビット数である。

【発明の効果】

【0034】

本発明によれば、ホストコンピュータのメモリインタフェースに装着可能なフラッシュメモリコントローラと、そのコントローラを有するフラッシュメモリシステム、及びフラッシュメモリの制御方法を提供することができる。 10

【発明を実施するための最良の形態】

【0035】

本発明の実施の形態に係るフラッシュメモリシステムについて、以下図面を参照して説明する。

【0036】

図1は、本発明にかかるフラッシュメモリシステム1を概略的に示す図である。フラッシュメモリシステム1は、フラッシュメモリ2と、コントローラ3とを有している。フラッシュメモリシステム1は、ホストコンピュータ4が有するメモリインタフェースに装着されることができる。例えば、ホストコンピュータ4は、CPU(Central Processing Unit)といった、メインプロセッサである。 20

【0037】

図1に示されたフラッシュメモリ2は、不揮発性メモリである。フラッシュメモリ2において、データ読出動作およびデータ書込動作はともに、いわゆるページ単位で、実行される。他方、フラッシュメモリ2に格納されたデータは、いわゆるブロック単位で、消去される。

【0038】

図2及び図3は、フラッシュメモリ2に含まれている1つのメモリセル16の構造を概略的に示す断面図である。図2では、メモリセル16にデータが書き込まれていない。図3では、メモリセル16にデータが書き込まれている。 30

図2及び図3に示されているように、メモリセル16は、P型半導体基板17と、N型ソース拡散領域18と、N型ドレイン拡散領域19と、トンネル酸化膜20と、フローティングゲート電極21と、絶縁膜22と、コントロールゲート電極23とを含んでいる。

【0039】

N型ソース拡散領域18及びN型ドレイン拡散領域19はともに、P型半導体基板17上に形成されている。トンネル酸化膜20は、N型ソース拡散領域18とN型ドレイン拡散領域19との間ににおいて、P型半導体基板17を覆っている。フローティングゲート電極21は、トンネル酸化膜20上に形成されている。絶縁膜22は、フローティングゲート電極21上に形成されている。コントロールゲート電極23は、絶縁膜22上に形成されている。フラッシュメモリ2では、複数のメモリセル16が直列に接続されている。1つのメモリセル16は、1ビットのデータを格納する。 40

【0040】

図2に示されているように、フローティングゲート電極21に電子が蓄積されていないとき、メモリセル16は、消去状態にある。他方、フローティングゲート電極21に電子が蓄積されているとき、メモリセル16は、書込状態にある。消去状態のメモリセル16は、論理値“1”を示すデータを格納している。書込状態のメモリセル16は、論理値“0”を示すデータを格納している。

【0041】

メモリセル16に格納されたデータを読み出すために予め定められた読出電圧が、消去

50

状態となっているメモリセル 16 のコントロールゲート電極 23 に印加されていないときには、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 との間の P型半導体基板 17 の表面に、チャネルが形成されない。従って、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 は、互いに電気的に絶縁される。

【0042】

これに対して、消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されているときには、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 との間の P型半導体基板 17 の表面に、チャネル（図示せず）が形成される。N型ソース拡散領域 18 と N型ドレイン拡散領域 19 は、そのチャネルによって電気的に接続される。

10

【0043】

上述のように、消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されていないときには、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 が電気的に絶縁される。消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されているときには、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 が電気的に接続される。

【0044】

図 3 に示されているように、フローティングゲート電極 21 に電子が蓄積されているとき、メモリセル 16 は、書き状態にある。フローティングゲート電極 21 はトンネル酸化膜 20 と絶縁膜 22 に挟まれている。そのため、電子が一旦フローティングゲート電極 21 に注入されると、電位障壁により、きわめて長時間にわたり電子がフローティングゲート電極 21 内にとどまる。フローティングゲート電極 21 に電子を蓄積することにより書き状態となっているメモリセル 16 では、コントロールゲート電極 23 に読出電圧が印加されているか否かにかかわらず、チャネル 24 が N型ソース拡散領域 18 と N型ドレイン拡散領域 19 との間の P型半導体基板 17 の表面に形成される。従って、メモリセル 16 が書き状態となっているときには、コントロールゲート電極 23 に読出電圧が印加されているか否かにかかわらず、N型ソース拡散領域 18 と N型ドレイン拡散領域 19 が電気的に接続される。

20

【0045】

メモリセル 16 が消去状態であるか書き状態であるかを特定するためのデータ読出動作を、以下に説明する。フラッシュメモリ 2 では、複数のメモリセル 16 が直列に接続されている。その複数のメモリセル 16 のうちの 1 つが、格納データの読み出しのためにコントローラ 3 によって選択される。所定の低レベル電圧が、その選択された 1 つのメモリセル 16 に取り付けられたコントロールゲート電極 23 に印加される。低レベル電圧よりも高い所定の高レベル電圧（読出電圧）が、複数のメモリセル 16 のうちの他のものに取り付けられたコントロールゲート電極 23 に印加される。

30

【0046】

この状況で、一連のメモリセル 16 が導通しているか否かを、所定の検出器により検出する。検出器が導通を検出したとき、選択されたメモリセル 16 は、書き状態である。検出器が不導通を検出したとき、選択されたメモリセル 16 は、消去状態である。上記のように、フラッシュメモリ 2 は、直列に接続された一連のメモリセル 16 のうちの任意の 1 つから論理値 “0” 又は “1” を示す格納データを読み出すように、設計されている。

40

【0047】

メモリセル 16 の状態を消去状態と書き状態との間で変更するときには、メモリセル 16 のデータ読出動作にて使用される電圧よりも大きい消去電圧又は書き電圧が使用される。消去状態となっているメモリセル 16 を書き状態に変更するときには、コントロールゲート電極 23 の電位がフローティングゲート電極 21 の電位よりも高くなるように、書き電圧がコントロールゲート電極 23 に印加される。この書き電圧によって、P型半導体基板 17 とフローティングゲート電極 21 の間に、トンネル酸化膜 20 を介して FN (ファウラー・ノルトハイム ; Fowler-Nordheim) トンネル電流が流れる。この結果、電子がフロ

50

ーティングゲート電極 2 1 に注入される。

【 0 0 4 8 】

他方、書込状態となっているメモリセル 1 6 を消去状態に変更するときには、コントロールゲート電極 2 3 の電位がフローティングゲート電極 2 1 の電位よりも低くなるように、消去電圧がコントロールゲート電極 2 3 に印加される。この消去電圧によって、フローティングゲート電極 2 1 に蓄積されている電子がトンネル酸化膜 2 0 を介して P 型半導体基板 1 7 に排出される。

【 0 0 4 9 】

以下に、フラッシュメモリ 2 にデータを格納するための構造を説明する。図 4 は、フラッシュメモリ 2 のアドレス空間を概略的に示している。図 4 に示された構造において、フラッシュメモリ 2 のアドレス空間は、“ページ”と“ブロック”に基づいて分割されている。ページは、フラッシュメモリ 2 にて行われるデータ読出動作及びデータ書込動作における処理単位である。ブロックは、フラッシュメモリ 2 にて行われるデータ消去動作における処理単位である。

【 0 0 5 0 】

1 つのページは、512 バイトのデータ領域 2 5 と、16 バイトの冗長領域 2 6 とを含んでいる。データ領域 2 5 は、ホストコンピュータ 4 から供給されるユーザデータを格納する。冗長領域 2 6 は、ECC ブロック 1 1 によって生成されたエラーコレクションコード (ECC) といった付加情報を格納する。エラーコレクションコードは、付加情報の 1 つであり、対応するデータ領域 2 5 に格納されたデータに含まれる誤りを訂正するために使用される。データ領域 2 5 に格納されたデータに含まれる誤りの数が予め定められた閾値以下であるときには、その誤りは、エラーコレクションコードによって訂正することができます。このとき、データ領域 2 5 から読み出されたデータは、エラーコレクションコードによって正しいデータに修正される。

【 0 0 5 1 】

冗長領域 2 6 は、エラーコレクションコードの他に、“対応論理ブロックアドレス”を格納する。1 つのブロックに含まれている少なくとも 1 つのデータ領域 2 5 に有効なデータが格納されているとき、対応論理ブロックアドレスは、そのブロックが対応付けられている論理ブロックのアドレスを示す。論理ブロックアドレスは、ホストコンピュータ 4 から与えられるホストアドレスに基づいて決定されるブロックのアドレスである。他方、フラッシュメモリ 2 内における実際のブロックのアドレスは、物理ブロックアドレスと称される。

【 0 0 5 2 】

1 つのブロックに含まれている全てのデータ領域 2 5 に有効なデータが格納されていないときには、そのブロックに含まれている冗長領域 2 6 に、対応論理ブロックアドレスが格納されていない。従って、冗長領域 2 6 に対応論理ブロックアドレスが格納されているか否かを判定することにより、その冗長領域 2 6 が含まれているブロックにてデータが消去されたか否かを判定することができる。冗長領域 2 6 に対応論理ブロックアドレスが格納されていないとき、その冗長領域 2 6 が含まれているブロックは、データが消去された状態にある。

【 0 0 5 3 】

1 つのブロックは、32 個のページを含んでいる。フラッシュメモリ 2 では、データの上書きができない。そのため、1 つのページに格納されたデータのみを書き換えるときであっても、そのページが含まれたブロック内の全ページに格納されたデータが、書き換えられなければならない。1 つのブロック内の全ページから読み出されたデータの少なくとも一部が変更された後、そのデータは、消去されているブロックの 1 つに、ブロック単位で書き込まれなければならない。

【 0 0 5 4 】

上記のようにデータを書き換えるにあたっては、書き換えられたデータは、以前に格納されていたブロックとは異なるブロックに書き込まれる。そのため、論理ブロックアドレ

10

20

30

40

50

スと物理ブロックアドレスの間の対応関係は、フラッシュメモリ2にてデータが書き換えられる毎に、動的に変化する。論理ブロックアドレスと物理ブロックアドレスの間の対応関係は、アドレス変換テーブルに記載される。アドレス変換テーブルは、図1に示されているワークエリア8に格納される。アドレス変換テーブルでは、フラッシュメモリ2にてデータが書き換えられる毎に、書き換えられたブロックに対応する格納情報が更新される。

【0055】

図1において、コントローラ3は、ホストインターフェース制御ブロック5と、マイクロプロセッサ6と、ホストインターフェースブロック7と、ワークエリア8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECCブロック11と、フラッシュシーケンサブロック12とを有している。例えば、コントローラ3は、1つの半導体チップ上に集積される。

【0056】

以下に、コントローラ3の各部位の機能を説明する。ホストインターフェース制御ブロック5は、ホストインターフェースブロック7の動作を制御するための第1の制御ブロックである。マイクロプロセッサ6は、コントローラ3全体の動作を制御するための機能ブロックである。

【0057】

ホストインターフェースブロック7は、マイクロプロセッサ6による制御のもと、データ、アドレス及びその他の指示等を示す情報を、ホストコンピュータ4との間で交換するための機能ブロックである。フラッシュメモリシステム1がホストコンピュータ4に装着されたとき、フラッシュメモリシステム1とホストコンピュータ4とは、外部バス13を介して相互に接続される。ホストコンピュータ4からフラッシュメモリシステム1に供給される情報は、ホストインターフェースブロック7を通してコントローラ3の内部に取り込まれる。フラッシュメモリシステム1からホストコンピュータ4に供給される情報は、ホストインターフェースブロック7を通してホストコンピュータ4へ出力される。

【0058】

ワークエリア8は、フラッシュメモリ2の制御に使用されるデータを一時的に格納するためのメモリモジュールである。例えば、ワークエリア8は、複数のSRAM(Static Random Access Memory)セルを含んでいる。

バッファ9は、フラッシュメモリ2から読み出されたデータ及びフラッシュメモリ2に書き込まれるべきデータを、保持するための機能ブロックである。フラッシュメモリ2から読み出されたデータは、ホストコンピュータ4に出力されるまで、バッファ9に保持される。フラッシュメモリ2に書き込まれるべきデータは、フラッシュメモリ2のデータ書き込動作の準備ができるまで、バッファ9に保持される。

【0059】

フラッシュメモリインターフェースブロック10は、内部バス14を介して、データ、アドレス、ステータス及び内部コマンド等を示す情報を、フラッシュメモリ2との間で交換するための機能ブロックである。内部コマンドは、コントローラ3からフラッシュメモリ2に与えられるコマンドである。

ECCブロック11は、フラッシュメモリ2への書き込みデータに付加されるエラーコレクションコードを生成するための機能ブロックである。加えて、ECCブロック11は、フラッシュメモリ2から読み出されたデータに含まれるエラーコレクションコードに基づいて、読み出されたデータに含まれる誤りの検出及び訂正を行う。

【0060】

フラッシュシーケンサブロック12は、内部コマンドに基づいて、フラッシュメモリ2の動作を制御するための第2の制御ブロックである。フラッシュシーケンサブロック12は、複数のレジスタ(図示せず)を有している。フラッシュシーケンサブロック12は、マイクロプロセッサ6による制御のもと、内部コマンドが実行されるときに使用される情報を、複数のレジスタに設定する。複数のレジスタに情報を設定した後、フラッシュシ-

10

20

30

40

50

ケンサブロック 12 は、各レジスタに設定された情報に基づいて、内部コマンドに従った動作を行う。

【0061】

以下に、フラッシュメモリ 2 からバッファ 9 にデータを読み出すための処理、及び、バッファ 9 からフラッシュメモリ 2 にデータを書き込むための処理について、説明する。

図 5 は、フラッシュメモリ 2 のメモリ空間 31 におけるブロック及びページの割当例を概略的に示している。図 5 に示されているように、メモリ空間 31 は、各々がデータ消去動作における一括処理単位である複数のブロック 31a (B0000 ~ B1023) に分割されている。各ブロック 31a は、各々がデータ読出動作及びデータ書込動作における一括処理単位である複数のページ 31b (P00 ~ P31) に分割されている。各ページ 31b は、各々が 1 バイトである 512 個のデータ領域 (A000 ~ A511) に分割されている。10

【0062】

1024 個のブロック 31a (B0000 ~ B1023) は、1 つのゾーンとして管理される。フラッシュメモリ 2 が複数のメモリ空間 31 を含んでいるとき、各メモリ空間 31 に対応した各ゾーンには、少なくとも 1 つの消去済ブロックが、データを書込可能とするために確保される。以下では、データを書込可能に設定された消去済ブロックは、書込候補ブロックと称される。データ書込動作では、書込候補ブロックの 1 つに、データが書き込まれる。20

【0063】

図 6 は、フラッシュメモリ 2 のメモリ空間 31 と、バッファ 9 のバッファ空間 32 との間でのデータ交換動作を、概略的に示している。図 6 に示されているバッファ空間 32 は、各々が 1 バイトである 512 個のデータ領域 (BF000 ~ BF511) に分割されている。バッファ空間 32 は、1 バイト単位又は 1 ワード (2 バイト又はより多くのバイト) 単位で、フラッシュメモリ 2 との間でデータを交換する。20

【0064】

図 6 に示されているポインタレジスタ 33 及びジョブレジスタ 34 は、ホストコンピュータ 4 からの指示を格納する。フラッシュメモリ 2 からバッファ 9 にデータを読み出すための処理、及び、バッファ 9 からフラッシュメモリ 2 にデータを書き込む処理は、ポインタレジスタ 33 及びジョブレジスタ 34 に格納されている指示に従って、フラッシュシーケンサブロック 12 によって制御される。ポインタレジスタ 33 は、ページアドレスを設定するためのレジスタである。ジョブレジスタ 34 は、データ読出動作、データ書込動作等を示す動作指示を設定するためのレジスタである。30

【0065】

第 1 の例として、ジョブレジスタ 34 に設定された動作指示がデータ読出動作を示すとともに、ページアドレスがポインタレジスタ 33 に設定されたとき、フラッシュシーケンサブロック 12 が有する複数のレジスタ (図示せず) には、次のような情報が設定される。第 1 に、内部読出コマンドは、フラッシュシーケンサブロック 12 内の予め定められた第 1 レジスタ (図示せず) に、内部コマンドとして格納される。第 2 に、ポインタレジスタ 33 に設定されているページアドレスにおけるブロックアドレス部分 (論理ブロックアドレス) は、フラッシュメモリ 2 内の対応するブロックアドレス (物理ブロックアドレス) に変換される。変換されたページアドレスは、フラッシュシーケンサブロック 12 内の予め定められた第 2 レジスタ (図示せず) に格納される。40

【0066】

上記のようなデータ読出動作のために設定された情報に基づいて、フラッシュシーケンサブロック 12 は、内部コマンドに従ってフラッシュメモリインタフェースブロック 10 を制御する。フラッシュメモリインタフェースブロック 10 は、内部バス 14 を介してフラッシュメモリ 2 に、内部コマンドを示す情報を供給する。フラッシュメモリインタフェースブロック 10 から出力された情報に応答して、フラッシュメモリ 2 では、フラッシュシーケンサブロック 12 の第 2 レジスタに設定されたページアドレスに対応するデータ領50

域（A 0 0 0 ~ A 5 1 1）から、格納データが1バイト単位で順次に読み出される。フラッシュメモリ2から読み出されたデータは、バッファ空間3 2のデータ領域（B F 0 0 0 ~ B F 5 1 1）に順次格納される。例えば、フラッシュシーケンサブロック1 2は、フラッシュメモリ2から受けたデータを、バッファ空間3 2の開始アドレスから終了アドレスへと向かう順番で、バッファ空間3 2のデータ領域（B F 0 0 0 ~ B F 5 1 1）に順次格納するように、フラッシュメモリインタフェースブロック1 0を制御する。

【0067】

第2の例として、ジョブレジスタ3 4に設定された動作指示がデータ書込動作を示すとともに、ページアドレスがポインタレジスタ3 3に設定されたとき、フラッシュシーケンサブロック1 2が有する複数のレジスタ（図示せず）には、次のような情報が設定される。第1に、内部書込コマンドは、フラッシュシーケンサブロック1 2内の第1レジスタ（図示せず）に、内部コマンドとして格納される。第2に、ポインタレジスタ3 3に設定されているページアドレスの下位5ビットであるページ番号部分と、書込候補ブロックのブロックアドレス（物理ブロックアドレス）とに基づいて、ページアドレスが生成される。生成されたページアドレスは、フラッシュシーケンサブロック1 2内の第2レジスタ（図示せず）に格納される。

【0068】

上記のようなデータ書込動作のために設定された情報に基づいて、フラッシュシーケンサブロック1 2は、内部コマンドに従ってフラッシュメモリインタフェースブロック1 0を制御する。フラッシュメモリ2は、内部バス1 4を介してフラッシュメモリ2に、内部コマンドを示す情報を供給する。同時に、フラッシュメモリインタフェースブロック1 0は、バッファ空間3 2のデータ領域（B F 0 0 0 ~ B F 5 1 1）に格納されているデータを読み出す。バッファ空間3 2から読み出されたデータは、1バイト単位で順次にフラッシュメモリ2へと供給される。例えば、フラッシュシーケンサブロック1 2は、バッファ空間3 2の開始アドレスから終了アドレスへと向かう順番で、フラッシュメモリ2に転送するためのデータをバッファ空間3 2から読み出すように、フラッシュメモリインタフェースブロック1 0を制御する。フラッシュメモリインタフェースブロック1 0から出力された情報に応答して、フラッシュメモリ2では、フラッシュシーケンサブロック1 2の第2レジスタに設定されたページアドレスに対応するデータ領域（A 0 0 0 ~ A 5 1 1）に、コントローラ3から供給されたデータが順次に書き込まれる。

【0069】

コントローラ3がフラッシュメモリ2における一連のページとデータを交換するときは、“開始ページアドレス”及び“終了ページアドレス”がポインタレジスタ3 3に設定されてもよい。フラッシュシーケンサブロック1 2内の第2レジスタに設定されるページアドレスの下位5ビットであるページ番号部分は、“開始ページアドレス”から“終了ページアドレス”まで、1ずつカウントアップされる。別の設定として、“開始ページアドレス”及び“ページ数”がポインタレジスタ3 3に設定されてもよい。フラッシュシーケンサブロック1 2内の第2レジスタに設定されるページ番号部分は、“開始ページアドレス”から1ずつカウントアップされる。カウントアップ動作は、“ページ数”に対応する回数まで実行される。

【0070】

以下に、フラッシュメモリ2に格納されているデータをホストコンピュータ4へと読み出すための処理、及び、ホストコンピュータ4からフラッシュメモリ2にデータを書き込むための処理について、説明する。

【0071】

図7は、ホストコンピュータ4のメモリアドレス空間3 8と、バッファ9のバッファ空間3 2との間でのデータ交換動作を、概略的に示している。図7には、ポインタレジスタ3 3及びジョブレジスタ3 4も示されている。

バッファ9のバッファ空間3 2は、ホストコンピュータ4のメモリアドレス空間3 8に

10

20

30

40

50

おいて、512バイトを有するメモリ領域（M10000～M10511）に割り付けられている。ホストコンピュータ4のメモリアドレス空間38には、ポインタレジスタ33及びジョブレジスタ34にアクセスするためのアドレスが含まれている。メモリアドレス空間38にてポインタレジスタ33及びジョブレジスタ34に割り当てられるアドレスは、ポインタレジスタ33及びジョブレジスタ34のデータ容量に応じて、適宜設定されればよい。ホストコンピュータ4にてポインタレジスタ33及びジョブレジスタ34に割り当てられるアドレスは、ホストコンピュータ4のI/Oアドレス空間に含まれていてもよい。

【0072】

図8は、ホストコンピュータ4のメモリ領域35と、フラッシュメモリ2のメモリ空間31との間でのデータ交換動作を、概略的に示している。フラッシュメモリ2から読み出されたデータ及びフラッシュメモリ2に書き込まれるべきデータは、バッファ9のバッファ空間32を介して、メモリ領域35とメモリ空間31との間で交換される。バッファ空間32は、ホストコンピュータ4のメモリアドレス空間38において、512バイトを有するメモリ領域35に割り付けられている。フラッシュメモリ2のメモリ空間31に格納されているデータを読み出すため、及び、フラッシュメモリ2のメモリ空間31にデータを書き込むために、ホストコンピュータ4は、バッファ空間32に割り付けられているメモリ領域35にアクセスする。コントローラ3は、ポインタレジスタ33及びジョブレジスタ34における設定情報に基づいて、バッファ空間32とメモリ空間31の全データ領域との間で、データを交換できるようにする。

【0073】

コントローラ3がバッファ空間32とフラッシュメモリ2のメモリ空間31との間でデータを交換するとき、コントローラ3に含まれるアドレスカウンタ36は、1ページ分（512バイト）のデータが順次に交換されるように制御する。例えば、アドレスカウンタ36は、フラッシュシーケンサブロック12に含まれている。他方、ホストコンピュータ4とバッファ9との間でデータが交換されるときには、アドレスバッファ37を用いることにより、通常のスタティックRAMと同様に、512バイトを有するバッファ空間32における各データ領域が、所定のアドレスバスによって供給されるアドレス信号及び制御信号に基づいて、ランダムにアクセスされる。例えば、アドレスバッファ37は、ホストインターフェース制御ブロック5に含まれている。

【0074】

バッファ空間32のデータ容量は512（=2⁹）バイトである。従って、バッファ空間32の各データ領域は、9ビットのアドレスによって特定することができる。ホストコンピュータ4のメモリ領域35から供給されるアドレスデータの下位9ビットは、バッファ空間32における各データ領域のアドレスを示す。バッファ空間32における各データ領域のアドレスを示すデータは、アドレスバッファ37にセットされる。アドレスバッファ37にセットされたアドレスデータに基づいて、ホストインターフェース制御ブロック5は、ホストコンピュータ4がバッファ空間32の各データ領域にアクセスすることを可能にする。ホストコンピュータ4のメモリ領域35から供給されるアドレスデータのうちでアドレスバッファ37にセットされなかったデータは、バッファ空間32に保持されているデータがホストコンピュータ4からの要求に適合しているか否かを判定するために使用される。この判定処理は、例えば、マイクロプロセッサ6によって実行される。

【0075】

ホストコンピュータ4がワード（16ビット）単位でバッファ空間32にアクセスするときには、ホストコンピュータ4のメモリ空間35から供給されるアドレスデータの下位8ビットがアドレスバッファ37にセットされてもよい。バッファ空間32の各データ領域は、8ビットのアドレスによって特定することができる。このときにも、ホストコンピュータ4のメモリ領域35から供給されるアドレスデータのうちでアドレスバッファ37にセットされなかったデータに基づいて、コントローラ3は、バッファ空間32に保持されているデータがホストコンピュータ4からの要求に適合しているか否かを判定するこ

10

20

30

40

50

とができる。

【0076】

以下に、図9から図12に示されるタイミング図を参照することにより、ホストコンピュータ4のメモリ領域35によるバッファ空間32からのデータ読出動作と、バッファ空間32へのデータ書込動作について、説明する。

【0077】

図9は、ホストコンピュータ4のメモリ領域35におけるデータ読出サイクルを示すタイミング図である。ホストコンピュータ4は、メモリ領域35を介して所定のアドレスバスにアドレス信号ADRを出力する。この出力に対応して、チップイネーブル信号CEN及びアウトプットイネーブル信号OENは低レベルになる。アドレス信号ADRが出力されている期間では、チップイネーブル信号CEN及びアウトプットイネーブル信号OENが低レベルに設定される。バッファ9では、アドレス信号ADRによって指定されたアドレスを有するバッファ空間32のデータ領域に格納されているデータが読み出される。読み出されたデータは、データ信号DATAとして、ホストインターフェースブロック7を介して、ホストコンピュータ4へと出力される。ホストインターフェース制御ブロック5は、ホストコンピュータ4へとデータ信号DATAを出力するために、ホストコンピュータ4から供給されたアドレス信号ADRによって指定されたアドレスを有するバッファ空間32のデータ領域から格納データを読み出すように、ホストインターフェースブロック7を制御する。図9において、アドレス信号ADRによってアドレスA0が指定されたことに応答して、データD0を示すデータ信号DATAが出力される。アドレス信号ADRによってアドレスA1が指定されたことに応答して、データD1を示すデータ信号DATAが出力される。

10

20

【0078】

図10は、ホストコンピュータ4がバッファ9から連続的に格納データを読み出すための動作を示すタイミング図である。図10において、ホストコンピュータ4は、アドレスA'からアドレスA'+3を示すアドレス信号ADRを、連続してコントローラ3に出力する。アドレス信号ADRが連続して出力されている期間では、チップイネーブル信号CEN及びアウトプットイネーブル信号OENが低レベルに設定される。バッファ9では、アドレス信号ADRによって指定されたアドレスA'-A'+3を有するバッファ空間32のデータ領域に格納されているデータが順次に読み出される。読み出されたデータは、データ信号DATAとして、ホストコンピュータ4へと順次に出力される。

30

【0079】

図10において、アドレス信号ADRによってアドレスA'が指定されたことに応答して、データD0'を示すデータ信号DATAが出力される。アドレス信号ADRによってアドレスA'+1が指定されたことに応答して、データD1'を示すデータ信号DATAが出力される。アドレス信号ADRによってアドレスA'+2が指定されたことに応答して、データD2'を示すデータ信号DATAが出力される。アドレス信号ADRによってアドレスA'+3が指定されたことに応答して、データD3'を示すデータ信号DATAが出力される。

【0080】

40

図11は、ホストコンピュータ4のメモリ領域35及びバッファ9のバッファ空間32におけるデータ書込サイクルを示すタイミング図である。ホストコンピュータ4は、メモリ領域35を介して、所定のアドレスバスにアドレス信号ADRを出力し、所定のデータバスにデータ信号DATAを出力する。このアドレス信号ADR及びデータ信号DATAの出力に対応して、チップイネーブル信号CENは低レベルに設定される。アドレス信号ADR及びデータ信号DATAが出力されている期間において、チップイネーブル信号CENが低レベルになる。アドレス信号ADR、データ信号DATA及び低レベルのチップイネーブル信号CENが出力されている期間において、ライトイネーブル信号WENが低レベルから高レベルに変化する。

【0081】

50

ライトイネーブル信号W E Nの立ち上がりエッジに応答して、データ信号D A T Aが、アドレス信号A D Rで指定されたアドレスを有するバッファ空間3 2のデータ領域に取り込まれる。ホストインターフェース制御ブロック5は、ホストコンピュータ4から供給されたアドレス信号A D Rによって指定されたアドレスを有するメモリ空間3 1のデータ領域に、ホストコンピュータ4から供給されたデータ信号D A T Aによって示されるデータを書き込むように、ホストインターフェースブロック7を制御する。図1 1では、データ信号D A T Aによって示されるデータD 0が、アドレス信号A D Rによって指定されたアドレスA 0を有するデータ領域に格納される。データ信号D A T Aによって示されるデータD 1は、アドレス信号A D Rによって指定されたアドレスA 1を有するデータ領域に格納される。

10

【0 0 8 2】

図1 2は、ホストコンピュータ4がバッファ9に連続的にデータを書き込むための動作を示すタイミング図である。図1 2において、ホストコンピュータ4は、アドレスA'からアドレスA' + 3を示すアドレス信号A D Rを、連続してコントローラ3に出力する。アドレスA'を指定するアドレス信号が出力されるときには、データD 0'を示すデータ信号D A T Aが出力される。アドレスA' + 1を指定するアドレス信号A D Rが出力されるときには、データD 1'を示すデータ信号D A T Aが出力される。アドレスA' + 2を指定するアドレス信号A D Rが出力されるときには、データD 2'を示すデータ信号D A T Aが出力される。アドレスA' + 3を指定するアドレス信号A D Rが出力されるときには、データD 3'を示すデータ信号D A T Aが出力される。アドレス信号A D Rが連続して出力されている期間において、チップイネーブル信号C E Nが低レベルになる。アドレス信号A D R、データ信号D A T A及び低レベルのチップイネーブル信号C E Nが出力されている期間において、ホストコンピュータ4は、ライトイネーブル信号W E Nを低レベルから高レベルにさせる。ライトイネーブル信号W E Nの立ち上がりエッジに応答して、データ信号D A T Aが、アドレス信号A D Rで指定されたアドレスを有するバッファ空間3 2のデータ領域に取り込まれる。

20

【0 0 8 3】

図1 2では、データ信号D A T Aによって示されるデータD 0'が、アドレス信号A D Rによって指定されたアドレスA'を有するデータ領域に格納される。データ信号D A T Aによって示されるデータD 1'は、アドレス信号A D Rによって指定されたアドレスA' + 1を有するデータ領域に格納される。データ信号D A T Aによって示されるデータD 2'は、アドレス信号A D Rによって指定されたアドレスA' + 2を有するデータ領域に格納される。データ信号D A T Aによって示されるデータD 3'は、アドレス信号A D Rによって指定されたアドレスA' + 3を有するデータ領域に格納される。

30

【0 0 8 4】

フラッシュメモリ2のメモリ空間3 1においてポインタレジスタ3 3によって指定されたページアドレスを有するページ3 1 b (P 0 0 ~ P 3 1)と、バッファ9のバッファ空間3 2との間では、バッファ空間3 2の先頭から末尾まで、順次にデータが交換される。言い換えると、フラッシュメモリ2とコントローラ3との間でのデータ交換は、フラッシュメモリ2におけるページを単位として行われる。ホストコンピュータ4は、メモリ領域3 5にアクセスすることにより、バッファ9のバッファ空間3 2に含まれる任意のデータ領域との間でランダムにデータを交換することができる。バッファ9のバッファ空間3 2は、フラッシュメモリ2のメモリ空間3 1における1つのページと同様に、512バイトの記憶容量を有している。従って、コントローラ3は、簡単な構成で、ホストコンピュータ4にフラッシュメモリ2への柔軟なアクセスを提供することができる。コントローラ3によって提供されるフラッシュメモリ2へのメモリアクセスは、通常のスタティックRAMへのアクセスと類似している。

40

【0 0 8 5】

本発明は、様々な変形及び応用が可能である。例えば、コントローラ3は、フラッシュメモリシステム1とは独立して、フラッシュメモリ2とホストコンピュータ4との間での

50

データ交換を制御してもよい。コントローラ3は、ホストコンピュータ4に内蔵されてもよい。ポインタレジスタ33及びジョブレジスタ34は、S R A MやD R A M (Dynamic RAM)などといった、ホストコンピュータ4からのランダムアクセスが可能な任意のメモリに置き換えられてもよい。

【図面の簡単な説明】

【0086】

【図1】本発明の実施の形態に係るフラッシュメモリシステムの一例を示すブロック図である。

【図2】メモリセルの構造の一例を概略的に示す図である。

【図3】書込状態となっているメモリセルの断面図である。

10

【図4】フラッシュメモリにおけるアドレス空間の概略図である。

【図5】フラッシュメモリのメモリ空間におけるブロック及びページの割当例の概略図である。

【図6】フラッシュメモリのメモリ空間とバッファのバッファ空間との間でのデータ交換動作の概略図である。

【図7】ホストコンピュータのメモリアドレス空間とバッファのバッファ空間との間でのデータ交換動作の概略図である。

【図8】ホストコンピュータのメモリ領域とフラッシュメモリのメモリ空間との間でのデータ交換動作の概略図である。

【図9】ホストコンピュータのメモリ領域におけるデータ読出サイクルを示すタイミング図である。

20

【図10】バッファからホストコンピュータに連続的に格納データを読み出すサイクルを示すタイミング図である。

【図11】ホストコンピュータのメモリ領域におけるデータ書込サイクルを示すタイミング図である。

【図12】ホストコンピュータによりバッファに連続的に格納データを書き込むサイクルを示すタイミング図である。

【符号の説明】

【0087】

1 フラッシュメモリシステム

30

2、31 フラッシュメモリ

3 コントローラ

4、35 ホストコンピュータ

5 ホストインターフェース制御ブロック

6 マイクロプロセッサ

7 ホストインターフェースブロック

8 ワークエリア

9、32 バッファ

10 フラッシュメモリインターフェースブロック

11 E C C ブロック

40

12 フラッシュシーケンサブロック

13 外部バス

14 内部バス

16 メモリセル

17 P型半導体基板

18 N型ソース拡散領域

19 N型ドレイン拡散領域

20 トンネル酸化膜

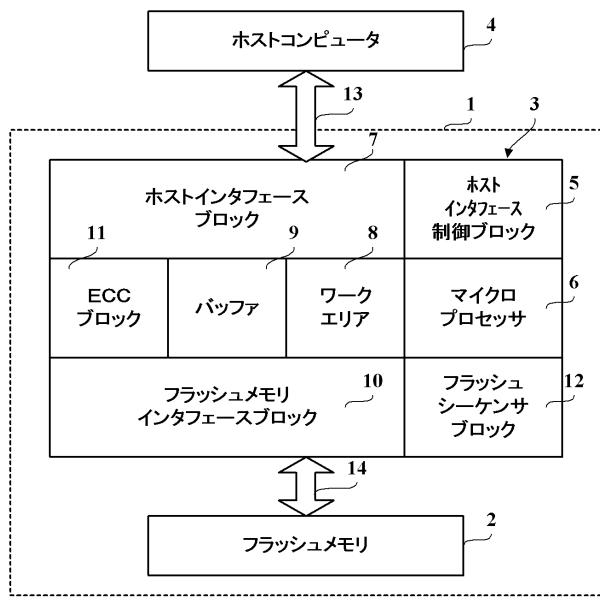
21 フローティングゲート電極

22 絶縁膜

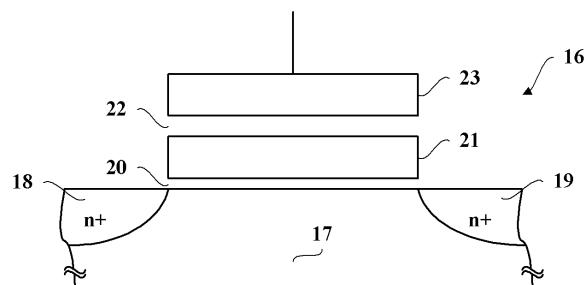
50

- 2 3 コントロールゲート電極
 2 4 チャネル
 2 5 データ領域
 2 6 冗長領域
 3 3 ポインタレジスタ
 3 4 ジョブレジスタ
 3 6 アドレスカウンタ
 3 7 アドレスバッファ
 3 8 メモリアドレス空間

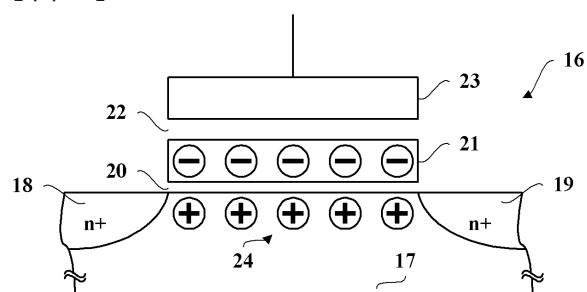
【図1】



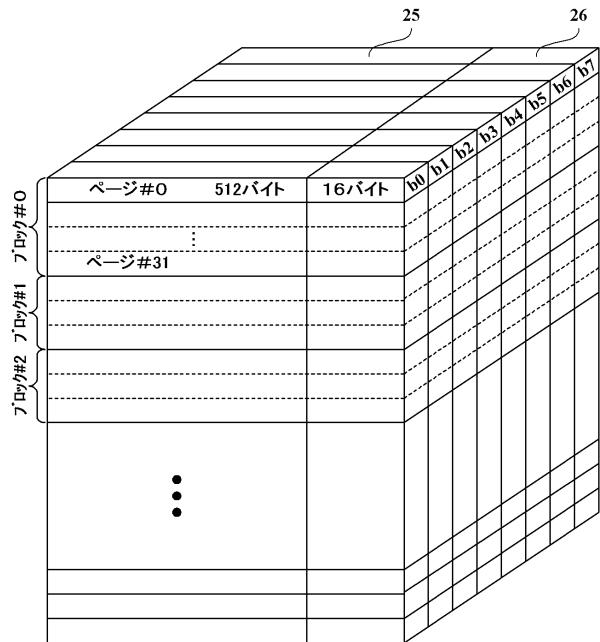
【図2】



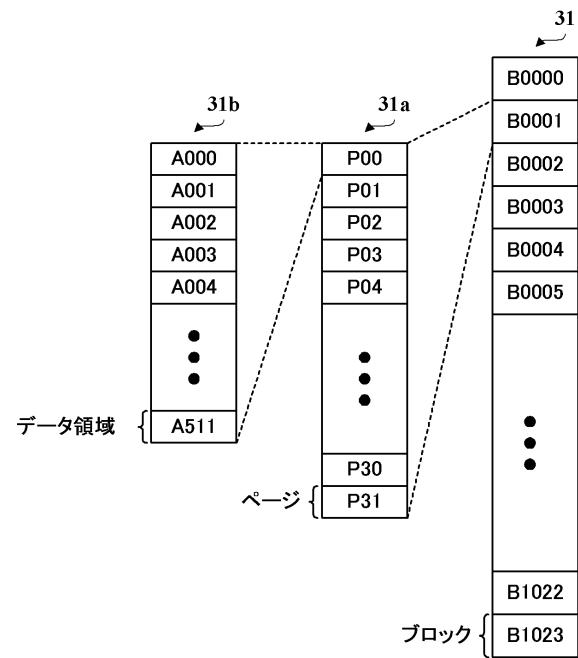
【図3】



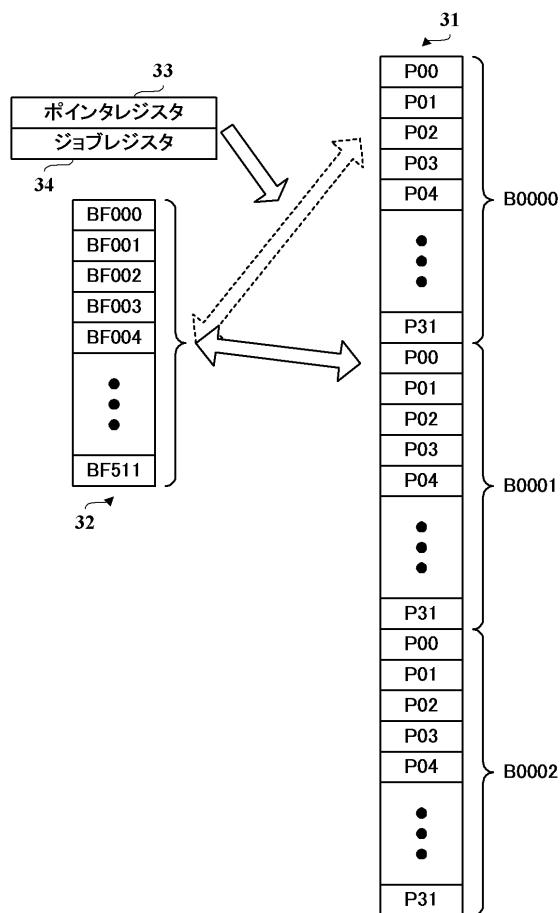
【図4】



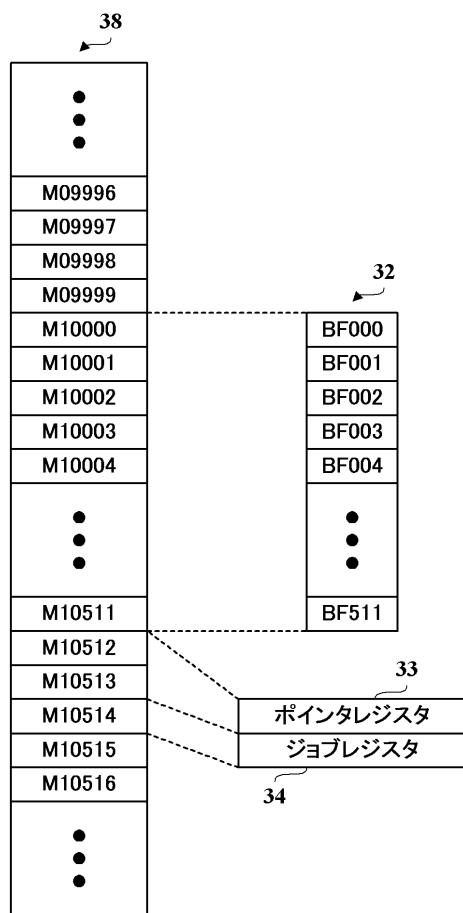
【図5】



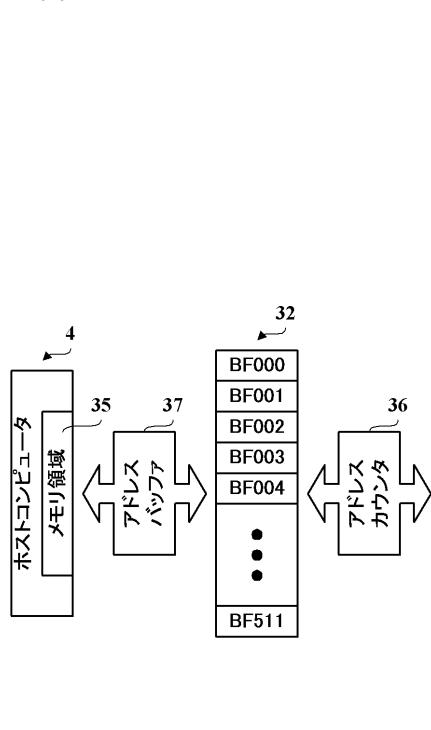
【図6】



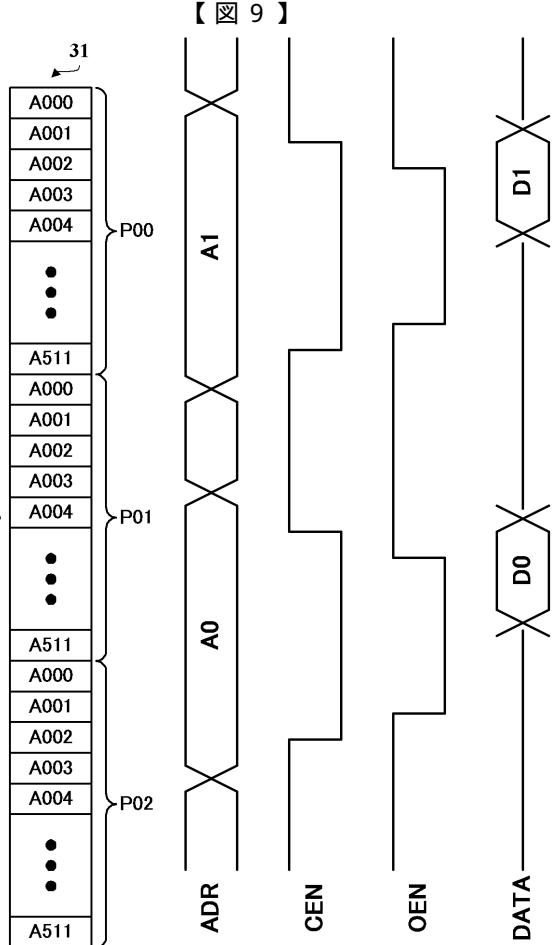
【図7】



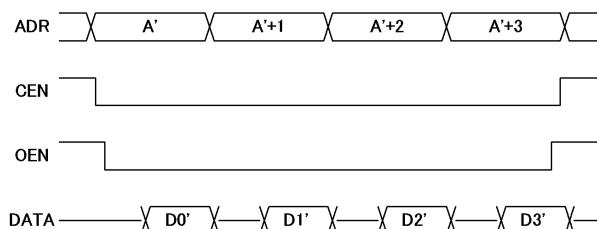
【図8】



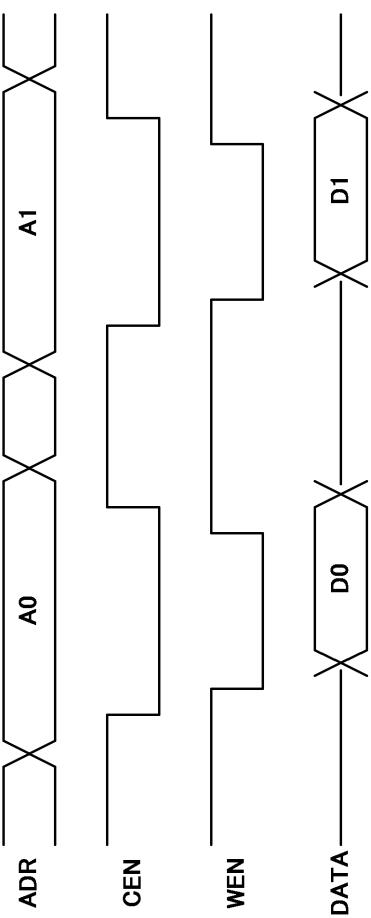
【図9】



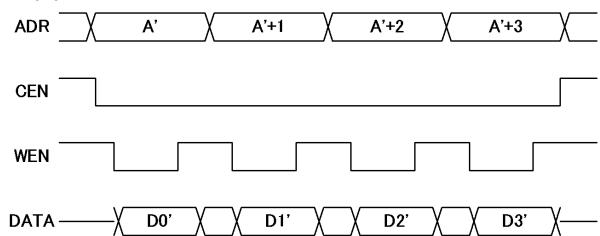
【図10】



【図11】



【 図 1 2 】



フロントページの続き

(56)参考文献 特開2002-312232(JP,A)
特開平07-028700(JP,A)
特開平05-158782(JP,A)
特開2001-051897(JP,A)
特開2002-328836(JP,A)
特開2002-366429(JP,A)
特開2003-091463(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12/00 - 12/02