

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4068594号  
(P4068594)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月18日(2008.1.18)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 6 0 B

G 0 6 F 12/00 5 9 7 U

請求項の数 3 (全 19 頁)

(21) 出願番号 特願2004-172262 (P2004-172262)  
 (22) 出願日 平成16年6月10日(2004.6.10)  
 (65) 公開番号 特開2005-25733 (P2005-25733A)  
 (43) 公開日 平成17年1月27日(2005.1.27)  
 審査請求日 平成16年6月10日(2004.6.10)  
 (31) 優先権主張番号 特願2003-165656 (P2003-165656)  
 (32) 優先日 平成15年6月10日(2003.6.10)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003067  
 T D K株式会社  
 東京都中央区日本橋1丁目13番1号  
 (74) 代理人 100109449  
 弁理士 毛受 隆典  
 (74) 代理人 100095407  
 弁理士 木村 満  
 (72) 発明者 小柳津 剛  
 東京都中央区日本橋一丁目13番1号 T  
 D K株式会社内  
 (72) 発明者 寺崎 幸夫  
 東京都中央区日本橋一丁目13番1号 T  
 D K株式会社内

審査官 田中 秀人

最終頁に続く

(54) 【発明の名称】 フラッシュメモリコントローラ、フラッシュメモリシステム、及びフラッシュメモリの制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するメモリコントローラであって、

前記フラッシュメモリに書き込むデータ又は前記フラッシュメモリから読み出されたデータを保持する手段であって、ホストシステムのメモリアドレス空間に割り当てられているバッファと、

ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御し、さらに、前記ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、該上位側ビットに基づいて前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別するホストインタフェース制御手段と、

前記ホストシステム側から与えられるアクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段と、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理手段と、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物

10

20

理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成手段と、

前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページにデータを書き込むための前記バッファから前記フラッシュメモリへの512バイト単位のデータ転送と、前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページからデータを読み出すための前記フラッシュメモリから前記バッファへの512バイト単位のデータ転送とを制御するフラッシュメモリインタフェース制御手段と、

を備えることを特徴とするフラッシュメモリコントローラ。

【請求項2】

請求項1に記載のメモリコントローラと、複数の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリとを備えることを特徴とするフラッシュメモリシステム。

10

【請求項3】

複数の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するフラッシュメモリの制御方法であって、

アクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段に、ホストシステム側から与えられる複数ビットの前記論理ページアドレスを保持する論理ページアドレス保持ステップと、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理ステップと、

20

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成ステップと

、512バイトの転送単位で、前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページに書き込まれるデータ又は前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページから読み出されたデータを保持するバッファと前記フラッシュメモリとの間でのデータ転送を制御するデータ転送ステップと、

30

ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、前記上位側ビットに基づいて、前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別する識別ステップと、

前記ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御するアクセス制御ステップとを有し、

前記バッファは、前記ホストシステムのメモリアドレス空間に割り当てられていることを特徴とするフラッシュメモリの制御方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、フラッシュメモリコントローラと、フラッシュメモリシステム、及びフラッシュメモリの制御方法に関する。

【背景技術】

【0002】

近年、メモリーカードやシリコンディスクといったメモリシステムにて使用される半導体メモリに、フラッシュメモリが広く採用されている。フラッシュメモリは、不揮発性メモリの一種である。フラッシュメモリに格納されたデータは、電力が供給されていないときでも保持されていることが要求される。

50

## 【 0 0 0 3 】

NAND型フラッシュメモリは、上記のメモリシステムで特に多く用いられるフラッシュメモリの一種である。NAND型フラッシュメモリに含まれている複数のメモリセルのそれぞれは、他のメモリセルとは独立して、論理値“1”を示すデータが格納されている消去状態から、論理値“0”を示すデータが格納されている書込状態へと変化することができる。

## 【 0 0 0 4 】

これとは対照的に、複数のメモリセルのうちの少なくとも1つが書込状態から消去状態へと変化しなければならないときには、各メモリセルは他のメモリセルと独立して変化することができない。このときには、ブロックと称される予め定められた数のメモリセルにおいて、全てのメモリセルが同時に消去状態とならなければならない。この一括消去動作は、一般的に、“ブロック消去”と称されている。

10

## 【 0 0 0 5 】

フラッシュメモリが上記のような特徴を有しているのは、コンピュータシステムにおいてフラッシュメモリがハードディスクドライブ(HDD)と同様に取り扱われることが想定されていたからである。この特徴を有するフラッシュメモリを採用したフラッシュメモリシステムは、通常、ATA(Advanced Technology Attachment)といったHDDの規格に準拠している。従って、上記のフラッシュメモリがホストコンピュータに接続されたコンピュータシステムでは、ホストコンピュータがフラッシュメモリシステムを通常のHDDと同じように取り扱っている。

20

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

しかしながら、HDDの規格に準拠したフラッシュメモリシステムは、HDDのためのインターフェースを有していないホストコンピュータに接続することができない。フラッシュメモリを制御するための制御回路がフラッシュメモリ自身とは独立しているときには、その制御回路をホストコンピュータのメモリインタフェースに装着することが便利な場合もある。

## 【 0 0 0 7 】

また、データ転送が行われていないときに外部バスからの指示に応じて外部から直接揮発性メモリへアクセスしているような擬似的アクセスを可能にするコントローラが開示されている。(例えば、特許文献1参照)。

30

【特許文献1】特開2002-328836号公報(第2-13頁、第1図)

## 【 0 0 0 8 】

この文献に開示されているコントローラは、フラッシュメモリから読み出されたデータをRAMに記憶できるようにし、そのRAMは、NAND型フラッシュメモリにおける数ページに対応した記憶容量を有している。これに対して、ホストコンピュータからフラッシュメモリへの柔軟なアクセスを可能とする、より簡単な構成が求められている。

## 【 0 0 0 9 】

本発明は、上記実状に鑑みてなされたもので、ホストコンピュータのメモリインタフェースに装着可能なフラッシュメモリコントローラと、フラッシュメモリシステム、及びフラッシュメモリの制御方法を提供することを目的とする。

40

## 【 課題を解決するための手段 】

## 【 0 0 1 0 】

上記目的を達成するため、本発明の第1の観点に係るフラッシュメモリコントローラは、

複数の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するメモリコントローラであって、

前記フラッシュメモリに書き込むデータ又は前記フラッシュメモリから読み出されたデータを保持する手段であって、ホストシステムのメモリアドレス空間に割り当てられてい

50

るバッファと、

ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス単位で、前記バッファにランダムアクセスできるように制御し、さらに、前記ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、該上位側ビットに基づいて前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、該下位側ビットに基づいて前記バッファ内のアクセス領域を識別するホストインタフェース制御手段と、

前記ホストシステム側から与えられるアクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段と、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理手段と、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成手段と、

前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページにデータを書き込むための前記バッファから前記フラッシュメモリへの512バイト単位のデータ転送と、前記アドレス生成手段によって生成された前記物理ページアドレスに対応する前記物理ページからデータを読み出すための前記フラッシュメモリから前記バッファへの512バイト単位のデータ転送とを制御するフラッシュメモリインタフェース制御手段と、

を備えることを特徴とする。

【0011】

また、この発明の第2の観点に係るフラッシュメモリシステムは、上述のメモリコントローラと、物理ブロック単位で記憶データの消去が行われるフラッシュメモリとを備えることを特徴とする。

【0012】

上記目的を達成するため、本発明の第3の観点に係るフラッシュメモリの制御方法は、複数の物理ページを含む物理ブロック単位で記憶データの消去が行われるフラッシュメモリに対するアクセスを制御するフラッシュメモリの制御方法であって、

アクセス対象の論理ページを特定するための論理ページアドレスが保持されるアドレス保持手段に、ホストシステム側から与えられる複数ビットの前記論理ページアドレスを保持する論理ページアドレス保持ステップと、

複数の前記論理ページを含む論理ブロックに付けられたアドレスである論理ブロックアドレスと、前記物理ブロックに付けられたアドレスである物理ブロックアドレスとの対応関係を管理するアドレス管理ステップと、

前記アドレス保持手段に保持されている前記論理ページアドレスの前記論理ブロックアドレスに対応する所定の上位側ビット部分を、該論理ブロックアドレスと対応する前記物理ブロックアドレスに置き換えた物理ページアドレスを生成するアドレス生成ステップと

、  
512バイトの転送単位で、前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページに書き込まれるデータ又は前記アドレス生成ステップで生成された前記物理ページアドレスに対応する前記物理ページから読み出されたデータを保持するバッファと前記フラッシュメモリとの間でのデータ転送を制御するデータ転送ステップと、

ホストシステム側から与えられる複数ビットのアドレスを所定の上位側ビットと下位側ビットに分離し、前記上位側ビットに基づいて、前記バッファに保持されているデータがアクセス対象のデータに該当するか否かを判別し、前記下位側ビットに基づいて前記バッファ内のアクセス領域を識別する識別ステップと、

前記ホストシステム側から、該ホストシステムのメモリアドレス空間におけるアクセス

10

20

30

40

50

単位で、前記バッファにランダムアクセスできるように制御するアクセス制御ステップとを有し、

前記バッファは、前記ホストシステムのメモリアドレス空間に割り当てられていることを特徴とする。

【 0 0 1 3 】

前記下位側ビットのビット数は、例えば、前記バッファ内の全領域を識別するために必要なビット数である。

【 発明の効果 】

【 0 0 3 4 】

本発明によれば、ホストコンピュータのメモリインタフェースに装着可能なフラッシュメモリコントローラと、そのコントローラを有するフラッシュメモリシステム、及びフラッシュメモリの制御方法を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 5 】

本発明の実施の形態に係るフラッシュメモリシステムについて、以下図面を参照して説明する。

【 0 0 3 6 】

図 1 は、本発明にかかるフラッシュメモリシステム 1 を概略的に示す図である。フラッシュメモリシステム 1 は、フラッシュメモリ 2 と、コントローラ 3 とを有している。フラッシュメモリシステム 1 は、ホストコンピュータ 4 が有するメモリインタフェースに装着されることができる。例えば、ホストコンピュータ 4 は、C P U (Central Processing Unit) といった、メインプロセッサである。

【 0 0 3 7 】

図 1 に示されたフラッシュメモリ 2 は、不揮発性メモリである。フラッシュメモリ 2 において、データ読出動作およびデータ書込動作はともに、いわゆるページ単位で、実行される。他方、フラッシュメモリ 2 に格納されたデータは、いわゆるブロック単位で、消去される。

【 0 0 3 8 】

図 2 及び図 3 は、フラッシュメモリ 2 に含まれている 1 つのメモリセル 1 6 の構造を概略的に示す断面図である。図 2 では、メモリセル 1 6 にデータが書き込まれていない。図 3 では、メモリセル 1 6 にデータが書き込まれている。

図 2 及び図 3 に示されているように、メモリセル 1 6 は、P 型半導体基板 1 7 と、N 型ソース拡散領域 1 8 と、N 型ドレイン拡散領域 1 9 と、トンネル酸化膜 2 0 と、フローティングゲート電極 2 1 と、絶縁膜 2 2 と、コントロールゲート電極 2 3 とを含んでいる。

【 0 0 3 9 】

N 型ソース拡散領域 1 8 及び N 型ドレイン拡散領域 1 9 はともに、P 型半導体基板 1 7 上に形成されている。トンネル酸化膜 2 0 は、N 型ソース拡散領域 1 8 と N 型ドレイン拡散領域 1 9 との間において、P 型半導体基板 1 7 を覆っている。フローティングゲート電極 2 1 は、トンネル酸化膜 2 0 上に形成されている。絶縁膜 2 2 は、フローティングゲート電極 2 1 上に形成されている。コントロールゲート電極 2 3 は、絶縁膜 2 2 上に形成されている。フラッシュメモリ 2 では、複数のメモリセル 1 6 が直列に接続されている。1 つのメモリセル 1 6 は、1 ビットのデータを格納する。

【 0 0 4 0 】

図 2 に示されているように、フローティングゲート電極 2 1 に電子が蓄積されていないとき、メモリセル 1 6 は、消去状態にある。他方、フローティングゲート電極 2 1 に電子が蓄積されているとき、メモリセル 1 6 は、書込状態にある。消去状態のメモリセル 1 6 は、論理値 “ 1 ” を示すデータを格納している。書込状態のメモリセル 1 6 は、論理値 “ 0 ” を示すデータを格納している。

【 0 0 4 1 】

メモリセル 1 6 に格納されたデータを読み出すために予め定められた読出電圧が、消去

10

20

30

40

50

状態となっているメモリセル 16 のコントロールゲート電極 23 に印加されていないときには、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 との間の P 型半導体基板 17 の表面に、チャネルが形成されない。従って、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 は、互いに電氣的に絶縁される。

【0042】

これに対して、消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されているときには、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 との間の P 型半導体基板 17 の表面に、チャネル（図示せず）が形成される。N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 は、そのチャネルによって電氣的に接続される。

10

【0043】

上述のように、消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されていないときには、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 が電氣的に絶縁される。消去状態となっているメモリセル 16 のコントロールゲート電極 23 に読出電圧が印加されているときには、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 が電氣的に接続される。

【0044】

図 3 に示されているように、フローティングゲート電極 21 に電子が蓄積されているとき、メモリセル 16 は、書込状態にある。フローティングゲート電極 21 はトンネル酸化膜 20 と絶縁膜 22 に挟まれている。そのため、電子が一旦フローティングゲート電極 21 に注入されると、電位障壁により、きわめて長時間にわたり電子がフローティングゲート電極 21 内にとどまる。フローティングゲート電極 21 に電子を蓄積することにより書込状態となっているメモリセル 16 では、コントロールゲート電極 23 に読出電圧が印加されているか否かにかかわらず、チャネル 24 が N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 との間の P 型半導体基板 17 の表面に形成される。従って、メモリセル 16 が書込状態となっているときには、コントロールゲート電極 23 に読出電圧が印加されているか否かにかかわらず、N 型ソース拡散領域 18 と N 型ドレイン拡散領域 19 が電氣的に接続される。

20

【0045】

メモリセル 16 が消去状態であるか書込状態であるかを特定するためのデータ読出動作を、以下に説明する。フラッシュメモリ 2 では、複数のメモリセル 16 が直列に接続されている。その複数のメモリセル 16 のうちの 1 つが、格納データの読み出しのためにコントローラ 3 によって選択される。所定の低レベル電圧が、その選択された 1 つのメモリセル 16 に取り付けられたコントロールゲート電極 23 に印加される。低レベル電圧よりも高い所定の高レベル電圧（読出電圧）が、複数のメモリセル 16 のうちの他のものに取り付けられたコントロールゲート電極 23 に印加される。

30

【0046】

この状況で、一連のメモリセル 16 が導通しているか否かを、所定の検出器により検出する。検出器が導通を検出したとき、選択されたメモリセル 16 は、書込状態である。検出器が不導通を検出したとき、選択されたメモリセル 16 は、消去状態である。上記のように、フラッシュメモリ 2 は、直列に接続された一連のメモリセル 16 のうちの任意の 1 つから論理値 “0” 又は “1” を示す格納データを読み出すように、設計されている。

40

【0047】

メモリセル 16 の状態を消去状態と書込状態との間で変更するときには、メモリセル 16 のデータ読出動作にて使用される電圧よりも大きい消去電圧又は書込電圧が使用される。消去状態となっているメモリセル 16 を書込状態に変更するときには、コントロールゲート電極 23 の電位がフローティングゲート電極 21 の電位よりも高くなるように、書込電圧がコントロールゲート電極 23 に印加される。この書込電圧によって、P 型半導体基板 17 とフローティングゲート電極 21 の間に、トンネル酸化膜 20 を介して FN（ファウラーノルトハイム；Fowler-Nordhaim）トンネル電流が流れる。この結果、電子がフロ

50

ーティングゲート電極 2 1 に注入される。

【 0 0 4 8 】

他方、書込状態となっているメモリセル 1 6 を消去状態に変更するときには、コントロールゲート電極 2 3 の電位がフローティングゲート電極 2 1 の電位よりも低くなるように、消去電圧がコントロールゲート電極 2 3 に印加される。この消去電圧によって、フローティングゲート電極 2 1 に蓄積されている電子がトンネル酸化膜 2 0 を介して P 型半導体基板 1 7 に排出される。

【 0 0 4 9 】

以下に、フラッシュメモリ 2 にデータを格納するための構造を説明する。図 4 は、フラッシュメモリ 2 のアドレス空間を概略的に示している。図 4 に示された構造において、フラッシュメモリ 2 のアドレス空間は、“ ページ ” と “ ブロック ” に基づいて分割されている。ページは、フラッシュメモリ 2 にて行われるデータ読出動作及びデータ書込動作における処理単位である。ブロックは、フラッシュメモリ 2 にて行われるデータ消去動作における処理単位である。

【 0 0 5 0 】

1 つのページは、5 1 2 バイトのデータ領域 2 5 と、1 6 バイトの冗長領域 2 6 とを含んでいる。データ領域 2 5 は、ホストコンピュータ 4 から供給されるユーザデータを格納する。冗長領域 2 6 は、E C C ブロック 1 1 によって生成されたエラーコレクションコード ( E C C ) といった付加情報を格納する。エラーコレクションコードは、付加情報の 1 つであり、対応するデータ領域 2 5 に格納されたデータに含まれる誤りを訂正するために使用される。データ領域 2 5 に格納されたデータに含まれる誤りの数が予め定められた閾値以下であるときには、その誤りは、エラーコレクションコードによって訂正されることができる。このとき、データ領域 2 5 から読み出されたデータは、エラーコレクションコードによって正しいデータに修正される。

【 0 0 5 1 】

冗長領域 2 6 は、エラーコレクションコードの他に、“ 対応論理ブロックアドレス ” を格納する。1 つのブロックに含まれている少なくとも 1 つのデータ領域 2 5 に有効なデータが格納されているとき、対応論理ブロックアドレスは、そのブロックが対応付けられている論理ブロックのアドレスを示す。論理ブロックアドレスは、ホストコンピュータ 4 から与えられるホストアドレスに基づいて決定されるブロックのアドレスである。他方、フラッシュメモリ 2 内における実際のブロックのアドレスは、物理ブロックアドレスと称される。

【 0 0 5 2 】

1 つのブロックに含まれている全てのデータ領域 2 5 に有効なデータが格納されていないときには、そのブロックに含まれている冗長領域 2 6 に、対応論理ブロックアドレスが格納されていない。従って、冗長領域 2 6 に対応論理ブロックアドレスが格納されているか否かを判定することにより、その冗長領域 2 6 が含まれているブロックにてデータが消去されたか否かを判定することができる。冗長領域 2 6 に対応論理ブロックアドレスが格納されていないとき、その冗長領域 2 6 が含まれているブロックは、データが消去された状態にある。

【 0 0 5 3 】

1 つのブロックは、3 2 個のページを含んでいる。フラッシュメモリ 2 では、データの上書きができない。そのため、1 つのページに格納されたデータのみを書き換えるときであっても、そのページが含まれたブロック内の全ページに格納されたデータが、書き換えられなければならない。1 つのブロック内の全ページから読み出されたデータの少なくとも一部が変更された後、そのデータは、消去されているブロックの 1 つに、ブロック単位で書き込まなければならない。

【 0 0 5 4 】

上記のようにデータを書き換えるにあたっては、書き換えられたデータは、以前に格納されていたブロックとは異なるブロックに書き込まれる。そのため、論理ブロックアドレ

10

20

30

40

50

スと物理ブロックアドレスの間の対応関係は、フラッシュメモリ 2 にてデータが書き換えられる毎に、動的に変化する。論理ブロックアドレスと物理ブロックアドレスの間の対応関係は、アドレス変換テーブルに記載される。アドレス変換テーブルは、図 1 に示されているワークエリア 8 に格納される。アドレス変換テーブルでは、フラッシュメモリ 2 にてデータが書き換えられる毎に、書き換えられたブロックに対応する格納情報が更新される。

【 0 0 5 5 】

図 1 において、コントローラ 3 は、ホストインタフェース制御ブロック 5 と、マイクロプロセッサ 6 と、ホストインタフェースブロック 7 と、ワークエリア 8 と、バッファ 9 と、フラッシュメモリインタフェースブロック 10 と、ECC ブロック 11 と、フラッシュシーケンサブロック 12 とを有している。例えば、コントローラ 3 は、1 つの半導体チップ上に集積される。

【 0 0 5 6 】

以下に、コントローラ 3 の各部位の機能を説明する。ホストインタフェース制御ブロック 5 は、ホストインタフェースブロック 7 の動作を制御するための第 1 の制御ブロックである。マイクロプロセッサ 6 は、コントローラ 3 全体の動作を制御するための機能ブロックである。

【 0 0 5 7 】

ホストインタフェースブロック 7 は、マイクロプロセッサ 6 による制御のもと、データ、アドレス及びその他の指示等を示す情報を、ホストコンピュータ 4 との間で交換するための機能ブロックである。フラッシュメモリシステム 1 がホストコンピュータ 4 に装着されたとき、フラッシュメモリシステム 1 とホストコンピュータ 4 とは、外部バス 13 を介して相互に接続される。ホストコンピュータ 4 からフラッシュメモリシステム 1 に供給される情報は、ホストインタフェースブロック 7 を通してコントローラ 3 の内部に取り込まれる。フラッシュメモリシステム 1 からホストコンピュータ 4 に供給される情報は、ホストインタフェースブロック 7 を通してホストコンピュータ 4 へ出力される。

【 0 0 5 8 】

ワークエリア 8 は、フラッシュメモリ 2 の制御に使用されるデータを一時的に格納するためのメモリモジュールである。例えば、ワークエリア 8 は、複数の S R A M (Static Random Access Memory) セルを含んでいる。

バッファ 9 は、フラッシュメモリ 2 から読み出されたデータ及びフラッシュメモリ 2 に書き込まれるべきデータを、保持するための機能ブロックである。フラッシュメモリ 2 から読み出されたデータは、ホストコンピュータ 4 に出力されるまで、バッファ 9 に保持される。フラッシュメモリ 2 に書き込まれるべきデータは、フラッシュメモリ 2 のデータ書込動作の準備ができるまで、バッファ 9 に保持される。

【 0 0 5 9 】

フラッシュメモリインタフェースブロック 10 は、内部バス 14 を介して、データ、アドレス、ステータス及び内部コマンド等を示す情報を、フラッシュメモリ 2 との間で交換するための機能ブロックである。内部コマンドは、コントローラ 3 からフラッシュメモリ 2 に与えられるコマンドである。

ECC ブロック 11 は、フラッシュメモリ 2 への書込データに付加されるエラーコレクションコードを生成するための機能ブロックである。加えて、ECC ブロック 11 は、フラッシュメモリ 2 から読み出されたデータに含まれるエラーコレクションコードに基づいて、読出データに含まれる誤りの検出及び訂正を行う。

【 0 0 6 0 】

フラッシュシーケンサブロック 12 は、内部コマンドに基づいて、フラッシュメモリ 2 の動作を制御するための第 2 の制御ブロックである。フラッシュシーケンサブロック 12 は、複数のレジスタ (図示せず) を有している。フラッシュシーケンサブロック 12 は、マイクロプロセッサ 6 による制御のもと、内部コマンドが実行されるときに使用される情報を、複数のレジスタに設定する。複数のレジスタに情報を設定した後、フラッシュシー

10

20

30

40

50



ケンサブブロック 1 2 は、各レジスタに設定された情報に基づいて、内部コマンドに従った動作を行う。

【 0 0 6 1 】

以下に、フラッシュメモリ 2 からバッファ 9 にデータを読み出すための処理、及び、バッファ 9 からフラッシュメモリ 2 にデータを書き込むための処理について、説明する。

図 5 は、フラッシュメモリ 2 のメモリ空間 3 1 におけるブロック及びページの割当例を概略的に示している。図 5 に示されているように、メモリ空間 3 1 は、各々がデータ消去動作における一括処理単位である複数のブロック 3 1 a ( B 0 0 0 0 ~ B 1 0 2 3 ) に分割されている。各ブロック 3 1 a は、各々がデータ読出動作及びデータ書込動作における一括処理単位である複数のページ 3 1 b ( P 0 0 ~ P 3 1 ) に分割されている。各ページ 3 1 b は、各々が 1 バイトである 5 1 2 個のデータ領域 ( A 0 0 0 ~ A 5 1 1 ) に分割されている。

10

【 0 0 6 2 】

1 0 2 4 個のブロック 3 1 a ( B 0 0 0 0 ~ B 1 0 2 3 ) は、1つのゾーンとして管理される。フラッシュメモリ 2 が複数のメモリ空間 3 1 を含んでいるとき、各メモリ空間 3 1 に対応した各ゾーンには、少なくとも 1 つの消去済ブロックが、データを書込可能とするために確保される。以下では、データを書込可能に設定された消去済ブロックは、書込候補ブロックと称される。データ書込動作では、書込候補ブロックの 1 つに、データが書き込まれる。

20

【 0 0 6 3 】

図 6 は、フラッシュメモリ 2 のメモリ空間 3 1 と、バッファ 9 のバッファ空間 3 2 との間でのデータ交換動作を、概略的に示している。図 6 に示されているバッファ空間 3 2 は、各々が 1 バイトである 5 1 2 個のデータ領域 ( B F 0 0 0 ~ B F 5 1 1 ) に分割されている。バッファ空間 3 2 は、1 バイト単位又は 1 ワード ( 2 バイト又はより多くのバイト ) 単位で、フラッシュメモリ 2 との間でデータを交換する。

【 0 0 6 4 】

図 6 に示されているポインタレジスタ 3 3 及びジョブレジスタ 3 4 は、ホストコンピュータ 4 からの指示を格納する。フラッシュメモリ 2 からバッファ 9 にデータを読み出すための処理、及び、バッファ 9 からフラッシュメモリ 2 にデータを書き込む処理は、ポインタレジスタ 3 3 及びジョブレジスタ 3 4 に格納されている指示に従って、フラッシュシーケンサブブロック 1 2 によって制御される。ポインタレジスタ 3 3 は、ページアドレスを設定するためのレジスタである。ジョブレジスタ 3 4 は、データ読出動作、データ書込動作等を示す動作指示を設定するためのレジスタである。

30

【 0 0 6 5 】

第 1 の例として、ジョブレジスタ 3 4 に設定された動作指示がデータ読出動作を示すとともに、ページアドレスがポインタレジスタ 3 3 に設定されたとき、フラッシュシーケンサブブロック 1 2 が有する複数のレジスタ ( 図示せず ) には、次のような情報が設定される。第 1 に、内部読出コマンドは、フラッシュシーケンサブブロック 1 2 内の予め定められた第 1 レジスタ ( 図示せず ) に、内部コマンドとして格納される。第 2 に、ポインタレジスタ 3 3 に設定されているページアドレスにおけるブロックアドレス部分 ( 論理ブロックアドレス ) は、フラッシュメモリ 2 内の対応するブロックアドレス ( 物理ブロックアドレス ) に変換される。変換されたページアドレスは、フラッシュシーケンサブブロック 1 2 内の予め定められた第 2 レジスタ ( 図示せず ) に格納される。

40

【 0 0 6 6 】

上記のようなデータ読出動作のために設定された情報に基づいて、フラッシュシーケンサブブロック 1 2 は、内部コマンドに従ってフラッシュメモリインタフェースブロック 1 0 を制御する。フラッシュメモリインタフェースブロック 1 0 は、内部バス 1 4 を介してフラッシュメモリ 2 に、内部コマンドを示す情報を供給する。フラッシュメモリインタフェースブロック 1 0 から出力された情報に応答して、フラッシュメモリ 2 では、フラッシュシーケンサブブロック 1 2 の第 2 レジスタに設定されたページアドレスに対応するデータ領

50

域 (A 0 0 0 ~ A 5 1 1) から、格納データが 1 バイト単位で順次に読み出される。フラッシュメモリ 2 から読み出されたデータは、バッファ空間 3 2 のデータ領域 (B F 0 0 0 ~ B F 5 1 1) に順次格納される。例えば、フラッシュシーケンサブブロック 1 2 は、フラッシュメモリ 2 から受けたデータを、バッファ空間 3 2 の開始アドレスから終了アドレスへと向かう順番で、バッファ空間 3 2 のデータ領域 (B F 0 0 0 ~ B F 5 1 1) に順次格納するように、フラッシュメモリインタフェースブロック 1 0 を制御する。

#### 【 0 0 6 7 】

第 2 の例として、ジョブレジスタ 3 4 に設定された動作指示がデータ書込動作を示すとともに、ページアドレスがポインタレジスタ 3 3 に設定されたとき、フラッシュシーケンサブブロック 1 2 が有する複数のレジスタ (図示せず) には、次のような情報が設定される。第 1 に、内部書込コマンドは、フラッシュシーケンサブブロック 1 2 内の第 1 レジスタ (図示せず) に、内部コマンドとして格納される。第 2 に、ポインタレジスタ 3 3 に設定されているページアドレスの下位 5 ビットであるページ番号部分と、書込候補ブロックのブロックアドレス (物理ブロックアドレス) とに基づいて、ページアドレスが生成される。生成されたページアドレスは、フラッシュシーケンサブブロック 1 2 内の第 2 レジスタ (図示せず) に格納される。

#### 【 0 0 6 8 】

上記のようなデータ書込動作のために設定された情報に基づいて、フラッシュシーケンサブブロック 1 2 は、内部コマンドに従ってフラッシュメモリインタフェースブロック 1 0 を制御する。フラッシュメモリインタフェースブロック 1 0 は、内部バス 1 4 を介してフラッシュメモリ 2 に、内部コマンドを示す情報を供給する。同時に、フラッシュメモリインタフェースブロック 1 0 は、バッファ空間 3 2 のデータ領域 (B F 0 0 0 ~ B F 5 1 1) に格納されているデータを読み出す。バッファ空間 3 2 から読み出されたデータは、1 バイト単位で順次にフラッシュメモリ 2 へと供給される。例えば、フラッシュシーケンサブブロック 1 2 は、バッファ空間 3 2 の開始アドレスから終了アドレスへと向かう順番で、フラッシュメモリ 2 に転送するためのデータをバッファ空間 3 2 から読み出すように、フラッシュメモリインタフェースブロック 1 0 を制御する。フラッシュメモリインタフェースブロック 1 0 から出力された情報にตอบสนองして、フラッシュメモリ 2 では、フラッシュシーケンサブブロック 1 2 の第 2 レジスタに設定されたページアドレスに対応するデータ領域 (A 0 0 0 ~ A 5 1 1) に、コントローラ 3 から供給されたデータが順次に書き込まれる。

#### 【 0 0 6 9 】

コントローラ 3 がフラッシュメモリ 2 における一連のページとデータを交換するときには、“開始ページアドレス”及び“終了ページアドレス”がポインタレジスタ 3 3 に設定されてもよい。フラッシュシーケンサブブロック 1 2 内の第 2 レジスタに設定されるページアドレスの下位 5 ビットであるページ番号部分は、“開始ページアドレス”から“終了ページアドレス”まで、1 ずつカウントアップされる。別の設定として、“開始ページアドレス”及び“ページ数”がポインタレジスタ 3 3 に設定されてもよい。フラッシュシーケンサブブロック 1 2 内の第 2 レジスタに設定されるページ番号部分は、“開始ページアドレス”から 1 ずつカウントアップされる。カウントアップ動作は、“ページ数”に対応する回数まで実行される。

#### 【 0 0 7 0 】

以下に、フラッシュメモリ 2 に格納されているデータをホストコンピュータ 4 へと読み出すための処理、及び、ホストコンピュータ 4 からフラッシュメモリ 2 にデータを書き込むための処理について、説明する。

#### 【 0 0 7 1 】

図 7 は、ホストコンピュータ 4 のメモリアドレス空間 3 8 と、バッファ 9 のバッファ空間 3 2 との間でのデータ交換動作を、概略的に示している。図 7 には、ポインタレジスタ 3 3 及びジョブレジスタ 3 4 も示されている。

バッファ 9 のバッファ空間 3 2 は、ホストコンピュータ 4 のメモリアドレス空間 3 8 に

10

20

30

40

50

において、512バイトを有するメモリ領域(M10000~M10511)に割り付けられている。ホストコンピュータ4のメモリアドレス空間38には、ポインタレジスタ33及びジョブレジスタ34にアクセスするためのアドレスが含まれている。メモリアドレス空間38にてポインタレジスタ33及びジョブレジスタ34に割り当てられるアドレスは、ポインタレジスタ33及びジョブレジスタ34のデータ容量に応じて、適宜設定されていけばよい。ホストコンピュータ4にてポインタレジスタ33及びジョブレジスタ34に割り当てられるアドレスは、ホストコンピュータ4のI/Oアドレス空間に含まれていてもよい。

#### 【0072】

図8は、ホストコンピュータ4のメモリ領域35と、フラッシュメモリ2のメモリ空間31との間でのデータ交換動作を、概略的に示している。フラッシュメモリ2から読み出されたデータ及びフラッシュメモリ2に書き込まれるべきデータは、バッファ9のバッファ空間32を介して、メモリ領域35とメモリ空間31との間で交換される。バッファ空間32は、ホストコンピュータ4のメモリアドレス空間38において、512バイトを有するメモリ領域35に割り付けられている。フラッシュメモリ2のメモリ空間31に格納されているデータを読み出すため、及び、フラッシュメモリ2のメモリ空間31にデータを書き込むために、ホストコンピュータ4は、バッファ空間32に割り付けられているメモリ領域35にアクセスする。コントローラ3は、ポインタレジスタ33及びジョブレジスタ34における設定情報に基づいて、バッファ空間32とメモリ空間31の全データ領域との間で、データを交換できるようにする。

#### 【0073】

コントローラ3がバッファ空間32とフラッシュメモリ2のメモリ空間31との間でデータを交換するとき、コントローラ3に含まれるアドレスカウンタ36は、1ページ分(512バイト)のデータが順次に交換されるように制御する。例えば、アドレスカウンタ36は、フラッシュシーケンサブロック12に含まれている。他方、ホストコンピュータ4とバッファ9との間でデータが交換されるときには、アドレスバッファ37を用いることにより、通常のスタティックRAMと同様に、512バイトを有するバッファ空間32における各データ領域が、所定のアドレスバスによって供給されるアドレス信号及び制御信号に基づいて、ランダムにアクセスされる。例えば、アドレスバッファ37は、ホストインタフェース制御ブロック5に含まれている。

#### 【0074】

バッファ空間32のデータ容量は512(=2<sup>9</sup>)バイトである。従って、バッファ空間32の各データ領域は、9ビットのアドレスによって特定されることができる。ホストコンピュータ4のメモリ領域35から供給されるアドレスデータの下位9ビットは、バッファ空間32における各データ領域のアドレスを示す。バッファ空間32における各データ領域のアドレスを示すデータは、アドレスバッファ37にセットされる。アドレスバッファ37にセットされたアドレスデータに基づいて、ホストインタフェース制御ブロック5は、ホストコンピュータ4がバッファ空間32の各データ領域にアクセスすることを可能にする。ホストコンピュータ4のメモリ領域35から供給されるアドレスデータのうちでアドレスバッファ37にセットされなかったデータは、バッファ空間32に保持されているデータがホストコンピュータ4からの要求に適合しているか否かを判定するために使用される。この判定処理は、例えば、マイクロプロセッサ6によって実行される。

#### 【0075】

ホストコンピュータ4がワード(16ビット)単位でバッファ空間32にアクセスするときには、ホストコンピュータ4のメモリ空間35から供給されるアドレスデータの下位8ビットがアドレスバッファ37にセットされてもよい。バッファ空間32の各データ領域は、8ビットのアドレスによって特定されることができる。このときにも、ホストコンピュータ4のメモリ領域35から供給されるアドレスデータのうちでアドレスバッファ37にセットされなかったデータに基づいて、コントローラ3は、バッファ空間32に保持されているデータがホストコンピュータ4からの要求に適合しているか否かを判定するこ

10

20

30

40

50

とができる。

【 0 0 7 6 】

以下に、図 9 から図 1 2 に示されるタイミング図を参照することにより、ホストコンピュータ 4 のメモリ領域 3 5 によるバッファ空間 3 2 からのデータ読出動作と、バッファ空間 3 2 へのデータ書込動作について、説明する。

【 0 0 7 7 】

図 9 は、ホストコンピュータ 4 のメモリ領域 3 5 におけるデータ読出サイクルを示すタイミング図である。ホストコンピュータ 4 は、メモリ領域 3 5 を介して所定のアドレスバスにアドレス信号 A D R を出力する。この出力に対応して、チップイネーブル信号 C E N 及びアウトプットイネーブル信号 O E N は低レベルになる。アドレス信号 A D R が出力されている期間では、チップイネーブル信号 C E N 及びアウトプットイネーブル信号 O E N が低レベルに設定される。バッファ 9 では、アドレス信号 A D R によって指定されたアドレスを有するバッファ空間 3 2 のデータ領域に格納されているデータが読み出される。読み出されたデータは、データ信号 D A T A として、ホストインタフェースブロック 7 を介して、ホストコンピュータ 4 へと出力される。ホストインタフェース制御ブロック 5 は、ホストコンピュータ 4 へとデータ信号 D A T A を出力するために、ホストコンピュータ 4 から供給されたアドレス信号 A D R によって指定されたアドレスを有するバッファ空間 3 2 のデータ領域から格納データを読み出すように、ホストインタフェースブロック 7 を制御する。図 9 において、アドレス信号 A D R によってアドレス A 0 が指定されたことに応答して、データ D 0 を示すデータ信号 D A T A が出力される。アドレス信号 A D R によってアドレス A 1 が指定されたことに応答して、データ D 1 を示すデータ信号 D A T A が出力される。

【 0 0 7 8 】

図 1 0 は、ホストコンピュータ 4 がバッファ 9 から連続的に格納データを読み出すための動作を示すタイミング図である。図 1 0 において、ホストコンピュータ 4 は、アドレス A ' からアドレス A ' + 3 を示すアドレス信号 A D R を、連続してコントローラ 3 に出力する。アドレス信号 A D R が連続して出力されている期間では、チップイネーブル信号 C E N 及びアウトプットイネーブル信号 O E N が低レベルに設定される。バッファ 9 では、アドレス信号 A D R によって指定されたアドレス A ' - A ' + 3 を有するバッファ空間 3 2 のデータ領域に格納されているデータが順次に読み出される。読み出されたデータは、データ信号 D A T A として、ホストコンピュータ 4 へと順次に出力される。

【 0 0 7 9 】

図 1 0 において、アドレス信号 A D R によってアドレス A ' が指定されたことに応答して、データ D 0 ' を示すデータ信号 D A T A が出力される。アドレス信号 A D R によってアドレス A ' + 1 が指定されたことに応答して、データ D 1 ' を示すデータ信号 D A T A が出力される。アドレス信号 A D R によってアドレス A ' + 2 が指定されたことに応答して、データ D 2 ' を示すデータ信号 D A T A が出力される。アドレス信号 A D R によってアドレス A ' + 3 が指定されたことに応答して、データ D 3 ' を示すデータ信号 D A T A が出力される。

【 0 0 8 0 】

図 1 1 は、ホストコンピュータ 4 のメモリ領域 3 5 及びバッファ 9 のバッファ空間 3 2 におけるデータ書込サイクルを示すタイミング図である。ホストコンピュータ 4 は、メモリ領域 3 5 を介して、所定のアドレスバスにアドレス信号 A D R を出力し、所定のデータバスにデータ信号 D A T A を出力する。このアドレス信号 A D R 及びデータ信号 D A T A の出力に対応して、チップイネーブル信号 C E N は低レベルに設定される。アドレス信号 A D R 及びデータ信号 D A T A が出力されている期間において、チップイネーブル信号 C E N が低レベルになる。アドレス信号 A D R 、データ信号 D A T A 及び低レベルのチップイネーブル信号 C E N が出力されている期間において、ライトイネーブル信号 W E N が低レベルから高レベルに変化する。

【 0 0 8 1 】

ライトイネーブル信号WENの立ち上がりエッジに応答して、データ信号DATAが、アドレス信号ADRで指定されたアドレスを有するバッファ空間32のデータ領域に取り込まれる。ホストインタフェース制御ブロック5は、ホストコンピュータ4から供給されたアドレス信号ADRによって指定されたアドレスを有するメモリ空間31のデータ領域に、ホストコンピュータ4から供給されたデータ信号DATAによって示されるデータを書き込むように、ホストインタフェースブロック7を制御する。図11では、データ信号DATAによって示されるデータD0が、アドレス信号ADRによって指定されたアドレスA0を有するデータ領域に格納される。データ信号DATAによって示されるデータD1は、アドレス信号ADRによって指定されたアドレスA1を有するデータ領域に格納される。

10

**【0082】**

図12は、ホストコンピュータ4がバッファ9に連続的にデータを書き込むための動作を示すタイミング図である。図12において、ホストコンピュータ4は、アドレスA'からアドレスA'+3を示すアドレス信号ADRを、連続してコントローラ3に出力する。アドレスA'を指定するアドレス信号が出力されるときには、データD0'を示すデータ信号DATAが出力される。アドレスA'+1を指定するアドレス信号ADRが出力されるときには、データD1'を示すデータ信号DATAが出力される。アドレスA'+2を指定するアドレス信号ADRが出力されるときには、データD2'を示すデータ信号DATAが出力される。アドレスA'+3を指定するアドレス信号ADRが出力されるときには、データD3'を示すデータ信号DATAが出力される。アドレス信号ADRが連続して出力されている期間において、チップイネーブル信号CENが低レベルになる。アドレス信号ADR、データ信号DATA及び低レベルのチップイネーブル信号CENが出力されている期間において、ホストコンピュータ4は、ライトイネーブル信号WENを低レベルから高レベルにさせる。ライトイネーブル信号WENの立ち上がりエッジに応答して、データ信号DATAが、アドレス信号ADRで指定されたアドレスを有するバッファ空間32のデータ領域に取り込まれる。

20

**【0083】**

図12では、データ信号DATAによって示されるデータD0'が、アドレス信号ADRによって指定されたアドレスA'を有するデータ領域に格納される。データ信号DATAによって示されるデータD1'は、アドレス信号ADRによって指定されたアドレスA'+1を有するデータ領域に格納される。データ信号DATAによって示されるデータD2'は、アドレス信号ADRによって指定されたアドレスA'+2を有するデータ領域に格納される。データ信号DATAによって示されるデータD3'は、アドレス信号ADRによって指定されたアドレスA'+3を有するデータ領域に格納される。

30

**【0084】**

フラッシュメモリ2のメモリ空間31においてポインタレジスタ33によって指定されたページアドレスを有するページ31b(P00~P31)と、バッファ9のバッファ空間32との間では、バッファ空間32の先頭から末尾まで、順次にデータが交換される。言い換えると、フラッシュメモリ2とコントローラ3との間でのデータ交換は、フラッシュメモリ2におけるページを単位として行われる。ホストコンピュータ4は、メモリ領域35にアクセスすることにより、バッファ9のバッファ空間32に含まれる任意のデータ領域との間でランダムにデータを交換することができる。バッファ9のバッファ空間32は、フラッシュメモリ2のメモリ空間31における1つのページと同様に、512バイトの記憶容量を有している。従って、コントローラ3は、簡単な構成で、ホストコンピュータ4にフラッシュメモリ2への柔軟なアクセスを提供することができる。コントローラ3によって提供されるフラッシュメモリ2へのメモリアクセスは、通常のスタティックRAMへのアクセスと類似している。

40

**【0085】**

本発明は、様々な変形及び応用が可能である。例えば、コントローラ3は、フラッシュメモリシステム1とは独立して、フラッシュメモリ2とホストコンピュータ4との間での

50

データ交換を制御してもよい。コントローラ 3 は、ホストコンピュータ 4 に内蔵されていてもよい。ポインタレジスタ 3 3 及びジョブレジスタ 3 4 は、S R A M や D R A M (Dynamic RAM) などといった、ホストコンピュータ 4 からのランダムアクセスが可能な任意のメモリに置き換えられてもよい。

【図面の簡単な説明】

【 0 0 8 6 】

【図 1】本発明の実施の形態に係るフラッシュメモリシステムの一例を示すブロック図である。

【図 2】メモリセルの構造の一例を概略的に示す図である。

【図 3】書込状態となっているメモリセルの断面図である。

【図 4】フラッシュメモリにおけるアドレス空間の概略図である。

【図 5】フラッシュメモリのメモリ空間におけるブロック及びページの割当例の概略図である。

【図 6】フラッシュメモリのメモリ空間とバッファのバッファ空間との間でのデータ交換動作の概略図である。

【図 7】ホストコンピュータのメモリアドレス空間とバッファのバッファ空間との間でのデータ交換動作の概略図である。

【図 8】ホストコンピュータのメモリ領域とフラッシュメモリのメモリ空間との間でのデータ交換動作の概略図である。

【図 9】ホストコンピュータのメモリ領域におけるデータ読出サイクルを示すタイミング図である。

【図 10】バッファからホストコンピュータに連続的に格納データを読み出すサイクルを示すタイミング図である。

【図 11】ホストコンピュータのメモリ領域におけるデータ書込サイクルを示すタイミング図である。

【図 12】ホストコンピュータによりバッファに連続的に格納データを書き込むサイクルを示すタイミング図である。

【符号の説明】

【 0 0 8 7 】

- 1      フラッシュメモリシステム
- 2、3 1    フラッシュメモリ
- 3      コントローラ
- 4、3 5    ホストコンピュータ
- 5      ホストインタフェース制御ブロック
- 6      マイクロプロセッサ
- 7      ホストインタフェースブロック
- 8      ワークエリア
- 9、3 2    バッファ
- 10    フラッシュメモリインタフェースブロック
- 11    E C C ブロック
- 12    フラッシュシーケンサブロック
- 13    外部バス
- 14    内部バス
- 16    メモリセル
- 17    P 型半導体基板
- 18    N 型ソース拡散領域
- 19    N 型ドレイン拡散領域
- 20    トンネル酸化膜
- 21    フローティングゲート電極
- 22    絶縁膜

10

20

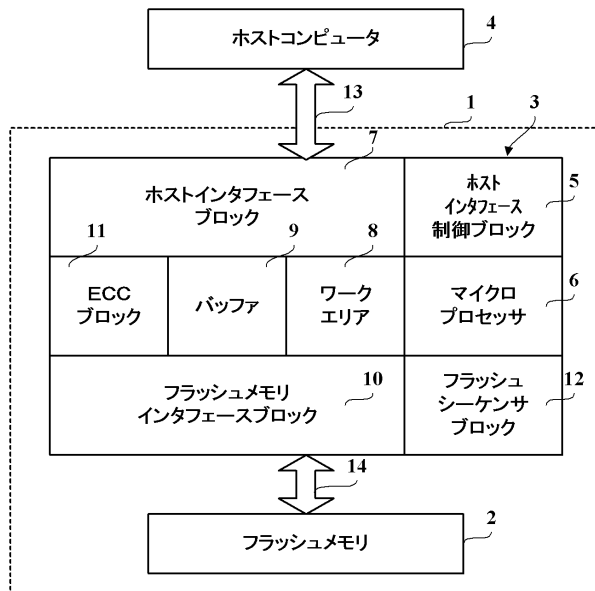
30

40

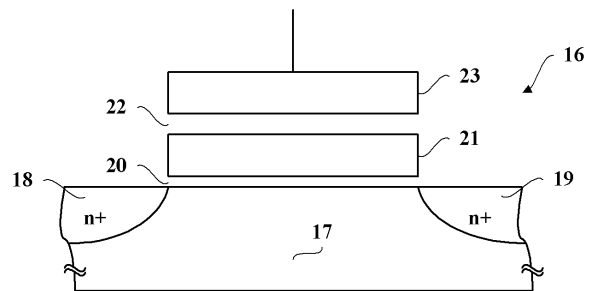
50

- 2 3    コントロールゲート電極
- 2 4    チャンネル
- 2 5    データ領域
- 2 6    冗長領域
- 3 3    ポインタレジスタ
- 3 4    ジョブレジスタ
- 3 6    アドレスカウンタ
- 3 7    アドレスバッファ
- 3 8    メモリアドレス空間

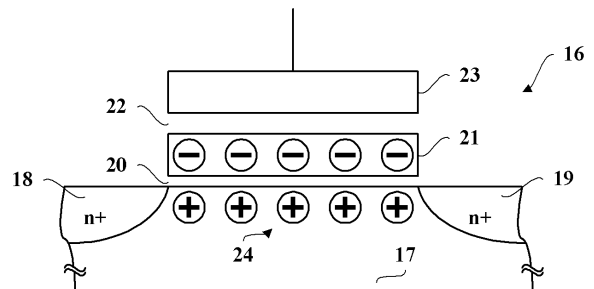
【図 1】



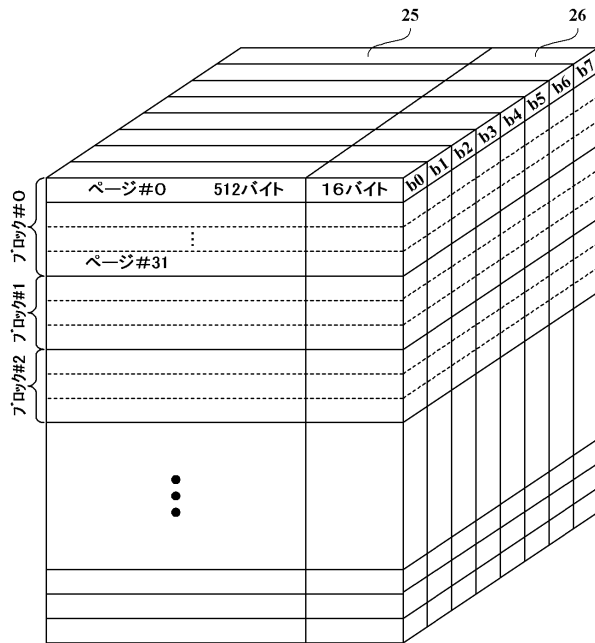
【図 2】



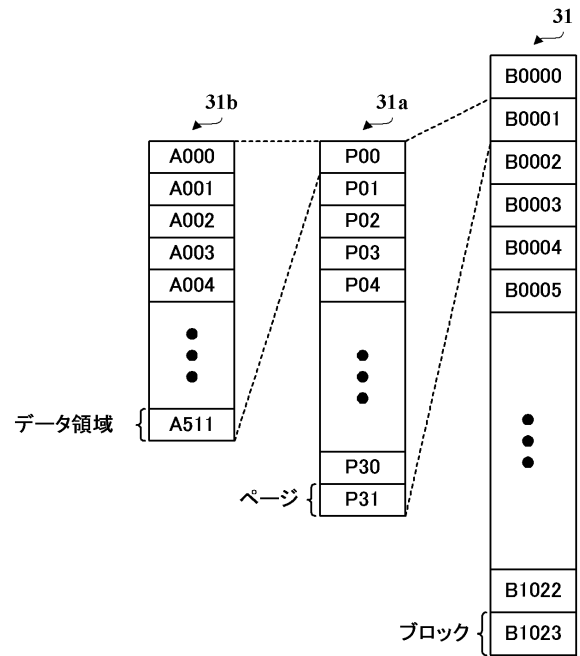
【図 3】



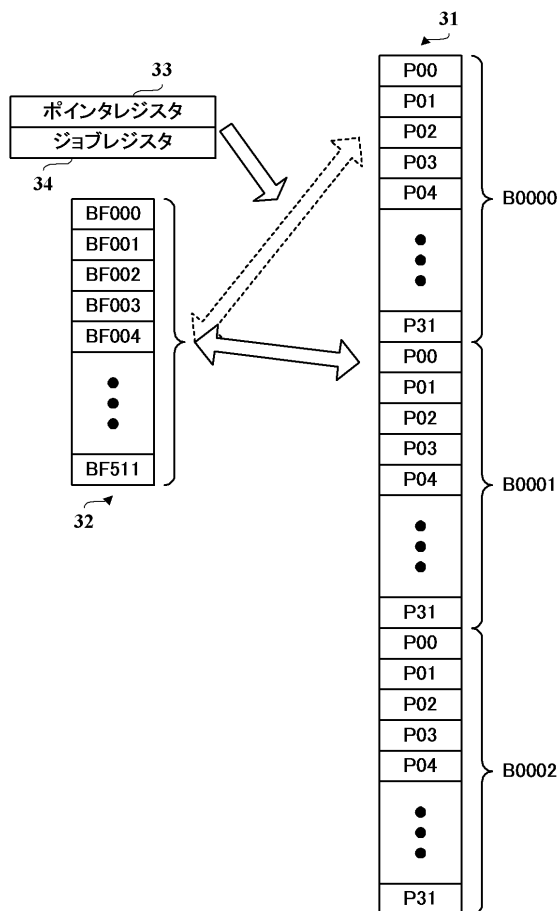
【図 4】



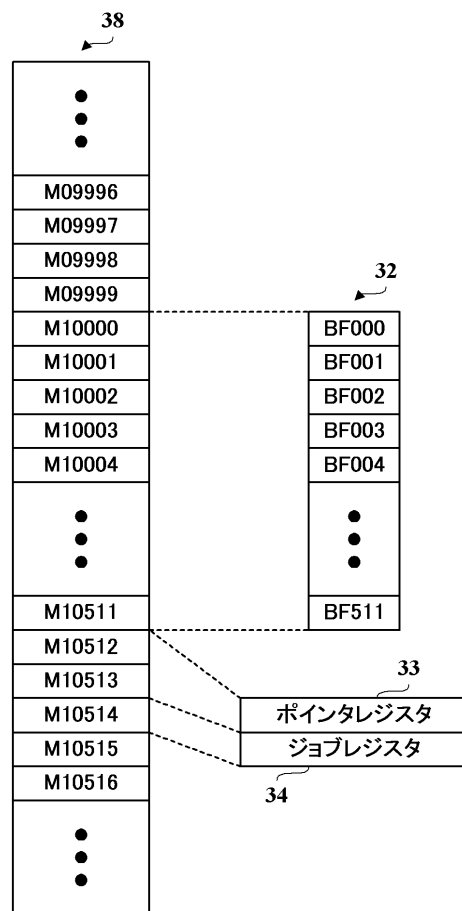
【図 5】



【図 6】

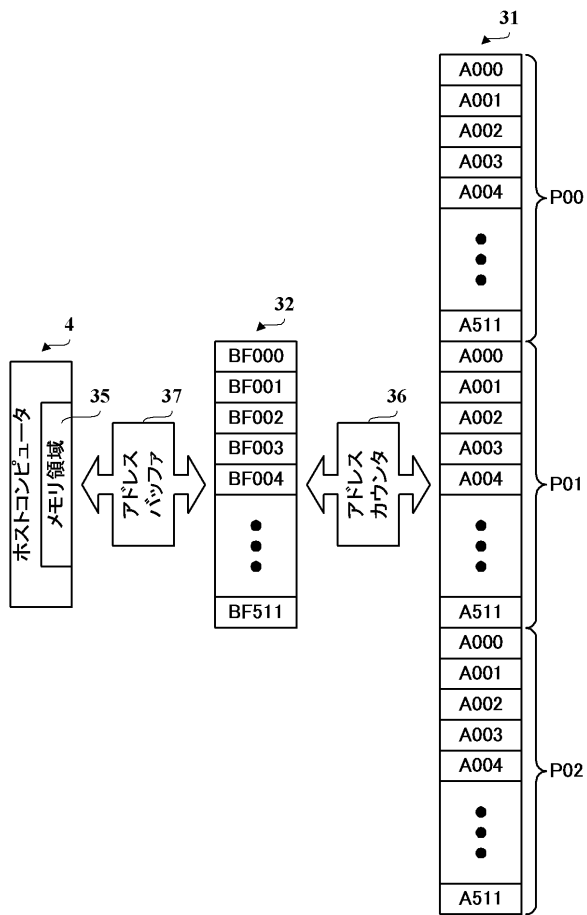


【図 7】

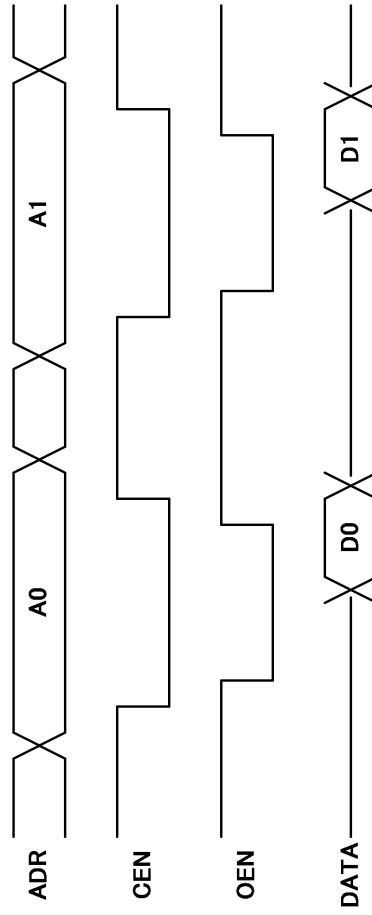




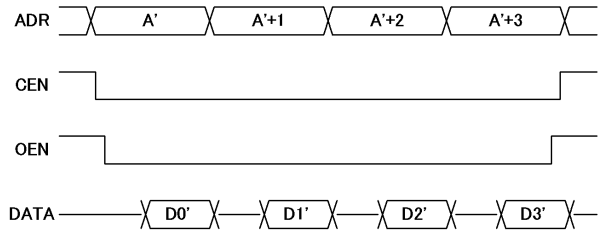
【図 8】



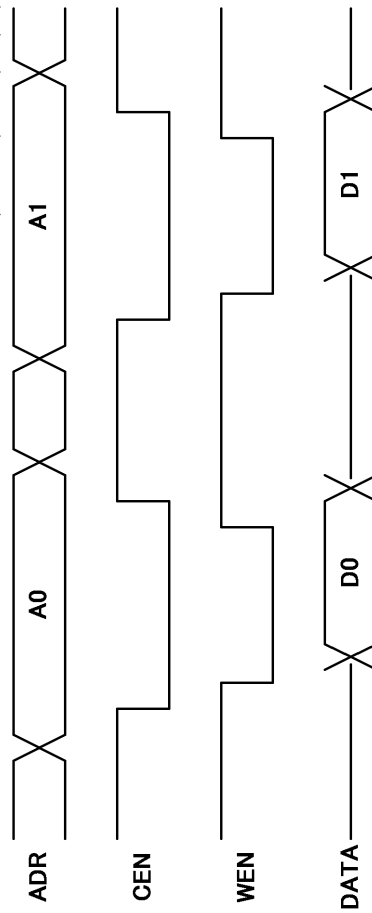
【図 9】

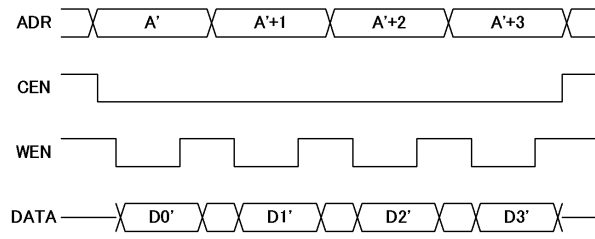


【図 10】



【図 11】



【☒ 1 2】

---

フロントページの続き

(56)参考文献 特開2002-312232(JP,A)  
特開平07-028700(JP,A)  
特開平05-158782(JP,A)  
特開2001-051897(JP,A)  
特開2002-328836(JP,A)  
特開2002-366429(JP,A)  
特開2003-091463(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 12/00 - 12/02