

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月7日(07.05.2020)



(10) 国際公開番号

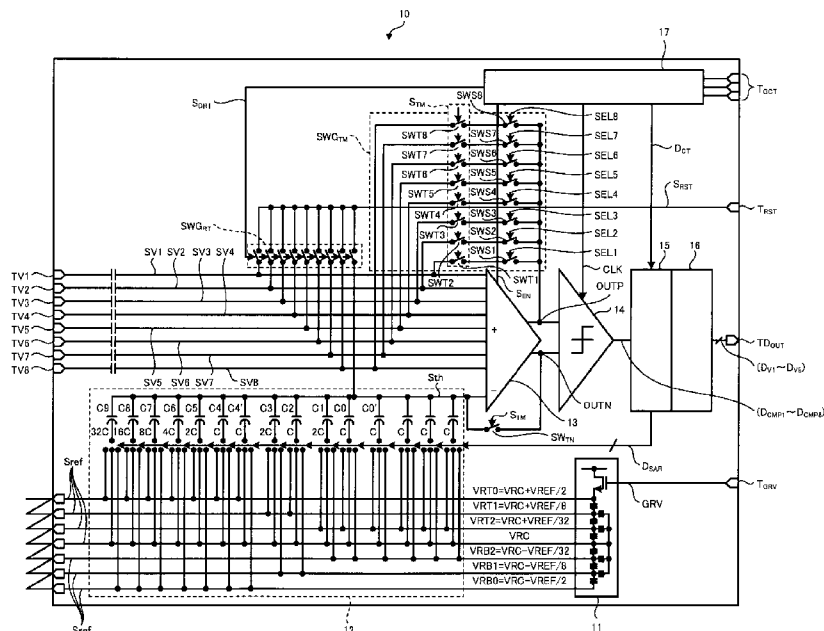
WO 2020/090400 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) *H03M 1/46* (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2019/039975 (72) 発明者: 日野 康史(HINO, Yasufumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2019年10月10日(10.10.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-207536 2018年11月2日(02.11.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SOLID-STATE IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子及び電子機器

[図2]



(57) Abstract: This solid-state imaging element is provided with: a pixel array part (2) in which a plurality of pixels each performing photoelectric conversion and outputting a pixel signal are arranged in an array; a preamplifier part (13) which has an input terminal to which the pixel signal and a threshold signal are inputted, and which amplifies a difference between the pixel signal and the threshold signal, outputs the difference as a differential signal, and is brought into an operation stopped state on the basis of an inputted first control signal

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(S_{EN}); a comparator part (14) which compares the differential signal and a comparison reference signal, and outputs comparison result data; and a preamplifier through circuit (SWG_{TM}, SWT1-SWT8, SW_{TN}, SWS1-SWS8) which has a plurality of switching elements connecting the input terminal of the preamplifier part (13) to an input terminal of the comparator part (14), and brings the switching elements into a connected state on the basis of a second control signal (S_{TM}, SEL1-SEL8) inputted in the operation stopped state, thereby making it possible to reduce power consumption under a condition where a characteristic required for the preamplifier part can be relaxed.

(57) 要約: 本開示の固体撮像素子は、光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部(2)と、入力端子に画素信号及び閾値信号がそれぞれ入力され、画素信号と閾値信号との差を増幅して差動信号として出力するとともに、入力された第1制御信号(S_{EN})に基づいて動作停止状態とされるプリアンプ部(13)と、差動信号と比較基準信号との比較を行い比較結果データを出力するコンパレータ部(14)と、プリアンプ部(13)の入力端子をコンパレータ部(14)の入力端子に接続する複数のスイッチング素子を有し、動作停止状態において入力される第2制御信号(S_{TM}, SEL1~SEL8)に基づいてスイッチング素子を接続状態とするプリアンプスルー回路(SWG_{TM}, SWT1~SWT8, SW_{TN}, SWS1~SWS8)と、を備えるので、プリアンプ部に要求される特性が緩和できる条件では消費電力を抑制できる。

明 細 書

発明の名称： 固体撮像素子及び電子機器

技術分野

[0001] 本開示は、固体撮像素子及び電子機器に関する。

背景技術

[0002] 近年、半導体微細加工技術を応用したCMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等の固体撮像素子がデジタルカメラやスマートフォン等において広く採用されている。

[0003] これらの固体撮像素子においては、各画素内に設けられた光電変換素子としてのフォトダイオードにおいて、被写体から入射した光が光電変換され、得られた電荷の量に対応する電圧信号が増幅トランジスタ及び垂直信号線を介して読み出されてコンパレータを有するA/D変換器によりアナログ/デジタル (A/D) 変換されて撮像データとして出力される。

[0004] ところで、CMOS等の撮像素子を用いた撮像装置において、逐次変換型のA/D変換を行う場合に、逐次変換型のA/D変換回路に用いられるコンパレータには、電力効率の良いダイナミックコンパレータが用いられるのが一般的である。

[0005] しかしながら、ダイナミックコンパレータは、キックバックノイズ量が大きく、撮像素子のように多数のA/D変換回路を用いて同時に動作させる場合には、電源、グラウンド、リファレンスなどの共通インピーダンスによりストリーキングが発生する虞があった。

ストリーキングを抑制するための技術としては、例えば、特許文献1記載の技術が提案されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2005-252529号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、ダイナミックコンパレータの前段にプリアンプを設け、高分解能を実現しようとする場合には、プリアンプに要求されるリニアリティやノイズ特性は、高い水準となり、これを実現するためのプリアンプは、消費電力が大きなものとなる。

[0008] 本開示は、このような状況に鑑みてなされたものであり、ダイナミックコンパレータの前段に設けられるプリアンプが不要な場合には、プリアンプの入出力をショート、パワーダウンを行い、ダイナミックコンパレータで直接比較を行うことで、消費電力の低減を図ることが可能な固体撮像素子及び電子機器を提供することを目的としている。

[0009] 本開示は、このような状況に鑑みてなされたものであり、ダイナミックコンパレータの前段に設けられるプリアンプのリニアリティやノイズ特性および間欠率を使用用途に応じて変更することで、消費電力の低減を図ることが可能な固体撮像素子及び電子機器を提供することを目的としている。

課題を解決するための手段

[0010] 上記目的を達成するために、本開示の固体撮像素子は、光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、入力端子に画素信号及び閾値信号がそれぞれ入力され、画素信号と閾値信号との差を増幅して差動信号として出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、差動信号の比較を行い比較結果データを出力するコンパレータ部と、プリアンプ部の入力端子をコンパレータ部の入力端子に接続する複数のスイッチング素子を有し、動作停止状態において入力される第2制御信号に基づいてスイッチング素子を接続状態とするプリアンプスルー回路と、を備える。

[0011] 本開示によれば、プリアンプ部は、入力された第1制御信号に基づいて動作停止状態とされ、このとき、プリアンプスルー回路は、動作停止状態において入力される第2制御信号に基づいてスイッチング素子を接続状態とするので、プリアンプ部を用いずにコンパレータ部を動作させることができ、消

費電力を抑制できる。

発明の効果

[0012] 本開示によれば、プリアンプ部に要求されるリニアリティやノイズなどの特性が緩和出来る条件では、プリアンプ部の電流を削減することで消費電力を抑制することができる。また、A/D変換に必要なビット数が少ない条件では変換回数を削減することが出来るため、間欠率を上げることで消費電力を抑制することが出来る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]実施形態における固体撮像素子の一構成例を示すブロック図である。
[図2]第1実施形態のA/D変換器の構成例を説明する図である。
[図3]第1実施形態のプリアンプ部及びコンパレータ部の詳細構成図である。
[図4]第1実施形態のプリアンプ部及びコンパレータ部の他の詳細構成図である。
[図5]第1実施形態のプリアンプ部の2つの画素信号に対応した詳細構成図である。
[図6]第2実施形態のA/D変換器の構成例を説明する図である。
[図7]第2実施形態の動作説明図である。
[図8]第3実施形態のA/D変換器の構成例を説明する図である。
[図9]第3実施形態の動作説明図である。
[図10]第4実施形態のA/D変換器の構成例を説明する図である。
[図11]第4実施形態の動作説明図である。
[図12]第5実施形態のA/D変換器の構成例を説明する図である。
[図13]本技術を適用した間接光飛行時間型距離センサの一例のブロック図である。
[図14]本技術の形態における画素の一構成例を示す回路図である。

発明を実施するための形態

[0014] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお

、以下の各実施形態において、同様の部位には同一の符号を付することにより重複する説明を省略する。

[0015] (1) 第1実施形態

[電子機器の構成例]

図1は、実施形態における電子機器の一構成例を示すブロック図である。

電子機器100は、大別すると、固体撮像素子1、画像処理部8及び制御部9を備えている。

固体撮像素子1は、画素アレイ部2、行走査回路3、A/D変換部4、タイミング制御部5、列走査回路6及び信号処理部7を備えている。

[0016] 上記構成において、画素アレイ部2は、複数の走査線と、複数の信号線とが設けられており、各走査線と各信号線の交差部には、それぞれ画素回路が配置されて、二次元格子状に複数の画素回路が設けられている。

行走査回路3は、タイミング制御部5の制御下で、複数の走査線のうちいずれかの走査線をアクティブ状態とし、当該アクティブ状態とした走査線に対応する画素アレイ部2を構成している一行分の画素回路を駆動して画素信号を出力させるものである。

[0017] 一方、A/D変換部4は、複数の後述するA/D変換器を有し、入力された画素信号に対応する電圧のA/D変換を行い、画素データを信号処理部7に出力する。

[0018] タイミング制御部5は、制御部9の制御下で行走査回路3、A/D変換部4および列走査回路6のそれぞれが動作するタイミングを制御する。

列走査回路6は、タイミング制御部5の制御下で、行走査回路3及びA/D変換部4の動作に同期して動作し、A/D変換部4において信号線ごとにA/D変換されたデータを画素データとして順次信号処理部7に転送する。

[0019] 信号処理部7は、複数の画素データにより構成される画像データに対し自動ゲイン制御、ノイズキャンセル等の処理を行って外部の画像処理部8に出力する。

画像処理部8は、制御部9の制御下で画像データに対し、様々な画像処理

を実行する。

この画像処理においては、例えば、デモザイク処理やホワイトバランス処理などが実行される。

そして、画像処理後の画像データは、外部の画像メモリ等の記録装置に送信される。

[0020] 以上の説明においては、画像処理部 8 を固体撮像素子 1 外に配置していたが、この画像処理部 8 を固体撮像素子 1 の内部に設けることも可能である。

[0021] また、固体撮像素子 1 内の回路のそれぞれは、単一の半導体基板に配置してもよいし、積層した複数の半導体基板に分散して配置してもよい。

[0022] [A/D変換器の構成例]

図 2 は、第 1 実施形態の A/D 変換器の構成例を説明する図である。

A/D 変換器 10 は、大別すると、図 2 に示すように、ローカル参照電圧生成部 11、DA 変換部 12、プリアンプ部 13、コンパレータ部 14、逐次変換ロジック部 15、カラムインタフェース部 16、クロック生成/ロジック制御ブロック 17、プリアンプスルースイッチ群 SWG_{TM} 、 SW_{TN} を備えている。

[0023] ローカル参照電圧生成部 11 は、基準電圧 T_{GRV} から複数種類のローカル基準参照信号（ローカル基準参照電圧） V_{RT0} 、 V_{RT1} 、 V_{RT2} 、 V_{RC} 、 V_{RB2} 、 V_{RB1} 、 V_{RB0} を生成し、出力する。

[0024] この場合において、ローカル基準参照信号 V_{RC} の電圧を V_{RC} （＝中心電圧）とし、所定の参照電圧を V_{REF} とすると、ローカル基準参照信号 V_{RT0} 、 V_{RT1} 、 V_{RT2} 、 V_{RB2} 、 V_{RB1} 、 V_{RB0} の電圧は、例えば、以下に示すように設定されている。

$$V_{RT0} = V_{RC} + V_{REF} / 2$$

$$V_{RT1} = V_{RC} + V_{REF} / 8$$

$$V_{RT2} = V_{RC} + V_{REF} / 32$$

$$V_{RB2} = V_{RC} - V_{REF} / 32$$

$$V_{RB1} = V_{RC} - V_{REF} / 8$$

$$VRBO = VRC - VREF / 2$$

- [0025] DA変換部12は、ローカル参照電圧生成部11が生成した複数種類のローカル基準参照信号 S_{ref} を用い、後述の逐次変換ロジック部15の制御下で制御データ D_{SAR} のデジタル／アナログ（D／A）変換を行って閾値電圧信号 S_{th} を出力する。
- [0026] プリアンプ部13は、画素アレイ部2から複数の画素信号入力端子 $TV1 \sim TV8$ からカップリングコンデンサを介して入力された画素信号 $SV_1 \sim SV_8$ 及び閾値電圧信号 S_{th} の差動電圧を増幅し、出力信号ライン $OUTP$ 、 $OUTN$ に増幅作動信号を出力する。
- [0027] コンパレータ部14は、プリアンプ出力信号 $OUTP$ 、 $OUTN$ を比較し、比較結果データ D_{CMP} を出力する。
- [0028] 逐次変換ロジック部15は、クロック生成／ロジック制御ブロック17の制御下で比較結果データ D_{CMP} からデジタル／アナログ変換部の制御データ D_{SAR} を出力する。また逐次変換ロジック部15は、入力された比較結果データ D_{CMP} を記憶し、記憶した比較結果データ D_{CMP} に基づいて画素信号のアナログ／デジタル（A／D）変換結果である画素データを出力する。
- [0029] カラムインタフェース部16は、画素信号 $TV1 \sim TV8$ のアナログ／デジタル（A／D）変換結果である画素データ $D_{V1} \sim D_{V8}$ を所定の出力タイミングにおいて出力端子 TD_{OUT} から出力する。
- [0030] クロック生成／ロジック制御ブロック17は、コンパレータ部14への比較信号 CLK の供給及びプリアンプ部13へイネーブル信号 S_{EN} の供給を行う。また、クロック生成／ロジック制御ブロック17は、プリアンプスルーモードの切り替えを行うための制御信号 S_{TM} 、 $SEL1 \sim SEL8$ の供給を行う。ここで、イネーブル信号 S_{EN} は、第1制御信号として機能し、スルーモード制御信号 S_{TM} および画素選択信号 $SEL1 \sim SEL8$ は、第2制御信号として機能している。
- [0031] プリアンプスルースイッチ群 SWG_{TM} は、スルーモード制御信号 S_{TM} および画素選択信号 $SEL1 \sim SEL8$ を使用して、信号入力端子 $TV1 \sim TV$

8からカップリングコンデンサを介して入力された画素信号 $SV1 \sim SV8$ をプリアンプ部13を介さずに直接コンパレータ部14に導くための複数のスイッチング素子 $SWT1 \sim SWT8$ 、 $SWS1 \sim SWS8$ を備えている。

上記構成において、スルーモード制御信号 S_{TM} は、複数のスイッチング素子 $SWT1 \sim SWT8$ 、 SW_{TN} にそれぞれ出力されている。

[0032] また、プリアンプスルースイッチ群 SWG_{TM} は、プリアンプ部13を後述するプリアンプスルーモードで動作させる場合に、対応する選択信号 $SEL1 \sim SEL8$ が入力されて排他的にオン状態（閉状態）とされ、入力された画素信号 $SV1 \sim SV8$ のうちのいずれかをプリアンプ部13を介さずに直接コンパレータ部14に順次導くための複数のスイッチング素子 $SWS1 \sim SWS8$ を備えている。

ここで、プリアンプスルースイッチ群 SWG_{TM} 、複数のスイッチング素子 $SWT1 \sim SWT8$ 、 SW_{TN} 及び複数のスイッチング素子 $SWS1 \sim SWS8$ は、プリアンプスルー回路を構成している。

[0033] 図2においては、複数のスイッチング素子 $SWT1 \sim SWT8$ は、画素信号入力端子 $SV1 \sim SV8$ からそれぞれプリアンプ部13に向かう信号ラインから離間した位置に図示されている。しかしながら、実際には、スイッチング素子 $SWT1 \sim SWT8$ のバイパス用配線の配線容量の影響を低減するため、プリアンプ部13に向かう信号ラインの近傍に設けられている。

[0034] 同様に複数のスイッチング素子 $SWS1 \sim SWS8$ も出力信号ライン $OUTPUT$ から離間した位置に図示されているが、実際には、スイッチング素子 $SWS1 \sim SWS8$ のバイパス用配線の配線容量の影響を低減するため、出力信号ライン $OUTPUT$ に近接して配置されている。

[0035] なお、以上の説明では、プリアンプスルースイッチ群 SWG_{TM} としてスイッチング素子 $SWT1 \sim SWT8$ 、 SW_{TN} 及びスイッチング素子 $SWS1 \sim SWS8$ の双方を備えていたが、スイッチング素子 $SWT1 \sim SWT8$ あるいはスイッチング素子 $SWS1 \sim SWS8$ のいずれか一方のみを設け、プリアンプ部13を後述するプリアンプスルーモードで動作させる場合に、設け

られている複数のスイッチング素子を順次排他的にオン状態（閉状態）とすることにより同様の効果を得ることも可能である。

[0036] また、以上の説明では、プリアンプ部13の閾値電圧端子側には、プリアンプスルースイッチとして一つのスイッチング素子 SW_{TN} を設けていたが、これに代えて、2個の直列接続したスイッチング素子を設け、上述した理由と同様に、配線容量をより低減するように構成することも可能である。

[0037] リセットスイッチ群 SWG_{RT} は、プリアンプ入力電圧を初期電圧 V_{SET} （＝リセット信号入力端子 $TRST$ から入力されるリセット信号 S_{RST} の電位レベル）とする複数のスイッチング素子を備えている。

[0038] [第1実施形態のプリアンプ部及びコンパレータ部の詳細構成]

図3は、第1実施形態のプリアンプ部及びコンパレータ部の一例の詳細構成図である。

図3においては、プリアンプ部13は、PMOS入力型の場合を示している。

プリアンプ部13は、電源ライン AVD にソース端子 S が接続され、ゲート端子 G がドレイン端子 D に接続されダイオード接続とされたPチャネルMOSトランジスタ $TR11$ と、電源ライン AVD にソース端子 S が接続され、ゲート端子 G がPチャネルMOSトランジスタ $TR11$ のゲート端子 G に接続され、PチャネルMOSトランジスタ $TR11$ とカレントミラー回路として機能するPチャネルMOSトランジスタ $TR12$ と、一端がPチャネルMOSトランジスタ $TR11$ のドレイン端子 D に接続され、他端がグラウンドライン AVS に接続された定電流源 CC と、を備えている。

[0039] また、プリアンプ部13は、ゲート端子 G に画素信号 SV_x が入力され、ソース端子がPチャネルMOSトランジスタ $TR12$ のドレイン端子に接続されたPチャネルMOSトランジスタ $TR13$ と、ソース端子 S がPチャネルMOSトランジスタ $TR13$ のドレイン端子 D に接続され、ゲート端子 G に動作電圧 $BIAS$ が入力されて、カスコード回路として機能するPチャネルMOSトランジスタ $TR14$ と、一端がPチャネルMOSトランジスタ TR

14のドレイン端子Dに接続され他端がグラウンドラインAVSに接続された負荷抵抗R1と、を備えている。

[0040] さらに、プリアンプ部13は、ゲート端子Gに閾値電圧信号St_hが入力され、ソース端子SがPチャネルMOSトランジスタTR12のドレイン端子Dに接続されたPチャネルMOSトランジスタTR15と、ソース端子SがPチャネルMOSトランジスタTR15のドレイン端子Dに接続され、ゲート端子Gに動作電圧BIASが入力されて、カスコード回路として機能するPチャネルMOSトランジスタTR16と、一端がPチャネルMOSトランジスタTR16のドレイン端子Dに接続され他端がグラウンドラインAVSに接続された負荷抵抗R2と、を備えている。

[0041] また、プリアンプ部13は、PチャネルMOSトランジスタTR15に初期電圧VSETを印加するためのPチャネルMOSトランジスタTR17と、PチャネルMOSトランジスタTR13に初期電圧VSETを印加するためのPチャネルMOSトランジスタTR18と、を備えている。

[0042] また、プリアンプ部13は、プリアンプスルーモード時のために以下のスイッチング素子SW1～SW10を備えている。

[0043] 具体的には、プリアンプ部13は、PチャネルMOSトランジスタTR11のゲート端子G及びPチャネルMOSトランジスタTR12のゲート端子Gをプリアンプスルーモード時に電源ラインAVDに接続するためのスイッチング素子SW1と、PチャネルMOSトランジスタTR11のドレイン端子Dと定電流源CCとを切り離すためのスイッチング素子SW2と、PチャネルMOSトランジスタTR12のドレイン端子DとPチャネルMOSトランジスタTR13、TR15のソース端子Sとを切り離すためのスイッチング素子SW3と、を備えている。

[0044] さらに、プリアンプ部13は、PチャネルMOSトランジスタTR13、TR15のソース端子SをグラウンドラインAVSに接続するためのスイッチング素子SW4と、PチャネルMOSトランジスタTR13、TR15のドレイン端子DをグラウンドラインAVSに接続するためのスイッチング素子S

W5、SW6と、を備えている。

[0045] さらにまた、プリアンプ部13は、PチャネルMOSトランジスタTR13のゲート端子Gをコンパレータ部14の一方の入力端子に接続するためのスイッチング素子SW7と、PチャネルMOSトランジスタTR15のゲート端子Gをコンパレータ部14の他方の入力端子に接続するためのスイッチング素子SW8と、PチャネルMOSトランジスタTR14のドレイン端子Dと負荷抵抗R1とを切り離すためのスイッチング素子SW9と、PチャネルMOSトランジスタTR16のドレイン端子Dと負荷抵抗R2とを切り離すためのスイッチング素子SW10と、を備えている。

[0046] また、PチャネルMOSトランジスタTR13、PチャネルMOSトランジスタTR14、PチャネルMOSトランジスタTR15、PチャネルMOSトランジスタTR16、負荷抵抗R1及び負荷抵抗R2は、差動アンプDAを構成している。

[0047] 図4は、第1実施形態のプリアンプ部及びコンパレータ部の他の一例の詳細構成図である。

図4においては、プリアンプ部13がNMOS入力型の場合を示している。

プリアンプ部13は、グラウンドラインAVSにソース端子Sが接続され、ゲート端子Gがドレイン端子Dにダイオード接続されたNチャネルMOSトランジスタTR11Xと、グラウンドラインAVSにソース端子Sが接続され、ゲート端子GがNチャネルMOSトランジスタTR11Xのゲート端子Gに接続され、NチャネルMOSトランジスタTR11Xとカレントミラー回路として機能するNチャネルMOSトランジスタTR12Xと、一端がNチャネルMOSトランジスタTR11Xのドレイン端子Dに接続され、他端が電源ラインAVDに接続された定電流源CCと、を備えている。

[0048] また、プリアンプ部13は、ゲート端子Gに画素信号SV_xが入力され、ソース端子SがNチャネルMOSトランジスタTR12Xのドレイン端子Dに接続されたNチャネルMOSトランジスタTR13Xと、ソース端子SがN

チャネルMOSトランジスタTR13Xのドレイン端子Dに接続され、ゲート端子Gに動作電圧BIASが入力されて、カスコード回路として機能するNチャネルMOSトランジスタTR14Xと、一端がNチャネルMOSトランジスタTR14Xのドレイン端子Dに接続され他端が電源ラインAVDに接続された負荷抵抗RX1と、を備えている。

[0049] さらに、プリアンプ部13は、ゲート端子Gに閾値電圧信号St hが入力され、ソース端子SがNチャネルMOSトランジスタTR12Xのドレイン端子Dに接続されたNチャネルMOSトランジスタTR15Xと、ソース端子SがNチャネルMOSトランジスタTR15Xのドレイン端子Dに接続され、ゲート端子Gに動作電圧BIASが入力されて、カスコード回路として機能するNチャネルMOSトランジスタTR16Xと、一端がNチャネルMOSトランジスタTR16Xのドレイン端子Dに接続され他端が電源ラインAVDに接続された負荷抵抗RX2と、を備えている。

[0050] また、プリアンプ部13は、NチャネルMOSトランジスタTR13Xに初期電圧VSETを印加するためのPチャネルMOSトランジスタTR18Xと、PチャネルMOSトランジスタTR15Xに初期電圧VSETを印加するためのPチャネルMOSトランジスタTR17Xと、を備えている。

また、プリアンプ部13は、プリアンプスルーモード時のために以下のスイッチング素子SW11～SW20を備えている。

[0051] 具体的には、プリアンプ部13は、NチャネルMOSトランジスタTR11Xのゲート端子G及びNチャネルMOSトランジスタTR12Xのゲート端子Gをプリアンプスルーモード時にグラウンドラインAVSに接続するためのスイッチング素子SW11と、NチャネルMOSトランジスタTR11Xのドレイン端子Dと定電流源CCとをプリアンプスルーモード時に切り離すためのスイッチング素子SW12と、NチャネルMOSトランジスタTR12Xのドレイン端子DとNチャネルMOSトランジスタTR15Xのソース端子Sとをプリアンプスルーモード時に切り離すためのスイッチング素子SW13と、を備えている。

[0052] さらに、プリアンプ部13は、NチャネルMOSトランジスタTR13Xのソース端子SとNチャネルMOSトランジスタTR15Xのソース端子Sとをプリアンプスルーモード時に電源ラインAVDに接続するためのスイッチング素子SW14と、NチャネルMOSトランジスタTR13Xのドレイン端子Dをプリアンプスルーモード時に電源ラインAVDに接続するためのスイッチング素子SW15と、NチャネルMOSトランジスタTR15Xのドレイン端子Dをプリアンプスルーモード時に電源ラインAVDに接続するためのスイッチング素子SW16と、を備えている。

[0053] さらにまた、プリアンプ部13は、NチャネルMOSトランジスタTR13Xのゲート端子Gをコンパレータ部14の一方の入力端子に接続するためのスイッチング素子SW17と、NチャネルMOSトランジスタTR15Xのゲート端子Gをコンパレータ部14の他方の入力端子に接続するためのスイッチング素子SW18と、NチャネルMOSトランジスタTR14Xのドレイン端子Dと負荷抵抗RX1とをプリアンプスルーモード時に切り離すためのスイッチング素子SW19と、NチャネルMOSトランジスタTR16Xのドレイン端子Dと負荷抵抗RX2とをプリアンプスルーモード時に切り離すためのスイッチング素子SW20と、を備えている。

[0054] また、NチャネルMOSトランジスタTR13X、NチャネルMOSトランジスタTR14X、NチャネルMOSトランジスタTR15X、NチャネルMOSトランジスタTR16X、負荷抵抗RX1及び負荷抵抗RX2は、差動アンプDAXを構成している。

[0055] 図5は、第1実施形態のプリアンプ部の2つの画素信号に対応した詳細構成図である。

図5においては、プリアンプ部13Aは、PMOS入力型の場合を示している。この例では理解の容易と図示の簡略化のため、画素信号が画素信号SV1および画素信号SV2の2系統のみを示している。

図5において、プリアンプ部13と同様の部分には同一の符号を付すものとする。

[0056] プリアンプ部 13A は、電源ライン AVD にソース端子 S が接続され、ゲート端子 G がドレイン端子 D に接続されダイオード接続とされた P チャネル MOS トランジスタ TR11 と、電源ライン AVD にソース端子 S が接続され、ゲート端子 G が P チャネル MOS トランジスタ TR11 のゲート端子 G に接続され、P チャネル MOS トランジスタ TR11 と共働してカレントミラー回路として機能する P チャネル MOS トランジスタ TR12 と、一端が P チャネル MOS トランジスタ TR11 のドレイン端子 D に接続され、他端がグラウンドライン AVS に接続された定電流源 CC と、を備えている。

[0057] また、プリアンプ部 13A は、ゲート端子 G に画素信号 SV1 が入力され、ソース端子 S が P チャネル MOS トランジスタ TR12 のドレイン端子 D に接続された P チャネル MOS トランジスタ TR131 と、ゲート端子 G に画素信号 SV2 が入力され、ソース端子 S が P チャネル MOS トランジスタ TR12 のドレイン端子 D に接続された P チャネル MOS トランジスタ TR132 と、ソース端子 S が P チャネル MOS トランジスタ TR131 のドレイン端子 D もしくは P チャネル MOS トランジスタ TR132 のドレイン端子 D に接続され、ゲート端子 G にバイアス電流制御用信号 BIAS が入力されて、カスコード回路として機能する P チャネル MOS トランジスタ TR14 と、一端が P チャネル MOS トランジスタ TR14 のドレイン端子 D に接続され他端がグラウンドライン AVS に接続された負荷抵抗 R1 と、を備えている。

[0058] さらに、プリアンプ部 13A は、ゲート端子 G に閾値電圧信号 St h が入力され、ソース端子 S が P チャネル MOS トランジスタ TR12 のドレイン端子 D に接続された P チャネル MOS トランジスタ TR15 と、ソース端子 S が P チャネル MOS トランジスタ TR15 のドレイン端子 D に接続され、ゲート端子 G にバイアス電流制御用信号 BIAS が入力されて、カスコード回路として機能する P チャネル MOS トランジスタ TR16 と、一端が P チャネル MOS トランジスタ TR16 のドレイン端子 D に接続され他端がグラウンドライン AVS に接続された負荷抵抗 R2 と、を備えている。

- [0059] また、プリアンプ部13Aは、PチャネルMOSトランジスタTR15に初期電圧VSETを印加するためのPチャネルMOSトランジスタTR17と、PチャネルMOSトランジスタTR131に初期電圧VSETを印加するためのPチャネルMOSトランジスタTR181と、NチャネルMOSトランジスタTR132に初期電圧VSETを印加するためのPチャネルMOSトランジスタTR182と、を備えている。
- [0060] また、プリアンプ部13Aは、プリアンプスルーモード時のために以下のスイッチング素子SW1～SW6、SW71、SW72、SW8～SW10を備えている。
- [0061] 具体的には、プリアンプ部13Aは、PチャネルMOSトランジスタTR11のゲート端子G及びPチャネルMOSトランジスタTR12のゲート端子Gをプリアンプスルーモード時に電源ラインAVDに接続するためのスイッチング素子SW1と、PチャネルMOSトランジスタTR11のドレイン端子Dと定電流源CCとをプリアンプスルーモード時に切り離すためのスイッチング素子SW2と、PチャネルMOSトランジスタTR12のドレイン端子DとPチャネルMOSトランジスタTR15、TR131、TR132のソース端子Sとをプリアンプスルーモード時に切り離すためのスイッチング素子SW3と、を備えている。
- [0062] さらに、プリアンプ部13Aは、PチャネルMOSトランジスタTR131、TR132のソース端子SとPチャネルMOSトランジスタTR15のソース端子Sとをプリアンプスルーモード時にグラウンドラインAVSに接続するためのスイッチング素子SW4と、PチャネルMOSトランジスタTR131、TR132のドレイン端子Dをプリアンプスルーモード時にグラウンドラインAVSに接続するためのスイッチング素子SW5と、PチャネルMOSトランジスタTR15のドレイン端子Dをプリアンプスルーモード時にグラウンドラインAVSに接続するためのスイッチング素子SW6と、を備えている。
- [0063] さらにまた、プリアンプ部13Aは、PチャネルMOSトランジスタTR

131のゲート端子Gをコンパレータ部14の一方の入力端子に接続するためのスイッチング素子SW71、SW25と、PチャネルMOSトランジスタTR132のゲート端子Gをコンパレータ部14の一方の入力端子に接続するためのスイッチング素子SW72、SW26と、PチャネルMOSトランジスタTR15のゲート端子Gをコンパレータ部14の他方の入力端子に接続するためのスイッチング素子SW8と、PチャネルMOSトランジスタTR14のドレイン端子Dと負荷抵抗R1をプリアンプスルーモード時に切り離すためのスイッチング素子SW9と、PチャネルMOSトランジスタTR16のドレイン端子Dと負荷抵抗R2をプリアンプスルーモード時に切り離すためのスイッチング素子SW10と、を備えている。

[0064] 本例においても、PチャネルMOSトランジスタTR131あるいはPチャネルMOSトランジスタTR132のうち接続されたいずれか一方、PチャネルMOSトランジスタTR14、PチャネルMOSトランジスタTR15、PチャネルMOSトランジスタTR16、負荷抵抗R1及び負荷抵抗R2は、差動アンプDAを構成している。

[0065] [コンパレータ部の回路構成例]

次にコンパレータ部14の回路構成例について説明する。

コンパレータ部14は、図3に示したように、大別すると、増幅部（増幅段）14A、ラッチ部14Bを備えている。

[0066] 増幅部14Aは、ソース端子Sがデジタル電源DVDに接続され、ゲート端子Gがクロック信号ラインCLKに接続されたPチャネルMOSトランジスタTR21と、ドレイン端子DがPチャネルMOSトランジスタTR21のドレイン端子Dに接続され、ゲート端子Gが正側入力端子INPに接続されたNチャネルMOSトランジスタTR22と、ソース端子Sがデジタル電源DVDに接続され、ゲート端子Gがクロック信号ラインCLKに接続されたPチャネルMOSトランジスタTR23と、ドレイン端子DがPチャネルMOSトランジスタTR23のドレイン端子Dに接続され、ゲート端子Gが負側入力端子INNに接続されたNチャネルMOSトランジスタTR2

4とドレイン端子DがNチャネルMOSトランジスタTR22のソース端子S及びNチャネルMOSトランジスタTR24のソース端子Sに共通接続され、ゲート端子Gがクロック信号ラインCLKに接続され、ソース端子SがデジタルグランドDVSに接続されたNチャネルMOSトランジスタTR25と、を備えている。

[0067] また、増幅部14AはCMOSインバータを構成しているPチャネルMOSトランジスタTR31、NチャネルMOSトランジスタTR32及びCMOSインバータを構成しているPチャネルMOSトランジスタTR33、NチャネルMOSトランジスタTR34を備えており、これらが共働することにより、信号の増幅を行っている。

[0068] ラッチ部14Bは、ソース端子Sがデジタル電源DVDに接続され、ゲート端子Gがクロック信号ラインCLKに接続されたPチャネルMOSトランジスタTR41と、ソース端子Sがデジタル電源DVDに接続され、ドレイン端子DがPチャネルMOSトランジスタTR41のドレイン端子Dに接続されたPチャネルMOSトランジスタTR42と、ドレイン端子DがPチャネルMOSトランジスタTR41のドレイン端子D及びPチャネルMOSトランジスタTR42のドレイン端子Dに接続され、ゲート端子GがPチャネルMOSトランジスタTR31のソース端子S及びNチャネルMOSトランジスタTR32のドレイン端子Dに接続されたNチャネルMOSトランジスタTR43と、ドレイン端子DがNチャネルMOSトランジスタTR43のソース端子Sに接続され、ソース端子SがデジタルグランドDVSに接続され、ゲート端子GがPチャネルMOSトランジスタTR42のゲート端子Gに接続されたNチャネルMOSトランジスタTR44と、を備えている。

[0069] また、ラッチ部14Bは、ソース端子Sがデジタル電源DVDに接続され、ゲート端子Gがクロック信号ラインCLKに接続されたPチャネルMOSトランジスタTR45と、ソース端子Sがデジタル電源DVDに接続され、ドレイン端子DがPチャネルMOSトランジスタTR45のドレイン端

子Dに接続され、ゲート端子GがPチャネルMOSトランジスタTR42のドレイン端子D及びNチャネルMOSトランジスタTR43のドレイン端子Dに接続されたPチャネルMOSトランジスタTR46と、ドレイン端子DがPチャネルMOSトランジスタTR45のドレイン端子D及びPチャネルMOSトランジスタTR46のドレイン端子Dに接続され、ゲート端子Gがインバータを構成しているPチャネルMOSトランジスタTR33のソース端子S及びNチャネルMOSトランジスタTR34のドレインDに接続されたNチャネルMOSトランジスタTR47と、ドレイン端子DがNチャネルMOSトランジスタTR47のソース端子Sに接続され、ソース端子SがデジタルグラウンドDVSに接続され、ゲート端子GがPチャネルMOSトランジスタTR46のゲート端子Gに接続されたNチャネルMOSトランジスタTR48と、を備えている。

[0070] [A/D変換器の通常動作時の概要動作]

ここで、A/D変換器10の通常動作時の概要動作について説明する。

A/D変換器10は、A/D変換結果となる画素データの最上位ビットから最下位ビットまで逐次比較を行うことにより、全ビットの値（“1”又は“0”）を設定している。

まず、逐次変換ロジック部15は、初期値としてすべての電圧をセンター電圧(VRC)に設定する。

[0071] プリアンプ部13は、画素信号入力端子TVX（X=1～8）から入力された画素信号SVX及び閾値電圧信号S_{th}の差分を増幅し、差動信号OUTP、OUTNを生成し、コンパレータ部14に出力する。

コンパレータ部14は、差動信号OUTP、OUTNの電圧を比較し、比較結果データD_{CMPX}を逐次変換ロジック部15に出力する。

[0072] 逐次変換ロジック部15は、比較結果データD_{CMP}の結果に応じてDA変換部12の制御データD_{SAR}を生成し、比較結果データD_{CMP}を記憶する。

[0073] DA変換部12は、ローカル参照電圧生成部11が生成した複数種類のローカル基準電圧VRT0～VRT2、VRC、VRB0～VRB2を用い、

入力された制御データ D_{SAR} のデジタル／アナログ（D／A）変換を行って
閾値電圧信号 S_{th} をプリアンプ部 13 に出力する。

[0074] 以下、同様にして最上位ビット（MSB）～最下位ビット（LSB）まで
逐次比較を行い、逐次変換ロジック部 15 は、各ビットの値を確定し記憶す
ることとなる。

そして、全てのビットの値が確定すると、記憶したデータを A／D 変換結
果データ $D_{V1} \sim D_{V8}$ として出力端子 TD_{OUT} から出力することとなる。

[0075] [A／D 変換器のプリアンプスルーモード時の概要動作]

次に A／D 変換器のプリアンプスルーモード時の概要動作について説明す
る。

まず、プリアンプスルーモードについて説明する。

上記 A／D 変換器 10 の構成において、低分解能時（低画素時）において
は、1 LSB の値が大きくなり、量子化誤差やストリーキング特性に対する
要求が緩和されるので、プリアンプ部 13 を用いなくてもコンパレータ部 1
4 は、十分な性能を発揮できる。低消費電力化の観点から画素信号入力端子
 $TV1 \sim TV8$ から入力された画素信号 $SV1 \sim SV8$ および閾値電圧 S_{th}
を増幅せずにそのままコンパレータ部 14 にバイパスする構成を採る。

この結果、画素信号 $SV1 \sim SV8$ および閾値電圧 S_{th} のバイパス時には
、プリアンプ部 13 の動作を停止するパワーダウンモードに移行することで
、撮像素子 1、ひいては、電子機器 100 全体の消費電力の低減が図れる。

[0076] 具体的には、スイッチング素子 $SWT1 \sim SWT8$ 及びスイッチング素子
 $SWS1 \sim SWS8$ のうち 1 つの組み合わせをオン状態（閉状態）とするこ
とで、画素信号入力端子 $TV1 \sim TV8$ から入力された画素信号 $SV1 \sim S$
 $V8$ がプリアンプ部 13 をバイパス可能な信号経路を形成する。

[0077] また閾値電圧 S_{th} についてはスイッチング素子 SW_{TN} をオン状態（閉状態
）とすることで、プリアンプ部 13 をバイパス可能な信号経路を形成する。

プリアンプ部 13 をバイパス時はプリアンプ部 13 を電氣的に遮断するこ
とで、スイッチング素子 $SWT1 \sim SWT8$ 及びスイッチング素子 $SWS1$

～SWS8を介した信号経路並びにスイッチング素子 SW_{TN} を介した信号経路のみが有効となり、画素信号入力端子TV1～TV8から入力された画素信号 $SV_1 \sim SV_8$ および閾値電圧 S_{th} はプリアンプ部13を介さず、そのままコンパレータ部14にバイパスされる。A/D変換を実行する部分のみバイパス経路をオン状態（閉状態）とする。

[0078] [プリアンプスルーモード時のプリアンプ部の内部動作]

ここで、プリアンプスルーモード時におけるプリアンプ部13の内部動作について図3を用いて説明する。

[0079] プリアンプスルーモードにおいては、スイッチング素子SW1をオン状態（閉状態）として、PチャネルMOSトランジスタTR11のゲート端子G及びPチャネルMOSトランジスタTR12のゲート端子を電源ラインAVDに接続する。

[0080] これと並行して、スイッチング素子SW2をオフ状態（開状態）として、PチャネルMOSトランジスタTR11のドレイン端子Dと定電流源CCとを切り離し、スイッチング素子SW3をオフ状態（開状態）として、PチャネルMOSトランジスタTR12のドレイン端子DとPチャネルMOSトランジスタTR15のソース端子Sとを切り離す。

[0081] これらの結果、プリアンプ部13へ電源を供給する電流源を切り離して、定常電流を流さない状態とする。

[0082] さらにスイッチング素子SW4、SW5およびSW6をオン状態（閉状態）として、PチャネルMOSトランジスタTR13のソース端子Sとドレイン端子D、PチャネルMOSトランジスタTR15のソース端子Sとドレイン端子DをグラウンドラインAVSに接続する。このときグラウンドラインAVSはグラウンドとして機能し、入力トランジスタとして機能しているPチャネルMOSトランジスタTR13及びPチャネルMOSトランジスタ15はドレイン端子D及びソース端子Sはグラウンドに共通接続されるので、ゲート端子Gの電圧に拘わらずPチャネルMOSトランジスタTR13及びPチャネルMOSトランジスタ15はオフ状態となる。

[0083] 続いて、PチャネルMOSトランジスタTR14及びPチャネルMOSトランジスタTR16のゲート端子Gをそれぞれ電源ラインAVDとすることで、PチャネルMOSトランジスタTR14及びPチャネルMOSトランジスタTR16を双方ともオフ状態とする。

[0084] さらに、スイッチング素子SW9をオフ状態（開状態）として、PチャネルMOSトランジスタTR14のドレイン端子Dと負荷抵抗R1とを切り離し、スイッチング素子SW10をオフ状態（開状態）として、PチャネルMOSトランジスタTR16のドレイン端子Dと負荷抵抗R2とを切り離してプリアンプ部13の出力をハイインピーダンス状態とする。

[0085] そして、スイッチング素子SW7をオン状態（閉状態）として、PチャネルMOSトランジスタTR13のゲート端子Gをコンパレータ部14の一方の入力端子に接続し、スイッチング素子SW8をオン状態（閉状態）として、PチャネルMOSトランジスタTR15のゲート端子Gをコンパレータ部14の他方の入力端子に接続して、プリアンプ部13の入出力をスルー状態とする。

[0086] これらの結果、コンパレータ部14は、単独で動作可能な状態となる。

すなわち、上記構成において、プリアンプ部13のパワーダウンを行い、画素信号SVXおよび閾値電圧 S_{th} をプリアンプ部13をバイパスし、コンパレータ部14に直接入力を行っているのである。

[0087] 以上の説明のように、本第1実施形態の電子機器100によれば、量子化誤差やストリーキング特性が厳しくない、低画素時において、プリアンプ部13の入出力をスルーし、プリアンプ部13のパワーダウンを行うことで、消費電力の低減を図ることができる。

[0088] （2）第2実施形態

次に第2実施形態について説明する。

第2実施形態のA/D変換器10Aが第1実施形態のA/D変換器10と異なる点は、プリアンプ部13をスルーすること無く、プリアンプ部13の動作期間を短くして低消費電力化を実現している点である。

具体的には、低画素時（低ビットモード時）はA/Dのビット数が少なくなるため、逐次比較変換方式では変換器の変換回数を減らすことが出来、高画素時と比較すると実効的動作時間が短く出来る点である。

[0089] [A/D変換器の構成例]

図6は、第2実施形態のA/D変換器の構成例を説明する図である。

図6において、図2の第1実施形態のA/D変換器10と同様の部分には、同一の符号を付すものとし、その詳細な説明を援用するものとする。

[0090] A/D変換器10Aは、大別すると、図6に示すように、ローカル参照電圧生成部11、DA変換部12、プリアンプ部13、コンパレータ部14、逐次変換ロジック部15、カラムインタフェース部16、クロック生成/ロジック制御ブロック17及びリセットスイッチ群 SWG_{RT} を備えている。

[0091] 上記構成において、A/D変換器10Aが、第1実施形態のA/D変換器10と異なる点は、クロック生成/ロジック制御ブロック17によるプリアンプ部13に対するイネーブル期間（イネーブル信号 S_{EN} ＝“H”の期間）を高ビットモード時と低画素モード時とで異ならせ、低画素モード時にイネーブル期間を短くしている。またコンパレータ部14へのCLK数を低減している点である。

また、逐次変換ロジック部15からDA変換部12への制御ロジック D_{SAR} についても比較回数削減分削減される。

[0092] [第2実施形態のA/D変換器の動作]

次に第2実施形態のA/D変換器の動作について図を参照して説明する。

図7は、第2実施形態の動作説明図である。

本第2実施形態においては、動作モードとして高ビットモード及び低画素モードの二つがあるので、それらについて順次説明する。説明簡略化のため、図7では高ビットモードはコンパレータ部14の比較回数を10回、低画素モードはコンパレータ部14の比較回数を7回で表されるものとしている。

[0093] [高ビットモード時]

図 7 (a) は、高ビットモードの動作タイミングチャートである。

まず、高ビットモード時の動作について説明する。

[0094] 高ビットモード時には、図 7 (a) に示すように、イネーブル信号 $S_{EN} = "H"$ にし、プリアンプ部 13 が起動後、コンパレータ部 14 で 10 回比較を行うことで A/D 変換を完了する。そのタイミングでイネーブル信号 $S_{EN} = "L"$ とすることでプリアンプ部 13 はパワーダウンモードに入る。

[0095] 従って、高ビットモードにおいては、プリアンプの起動時間 + コンパレータ部 14 の 10 回の比較時間が 1 回の画素信号の変換時間となる。

[0096] [低画素モード時]

次に、低画素モード時の動作について説明する。

図 7 (b) は、低画素モードの動作タイミングチャートである。

[0097] 低画素モード時には、図 7 (b) に示すように、イネーブル信号 $S_{EN} = "H"$ にし、プリアンプ部 13 が起動後、コンパレータ部 14 で 7 回比較を行うことで A/D 変換を完了する。そのタイミングでイネーブル信号 $S_{EN} = "L"$ とすることでプリアンプ部 13 はパワーダウンモードに入る。

[0098] 以上の説明のように、低画素モードにおいては、高ビットモードと比較してコンパレータ部 14 の比較回数を削減することが可能となり、これにより図 7 (b) に実線（低画素モード）及び破線（高ビットモード）で違いを示すように、プリアンプ部 13 の動作期間も低減することが可能となり、プリアンプ部 13 における消費電力も低減させることができる。

[0099] (3) 第 3 実施形態

次に第 3 実施形態について説明する。

第 3 実施形態の A/D 変換器 10B が第 1 実施形態の A/D 変換器 10 と異なる点は、プリアンプ部 13 をスルーすること無く、画素加算モード時に n 個 (n は、2 以上の自然数) の画素信号を加算するための画素加算スイッチを設け、 n 個の画素を一つの画素とみなして処理を行うことで、実効的に処理時間を $1/n$ とする点である。

[0100] [A/D 変換器の構成例]

図8は、第3実施形態のA/D変換器の構成例を説明する図である。

図8において、図2の第1実施形態のA/D変換器10と同様の部分には、同一の符号を付すものとし、その詳細な説明を援用するものとする。

[0101] A/D変換器10Bは、大別すると、図8に示すように、ローカル参照電圧生成部11、DA変換部12、プリアンプ部13、コンパレータ部14、逐次変換ロジック部15、カラムインタフェース部16、クロック生成/ロジック制御ブロック17、画素加算スイッチSWP1～SWP4及びリセットスイッチ群SWG_{RT}を備えている。

[0102] 上記構成において、画素加算スイッチSWP1～SWP4は、それぞれ対応する二つ（ $n=2$ に相当）の画素信号を加算して1つの画素信号とみなして処理を行わせるためのものであり、クロック生成/ロジック制御ブロック17により制御がなされる。

[0103] より具体的には、画素加算スイッチSWP1は、オン状態となると、画素信号SV1の電圧と画素信号SV2の電圧との加算電圧をプリアンプ部13の画素信号SV1の入力端子に印加することとなる。

[0104] また、画素加算スイッチSWP2は、オン状態となると、画素信号SV3の電圧と画素信号SV4の電圧との加算電圧をプリアンプ部13の画素信号SV3の入力に印加することとなる。

[0105] また、画素加算スイッチSWP3は、オン状態となると、画素信号SV5の電圧と画素信号SV6の電圧との加算電圧をプリアンプ部13の画素信号SV5の入力端子に印加することとなる。

[0106] また、画素加算スイッチSWP4は、オン状態となると、画素信号SV7の電圧と画素信号SV8の電圧との加算電圧をプリアンプ部13の画素信号SV7の入力に印加することとなる。

[0107] [第3実施形態のA/D変換器の動作]

次に第3実施形態のA/D変換器の動作について図を参照して説明する。

図9は、第3実施形態の動作説明図である。

この図9においても、横軸は時間軸である。

[0108] また、本第3実施形態においては、動作モードとして通常モード及び画素加算モードの二つがあるので、それらについて順次説明する。

この場合において、通常モードでは、画素単位で画素信号のA/D変換処理を行うのに対し、画素加算モードでは、複数画素（本第3実施形態では、2画素）単位で画素信号のA/D変換処理を行っている。

[0109] [通常モード時]

まず、通常モードモード時の動作について説明する。

図9（a）の破線部分は、通常モードにおけるプリアンプイネーブル信号 S_{EN} のタイミングチャートを示しており、図9（c）は、第3実施形態のA/D変換処理のクロック信号 CLK のタイミングチャートを示している。

[0110] 通常モード時においては、図9（a）において破線で示すように、イネーブル信号 $S_{EN} = "H"$ とされると、プリアンプ部13を起動し、その後、A/D変換を8回（ADC1～ADC7）行い、イネーブル信号 $S_{EN} = "L"$ とすることでプリアンプ部13はパワーダウンモードに入る。

[0111] 従って、通常モードにおいては、ADC1～ADC7までの8回のAD期間においてプリアンプ部13をそれぞれ起動させることとなる。

[0112] [画素加算モード時]

次に、画素加算モード時の動作について説明する。

図9（a）（b）実線は、画素加算モードの動作タイミングチャートである。

画素加算モード時においては、画素加算スイッチSWP1～SWP4は、全てオン状態とされる。

[0113] この結果、プリアンプ部13の画素信号SV1の入力端子には、画素信号SV1の電圧と画素信号SV2の電圧との加算電圧が印加され、プリアンプ部13の画素信号SV3の入力端子には、画素信号SV3の電圧と画素信号SV4の電圧との加算電圧が印加され、プリアンプ部13の画素信号SV5の入力端子には、画素信号SV5の電圧と画素信号SV6の電圧の加算電圧が印加され、プリアンプ部13の画素信号SV7の入力端子には、画素信号

S V 7 の電圧と画素信号 S V 8 の電圧との加算電圧が印加されることとなる。

[0114] 画素加算モード時には、図 9 (a) において、実線で示すようにイネーブル信号 $S_{EN} = "H"$ とされると、プリアンプ部 13 を起動し、その後 A D 変換を 4 回 (A D C 1 ~ A D C 4) 行い、イネーブル信号 $S_{EN} = "L"$ とすることでプリアンプ部 13 はパワーダウンモードに入る。

[0115] すなわち、画素加算モードにおいては、通常モード時と比較して A D の変換回数が半分となるため、プリアンプ部 13 の起動回数は、通常モード時の半分となり、およそ半分の時間しかプリアンプ部 13 は動作を行わないので、プリアンプ部 13 の消費電力量を半減 (低減) することが可能となる。同様に逐次変換ブロックの電力も半減 (低減) することが可能となる。

[0116] 以上の説明のように、画素加算モードにおいては、対応する 4 個の加算電圧に対応する 4 つの画素データ D V 1、D V 3、D V 5、D V 7 が出力され、処理時間及び消費電力を通常モード時の半分程度とすることが可能となる。

すなわち、本第 3 実施形態によれば、複数画素をグルーピングして、 n 個の画素を一つの画素とみなして処理を行うことで、実効的に処理時間を $1/n$ とし、消費電力もおよそ $1/n$ として固体撮像素子 1 の消費電力の低減化が図れる。

[0117] (4) 第 4 実施形態

次に第 4 実施形態について説明する。

第 4 実施形態の A / D 変換器 10 C が第 1 実施形態の A / D 変換器 10 と異なる点は、プリアンプ部 13 をスルーすることが無い点と、低画素モード時 (低ビットモード時) には、1 L S B の値が大きくなり量子化誤差が大きくなるために、プリアンプのリニアリティやノイズ特性を緩和し、消費電力の低減を図る点と、である。

[0118] [A / D 変換器の構成例]

図 10 は、第 4 実施形態の A / D 変換器の構成例を説明する図である。

A/D変換器10Cは、大別すると、図10に示すように、ローカル参照電圧生成部11、DA変換部12、プリアンプ部13A、コンパレータ部14、逐次変換ロジック部15、カラムインタフェース部16、クロック生成／ロジック制御ブロック17及びリセットスイッチ群 SWG_{RT} を備えている。

[0119] 上記A/D変換器10Cの構成において図2の第1実施形態のA/D変換器10と異なる点は、プリアンプスルースイッチ群 SWG_{TM} を設けていない点と、プリアンプ部13Aに供給するプリアンプ電流を低減（例えば、半減）出来る点であるので、他の部分についての説明は援用するものとする。

[0120] [第4実施形態のA/D変換器の動作]

次に第4実施形態のA/D変換器の動作について図11を参照して説明する。

図11は、第4実施形態の動作説明図である。

本第4実施形態においても、動作モードとして高ビットモード及び低画素モードの二つがあるので、それらについて順次説明する。

[0121] [高ビットモード時]

図11(a)は、高ビットモードの動作タイミングチャートである。

まず、高ビットモード時の動作について説明する。

[0122] 高ビットモード時には、図11(a)に示すように、イネーブル信号 S_{EN} ＝“H”にし、プリアンプ部13が起動後、コンパレータ部14で10回比較を行うことでAD変換を完了する。そのタイミングでイネーブル信号 S_{EN} ＝“L”とすることでプリアンプ部13はパワーダウンモードに入る。

[0123] [低画素モード時]

次に、低画素モード時の動作について説明する。

図11(b)は、低画素モードの動作タイミングチャートである。

低画素モードでは1LSBの値が大きくなり量子化誤差が大きくなるために、プリアンプに要求されるリニアリティやノイズ特性は緩和される。従っ

てプリアンプ部 13 の電流は高ビットモードの状態よりも低減することが可能となる。

低画素モード時には、図 11 (b) に示すように、イネーブル信号 $S_{EN} = "H"$ とされると、プリアンプ部 13 に高ビットモードの状態よりも電流値が低い低画素モード電流が供給される。

[0124] 低画素モード時には、図 11 (b) に示すように、イネーブル信号 $S_{EN} = "H"$ にし、プリアンプ部 13 が起動後、コンパレータ部 14 で 10 回比較を行うことで A/D 変換を完了する。そのタイミングでイネーブル信号 $S_{EN} = "L"$ とすることでプリアンプ部 13 はパワーダウンモードに入る。

高ビットモードと異なる点は、プリアンプ起動時の電流が高ビットモード時の電流と比較して低減していること、である。これにより低消費電力化が可能となる。

[0125] 以上の説明のように、第 4 実施形態によれば、低画素モードにおいては、1LSB の値が大きくなり量子化誤差が大きくなるために、プリアンプ部 13 に要求されるリニアリティやノイズ特性を緩和し、プリアンプ部 13 を流れるプリアンプ電流を低減することで、プリアンプ部 13 の消費電力を減少することが可能となり、ひいては、電子機器 100 の消費電力を低減できる。

[0126] (5) 第 5 実施形態

次に第 5 実施形態について説明する。

図 12 は、第 5 実施形態の A/D 変換器の構成例を説明する図である。

図 12 において、図 2 の第 1 実施形態と異なる点は、画素加算スイッチ $SWP1 \sim SWP4$ を備えた点である。すなわち、本第 5 実施形態は、第 1 実施形態と第 3 実施形態を組み合わせた実施形態となっている。

[0127] より詳細には、画素信号 $SV1$ 、 $SV2$ のプリアンプスルー用にスイッチング素子 $SWT1$ 、 $SWS1$ および $SWT2$ および $SWS2$ が設けられている。また画素信号 $SV1$ と画素信号 $SV2$ の画素加算用にスイッチング素子 $SWP1$ が設けられている。

[0128] 同様に、画素信号SV3、SV4のプリアンプスルー用にスイッチング素子SWT3、SWS3およびSWT4およびSWS4が設けられている。また画素信号SV3と画素信号SV4の画素加算用にスイッチング素子SWP2が設けられている。

[0129] さらに、画素信号SV5、SV6のプリアンプスルー用にスイッチング素子SWT5、SWS5およびSWT6およびSWS6が設けられている。また画素信号SV5と画素信号SV6の画素加算用にスイッチング素子SWP3が設けられている。

[0130] さらにまた、画素信号SV7、SV8のプリアンプスルー用にスイッチング素子SWT7、SWS7およびSWT8およびSWS8が設けられている。また画素信号SV7と画素信号SV8の画素加算用にスイッチング素子SWP4が設けられている。

[0131] 本第5実施形態によれば、画素信号SV1～SV8のプリアンプスルー時（バイパス時）には、プリアンプ部13を動作停止状態とするパワーダウンモードに移行することで、撮像素子1ひいては、電子機器100全体の消費電力の低減が図れる。また画素加算モードにおいては、対応する4個の加算電圧に相当する画素信号に対応する4つの画素データDV1、DV3、DV5、DV7が出力され、処理時間を半分にすることで消費電力を通常モード半分程度とすることが可能となる。

[0132] すなわち、本第5実施形態によれば、複数画素をグルーピングして、n個の画素を一つの画素とみなして処理を行うことで、実効的に処理時間を $1/n$ とし、消費電力もおおよそ $1/n$ として固体撮像素子1のより一層の消費電力の低減化が図れる。

[0133] （6）第6実施形態

次に第6実施形態について説明する。

図13は、本技術を適用した間接光飛行時間型距離センサの一例のブロック図である。

間接光飛行時間（Indirect-Time of Flight）型距離センサ100は、セ

ンサチップ101およびセンサチップ101に積層された回路チップ102を備えている。

- [0134] 画素アレイ部112は、センサチップ101上に二次元のグリッドパターンでアレイ状に配置された複数の画素(pixel)111を有している。ここで、画素アレイ部112は、行列上に配置されていても良く、また、複数の列信号線を含んでも良い。それぞれの列信号線はそれぞれの画素に接続されている。

回路チップ102には、垂直駆動回路113、カラム信号処理部114、タイミング調整回路115および出力回路116が配置されている。

- [0135] 垂直駆動回路113は、画素を駆動し、カラム信号処理部114に画素信号を出力するように構成されている。

カラム信号処理部114は、入力された画素信号に対して、A/D変換処理を実施し、A/D変換処理した画素データを出力回路116に出力する。

出力回路116は、カラム信号処理部114からの画素データに対して、CDS (Correlated Double Sampling) 処理などを実行し、後段の信号処理回路に画素データを出力する。

- [0136] タイミング制御回路115は、それぞれの垂直駆動回路113の駆動タイミングを制御するように構成されている。カラム信号処理部114、出力回路116は、タイミング制御回路115が出力した垂直同期信号と同期して動作している。

- [0137] ここで、画素アレイ部112を構成している画素111について詳細に説明する。

図14は、本技術の形態における画素の一構成例を示す回路図である。

画素111は、フォトダイオード121、二つの転送トランジスタ122、123、二つのリセットトランジスタ124、125、2つのタップ（浮遊拡散層126、127）、二つの増幅トランジスタ128、129及び二つの選択トランジスタ130、131を備える。

- [0138] フォトダイオード121は、受光した光を光電変換して電荷を生成するも

のである。このフォトダイオード121は、半導体基板において回路を配置する面を表面として、表面に対する裏面に配置される。このような固体撮像素子は、裏面照射型の固体撮像素子と呼ばれる。なお、裏面照射型の代わりに、表面にフォトダイオード121を配置する表面照射型の構成を用いることもできる。

[0139] 転送トランジスタ122及び転送トランジスタ123は、垂直駆動回路113からの転送信号TRGに従ってフォトダイオード121からTAPA126、TAPB127にそれぞれシーケンシャルに電荷を転送するものである。TAPA126およびTAPB127は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。

[0140] オーバーフロートランジスタ132は、フォトダイオード121の電荷をシーケンシャルに高電位側電源VDDに排出するトランジスタで、フォトダイオード121をリセットする機能を持つ。

[0141] リセットトランジスタ124、125は、垂直駆動回路113からのリセット信号RSTpに従ってTAPA126、TAPB127のそれぞれから電荷を引き抜いて、電荷量を初期化するものである。

増幅トランジスタ128、129は、TAPA126、TAPB127の電圧をそれぞれ増幅するものである。選択トランジスタ130、131は、垂直駆動回路113からの選択信号SELpに従って、増幅された電圧の信号を画素信号としてふたつの垂直信号線（例えば、VSL1、VSL2）を介してカラム信号処理部114へ出力するものである。垂直信号線および垂直信号線VSL2は、カラム信号処理部114内の一つのA/D変換器10の入力に接続されている。

[0142] なお、画素111の回路構成は、光電変換により画素信号を生成することができるものであれば、図15に例示した構成に限定されない。

[0143] 本第6実施形態によれば、各実施形態と同様に、間接光飛行時間型距離センサにおいても消費電力を低減することが可能となる。

[0144] なお、本明細書に記載された効果はあくまで例示であって限定されるもの

では無く、また他の効果があってもよい。

[0145] なお、本技術は以下のような構成も採ることができる。

(1)

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

入力端子に前記画素信号及び閾値信号がそれぞれ入力され、前記画素信号及び前記閾値信号を増幅して出力端子から第1信号及び第2信号として出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、

前記第1信号及び前記第2信号が第1入力端子及び第2入力端子から入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記プリアンプ部の入力端子を前記コンパレータ部の入力端子に接続する複数のスイッチング素子を有し、前記動作停止状態において入力される第2制御信号に基づいて前記スイッチング素子を接続状態とするプリアンプスルー回路と、

を備えた固体撮像素子。

(2)

前記プリアンプスルー回路は、前記プリアンプ部の入力端子を前記コンパレータ部の対応する入力端子に接続するための信号ライン上に一对のスイッチング素子が設けられ、

前記一对のスイッチング素子のうち、いずれか一方は、前記プリアンプ部の入力端子に近接して配置され、いずれか他方は、前記コンパレータ部の入力端子に近接して配置されている、

(1) 記載の固体撮像素子。

(3)

前記プリアンプ部は、前記プリアンプスルー回路を介して前記画素信号及び前記閾値信号が前記コンパレータ部に出力される場合に、当該プリアンプ

部を前記画素アレイ部及び前記コンパレータ部から電氣的に切り離すことで、前記動作停止状態に移行させる複数の第2スイッチング素子を備えている、

(1)又は(2)記載の固体撮像素子。

(4)

前記第2スイッチング素子は、前記プリアンプ部をハイインピーダンス状態として電氣的に切り離す、

(3)記載の固体撮像素子。

(5)

前記比較結果データに基づいて、前記画素信号のA/D変換結果である画素データを確定する逐次変換ブロック部を備えている、

(1)～(4)のいずれかに記載の固体撮像素子。

(6)

前記第1制御信号は、前記固体撮像素子を低画素モードで動作させる場合に入力される、

(1)～(5)のいずれかに記載の固体撮像素子。

(7)

前記複数の第1入力端子を、n個毎に互いに接続し、互いに接続されたn個の前記第1入力端子の電位を加算電位とする複数の画素加算スイッチング素子を備えている、

(1)～(6)のいずれかに記載の固体撮像素子。

(8)

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から複数の第1信号及び第2信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子からそれぞれ入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、

前記複数の第 1 入力端子を、 n 個毎に互いに接続し、互いに接続された n 個の前記第 1 入力端子の電位を加算電位とする複数の画素加算スイッチング素子と、

を備えた固体撮像素子。

(9)

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第 1 信号及び第 2 信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子から入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、を備え、

入力された制御信号に基づいて、前記プリアンプ部のリニアリティやノイズ特性が緩和出来る使用条件の場合に、前記プリアンプ部を流れるプリアンプ電流を低減する、

固体撮像素子。

(10)

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第 1 信号及び第 2 信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子から入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データ

を出力するコンパレータ部と、

前記比較結果データに基づいて、前記画素信号のA／D変換結果である画素データを確定する逐次変換ブロック部と、を備え、

前記コンパレータ部は、入力された制御信号に基づいて前記比較を行うとともに、前記画素データの精度が要求されない場合には、前記制御信号に基づいて前記比較の回数が低減される、

固体撮像素子。

(11)

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

入力端子に前記画素信号及び閾値信号がそれぞれ入力され、前記画素信号及び前記閾値信号を増幅して出力端子から第1信号及び第2信号として出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子からそれぞれ入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記プリアンプ部の入力端子を前記コンパレータ部の入力端子に接続する複数のスイッチング素子を有し、前記動作停止状態において入力される第2制御信号に基づいて前記スイッチング素子を接続状態とするプリアンプスルー回路と、

を備えた、電子機器。

(12)

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

複数の入力端子に前記画素信号がそれぞれ入力され、入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第1信号及び第2信号として出力するプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子からそれぞれ入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記複数の第1入力端子を、 n 個毎に互いに接続し、互いに接続された n 個の前記第1入力端子の電位を加算電位とする複数の画素加算スイッチング素子と、

を備えた、電子機器。

(13)

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

複数の入力端子に前記画素信号がそれぞれ入力され、入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第1信号及び第2信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子からそれぞれ入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、を備え、

入力された制御信号に基づいて、前記プリアンプ部のリニアリティやノイズ特性が緩和出来る使用条件の場合に、前記プリアンプ部を流れるプリアンプ電流を低減する、

電子機器。

(1 4)

前記固体撮像素子は、入力された制御信号に基づいて、前記プリアンプ部の入力端子を前記コンパレータ部の対応する入力端子に接続する複数のスイッチング素子を有するプリアンプスルー回路を備えた、

(1 3) 記載の電子機器。

(1 5)

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第 1 信号及び第 2 信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子からそれぞれ入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、を備え、

入力された制御信号に基づいて、前記プリアンプ部のリニアリティやノイズ特性が緩和出来る使用条件の場合に、前記プリアンプ部を流れるプリアン

プ電流を低減する、

電子機器。

(16)

入力端子に前記画素信号及び閾値信号がそれぞれ入力され、前記画素信号及び前記閾値信号を増幅して出力端子から第1信号及び第2信号としてそれぞれ出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子からそれぞれ入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記プリアンプ部の入力端子を前記コンパレータ部の入力端子に接続する複数のスイッチング素子を有し、前記動作停止状態において入力される第2制御信号に基づいて前記スイッチング素子を接続状態とするプリアンプスルー回路と、

前記比較結果データに基づいて、前記第1入力信号のA/D変換結果データを確定する逐次変換ブロック部と、

を備えたA/D変換器。

(17)

前記プリアンプスルー回路は、前記プリアンプ部の入力端子を前記コンパレータ部の対応する入力端子に接続するための信号ライン上に一对のスイッチング素子が設けられ、

前記一对のスイッチング素子のうち、いずれか一方は、前記プリアンプ部の入力端子に近接して配置され、いずれか他方は、前記コンパレータ部の対応する前記入力端子に近接して配置されている、

(16)記載のA/D変換器。

(18)

前記プリアンプ部は、前記プリアンプスルー回路を介して前記画素信号及び前記閾値信号が前記コンパレータ部に出力される場合に、当該プリアンプ

部を前記画素アレイ部及び前記コンパレータ部から電氣的に切り離すことで、前記動作停止状態に移行させる複数の第2スイッチング素子を備えている、

(16)又は(17)記載のA/D変換器。

(19)

前記第2スイッチング素子は、前記プリアンプ部をハイインピーダンス状態として電氣的に切り離す、

(16)～(18)のいずれかに記載のA/D変換器。

符号の説明

[0146]	2	画素アレイ部
	4	A/D変換部
	8	画像処理部
	9	制御部
	10	A/D変換器
	11	ローカル参照電圧生成部
	12	DA変換部
	13、13A	プリアンプ部
	14	コンパレータ部
	15	逐次変換ロジック部
	DA	差動アンプ
	SV1～SV8	画素信号
	SEV	判別結果信号
	SEL1～SEL8	画素選択信号(第2制御信号)
	SEN	イネーブル信号(第1制御信号)
	STM	スルーモード制御信号(第2制御信号)
	SW1～SW10	スイッチング素子(第2スイッチング素子)
	SWT1～SWT8	スイッチング素子

請求の範囲

- [請求項1] 光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、
- 入力端子に前記画素信号及び閾値信号がそれぞれ入力され、前記画素信号と前記閾値信号との差を増幅して差動信号として出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、
- 前記差動信号と比較基準信号との比較を行い比較結果データを出力するコンパレータ部と、
- 前記プリアンプ部の入力端子を前記コンパレータ部の入力端子に接続する複数のスイッチング素子を有し、前記動作停止状態において入力される第2制御信号に基づいて前記スイッチング素子を接続状態とするプリアンプスルー回路と、
- を備えた固体撮像素子。
- [請求項2] 前記プリアンプスルー回路は、前記プリアンプ部の入力端子を前記コンパレータ部の対応する入力端子に接続するための信号ライン上に一対のスイッチング素子が設けられ、
- 前記一対のスイッチング素子のうち、いずれか一方は、前記プリアンプ部の入力端子に近接して配置され、いずれか他方は、前記コンパレータ部の入力端子に近接して配置されている、
- 請求項1記載の固体撮像素子。
- [請求項3] 前記プリアンプ部は、前記プリアンプスルー回路を介して前記画素信号及び前記閾値信号が前記コンパレータ部に出力される場合に、当該プリアンプ部を前記画素アレイ部及び前記コンパレータ部から電氣的に切り離すことで、前記動作停止状態に移行させる複数の第2スイッチング素子を備えている、
- 請求項1記載の固体撮像素子。
- [請求項4] 前記第2スイッチング素子は、前記プリアンプ部をハイインピーダ

ンス状態として電氣的に切り離す、

請求項 3 記載の固体撮像素子。

[請求項5] 前記比較結果データに基づいて、前記画素信号の A/D 変換結果である画素データを確定する逐次変換ブロック部を備えている、

請求項 1 記載の固体撮像素子。

[請求項6] 前記第 1 制御信号は、前記固体撮像素子を低画素モードで動作させる場合に入力される、

請求項 1 記載の固体撮像素子。

[請求項7] 光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、複数の前記画素信号及び前記閾値信号を増幅して対応する出力端子から複数の第 1 信号及び第 2 信号として出力するプリアンプ部と、

複数の前記第 1 信号が複数の第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子からそれぞれ入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、

前記複数の第 1 入力端子を、n 個毎に互いに接続し、互いに接続された n 個の前記第 1 入力端子の電位を加算電位とする複数の画素加算スイッチング素子と、

を備えた固体撮像素子。

[請求項8] 光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第 1 信号及び第 2 信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入

力端子から入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、を備え、

入力された制御信号に基づいて、前記プリアンプ部のリニアリティやノイズ特性が緩和出来る使用条件の場合に、前記プリアンプ部を流れるプリアンプ電流を低減する、

固体撮像素子。

[請求項9] 光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

対応する複数の入力端子に前記画素信号がそれぞれ入力され、対応する入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第1信号及び第2信号として出力するプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子から入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記比較結果データに基づいて、前記画素信号のA/D変換結果である画素データを確定する逐次変換ブロック部と、を備え、

前記コンパレータ部は、入力された制御信号に基づいて前記比較を行うとともに、前記画素データの精度が要求されない場合には、前記制御信号に基づいて前記比較の回数が低減される、

固体撮像素子。

[請求項10] 複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状

に配置された画素アレイ部と、

入力端子に前記画素信号及び閾値信号がそれぞれ入力され、前記画素信号及び前記閾値信号を増幅して出力端子から第1信号及び第2信号として出力するとともに、入力された第1制御信号に基づいて動作停止状態とされるプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子からそれぞれ入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

前記プリアンプ部の入力端子を前記コンパレータ部の入力端子に接続する複数のスイッチング素子を有し、前記動作停止状態において入力される第2制御信号に基づいて前記スイッチング素子を接続状態とするプリアンプスルー回路と、

を備えた、電子機器。

[請求項11]

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

複数の入力端子に前記画素信号がそれぞれ入力され、入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第1信号及び第2信号として出力するプリアンプ部と、

前記第1信号が第1入力端子から入力され、前記第2信号が第2入力端子からそれぞれ入力され、前記第1信号及び前記第2信号の比較を行い比較結果データを出力するコンパレータ部と、

複数の前記第 1 入力端子を、 n 個毎に互いに接続し、互いに接続された n 個の前記第 1 入力端子の電位を加算電位とする複数の画素加算スイッチング素子と、

を備えた、電子機器。

[請求項12]

複数の画素データを出力する固体撮像素子と、

前記複数の画素データに対応する画像データに対し、画像処理を施す画像処理部と、

前記固体撮像素子及び前記画像処理部を制御する制御部と、を備え、

前記固体撮像素子は、

光電変換を行い画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

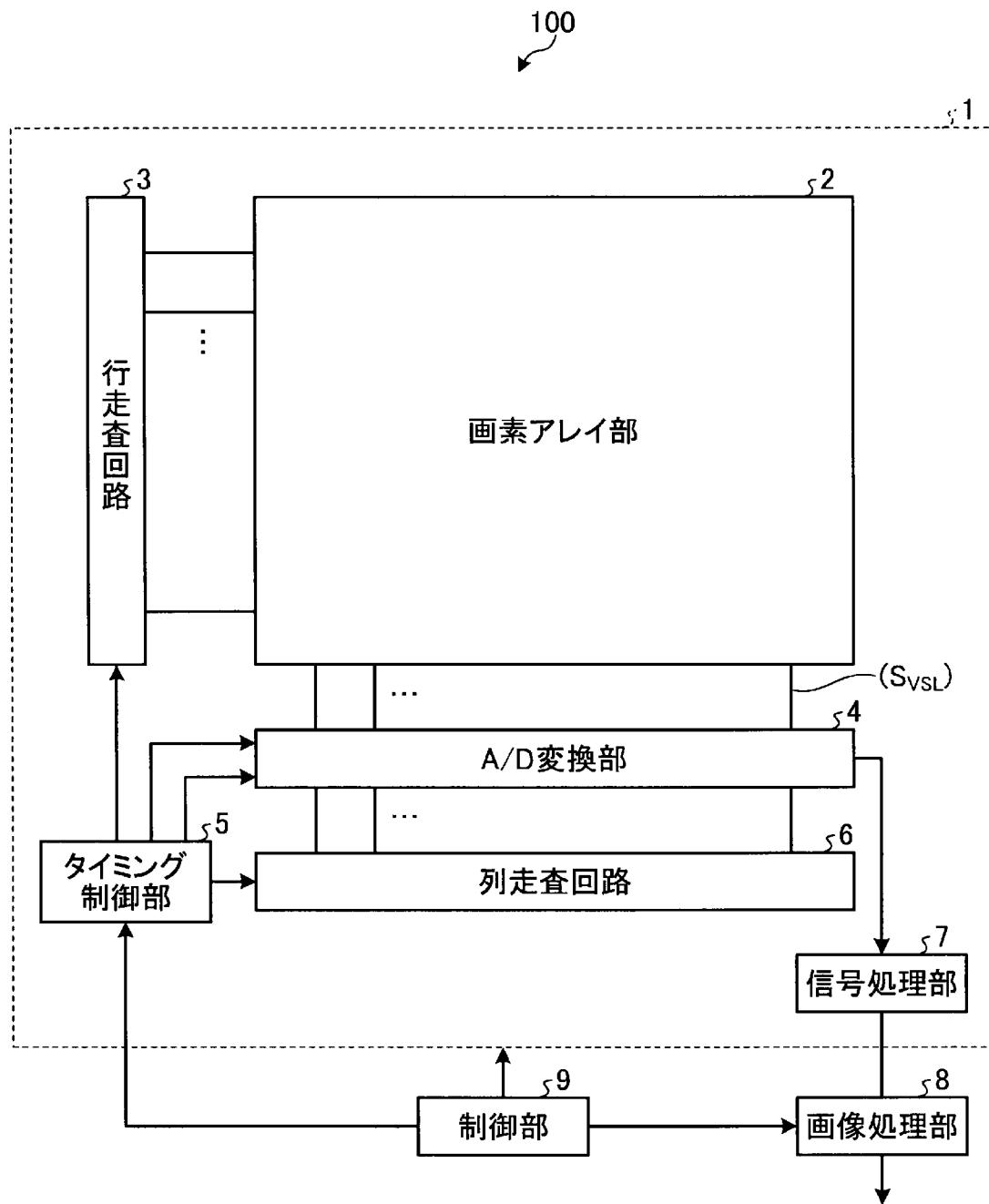
複数の入力端子に前記画素信号がそれぞれ入力され、入力端子に閾値信号が入力され、前記画素信号及び前記閾値信号を増幅して対応する出力端子から第 1 信号及び第 2 信号として出力するプリアンプ部と、

前記第 1 信号が第 1 入力端子から入力され、前記第 2 信号が第 2 入力端子からそれぞれ入力され、前記第 1 信号及び前記第 2 信号の比較を行い比較結果データを出力するコンパレータ部と、を備え、

入力された制御信号に基づいて、前記プリアンプ部のリニアリティやノイズ特性が緩和出来る使用条件の場合に、前記プリアンプ部を流れるプリアンプ電流を低減する、

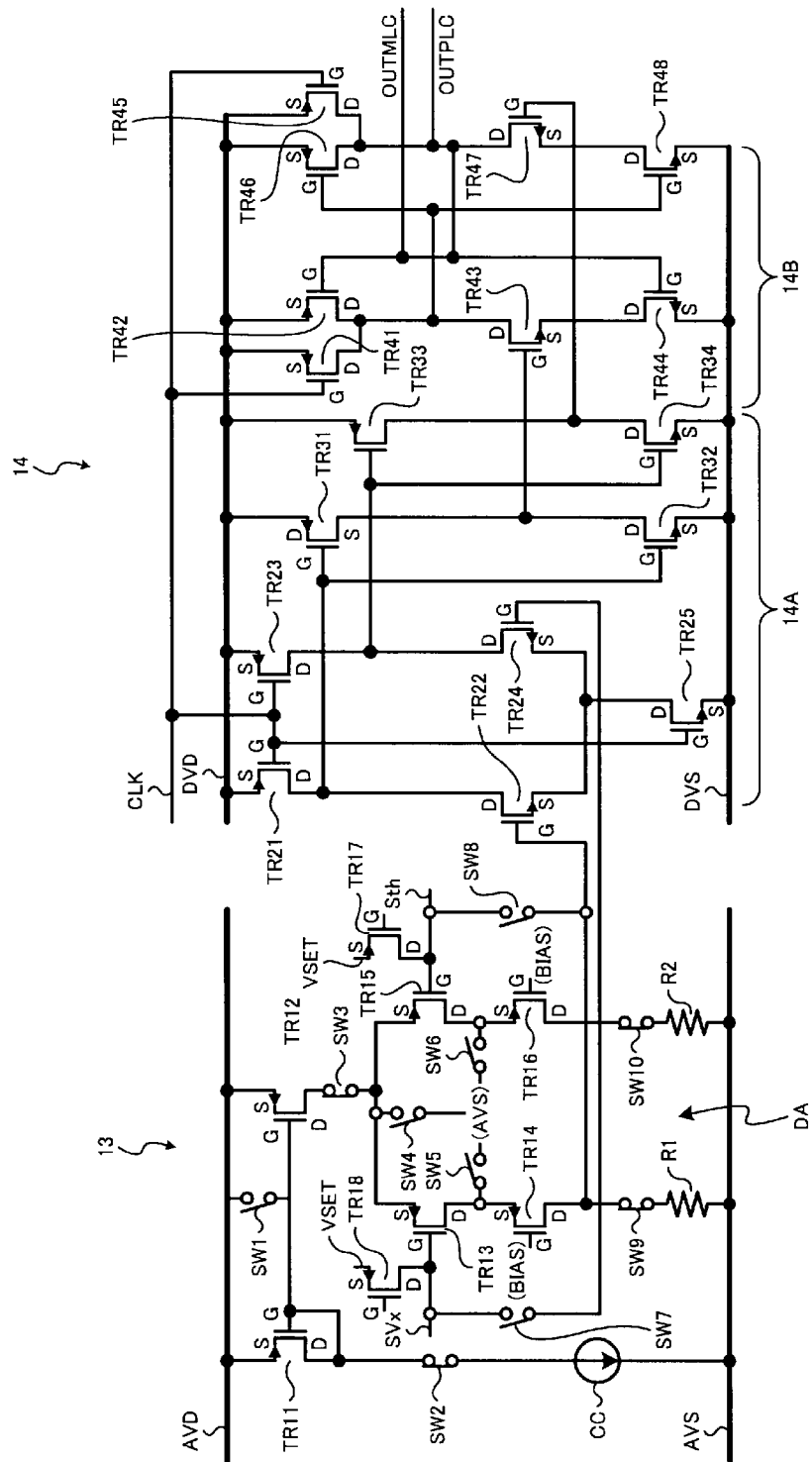
電子機器。

[図1]

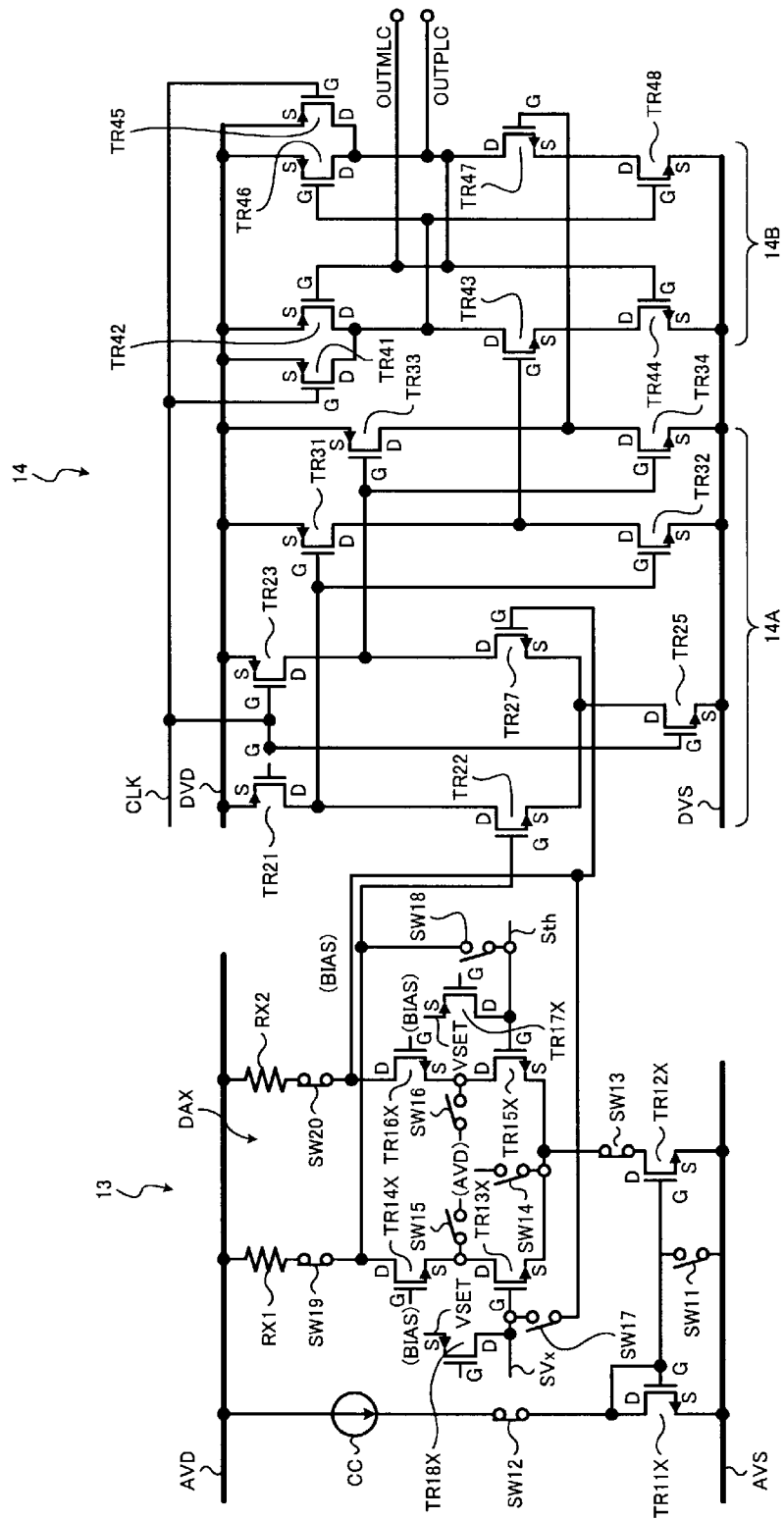


The diagram illustrates a multi-channel signal processing system 10. It features eight input channels labeled TV1 through TV8 at the bottom. These channels feed into a series of comparators or amplifiers represented by triangles with '+' and '-' signs. The outputs of these stages are connected to a network of switches (SWT1-SWT8, SWS1-SWS8) and multiplexers (SEL1-SEL8). A central control unit 17 manages these components via signals T_{DCT}, D_{CCT}, S_{RST}, T_{RST}, CLK, OUTP, and TD_{OUT}. The system also includes a feedback loop with a summing junction (+), a delay element (D_{SAR}), and a reference voltage source (VREF). Various capacitors (C0-C9) and resistors (R1-R8) are shown, along with a digital-to-analog converter (DAC) block 11. The output of the DAC is connected to a terminal block 12.

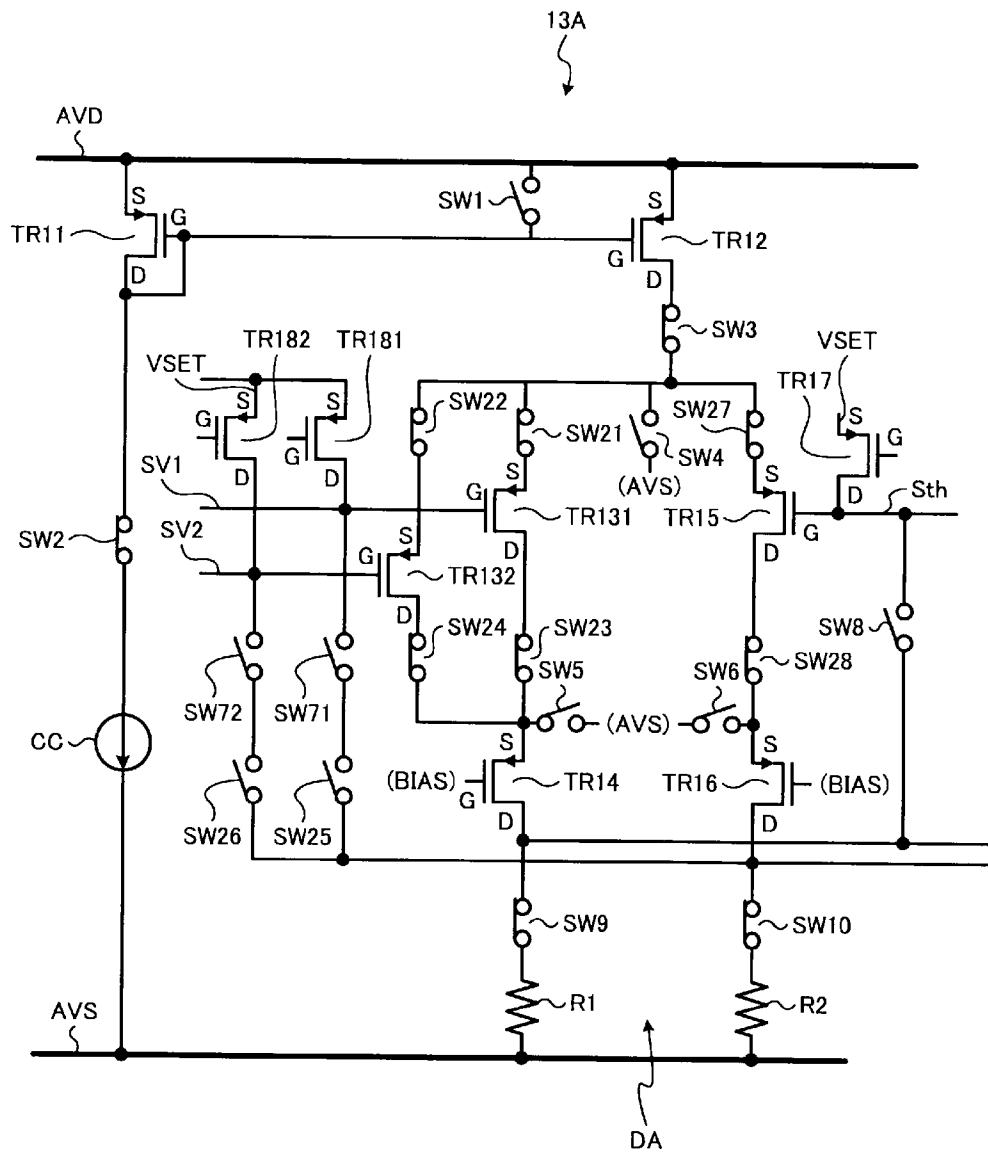
[図3]



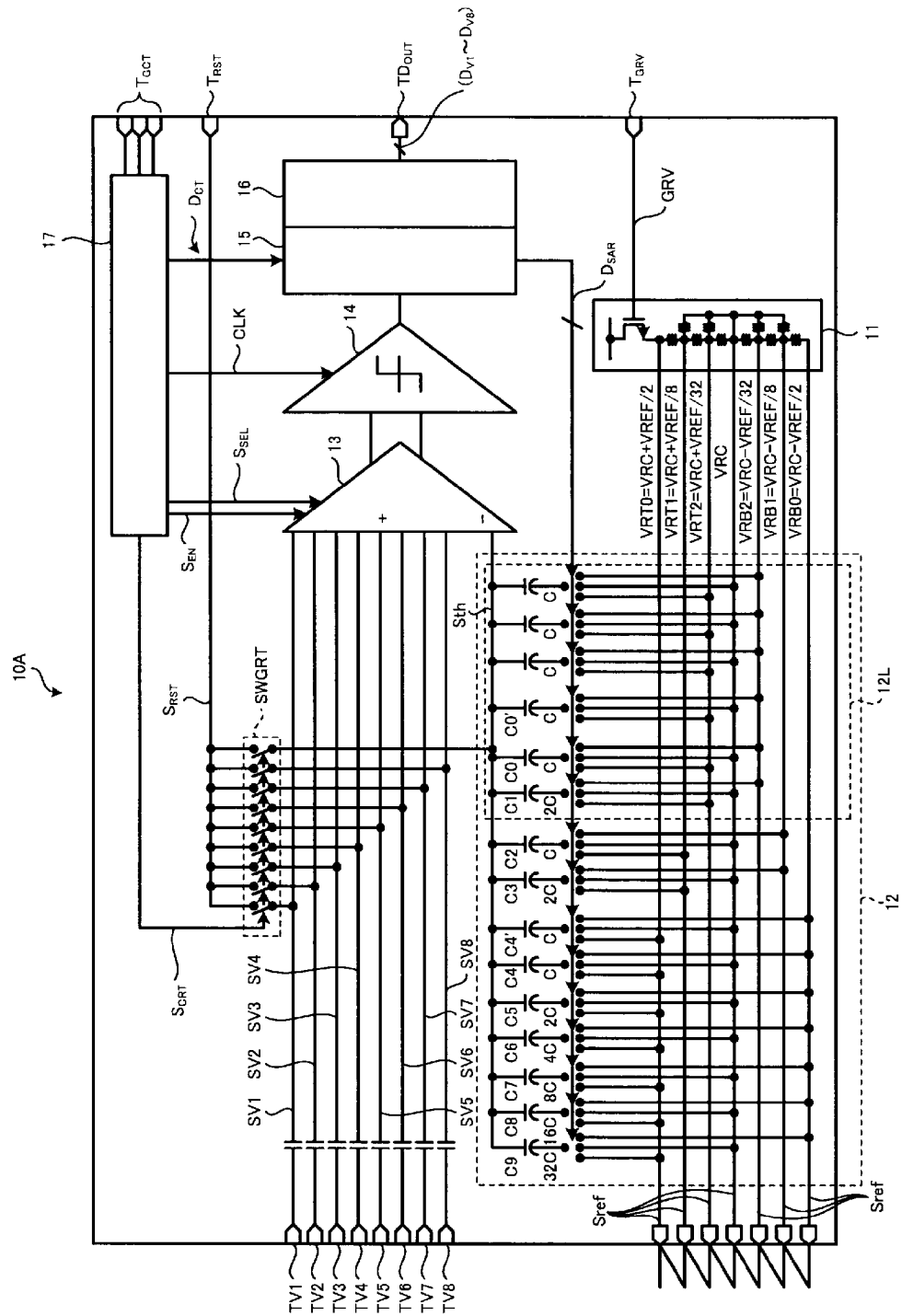
[図4]



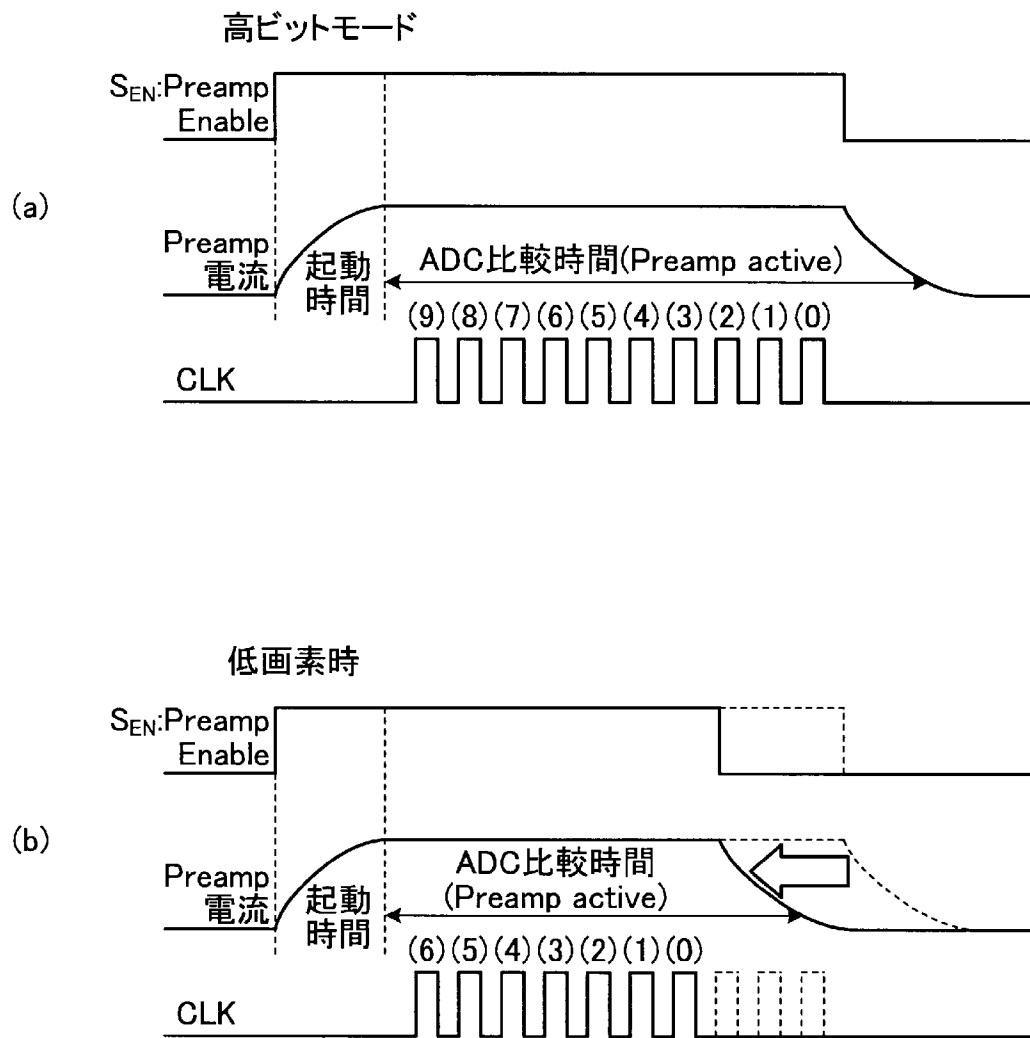
[図5]



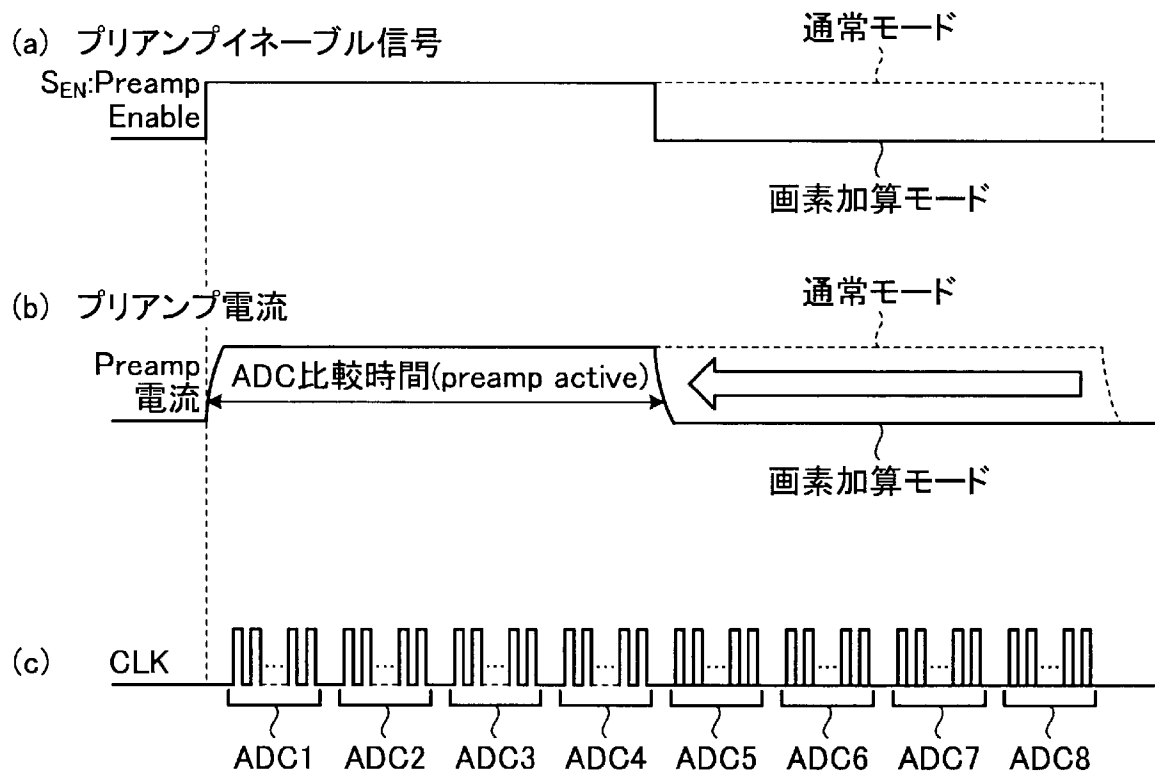
[図6]



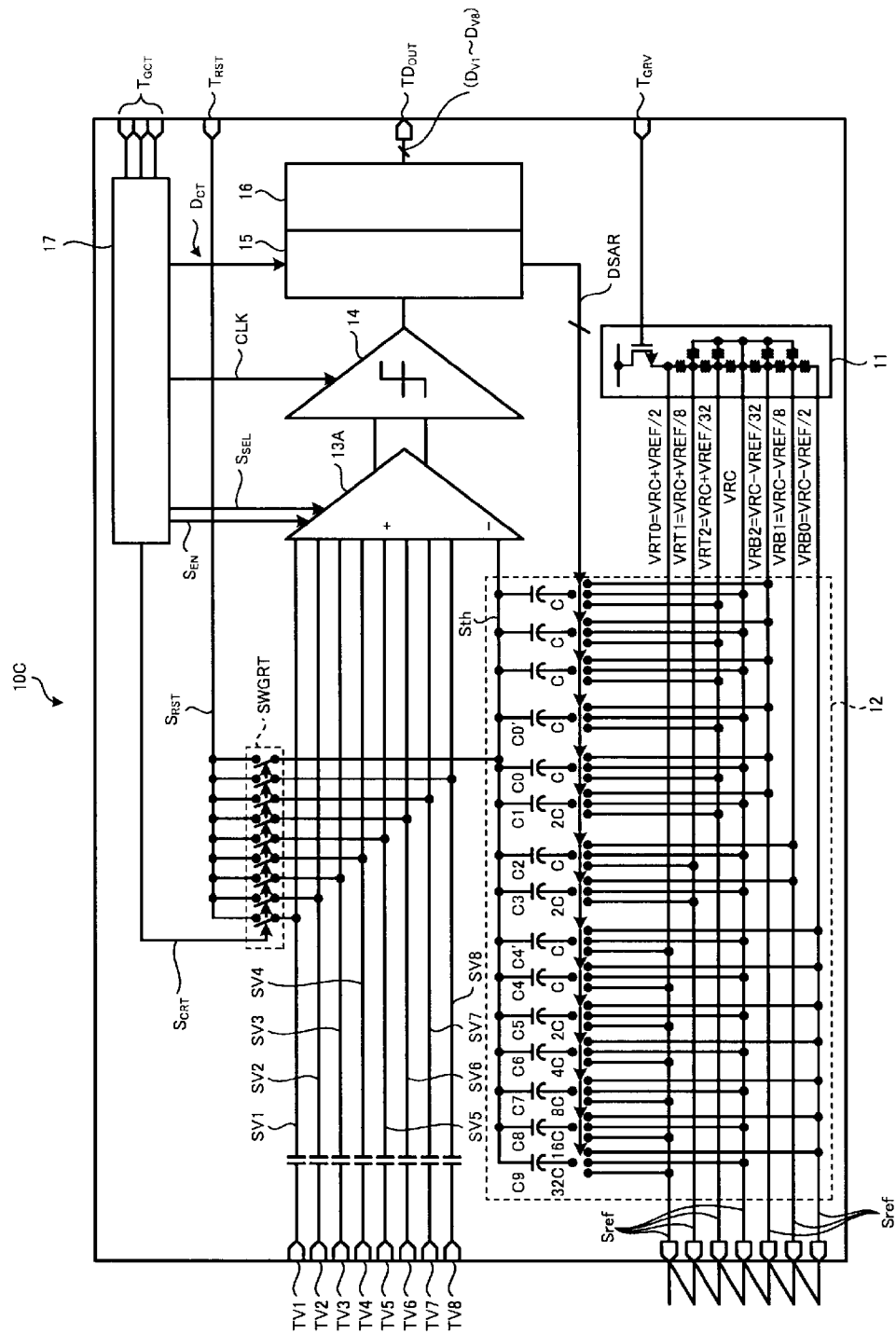
[図7]



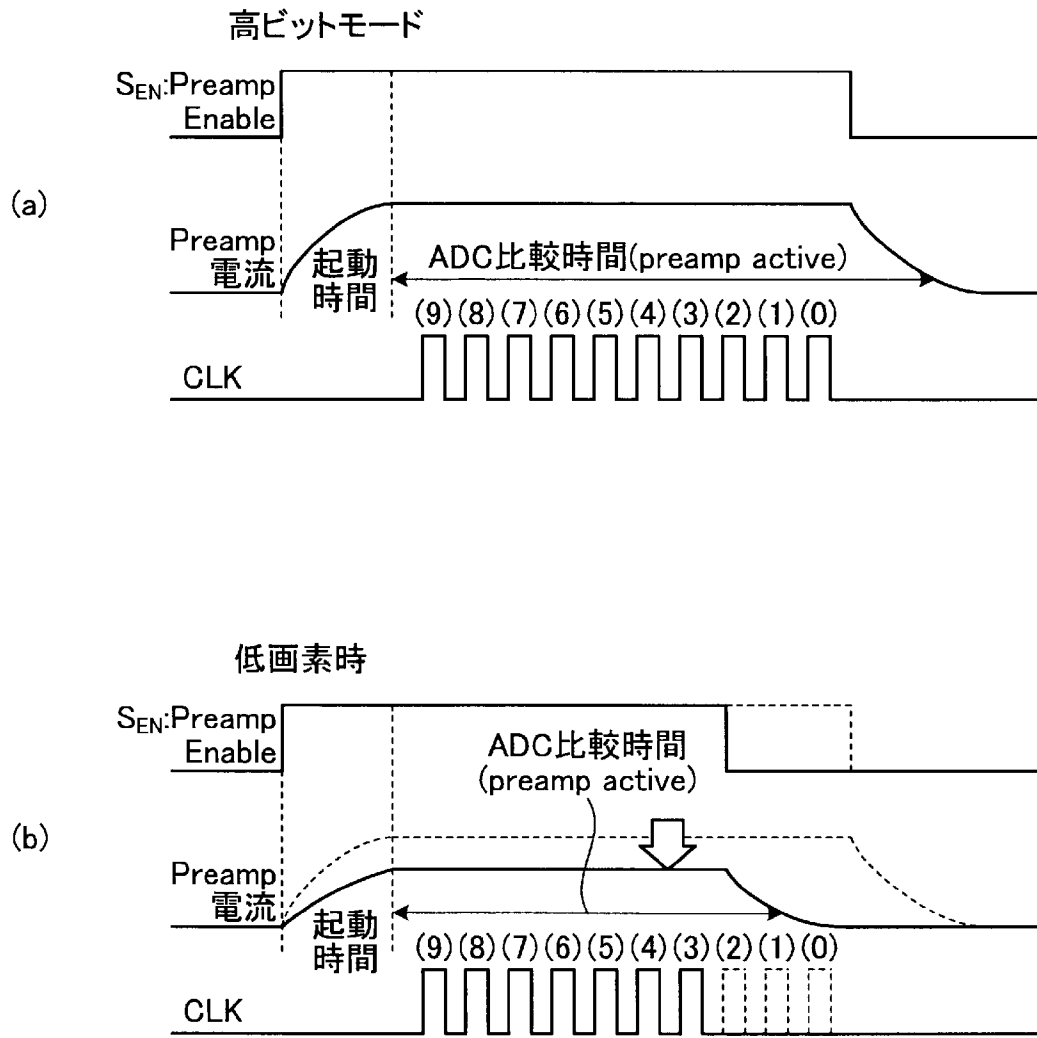
[図9]



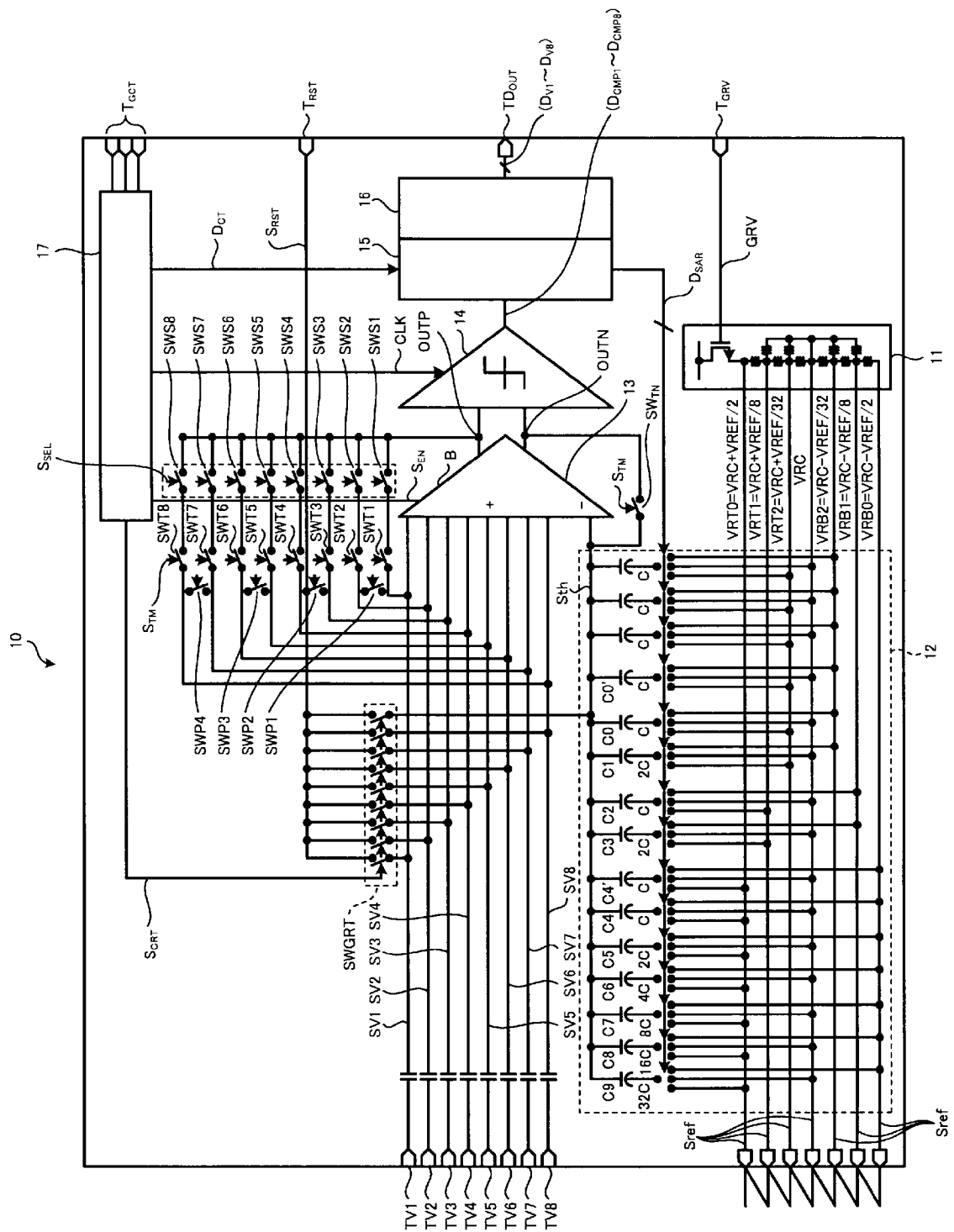
[図10]



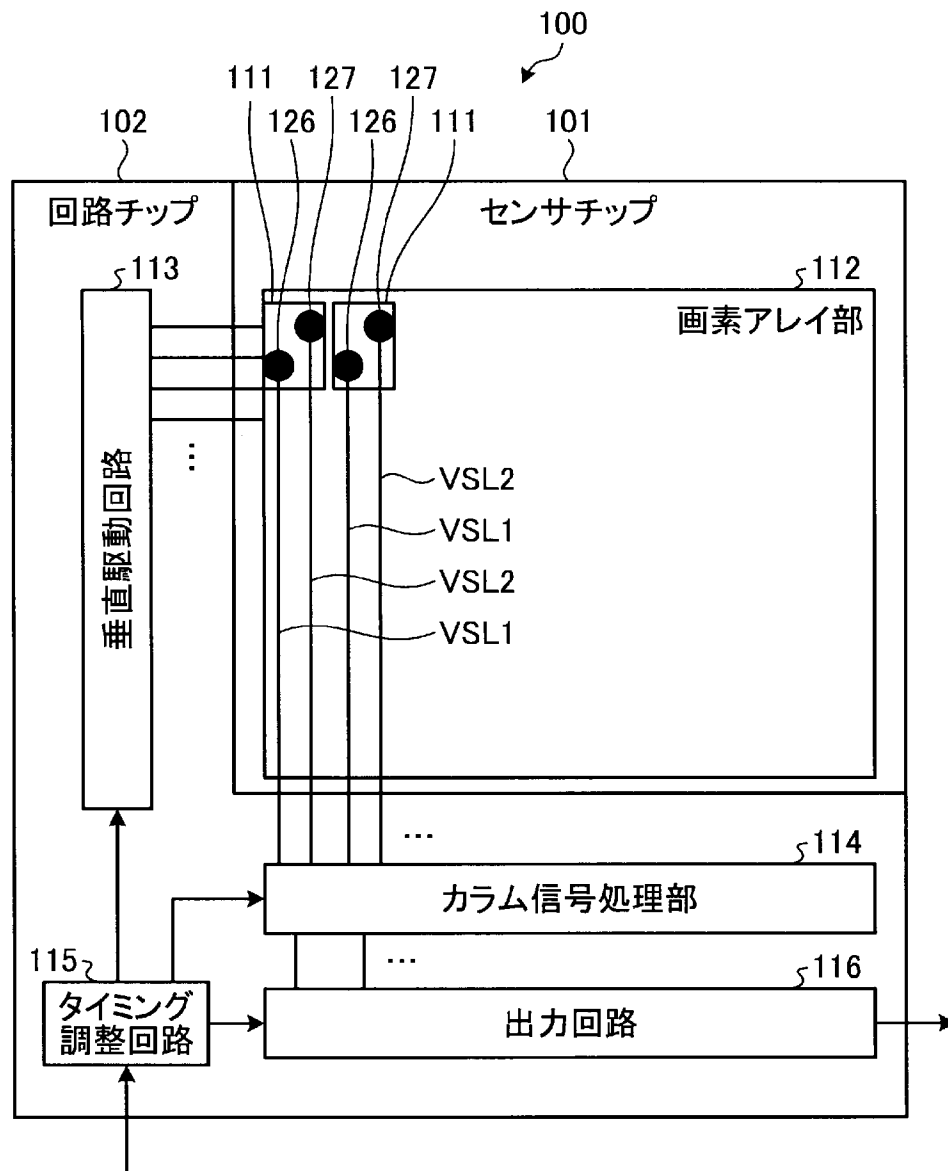
[図11]



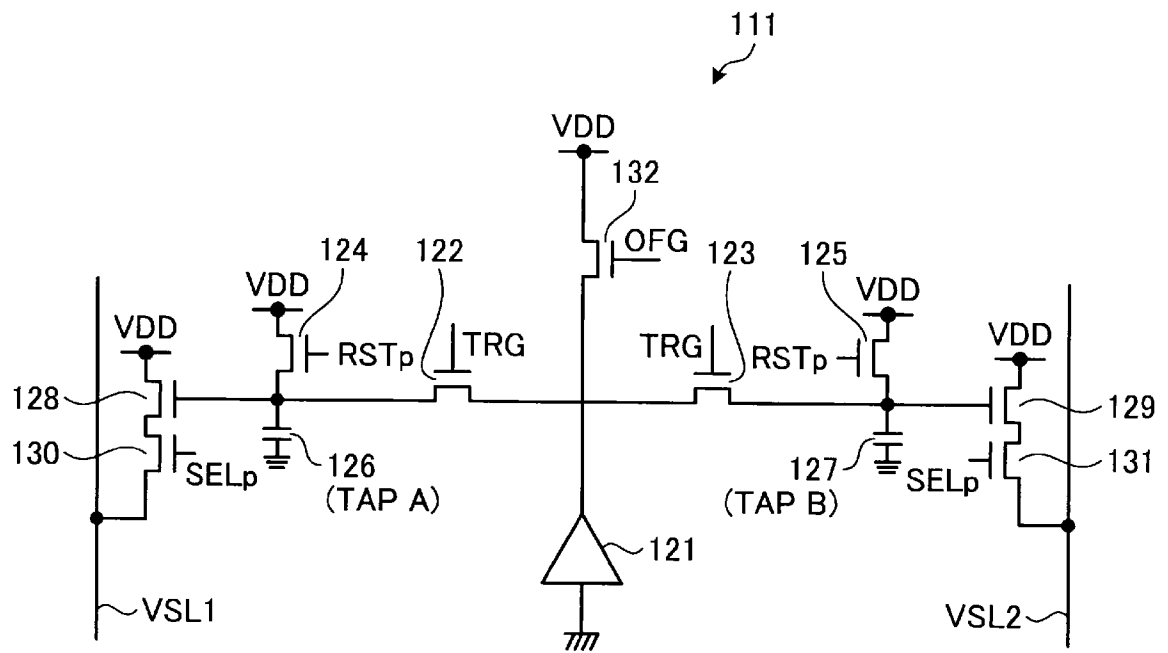
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/039975

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H03M1/46 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H03M1/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-206356 A (SONY CORPORATION) 16 September 2010, paragraphs [0040]-[0044], fig. 2 (Family: none)	1-12
A	WO 2016/009832 A1 (SONY CORPORATION) 21 January 2016, paragraphs [0049], [0050], fig. 4 & US 2017/0272678 A1, paragraphs [0147], [0148], fig. 4 & CN 105519096 A & KR 10-2017-0031645 A	1-12
A	JP 2005-252529 A (SONY CORPORATION) 15 September 2005, paragraphs [0035], [0036], fig. 3 & US 2005/0194520 A1, paragraphs [0109]-[0115], fig. 3	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11.12.2019

Date of mailing of the international search report
24.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/378(2011.01)i, H03M1/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/378, H03M1/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-206356 A (ソニー株式会社) 2010.09.16, 段落 [0040] - [0044], 図2 (ファミリーなし)	1-12
A	WO 2016/009832 A1 (ソニー株式会社) 2016.01.21, 段落 [0049], [0050], 図4 & US 2017/0272678 A1, 段落 [0147], [0148], 図4 & CN 105519096 A & KR 10-2017-0031645 A	1-12
A	JP 2005-252529 A (ソニー株式会社) 2005.09.15, 段落 [0035], [0036], 図3 & US 2005/0194520 A1, 段落 [0109] - [0115], 図3	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.12.2019

国際調査報告の発送日

24.12.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571