

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1996.03.05 案號：08/611,061，有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明技術領域

本發明係關於電子記憶體，且更特別而言，係關於具有最佳記憶空間之記憶體，和使用該記憶體之系統和方法。

發明背景

使用在現今使用之電腦系統中之大部份記憶次系統乃由靜態隨機存取記憶裝置(SRAMs)或動態隨機存取記憶裝置(DRAMs)構成。每種型式之記憶裝置各具優缺點，且結果DRAMs和SRAMs受限於不同的應用。特別的，SRAMs較快，且使用在需要快存取時間和高頻寬之應用中，例如在快取記憶中。但是，SRAMs會耗損較多的能量，且製造費用較為昂貴，和在給定晶片空間提供較少的胞(位元)。另一方面，雖然比SRAMs慢，DRAMs典型的較便宜，耗損較少的能量，且在相同的晶片空間中提供更多的位元(亦即，具有較高的胞密度)。DRAMs典型的使用以構造記憶次系統，如系統記憶體和顯示圖框緩衝器，其中能量節省和胞密度比速度更為重要。在一些電腦系統中，這些次系統主宰系統之架構，且因此，DRAMs仍為市場上盛行之記憶裝置。

在多數現今可利用之DRAMs中，最大可應用之資料輸入/輸出接腳為16，如此允許每個隨機存取或每晶片之負循環存取最大16位元。如此在習知之計算系統之構造中(其中資料匯流排如64或72位元寬)會產生一問題。例如，為了支持64位元寬資料匯流排，每個記憶庫需要4

五、發明說明(2)

個並聯之"乘以 16"之裝置。因此多重晶片需要額外的板空間，如此增加了電源耗損和增加了在印刷電路板上所需互接之數目。再者，由於單在 DRAMs 構造成固定尺寸，例如 512 KBytes，因此通常會浪費記憶空間。例如，512 KByte 組織當成 256 K x 16 而使用時，每個記憶庫需要具有 2 MBytes 之最小容量之 4 個裝置以支持 64 位元寬資料匯流排。爲了增加記憶容量並支持 64 位元匯流排，必需增加額外的 2 MByte 庫。即使是中介容量，僅需要如 1.3 或 1.7 MBytes。

在圖框緩衝器(顯示記憶器)中，過多記憶空間特別嚴重。同時，習知可完全支持 64 位元資料匯流排之圖框緩衝器乃由 4 個標準的 256 K 乘以 16 (512 KByte) 裝置所構成。最小的儲存空間再度爲 2 Mbytes，即使在商用 PC 之主要顯示中只需要 1.3 MBytes 之圖框緩衝器記憶容量下。例如，1.3 MByte 記憶體已足以符合 640 x 480 x 24 位元彩色顯示或 1024 x 768 x 16 或 8 位元彩色顯示之螢幕上或離開螢幕之需求。

此外，由於現今可使用之 DRAMs 之資料埠受限爲 16 個接腳，在圖框緩衝器設計時，時間和控制上變的相當複雜。特別的，習知的顯示系統有時操作在具有每像素解晰度爲 8 位元之顯示資料上(由於 VGA 之關係)。因此，爲了以像素基礎有效的修改在一像素上之顯示影像，顯示控制器必需可以以 8 位元字寫入記憶體中。在上述之系統中，其中使用 4 個 256 K 乘以 16 之裝置，在一寫操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(3)

時，控制器必需能由給定之4個晶片之一中由16接腳資料埠致能8個接腳。通常，8位元之寫能力乃經由多重行位址選通和/或列位址選通之使用而達成。然而，這些架構使位址時間和控制複雜，增加了顯示控制器之耗損，和需要額外的接腳和相關的互接以傳送介於控制器和每個記憶晶片間之適當/RAS和/CAS訊號。

因此，對於能有效的使用於記憶次系統之設計和構造之電路和方法之需求逐漸變高。特別的，雖然不限於此，但是此種電路和方法必需可適當的應用至DRAM圖框緩衝器記憶體之設計和構造中。在執行此種裝置時，過多的記憶空間必需實質的降低，且存取時間實質的簡化。

發明概要

依照本發明之原理之第一實施例，於此提供一種單一晶片圖框緩衝器，其可使用在一顯示次系統中，以操作以顯示影像當成預先選擇數目之像素之圖框，每個像素由像素資料之預先選擇數目之位元所界定。該單一晶片圖框緩衝器包含：記憶胞之一陣列，在該陣列中多數之記憶胞預先選擇以儲存界定該圖框之像素資料和減少過多之胞；和一資料埠，具有一預定數目之端，該預定數目之端實質等於選擇資料匯流排之多數線。

依照本發明之原理之第二實施例，於此提供一種圖框緩衝器，其製造在單一晶片上，包含：一記憶陣列，其具有預先選擇之容量以儲存顯示資料之一圖框和具有最小未使用記憶空間之額外資訊之量；和一資料埠用以獨立的支持

五、發明說明(4)

至少 64 位元寬之資料匯流排。

本發明之原理亦可使用於含有一顯示裝置和一單一晶片圖框緩衝器之顯示系統中。該顯示裝置可操作以顯示影像當成預定數目像素之圖框，每個像素由像素資料之字所界定。該單一晶片圖框緩衝器具有一儲存容量較佳的儲存以最小數目之過多胞界定之該圖框之像素資料之字。

本發明之原理亦可使用在圖框緩衝器之製造方法中。依照此方法，其包含之步驟為：提供記憶胞陣列，依需要而選擇之陣列之尺寸儲存界定欲顯示在具有最小過多胞之選擇顯示裝置上之像素資料之圖框；和提供一選擇數目之端以存取該陣列，依需要的選擇端之數目以用於圖框緩衝器，以獨立的支持所選擇之資料匯流排。

使用本發明之原理之記憶體實質優於習知技藝。藉由修改記憶儲存容量之量以符合給定應用之需求，過多的容量可顯著的降低，甚或消除。再者，藉由提供具有寬資料埠之單一晶片裝置，例如 64 位元寬之資料埠，需用於相關資料匯流排之晶片數目會由數個晶片降至一個晶片。藉由降低需用於圖框緩衝器之晶片數目，可節省寬的空間，減少能量耗損，和簡化特別由像素修改之像素之存取時間。

上述已概括而非廣泛的說明本發明之特徵和技術優點，以使閱者能更加了解本發明之詳細說明。本發明之其它特徵和優點將說明如下，其亦構成本發明之申請專利範圍之標的。應了解的是，對於熟悉此項技藝之人士而言，本發明所揭示之概念和特殊實施例可使用當成一根基，以改變

五、發明說明(5)

或設計其它的構造，以執行本發明相同之目的。因此，對於熟悉此項技藝之人士而言，其所為等效之構造並未能悖離下述本發明之申請專利範圍所述之精神和範疇。

圖式簡單說明

為了更完整的了解本發明及其優點，可參考下述之說明及伴隨之附圖；其中：

圖 1 為使用本發明之原理之個人計算系統架構之高位準功能方塊圖；

圖 2 為習知顯示控制器一圖框緩衝器記憶次系統之更詳細功能方塊圖；

圖 3 為依照本發明之原理之顯示控制器一圖框緩衝器次系統之更詳細功能方塊圖；

圖 4 為依照本發明之原理之圖框緩衝器記憶體之功能方塊圖；和

圖 5 為如圖 4 所示之圖框緩衝器之較佳封裝和接腳型態之平面圖。

本發明之詳細說明

本發明之原理及其優點可參考圖 1-5 所示之實施例而更加了解，其中相同的元件標註以相同的參考數字。雖然使用本發明之原理之記憶裝置可使用在許多的應用中，但是為了便於說明，下述之說明係關於使用在個人電腦中之基本處理系統架構。

圖 1 為處理系統 100 之部份之高位準功能塊圖。系統 100 包括中央處理單元 101，CPU 局部匯流排 102，芯心

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

邏輯 103，顯示控制器 104，系統記憶體 105，數位至類比轉換器(DAC) 106，圖框緩衝器 108，和顯示裝置 107。

CPU 101 為"主宰"，其控制系統 100 之整個操作。另一方面，CPU 101 執行各種不同的資料處理功能並決定欲顯示在顯示單元 107 上之繪圖資料之內容，以回應使用者指令和/或應用軟體之執行。CPU 101 亦可為一般用途之微處理器，如使用在個人電腦中之 Intel PentiumTM，PentiumProTM 級之微處理器。CPU 101 和系統 100 之剩餘部份經由 CPU 局部匯流排 102 而連接，該局部匯流排可為特殊之匯流排，或一般之匯流排，如下進一步說明，匯流排 102 可使用以完成本發明之新穎記憶介面。

在 CPU 101 之引導下，芯心邏輯 103 控制介於 CPU 101，顯示控制器 104，和系統記憶體 105 間之資料，位址，控制訊號和指示之交換。芯心邏輯 103 可為設計以和系統之剩餘部份，且特別和 CPU 101 相容之商用芯心邏輯晶片組之一。一個或多個芯心邏輯晶片，例如在所示系統中之晶片 112，為典型的"位址和系統控制器強化"，而一個或多個芯心邏輯晶片，如在圖 1 中之晶片 114，為"資料強化"。位址強化芯心邏輯晶片 112 通常：以 CPU 匯流排 102 之位址路徑和 CPU 101 形成介面；保持快取記憶，包括快取標籤，相關快取標籤組，和其它需用以確保快取相關性之其它資料；執行快取"匯流排觀察"；產生需用於在系統記憶或快取中之 DRAM 之控制訊號；和控制一般

五、發明說明(7)

的管理處理。資料強化晶片 114 一般：以 CPU 匯流排 102 之資料路徑和 CPU 101 形成介面；發出循環完成響應至位址晶片 112 或 CPU 101；在循環未完成之情形下可中止操作；並仲裁匯流排 102 之資料路徑。

CPU 101 可直接的或經由一外部(L2)快取 115 而與芯心邏輯 103 相通。L2 快取 115 可為 256 KB 之快 SRAM 裝置。必需注意的是，CPU 101 亦包括板上(L1)快取，典型的高達 16 KB。

當本發明之原理應用至顯示控制器/圖框緩衝器介面時，顯示控制器 104 可為修改成需用以和記憶 200 形成介面之多數商用 VGA 顯示控制器之一。例如，顯示控制器 104 可根據顯示控制器之 Cirrus Logic CL-GD 754x 系列之一。此種控制器之構造和操作乃說明於 CL-GD 754x/應用手冊，第一版，1994 年 11 月 22 日，和 CL-GD 7542 LCD VGA Controller Preliminary 資料本，第 1.0.2 版，1994 年 6 月，其可由加州弗蒙特之 Cirrus Logic 公司獲得，於此提出以供參考。顯示控制器 104 亦可經由芯心邏輯 103 或經由 CPU 局部匯流排 102 而直接由 CPU 101 接收資料，指示和/或位址。資料，指示，和位址乃經由芯心邏輯 103 而在顯示控制器 104 和系統記憶 105 間交換。再者，位址和指示亦可經由可為例如 PCI 局部匯流排之局部匯流排 116 而在芯心邏輯 103 和顯示控制器 104 間交換。此外，局部匯流排 116 亦可設計和構造作用新穎的介面，如此配合圖 2 之記憶體所述。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(8)

一般而言，顯示控制器 104 控制螢幕的更新，執行有限數目之繪圖功能，如拉線，多邊形形成，顏色空間轉換，顯示資料插值和變焦，和視頻流，並操控其它例如能量管理之雜事。更重要的是，顯示控制器 104 在螢幕更新時控制來自圖框緩衝器 108 之像素資料之光域至顯示單元 107，和在顯示更新資料時，使 CPU 101 和圖框緩衝器 108 形成介面，視頻資料可直接的輸入顯示控制器 104。

數位至類比轉換器 106 接收來自控制器 104 之數位資料，並輸出類比資料以驅動顯示器 107a 和 107b (當使用時)以做為回應。在所示之實施例中，DAC 106 整合顯示控制器 104 在一單一晶片上。根據系統 100 之特殊執行，DAC 106 可包括一彩色調色盤，YUV 至 RGB 格式轉換電路，和/或 X 和 Y 變焦電路，於此僅提出數個選擇。顯示器 107 可為 CRT 單元，液晶顯示器，電照明顯示，電漿顯示，或其它顯示影像在多數像素之螢幕上之顯示裝置。值得注意的是，在替代實施例中，"顯示器" 107 可為其它任何型式之輸出裝置，如雷射印表機或類似之文件觀看/印表應用。

在系統 100 中之資料路徑會隨著每個設計而改變。例如，系統 100 可為"64 位元"或"72 位元"系統。為了便於討論起見，於此選擇 64 位元系統。而後，每個資料連接，包括 CPU 匯流排 102 和 PCI 匯流排 116 之資料路徑，經由芯心邏輯 103 至系統記憶 109 和顯示控制器 104 之資料路徑，和介於顯示控制器 104 和圖框緩衝器 108 間之資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

源

五、發明說明(9)

料互接，皆為 64 位元寬。值得注意的是，位址互接必需根據記憶體之尺寸和例如支持資料位元組選擇，錯誤偵測和校正，和虛擬記憶操作之需求等因素而改變。

圖 2 顯示習知圖框緩衝器構造和其與相關顯示控制器之介面。所述之次系統包括由 4 個 256 K x 16 動態隨機存取記憶裝置(DRAM)所支持之 64 位元資料匯流排。眾所周知的，每個 DRAM 包含在一封裝中，該封裝包括 16 接腳寬資料埠(DQ)，8 接腳位址埠，/RAS 輸入接腳，和上位元組和下位元組/CAS 輸入接腳(分別為 UCAS 和 LCAS)。每個 DRAM 一般亦包括輸出致能(/OE)和寫致能(/WE)輸入接腳，其接收來自控制器之讀/寫控制訊號。為了簡明扼要，在每個 DRAM 上之輸出致能和寫致能接腳和與控制器之相關互接並未顯示在圖 2 中。

為了產生用以讀取和寫入在圖框緩衝器內之位址之位址，在圖 2 之次系統中之控制器產生一行位址選通，/RAS0，和 8 個列位址選通/CAS0-/CAS7。行位址選通控制行位址門鎖進入 4 個 DRAM 中，且通常乘以 DRAM 之預先充電和主動循環。8 個列位址選通之再個乃呈現至用於列位址門鎖之 DRAM，其中之一到達 LCAS 接腳以獨立的存取下位元組，和另一個到達 UCAS 接腳以獨立的存取 16 位元位置之上位元組。藉由選擇列位址選擇之呈現，伴隨著呈現在位址匯流排上之位址，顯示控制器可以像素基礎寫在像素上。

如圖 2 所示，習知的圖框緩衝器構造和控制有實質之缺

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(10)

點。另一方面，需要 4 個晶片和它們的封裝以支持 64 位元匯流排。每個封裝晶片會增加系統之成本，耗損板空間和增加與控制器之所需互接。再者，雖然其它使用 /RAS 和 /或 /CAS 之位元組定址架構是已知的，但是它們仍呈現了一些問題：例如具有特殊時間之額外訊號必需產生在控制器中，而後路由至適當的 DRAM。最後，圖 2 之多重晶片 DRAM 提供了 2 MB 之最小儲存容量，甚至低於 1.5 MB，而其為需用以容納最大和最廣泛使用之商用 PC 顯示器(亦即 1024 x 1280 乘以 8 位元/像素)之螢幕上和偏離螢幕需求。

圖 3 為使用本發明之原理之記憶次系統 300 之功能塊圖。次系統 300 包括一顯示控制器 301 和圖框緩衝器 302。在一應用中，顯示控制器 301 和圖框緩衝器 302 可使用當成在系統 100 中之顯示控制器 104 和圖框緩衝器 108。

依照本發明之原理，圖框緩衝器 302 具有一儲存容量(亦即 DRAM 胞陣列尺寸)較佳的符合顯示控制器 301 和具有最小過多容量之相關顯示裝置之顯示資料儲存需求。在所示之實施例中，圖框緩衝器 302 為 1.5 MB 裝置，在一單一封裝中，該封裝可提供約 1.3 MB 之螢幕上記憶，以用於 1024 x 1280 x 8 位元/像素顯示，和 200 KB 之記憶，以用於當成符號儲存和/或偏離螢幕記憶。

依照本發明之原理，單一晶片圖框緩衝器 302 之資料埠(DQ)和圖框緩衝器一顯示控制器資料路徑 303 皆為 64 位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(11)

元寬。在所示之實施例中，位址路徑(匯流排) 304 為 9 位元寬。圖框緩衝器 302 包括單一/RAS 和單一/CAS 輸出。寫致能輸入/WE 用於讀/寫控制。圖框緩衝器 302 之控制循環和存取時間及由系統主 CLK 和時鐘致能訊號 CKE 控制。DSF 輸入提供特殊功能致能訊號之輸入以執行每位元寫之操作。

使用本發明之原理之單一晶片圖框緩衝器，例如圖框緩衝器 302，乃具有許多優於習知技藝之優點。另一方面，由於只需要提供單一晶片封裝以用於 64 位元匯流排，因此較不會耗損板空間，板位準互接較簡單且呈現較少的負載，且顯示次系統之成本亦可降低。再者，由於儲存容量受修改以符合顯示次系統之需求，因此實質的可降低或消除浪費的記憶空間。在所示實施例之 1.5 MB 記憶中，可消除完全 1/2 MB 之記憶之浪費，而其在圖 2 所示之習知技藝之系統中會浪費。最後，具有 64 位元資料接腳輸出之單一晶片圖框緩衝器實質的簡化位址時間需求，並降低相關顯示控制器之處理程序。和需要 8 列位址選通以用於像素對像素寫入之圖 2 之系統相反的，本發明只需要一個/RAS 訊號和一個/CAS 訊號。以本發明，單一/RAS 訊號和單一/CAS 訊號，配合 DSF 位元和輸入埠上所接收之掩蔽，乃足以提供像素對像素資料之修改。

圖 4 為用以執行圖框緩衝器 302 之較佳構造之高位準功能方塊圖，圖框緩衝器 302 包括 DRAM 胞 401 之陣列，其在本實施例中具有 1.5 MB 之容量。陣列 401 連接行解碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (12)

器 402，列解碼器 403 和感應放大器 404，其皆由已知之動態電路所構成。

由位址匯流排 304 所接收之位址位元輸入至行位址緩衝器 405 和列位址緩衝器 407。在較佳之實施例中，行位址和列位址位元接收到來自多工位址匯流排 304 之字串，並分別以 /RAS 和 /CAS 門鎖。位址計數器 406 和 408 由所接收到的行和列位址而內部的增加，以執行更新和負模式存取。

時間產生器 409 接收進入之時鐘和控制位元，並產生和分配所需之時鐘和控制訊號。每位元寫電路 410 和一特殊模式暫存器允許對經由輸入/輸出緩衝 412 之寫入陣列 401 之位元之選擇性遮蓋。I/O 緩衝器 412 允許 64 位元字之輸入和輸出，依照本發明之較佳實施例。

每位元寫功能允許顯示資料之像素對像素之修改。每位元寫乃使用在 I/O 緩衝器 412 內之 64 位元掩蔽暫存器而執行。此掩蔽在一給定的主動循環時藉由設定 DSF 接腳為高位準而載入，表示在位址接腳上之相關操作碼，和表示在資料接腳 DQ0-DQ63 上之 64 位元掩蔽。在後續的選擇主動循環中，DSF 接腳設定為高位準，以致動掩蔽，以執行一掩蔽寫入。

依照本發明之單一晶片圖框緩衝器可使用多數封裝選擇之一封裝。較佳的，使用 100 接腳 QFP 封裝，而接腳指定實質的和圖 5 所示相同。

雖然本發明及其優點已詳細說明如上，但是，必需了解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (13)

的是，於此仍可能有許多的改變，修飾，和替代例，但是它們皆未能悖離本發明下述申請專利範圍之精神和範疇。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

四、中文發明摘要(發明之名稱：具有最佳記憶空間和寬資料輸入/輸出的記憶體以及使用該記憶體之系統與方法)

一種單一晶片圖框緩衝器(302)，其可使用在一顯示次系統(300)中，可操作以當成預先選擇數目之像素之圖框之方式顯示影像，每個像素由像素資料之預先選擇數目之位元所界定。該單一晶片圖框緩衝器(302)包含：記憶胞之一陣列，在該陣列中多數之記憶胞預先選擇以儲存界定一顯示圖框之像素資料和減少過多之胞；和一資料埠，具有一預定數目之端，該預定數目之端實質等於選擇資料匯流排之多數線。

英文發明摘要(發明之名稱：A MEMORY WITH OPTIMIZED MEMORY SPACE AND WIDE DATA INPUT/OUTPUT AND SYSTEMS AND METHODS USING THE SAME)

A single chip frame buffer 302 for use in a display subsystem 300 operable to display images as frames of preselected numbers of pixels, each pixel defined by a preselected number of bits of pixel data. Single chip frame buffer 302 includes an array of memory cells, a number of the memory cells in the array preselected to store pixel data defining a display frame and minimize excess cells. A data port is included having a predetermined number of terminals, the predetermined number of terminals being substantially equal to a number of lines of an associated bus.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種單一晶片圖框緩衝器，其可使用在一顯示次系統中，可操作以當成預先選擇數目之像素之圖框的方式顯示影像，每個像素由像素資料之預先選擇數目之位元所界定，包含：

記憶胞之一陣列，在該陣列中多數之記憶胞預先選擇以儲存界定該圖框之像素資料和減少過多之胞；和

一資料埠，具有一預定數目之端，該預定數目之端實質等於選擇資料匯流排之多數線。

2. 如申請專利範圍第1項之圖框緩衝器，其中該記憶胞包含動態隨機存取記憶胞。
3. 如申請專利範圍第1項之圖框緩衝器，進一步包含用以寫入該陣列之選擇數目之胞之電路，該選擇數目小於該端之預定數目。
4. 如申請專利範圍第1項之圖框緩衝器，其中該陣列具有1.5百萬位元組之儲存容量。
5. 如申請專利範圍第3項之圖框緩衝器，其中該寫入電路包含每位元寫入電路。
6. 如申請專利範圍第1項之圖框緩衝器，其中該預定數目之端至少為64。
7. 一種圖框緩衝器，其製造在單一晶片上，包含：
 - 一記憶陣列，其具有預先選擇之容量以儲存顯示資料之一圖框和具有最小未使用記憶空間之額外資訊之量；和
 - 一資料埠用以獨立的支持至少64位元寬之資料匯流排。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

8. 如申請專利範圍第7項之圖框緩衝器，進一步包含在該陣列中用以存取選擇胞之電路，該存取電路包括以像素基礎修改在像素上之顯示資料之電路。
9. 如申請專利範圍第8項之圖框緩衝器，其中該修改電路包含每位元寫入電路。
10. 如申請專利範圍第7項之圖框緩衝器，其中該圖框緩衝器包含一同步DRAM。
11. 如申請專利範圍第7項之圖框緩衝器，其中該陣列具有1.5百萬位元組之最大容量。
12. 如申請專利範圍第7項之圖框緩衝器，其中該存取電路提供在該陣列中存取64位元位置，以回應所接收的行和列位址。
13. 如申請專利範圍第12項之圖框緩衝器，其中該行和列位址為串列接收字，以回應行位址選通或列位址選通。
14. 一種顯示次系統，包含：
 - 一顯示裝置，其操作以當成預定數目像素之圖框之方式顯示影像，每個像素由像素資料之字所界定；和
 - 一單一晶片圖框緩衝器，其具有一儲存以最小數目之過多胞界定之該圖框之像素資料之字的儲存容量。
15. 如申請專利範圍第14項之顯示次系統，其中該圖框緩衝器進一步包含至少64位元寬之資料埠。
16. 如申請專利範圍第15項之顯示次系統，其中該圖框緩衝器具有1.5百萬位元組之最大容量。
17. 如申請專利範圍第15項之顯示次系統，進一步包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一顯示控制器，用以控制介於該圖框緩衝器和該顯示裝置間之資料之交換；和

至少64位元寬之資料匯流排，其耦合該顯示控制器和該圖框緩衝器之資料埠。

18. 一種圖框緩衝器之製造方法，包含之步驟為：

提供記憶胞陣列，依需要而選擇之陣列之尺寸儲存界定欲顯示在具有最小過多胞之選擇顯示裝置上之像素資料之圖框；和

提供一選擇數目之端以存取該陣列，依需要的選擇端之數目以用於圖框緩衝器，以獨立的支持所選擇之資料匯流排。

19. 如申請專利範圍第18項之方法，其中該過多胞之最小數目提供充足的容量以儲存符號。

20. 如申請專利範圍第18項之方法，其中該過多胞之最小數目提供充足的容量以提供偏置螢幕儲存。

21. 如申請專利範圍第18項之方法，其中該選擇資料匯流排至少為64位元寬。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

397960

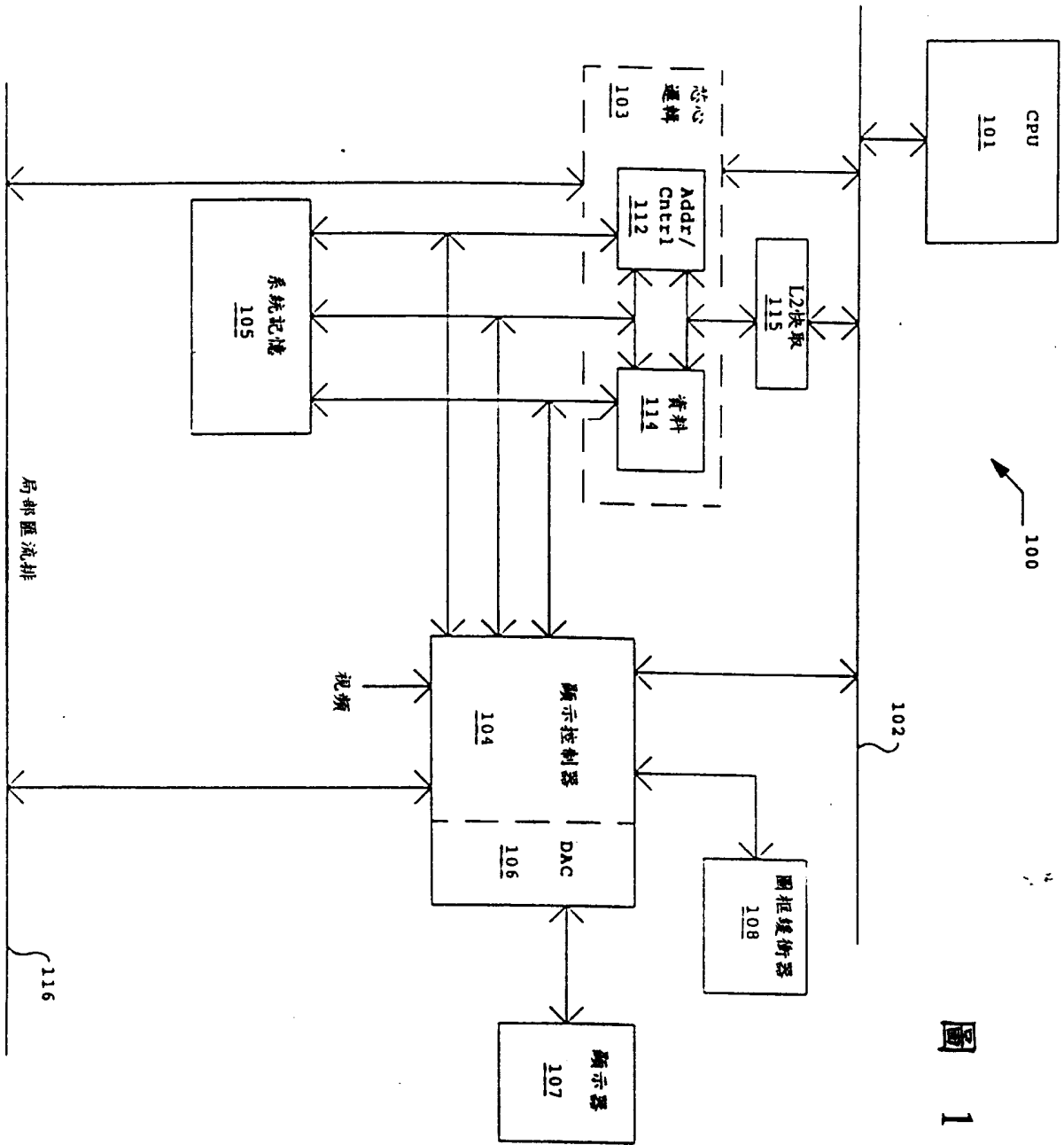


圖 1

397960

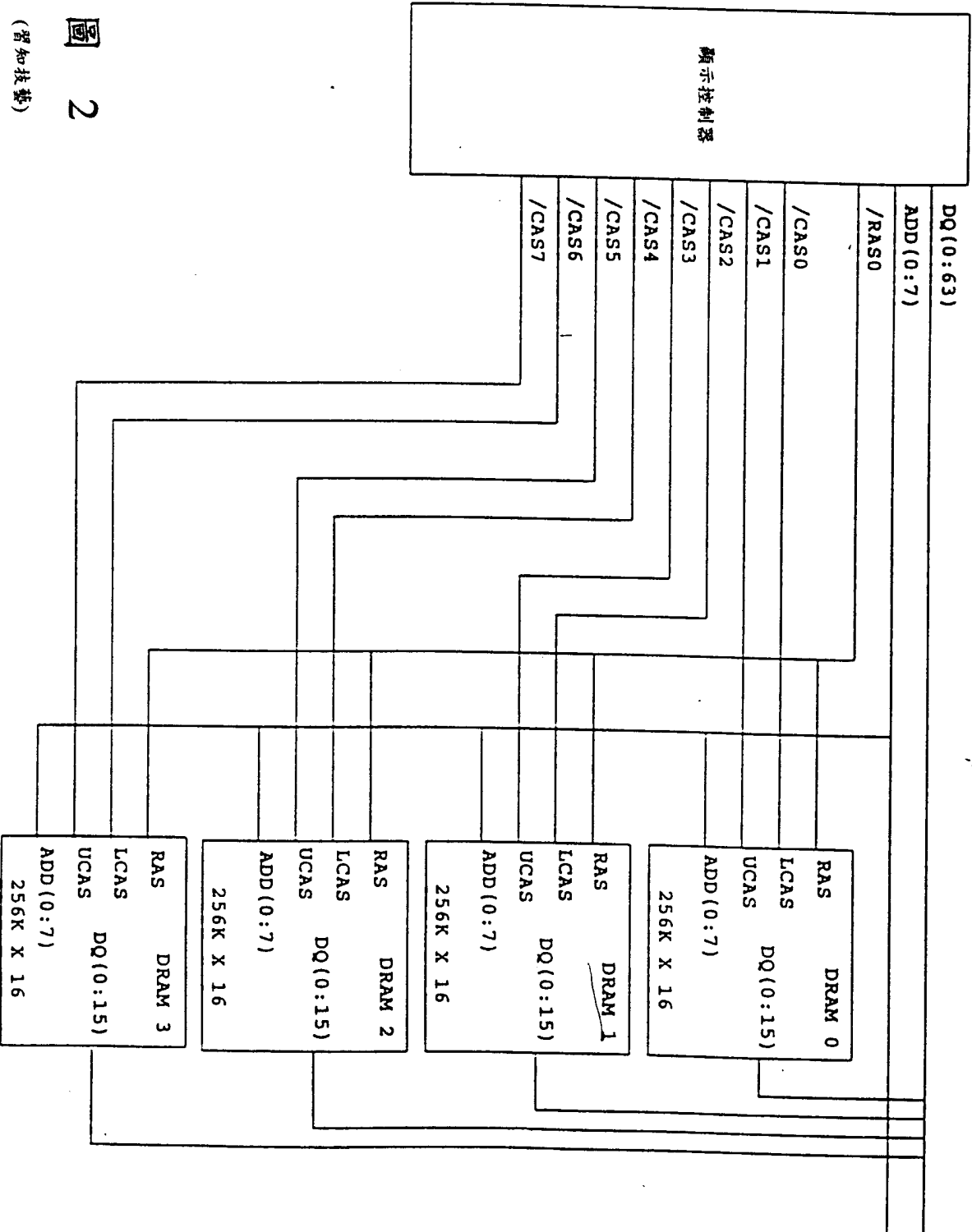


圖 2

(習知技藝)

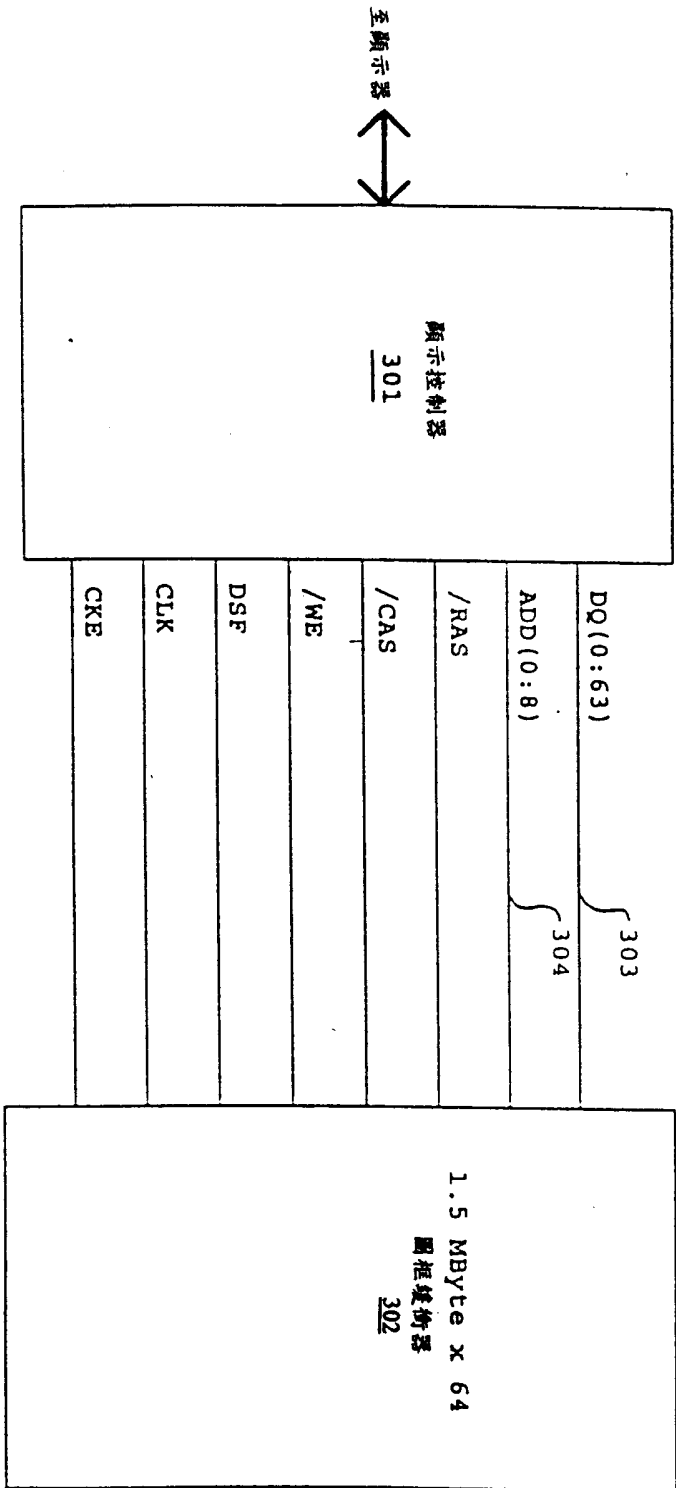


圖 3

300

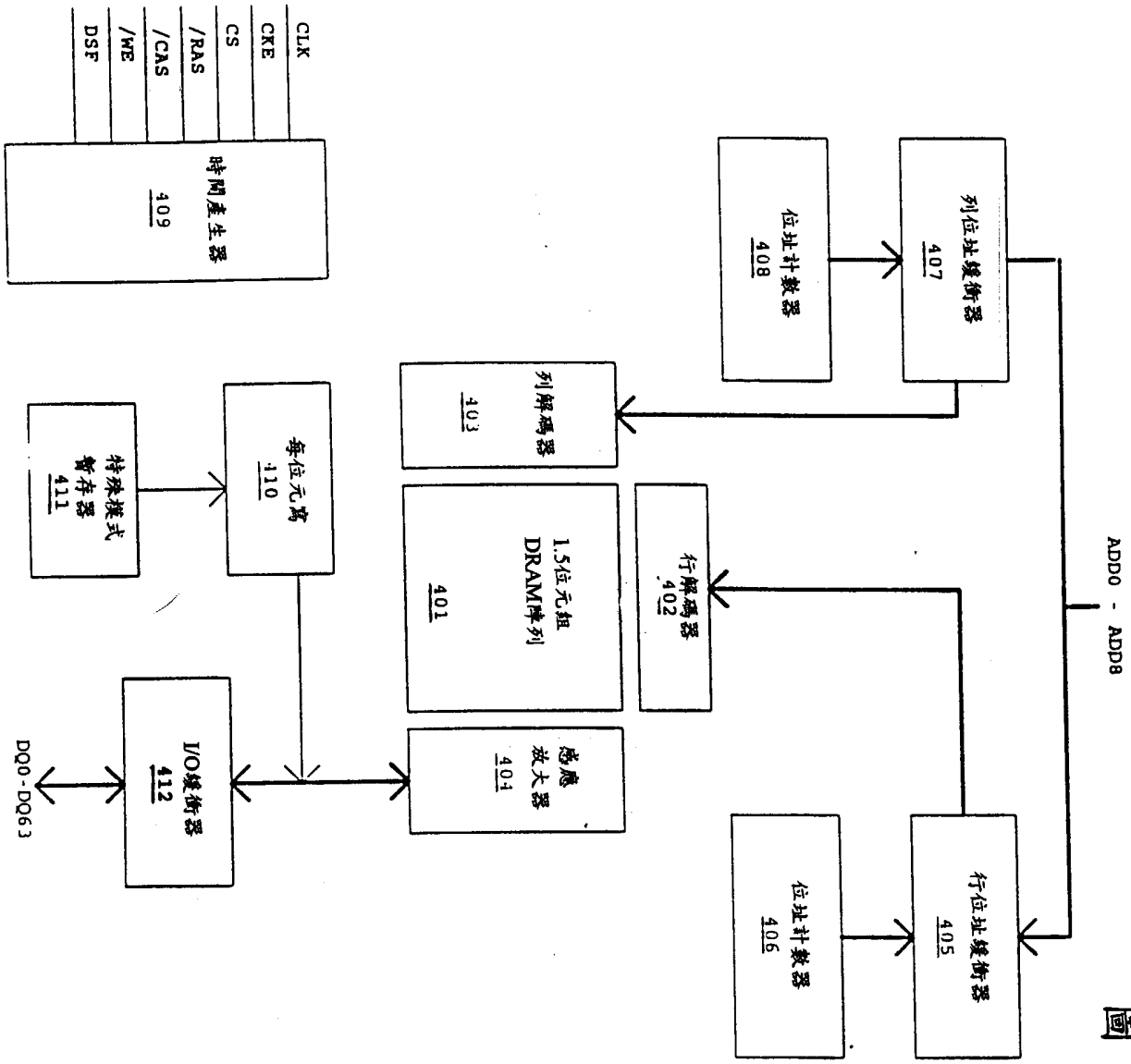
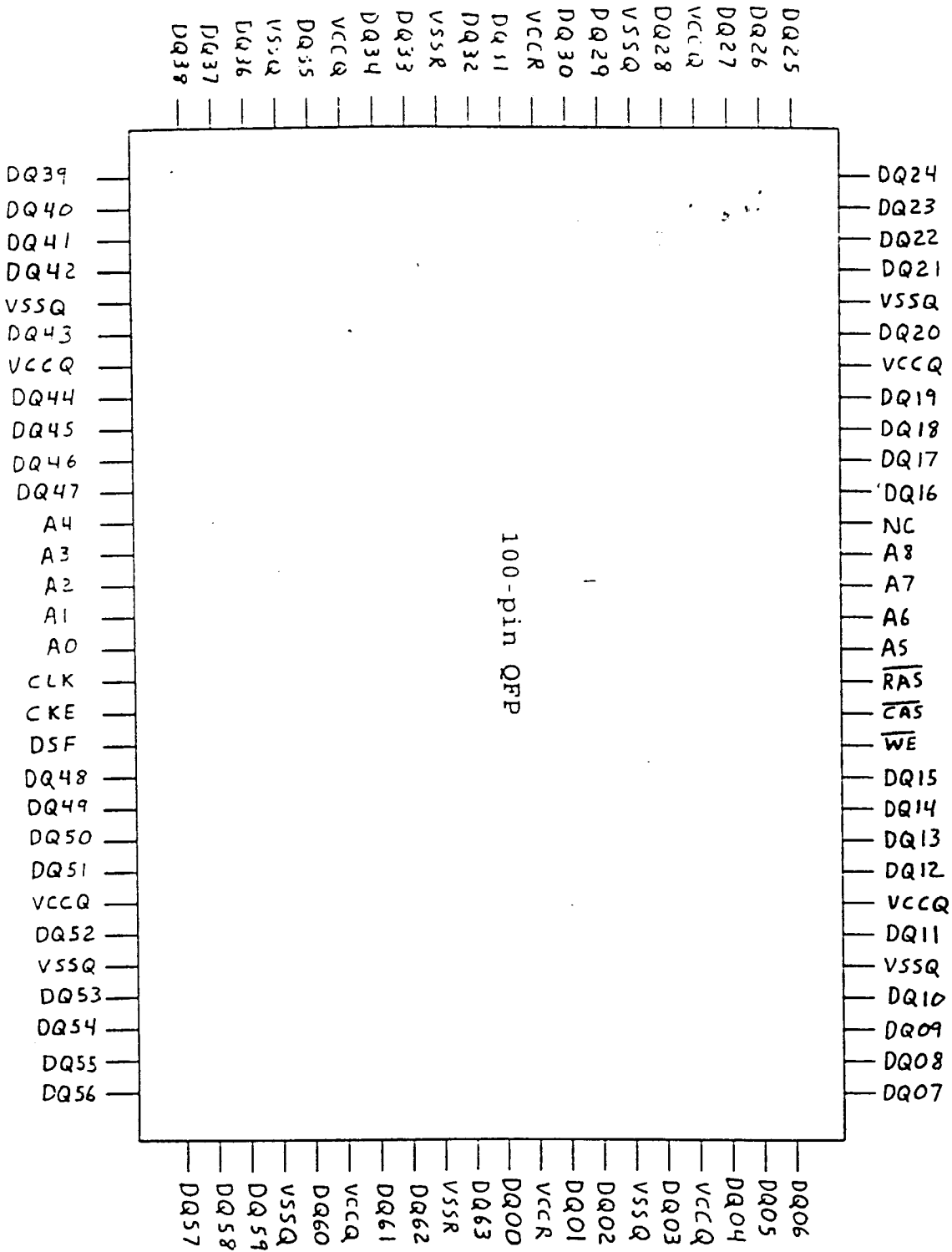


圖 4

397960



5