

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月22日(22.11.2018)



(10) 国際公開番号

WO 2018/212100 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) G09F 9/00 (2006.01)
G02F 1/1368 (2006.01) G09F 9/30 (2006.01)

(21) 国際出願番号: PCT/JP2018/018366

(22) 国際出願日: 2018年5月11日(11.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-098951 2017年5月18日(18.05.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 原 健 吾 (HARA Kengo). 大 東 徹 (DAITOH Tohru). 今 井 元 (IMAI Hajime). 菊 池 哲 郎 (KIKUCHI Tetsuo). 北 川 英 樹 (KITAGAWA Hideki). 上 田 輝 幸 (UEDA Teruyuki). 鈴 木 正 彦 (SUZUKI Masahiko).

西 宮 節 治 (NISHIMIYA Setsuji). 伊 藤 俊 克 (ITO Toshiakatsu).

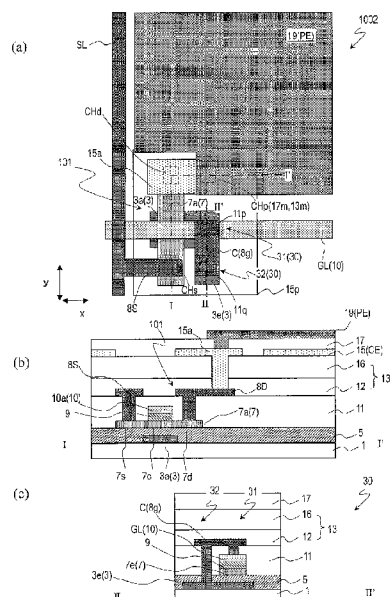
(74) 代理人: 奥 田 誠 司 (OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: ACTIVE MATRIX SUBSTRATE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: アクティブマトリクス基板およびその製造方法

(57) Abstract: Each pixel region of an active matrix substrate (1002) has: a lower insulation layer (5); an oxide semiconductor layer (7) which is disposed atop the lower insulation layer and which includes an active region (7a) of an oxide semiconductor TFT; an upper insulation layer (9) which is disposed atop a part of the oxide semiconductor layer so as not to come into contact with the lower insulation layer; an upper gate layer (10) which is disposed atop the upper insulation layer and which includes one of a plurality of gate bus lines (GL) and an upper gate electrode (10a); and a source electrode and a drain electrode. The oxide semiconductor layer 7 further has an extension region (7e) that, when viewed from a normal direction of the substrate, extends from the active region (7a) toward a direction x different from the channel longitudinal direction y of the oxide semiconductor TFT; and the extension region (7e) comprises a part which is disposed on the substrate side of one of the plurality of gate bus lines (GL) via the upper insulation layer (9) and which is configured to extend so as to overlap one of the gate bus lines.



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: アクティブマトリクス基板 (1002) の画素領域のそれぞれは、下部絶縁層 (5) と、下部絶縁層上に配置された、酸化物半導体 TFT の活性領域 (7a) を含む酸化物半導体層 (7) と、酸化物半導体層の一部上に、下部絶縁層と接しないように配置された上部絶縁層 (9) と、上部絶縁層上に配置された、上部ゲート電極 (10a) および複数のゲートバスライン (GL) の1つを含む上部ゲート層 (10) と、ソース電極およびドレイン電極とを有し、酸化物半導体層 7 は、基板の法線方向から見たとき、活性領域 (7a) から酸化物半導体 TFT のチャネル長方向 y とは異なる方向 x に延びる延設領域 (7e) をさらに有し、延設領域 (7e) は、複数のゲートバスライン (GL) の1つの基板側に、上部絶縁層 (9) を介して配置され、かつ、複数のゲートバスラインの1つと重なるように延びる部分を含む。

明 細 書

発明の名称：アクティブマトリクス基板およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体を用いたアクティブマトリクス基板およびその製造方法に関する。

背景技術

[0002] 画素毎にスイッチング素子が設けられたアクティブマトリクス基板を備える表示装置が広く用いられている。スイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「TFT」）を備えるアクティブマトリクス基板は、TFT基板と呼ばれる。なお、本明細書においては、表示装置の画素に対応するTFT基板の部分も画素と呼ぶことがある。また、アクティブマトリクス基板の各画素にスイッチング素子として設けられたTFTを「画素TFT」と呼ぶ。

[0003] アクティブマトリクス基板に、駆動回路などの周辺回路がモノリシック（一体的）に形成される場合がある。この場合、周辺回路を構成するTFTを「回路TFT」と呼ぶ。

[0004] 近年、TFTの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなTFTを「酸化物半導体TFT」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体TFTは、アモルファスシリコンTFTよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。

[0005] 例えばIn-Ga-Zn-O系酸化物半導体（In：Ga：Zn＝1：1：1）の移動度は、アモルファスシリコンよりも高い（約20倍）が、現状では多結晶シリコンよりも低い。このため、酸化物半導体TFTを画素TFTとして用いると、多結晶シリコンTFTを用いる場合よりも、オン電流が

低くなる可能性がある。オン電流を高めるために、例えば、ダブルゲート構造を有する酸化物半導体 T F T を用いることが考えられる。本明細書では、酸化物半導体層の基板側および基板と反対側にそれぞれゲート電極が配置された構造を「ダブルゲート構造」と呼ぶ。また、酸化物半導体層の基板側に配置されたゲート電極を「下部ゲート電極」、酸化物半導体層の上に配置されたゲート電極を「上部ゲート電極」と呼ぶ。

[0006] ダブルゲート構造を有する酸化物半導体 T F T を用いたアクティブマトリクス基板は、例えば、特許文献 1 に開示されている。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第 2 0 1 6 / 0 7 6 1 6 8 号

発明の概要

発明が解決しようとする課題

[0008] しかしながら、本願発明者が検討したところ、ダブルゲート構造を有する酸化物半導体 T F T を画素 T F T として用いる場合、酸化物半導体層と上部ゲート電極との間のゲート絶縁層（「上部絶縁層」と呼ぶ）のパターニングの際に、酸化物半導体層と下部ゲート電極との間のゲート絶縁層（「下部絶縁層」と呼ぶ）の表面がエッチングされてしまう（オーバーエッチング）ことがある。このようなオーバーエッチングが生じると、酸化物半導体 T F T の信頼性を低下させる可能性がある。詳細は後述する。なお、上部ゲート電極を有するシングルゲート構造（「トップゲート構造」と呼ぶ）の酸化物半導体 T F T でも同様の問題が生じ得る。

[0009] 本発明の一実施形態は、高い信頼性を有し得る酸化物半導体 T F T を備えたアクティブマトリクス基板を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の一実施形態のアクティブマトリクス基板は、複数の画素領域を含む表示領域を有するアクティブマトリクス基板であって、基板と、前記基板

に支持された複数のゲートバスラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体 T F T とを備え、前記複数の画素領域のそれぞれは、前記基板に支持された下部絶縁層と、前記下部絶縁層上に配置された酸化物半導体層であって、前記酸化物半導体 T F T の活性領域を含む酸化物半導体層と、前記酸化物半導体層の一部上に、前記下部絶縁層と接しないように配置された上部絶縁層と、前記上部絶縁層上に配置された上部ゲート層であって、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の一部と重なる上部ゲート電極と、前記上部ゲート電極と一体的に形成された前記複数のゲートバスラインの 1 つとを含む、上部ゲート層と、前記酸化物半導体層の前記活性領域と接するソース電極およびドレイン電極とを有し、前記酸化物半導体層は、前記基板の法線方向から見たとき、前記活性領域から前記酸化物半導体 T F T のチャネル長方向とは異なる方向に延びる延設領域をさらに有し、前記延設領域は、前記複数のゲートバスラインの前記 1 つの前記基板側に、前記上部絶縁層を介して配置され、かつ、前記複数のゲートバスラインの前記 1 つと重なるように延びる部分を含む。

[0011] ある実施形態において、前記酸化物半導体層において、前記延設領域は、前記複数のゲートバスラインの前記 1 つと重なるように、前記複数の画素領域のうち隣接する 2 つの画素領域における前記活性領域を繋ぐように延びている。

[0012] ある実施形態において、前記複数のゲートバスラインの前記 1 つの下面の略全体は前記上部絶縁層と接し、前記上部絶縁層の下面の略全体は前記酸化物半導体層と接している。

[0013] ある実施形態において、前記複数の画素領域のそれぞれは、前記基板と前記下部絶縁層との間に配置された下部ゲート層と、前記下部ゲート層と前記上部ゲート層とを電氣的に接続するゲートコンタクト部とをさらに備え、前記下部ゲート層は、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の少なくとも一部と重なる下部ゲート電極と、前記下部ゲート

ト電極から前記ゲートコンタクト部まで延びる下部ゲート延設部とを含み、前記酸化物半導体層の前記延設領域は、前記ゲートコンタクト部において、前記上部ゲート層の前記基板側に、前記上部絶縁層を介して配置された部分を含む。

[0014] 本発明の他の実施形態のアクティブマトリクス基板は、複数の画素領域を含む表示領域を有するアクティブマトリクス基板であって、基板と、前記基板に支持された複数のゲートバスラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体 T F T とを備え、前記複数の画素領域のそれぞれは、前記基板に支持され、下部ゲート電極を含む下部ゲート層と、前記下部ゲート層を覆う下部絶縁層と、前記下部絶縁層上に配置され、前記酸化物半導体 T F T の活性領域を含む酸化物半導体層であって、前記基板の法線方向から見たとき、前記活性領域の少なくとも一部は、前記下部ゲート層と重なる、酸化物半導体層と、前記酸化物半導体層の一部上に、前記下部絶縁層と接しないように配置された上部絶縁層と、前記上部絶縁層上に配置された上部ゲート層と、前記酸化物半導体層の前記活性領域と接するソース電極およびドレイン電極と、前記下部ゲート層と前記上部ゲート層とを電氣的に接続するゲートコンタクト部とを有し、前記上部ゲート層は、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の一部と重なる上部ゲート電極と、前記上部ゲート電極から前記ゲートコンタクト部まで延びる上部ゲート延設部とを含み、前記酸化物半導体層は、前記基板の法線方向から見たとき、前記活性領域から前記酸化物半導体 T F T のチャンネル長方向とは異なる方向に延びる延設領域をさらに有し、前記延設領域は、前記ゲートコンタクト部において、前記上部ゲート延設部の前記基板側に、前記上部絶縁層を介して配置された部分を含む。

[0015] ある実施形態において、前記下部ゲート層は、前記下部ゲート電極と一体的に形成された前記複数のゲートバスラインの 1 つを含む。

[0016] ある実施形態において、前記ゲートコンタクト部は、前記上部ゲート層よりも上層に設けられたゲート接続部を含み、前記ゲートコンタクト部は、前

記上部ゲート層の一部を露出する第1開口部内で、前記ゲート接続部と前記上部ゲート層とを接続する第1部分と、前記下部ゲート層の一部を露出する第2開口部内で、前記ゲート接続部と前記下部ゲート層とを接続する第2部分とを有し、前記第1部分と前記第2部分とは離間して配置されている。

[0017] ある実施形態において、前記基板の法線方向から見たとき、前記ゲート接続部は、前記下部ゲート層と重なるように前記第1部分から前記第2部分に延びている。

[0018] ある実施形態において、前記基板の法線方向から見たとき、前記第1部分は前記下部ゲート層と重ならないように配置されている。

[0019] ある実施形態において、前記ゲートコンタクト部は、前記上部ゲート層よりも上層に設けられたゲート接続部を含み、前記ゲート接続部は、前記上部ゲート層の一部および前記下部ゲート層の一部を露出する単一の開口部内で、前記上部ゲート層および前記下部ゲート層と接する。

[0020] ある実施形態において、前記酸化物半導体層の前記延設領域の周縁は、前記上部ゲート層の周縁よりも内側に位置しており、前記単一の開口部内において、前記ゲート接続部は、前記上部ゲート層および前記上部絶縁層の側面と接し、かつ、前記酸化物半導体層の前記延設領域の側面と接していない。

[0021] ある実施形態において、前記ゲート接続部は、前記ソース電極と同じ導電膜を用いて形成されている。

[0022] ある実施形態において、前記複数の画素領域のそれぞれは、前記酸化物半導体TFTの上に絶縁膜を介して配置された透明電極をさらに備え、前記ゲート接続部は、前記透明電極と同じ導電膜を用いて形成されている。

[0023] ある実施形態において、前記酸化物半導体層は、 In-Ga-Zn-O 系半導体を含む。

[0024] ある実施形態において、前記 In-Ga-Zn-O 系半導体は結晶質部分を含む。

[0025] 本発明の一実施形態のアクティブマトリクス基板の製造方法は、複数の画素領域を含む表示領域を有し、前記表示領域に配置された複数のゲートバス

ラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体 T F T とを備えるアクティブマトリクス基板の製造方法であって、（A）基板上に下部絶縁層を形成する工程と、（B）前記下部絶縁層上に、酸化物半導体膜、上部絶縁膜および上部ゲート用導電膜をこの順で形成する工程と、（C）第 1 のマスクを用いて前記上部ゲート用導電膜のパターニングを行い、前記酸化物半導体 T F T の上部ゲート電極を含む上部ゲート層を形成する工程と、（D）前記第 1 のマスクまたは前記上部ゲート層をマスクとして、前記上部絶縁膜のパターニングを行って上部絶縁層を形成する工程と、（E）前記工程（D）の後で、前記第 1 のマスクとは異なる第 2 のマスクおよび前記上部ゲート層をマスクとして、前記酸化物半導体膜のパターニングを行い、前記酸化物半導体 T F T の活性領域を含む酸化物半導体層を形成する工程とを包含する。

[0026] ある実施形態において、上記方法は、前記工程（A）の前に行われ、前記基板上に、前記酸化物半導体 T F T の下部ゲート電極を含む下部ゲート層を形成する工程と、前記工程（E）の後に行われ、前記上部ゲート層と前記下部ゲート層とを電氣的に接続するゲートコンタクト部を形成する工程とをさらに包含する。

[0027] ある実施形態において、前記上部ゲート層または前記下部ゲート層は、前記複数のゲートバスラインの 1 つを含む。

[0028] ある実施形態において、前記工程（E）において、前記基板の法線方向から見たとき、前記酸化物半導体膜が前記上部ゲート層の周縁よりも内側までエッチングされるような条件で、前記酸化物半導体膜のパターニングを行う。

[0029] ある実施形態において、前記酸化物半導体膜は、 In-Ga-Zn-O 系半導体を含む。

発明の効果

[0030] 本発明の一実施形態によると、高い信頼性を有し得る酸化物半導体 T F T を備えたアクティブマトリクス基板が提供される。

図面の簡単な説明

[0031] [図1]第1の実施形態のアクティブマトリクス基板の平面構造の一例を示す概略図である。

[図2A] (a) は、第1の実施形態のアクティブマトリクス基板1001の画素領域P1Xを例示する平面図、(b) および (c) は、それぞれ、1-1' 線および11-11' 線に沿った模式的な断面図である。

[図2B] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2C] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2D] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2E] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2F] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2G] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2H] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図2I] (a) ~ (c) は、アクティブマトリクス基板1001の製造方法を説明するための工程平面図および断面図である。

[図3A] (a) は、第2の実施形態のアクティブマトリクス基板1002の画素領域P1Xを例示する平面図、(b) および (c) は、それぞれ、1-1' 線および11-11' 線に沿った模式的な断面図である。

[図3B] (a) ~ (c) は、アクティブマトリクス基板1002の製造方法を説明するための工程平面図および断面図である。

[図3C] (a) ~ (c) は、アクティブマトリクス基板1002の製造方法を

説明するための工程平面図および断面図である。

[図3D] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3E] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3F] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3G] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3H] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3I] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図3J] (a) ~ (c) は、アクティブマトリクス基板 1002 の製造方法を説明するための工程平面図および断面図である。

[図4A] (a) は、第2の実施形態のアクティブマトリクス基板 1003 の画素領域 P1X を例示する平面図、(b) および (c) は、それぞれ、1-1' 線および 11-11' 線に沿った模式的な断面図である。

[図4B] (a) ~ (c) は、アクティブマトリクス基板 1003 の製造方法を説明するための工程平面図および断面図である。

[図4C] (a) ~ (c) は、アクティブマトリクス基板 1003 の製造方法を説明するための工程平面図および断面図である。

[図4D] (a) ~ (c) は、アクティブマトリクス基板 1003 の製造方法を説明するための工程平面図および断面図である。

[図5] (a) は、第2の実施形態のアクティブマトリクス基板 1004 の画素領域 P1X を例示する平面図、(b) および (c) は、それぞれ、1-1' 線および 11-11' 線に沿った模式的な断面図である。

[図6A] (a) は、第2の実施形態のアクティブマトリクス基板 1005 の画

素領域 P I X を例示する平面図、(b) および (c) は、それぞれ、I-I' 線および I-I'-I-I' 線に沿った模式的な断面図である。

[図6B] (a) ~ (c) は、アクティブマトリクス基板 1005 の製造方法を説明するための工程平面図および断面図である。

[図6C] (a) ~ (c) は、アクティブマトリクス基板 1005 の製造方法を説明するための工程平面図および断面図である。

[図6D] (a) ~ (c) は、アクティブマトリクス基板 1005 の製造方法を説明するための工程平面図および断面図である。

[図7] (a) は、第2の実施形態のアクティブマトリクス基板 1006 の画素領域 P I X を例示する平面図、(b) および (c) は、それぞれ、I-I' 線および I-I'-I-I' 線に沿った模式的な断面図である。

[図8A] (a) は、第2の実施形態のアクティブマトリクス基板 1007 の画素領域 P I X を例示する平面図、(b) および (c) は、それぞれ、I-I' 線および I-I'-I-I' 線に沿った模式的な断面図である。

[図8B] (a) ~ (c) は、アクティブマトリクス基板 1007 の製造方法を説明するための工程平面図および断面図である。

[図8C] (a) ~ (c) は、アクティブマトリクス基板 1007 の製造方法を説明するための工程平面図および断面図である。

[図9] (a) は、第2の実施形態のアクティブマトリクス基板 1008 の画素領域 P I X を例示する平面図、(b) および (c) は、それぞれ、I-I' 線および I-I'-I-I' 線に沿った模式的な断面図である。

[図10A] (a) は、第2の実施形態のアクティブマトリクス基板 1009 の画素領域 P I X を例示する平面図、(b) および (c) は、それぞれ、I-I' 線および I-I'-I-I' 線に沿った模式的な断面図である。

[図10B] (a) ~ (c) は、アクティブマトリクス基板 1009 の製造方法を説明するための工程平面図および断面図である。

[図10C] (a) ~ (c) は、アクティブマトリクス基板 1009 の製造方法を説明するための工程平面図および断面図である。

[図11A] (a) は、第2の実施形態のアクティブマトリクス基板1010の画素領域P1Xを例示する平面図、(b) および (c) は、それぞれ、1-1' 線および11-11' 線に沿った模式的な断面図である。

[図11B] 第2の実施形態における他のゲートコンタクト部を例示する断面図である。

[図11C] 第2の実施形態における他のゲートコンタクト部を例示する断面図である。

[図12A] (a) は、第2の実施形態のアクティブマトリクス基板1011の画素領域P1Xを例示する平面図、(b) および (c) は、それぞれ、1-1' 線および11-11' 線に沿った模式的な断面図である。

[図12B] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12C] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12D] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12E] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12F] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12G] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図12H] (a) ~ (c) は、アクティブマトリクス基板1011の製造方法を説明するための工程平面図および断面図である。

[図13] (a) は、第2の実施形態のアクティブマトリクス基板1012の画素領域P1Xを例示する平面図、(b) および (c) は、それぞれ、1-1' 線および11-11' 線に沿った模式的な断面図である。

[図14] (a) は、第2の実施形態のアクティブマトリクス基板1013画素

領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図15A](a)は、第2の実施形態のアクティブマトリクス基板1014の画素領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図15B](a)～(c)は、アクティブマトリクス基板1014の製造方法を説明するための工程平面図および断面図である。

[図15C](a)～(c)は、アクティブマトリクス基板1014の製造方法を説明するための工程平面図および断面図である。

[図15D](a)～(c)は、アクティブマトリクス基板1014の製造方法を説明するための工程平面図および断面図である。

[図15E](a)～(c)は、アクティブマトリクス基板1014の製造方法を説明するための工程平面図および断面図である。

[図16](a)は、第2の実施形態のアクティブマトリクス基板1015の画素領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図17](a)は、第2の実施形態のアクティブマトリクス基板1016の画素領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図18](a)は、第2の実施形態のアクティブマトリクス基板1017の画素領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図19](a)は、第1の実施形態の他のアクティブマトリクス基板の画素領域P 1 Xを例示する平面図、(b)および(c)は、それぞれ、1-1'線および11-11'線に沿った模式的な断面図である。

[図20A]第3の実施形態のアクティブマトリクス基板を例示する断面図である。

[図20B]第3の実施形態の他のアクティブマトリクス基板を例示する断面図で

ある。

[図21A] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21B] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21C] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21D] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21E] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21F] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

[図21G] (a) ~ (c) は、参考例のアクティブマトリクス基板の製造方法を説明するための工程平面図および断面図である。

発明を実施するための形態

[0032] (第1の実施形態)

以下、図面を参照しながら、第1の実施形態のアクティブマトリクス基板を説明する。以下では、ゲートドライバがモノリシックに形成され、ソースドライバが実装されたアクティブマトリクス基板を例に説明する。なお、本実施形態のアクティブマトリクス基板は、画素TFTとして、上部ゲート電極を有する酸化物半導体TFT（トップゲート構造TFTまたはダブルゲート構造TFT）が形成されていればよい。

[0033] まず、アクティブマトリクス基板の構造の概略を説明する。

[0034] 図1は、本実施形態のアクティブマトリクス基板の平面構造の一例を示す概略図である。

[0035] アクティブマトリクス基板は、表示領域DRと、表示領域DR以外の領域（非表示領域または額縁領域）FRとを有している。表示領域DRは、マト

リクス状に配列された画素領域 $P \mid X$ によって構成されている。画素領域 $P \mid X$ （単に「画素」と呼ぶこともある）は、表示装置の画素に対応する領域である。非表示領域 $F R$ は、表示領域 $D R$ の周辺に位置し、表示に寄与しない領域である。

[0036] 表示領域 $D R$ には、 x 方向（行方向、第2方向ともいう）に延びる複数のゲートバスライン $GL(1) \sim GL(j)$ （ j は2以上の整数、以下、「ゲートバスライン GL 」と総称する）と、 y 方向（列方向、第1方向ともいう）に延びる複数のソースバスライン $SL(1) \sim SL(k)$ （ k は2以上の整数、以下、「ソースバスライン SL 」と総称する）とが形成されている。各画素領域 $P \mid X$ は、例えばゲートバスライン GL およびソースバスライン SL で規定されている。ゲートバスライン GL は、それぞれ、ゲートドライバ GD の各端子に接続されている。ソースバスライン SL は、それぞれ、ソースドライバ SD の各端子に接続されている。

[0037] 各画素領域 $P \mid X$ は、薄膜トランジスタ（画素 TFT ） P_t と、画素電極 PE とを有している。薄膜トランジスタ P_t は上部ゲート電極および下部ゲート電極（図示せず）を備える。これらのゲート電極は、対応するゲートバスライン GL に電氣的に接続されている。薄膜トランジスタ P_t のソース電極は、対応するソースバスライン SL に電氣的に接続され、ドレイン電極は画素電極 PE に電氣的に接続されている。アクティブマトリクス基板を、 FFS （*Fringe Field Switching*）モードなどの横電界モードの表示装置に適用する場合には、アクティブマトリクス基板に、複数の画素に対して共通の電極（共通電極） CE が設けられる。アクティブマトリクス基板を縦電界モードの表示装置に適用する場合には、共通電極 CE は、アクティブマトリクス基板とは液晶層を挟んで対向して配置される対向基板に設けられる。

[0038] 非表示領域 $F R$ には、例えばゲートバスライン GL を駆動するゲートドライバ GD が一体的（モノリシック）に設けられている。図示していないが、非表示領域 $F R$ には、ソースバスライン SL を時分割で駆動するソース切替

(Source Shared driving: SSD) 回路などの周辺回路が一体的に設けられていてもよい。

[0039] 以下、本実施形態のアクティブマトリクス基板における画素領域 P I X の具体的な構造を説明する。

[0040] 図 2 A (a) は、本実施形態のアクティブマトリクス基板 1 0 0 1 の画素領域 P I X を例示する平面図である。図 2 A (b) および (c) は、それぞれ、図 2 A (a) に示す I - I' 線、I I - I I' 線に沿った模式的な断面図である。アクティブマトリクス基板 1 0 0 1 は、例えば F F S モードの液晶表示装置に適用される。なお、以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

[0041] 画素領域 P I X は、y 方向に延びるソースバスライン S L、および、ソースバスライン S L と交差する x 方向に延びるゲートバスライン G L に包囲された領域である。画素領域 P I X は、基板 1 と、基板 1 に支持された T F T (画素 T F T) 1 0 1 と、下部透明電極 1 5 と、上部透明電極 1 9 とを有している。図示していないが、上部透明電極 1 9 は、画素ごとにスリットまたは切り欠き部を有する。この例では、下部透明電極 1 5 は共通電極 C E であり、上部透明電極 1 9 は画素電極 P E である。

[0042] T F T 1 0 1 は、例えば、ダブルゲート構造を有する酸化物半導体 T F T である。T F T 1 0 1 は、活性領域 7 a を有する酸化物半導体層 7 と、酸化物半導体層 7 の基板 1 側に下部絶縁層 5 を介して配置された下部ゲート電極 3 a と、酸化物半導体層 7 の上方 (基板 1 と反対側) に上部絶縁層 9 を介して配置された上部ゲート電極 1 0 a と、ソース電極 8 S およびドレイン電極 8 D とを備える。下部ゲート電極 3 a および上部ゲート電極 1 0 a は、対応するゲートバスライン G L に電氣的に接続され、ソース電極 8 S は対応するソースバスライン S L に電氣的に接続されている。ドレイン電極 8 D は画素電極 P E と電氣的に接続されている。下部ゲート電極 3 a は、基板 1 の法線方向から見たとき、活性領域 7 a の一部と重なるように配置されている。なお、下部ゲート電極 3 a は、活性領域 7 a の少なくとも一部と重なってい

ばよく、活性領域 7 a 全体と重なっていてもよい。上部ゲート電極 10 a は、基板 1 の法線方向から見たとき、活性領域 7 a の一部と重なるように配置されている。

[0043] 各画素領域 P I X の構造をより詳しく説明する。

[0044] 画素領域 P I X には、基板 1 に支持された下部ゲート層 3 と、下部ゲート層 3 を覆う下部絶縁層 5 と、下部絶縁層 5 上に配置された酸化物半導体層 7 と、酸化物半導体層 7 上に上部絶縁層 9 を介して配置された上部ゲート層 10 とが設けられている。酸化物半導体層 7 は、T F T 101 の活性領域 7 a を含む。下部ゲート層 3 は、T F T 101 の下部ゲート電極 3 a を含む。上部ゲート層 10 は、T F T 101 の上部ゲート電極 10 a を含む。上部絶縁層 9 は、酸化物半導体層 7 の一部上に、下部絶縁層 5 と接しないように配置されている。上部絶縁層 9 は、酸化物半導体層 7 と上部ゲート層 10 との間にのみ配置されていてもよい。

[0045] 下部ゲート電極 3 a および上部ゲート電極 10 a のうちの一方のゲート電極は、ゲートバスライン G L と同じ導電膜を用いて、対応する 1 つのゲートバスライン G L と一体的に形成されていてもよい（例えばゲートバスライン G L の一部であってもよい）。すなわち、下部ゲート層 3 および上部ゲート層 10 の一方は、下部ゲート電極 3 a または上部ゲート電極 10 a に一体的に形成されたゲートバスライン G L を含んでいてもよい。この例では、上部ゲート層 10 は、上部ゲート電極 10 a と、上部ゲート電極 10 a と一体的に形成されたゲートバスライン G L とを含む。下部ゲート層 3 は、画素領域 P I X 内に島状に形成されている。

[0046] 酸化物半導体層 7 は、基板 1 の法線方向から見たとき、T F T 101 が形成される領域（T F T 形成領域）に位置する活性領域 7 a と、活性領域 7 a から延びる延設領域 7 e とを有している。延設領域 7 e は、上部ゲート層 10 の基板 1 側に上部絶縁層 9 を介して配置されている。延設領域 7 e は、活性領域 7 a から T F T 101 のチャネル長方向とは異なる方向に延びていてもよい。活性領域 7 a と延設領域 7 e とは一体的に形成されている。

[0047] この例では、延設領域 7 e は、上部ゲート層 10 のゲートバスライン GL の基板 1 側に上部絶縁層 9 を介して配置され、かつ、基板 1 の法線方向から見たとき、活性領域 7 a からゲートバスライン GL と重なるように延びる（ここでは x 方向に延びる）部分を含んでいる。ゲートバスライン GL の下方に延設領域 7 e として酸化物半導体が存在していると、ゲートバスライン GL の段差を小さくできる。また、チャネル長 L / チャネル幅 W にもよるが、オン電流が延設領域 7 e を通って（回り込んで）流れることが可能になり、実効的なチャネル幅を大きくできる場合がある。

[0048] 酸化物半導体層 7 の延設領域 7 e は、基板 1 の法線方向から見たとき、ゲートバスライン GL と重なるように、x 方向に隣接する 2 つの画素領域 P1 X における活性領域 7 a を繋ぐように延びていてもよい。例えば、酸化物半導体層 7 は、x 方向に配列された複数の画素領域 P1 X における活性領域 7 a が、延設領域 7 e を介して繋がっているパターンを有していてもよい。延設領域 7 e の周縁は、ゲートバスライン GL の周縁と整合していてもよいし、ゲートバスライン GL の周縁よりも内側に位置していてもよい。なお、ゲートバスライン GL の下方に、上部絶縁層 9 を介して、酸化物半導体層 7 の延設領域 7 e が位置していても、延設領域 7 e とゲートバスライン GL とは上部絶縁層 9 によって絶縁されているため、アクティブマトリクス基板の動作に支障はない。

[0049] 後述するように、酸化物半導体層 7 は、例えば、上部ゲート電極 10 a および上部絶縁層 9 のパターニング後に、酸化物半導体膜のパターニングを行うことで形成され得る。これにより、上部絶縁層 9 のパターニングの際に、酸化物半導体膜をエッチストップとして機能させることができるので、下部絶縁層 5 のオーバーエッチングが抑制される。この場合、上部絶縁層 9 の下面の略全体は酸化物半導体層 7 と接していてもよい。なお、酸化物半導体層 7 のパターニング条件によっては、上部絶縁層 9 の下面の一部（周縁部分）が酸化物半導体層 7 と接しないことがある。

[0050] ソース電極 8 S およびドレイン電極 8 D は、酸化物半導体層 7 の活性領域

7 a と電氣的に接続されている。ソース電極 8 S およびドレイン電極 8 D は、ソースバスライン S L (図 1) と同一の導電膜を用いて形成されていてもよい。本明細書では、ソースバスライン S L と同一の導電膜を用いて形成された層を「ソースメタル層」と呼ぶ。同様に、ゲートバスライン G L と同一の導電膜を用いて形成された層を「ゲートメタル層」と呼ぶ。

[0051] 酸化物半導体層 7、上部絶縁層 9 および上部ゲート電極 10 a (上部ゲート層 10) は、無機絶縁層 (パッシベーション膜) 11 で覆われていてもよい。この例では、ソース電極 8 S は、第 1 無機絶縁層 11 上および第 1 無機絶縁層 11 に形成されたソース開口部 C H s 内で活性領域 7 a の一部と接している。ドレイン電極 8 D は、第 1 無機絶縁層 11 上および第 1 無機絶縁層 11 に形成されたドレイン開口部 C H d 内で活性領域 7 a の他の一部と接している。本明細書では、活性領域 7 a のうち、ソース電極 8 S と接する部分をソースコンタクト領域 7 s、ドレイン電極 8 D と接する部分をドレインコンタクト領域 7 d と呼ぶ。基板 1 の法線方向から見たとき、ソースコンタクト領域 7 s およびドレインコンタクト領域 7 d の間に位置し、かつ、下部ゲート電極 3 a および上部ゲート電極 10 a の少なくとも一方と重なっている領域が「チャネル領域 7 c」となる。活性領域 7 a は、チャネル領域 7 c と、ソースコンタクト領域 7 s および／またはドレインコンタクト領域 7 d との間に位置するオフセット領域 7 o f f をさらに含んでいてもよい。

[0052] 上部絶縁層 9 は、酸化物半導体層 7 と上部ゲート層 10 との間にのみ形成されていてもよい。これにより、酸化物半導体層 7 のチャネル領域 7 c と、活性領域 7 a におけるチャネル領域以外の領域 (オフセット領域 7 o f f、コンタクト領域 7 s、7 d) とを異なる絶縁膜と接触させることができる。一例として、上部絶縁層 9 を酸化シリコン膜などの酸化物膜を用いて形成すると、酸化物半導体層 7 のチャネル領域 7 c に生じた酸化欠損を酸化物膜によって低減できるので、所望の T F T 特性を確保できる。また、第 1 無機絶縁層 11 を窒化シリコン膜などの酸化物半導体を還元させる絶縁膜を用いて形成すると、酸化物半導体層 7 のうち第 1 無機絶縁層 11 と接する領域が低

抵抗化されるので、オン抵抗の低下を抑制できる。特に、オフセット領域 7 o f f が第 1 無機絶縁層 1 1 と接していると、オン抵抗の低下をより効果的に抑制できる。

[0053] 後述するように、上部ゲート層 1 0 および上部絶縁層 9 は、例えば、同一のマスクを用いてパターンニングされていてもよい。この場合、基板 1 の法線方向から見たとき、ゲートバスライン G L または上部ゲート電極 1 0 a の周縁（すなわち上部ゲート層 1 0 の周縁）と上部絶縁層 9 の周縁とは整合していてもよい。また、上部ゲート層 1 0 の下面の略全体は上部絶縁層 9 と接していてもよい。

[0054] 第 1 無機絶縁層 1 1、ソース電極 8 S およびドレイン電極 8 D 上には、T F T 1 0 1 を覆うように層間絶縁層 1 3 が設けられている。層間絶縁層 1 3 は、例えば、第 2 無機絶縁層 1 2 と、第 2 無機絶縁層 1 2 上に配置された有機絶縁層 1 6 とを含む。なお、層間絶縁層 1 3 は有機絶縁層 1 6 を含んでいなくてもよい。

[0055] 層間絶縁層 1 3 上には下部透明電極 1 5 が配置されている。下部透明電極 1 5 上には、誘電体層 1 7 を介して上部透明電極 1 9 が配置されている。下部透明電極 1 5 および上部透明電極 1 9 の一方（ここでは上部透明電極 1 9）は画素電極 P E、他方（ここでは下部透明電極 1 5）は共通電極 C E として機能する。画素電極 P E は、画素毎に分離されている。共通電極 C E は、画素毎に分離されていなくても構わない。共通電極 C E は、T F T 1 0 1 およびゲートコンタクト部 3 0 が形成されている領域上に開口部 1 5 p を有し、この領域を除く画素領域 P I X 全体に亘って形成されていてもよい。

[0056] 画素電極 P E は、画素コンタクト部において、T F T 1 0 1 のドレイン電極 8 D と電氣的に接続されている。この例では、画素電極 P E は、共通電極 C E と同じ透明導電膜を用いて形成された島状の透明接続部 1 5 a を介して、ドレイン電極 8 D と電氣的に接続されている。画素電極 P E は、誘電体層 1 7 に形成された開口部 1 7 m 内で透明接続部 1 5 a と接している。また、透明接続部 1 5 a は、層間絶縁層 1 3 に形成された開口部 1 3 m 内でドレイ

ン電極 8 D と接している。ここでは、基板 1 の法線方向から見たとき、開口部 1 7 m および開口部 1 3 m とから構成されるコンタクトホール（以下「画素コンタクトホール」）C H p は、ドレイン開口部 C H d と重なっていないが、画素コンタクトホール C H p はドレイン開口部 C H d と部分的または全体的に重なっていてもよい。

[0057] 図 2 A に示す例では、T F T 1 O 1 のチャネル長方向 D L が y 方向（ソースバスライン S L の延びる方向）となるように T F T 1 O 1 が配置されている（T F T 縦置き構造）。本明細書では、チャネル長方向 D L は、基板 1 に平行な面内において、チャネル領域 7 c において電流が流れる方向を指し、チャネル幅方向 D W は、チャネル長方向 D L に直交する方向を指す。半導体層 7 の活性領域 7 a は、基板 1 の法線方向から見たとき、ゲートバスライン G L と交差するように y 方向に延びていてもよい。なお、T F T 1 O 1 は、そのチャネル長方向 D L が x 方向となるように配置されてもよい（T F T 横置き構造）。

[0058] 図示していないが、画素領域 P I X 内に、T F T 1 O 1 の下部ゲート電極 3 a と上部ゲート電極 1 0 a （またはゲートバスライン G L ）とを電氣的に接続するゲートコンタクト部が設けられていてもよい。

[0059] なお、下部ゲート電極 3 a は島状でなくてもよい。例えば、下部ゲート電極 3 a は、x 方向に延びる他のゲート配線の一部であってもよい。他のゲート配線は、非表示領域でゲートバスライン G L と電氣的に接続されていてもよい。

[0060] さらに、図 2 A に例示する T F T 1 O 1 はダブルゲート構造を有するが、本実施形態における画素 T F T はトップゲート構造 T F T であってもよい。図 1 9 （a）～（c）に例示するように、トップゲート構造 T F T は、下部ゲート電極 3 a を有していない点以外は、T F T 1 O 1 と同様の構成を有していてもよい。あるいは、図 2 A と同様の構成を有するが、下部ゲート電極 3 a をゲート電極として機能させずに、遮光膜として機能させてもよい。

[0061] 図示していないが、アクティブマトリクス基板 1 0 0 1 は、モノリシック

に形成された周辺回路（ゲートドライバなど）を有していてもよい。周辺回路は、回路TFTを含む。回路TFTは、例えば、TFT101と同様のダブルゲート構造を有する酸化物半導体TFTであってもよい。あるいは、後述するように、回路TFTは、結晶質シリコンTFTであってもよい。

[0062] アクティブマトリクス基板1001は、例えばFFSモード、IPSモードの表示装置に適用され得る。FFSモードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極PEから出て液晶層（図示せず）を通り、さらに画素電極PEのスリット状の開口を通して共通電極CEに出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

[0063] 共通電極CE上に誘電体層17を介して画素電極PEが配置される電極構造は、例えば国際公開第2012/086513号に記載されている。なお、画素電極PE上に誘電体層17を介して共通電極CEが配置されていてもよい。すなわち、下部透明導電層に形成される下部透明電極15が画素電極PEであり、上部透明導電層に形成される上部透明電極19が共通電極CEであってもよい。このような電極構造は、例えば特開2008-032899号公報、特開2010-008758号公報に記載されている。参考のため、国際公開第2012/086513号、特開2008-032899号公報および特開2010-008758号公報の開示内容の全てを本明細書に援用する。

[0064] なお、本実施形態のアクティブマトリクス基板は、共通電極CEを有していなくてもよい。このようなアクティブマトリクス基板は、TN（Twisted Nematic）モード、VA（Vertical Alignment）などの表示装置に用いられ得る。VAモード、TNモードは、液晶層を挟んで配置される一对の電極により、液晶分子に電界を印加する縦方向

電界方式のモードである。

[0065] <アクティブマトリクス基板1001の製造方法>

次に、アクティブマトリクス基板1001の製造方法の一例を説明する。

[0066] 図2B～図2Iは、アクティブマトリクス基板1001の製造方法を説明するための模式的な工程図である。各図の(a)は画素領域PIXを例示する平面図である。各図の(b)および(c)は、それぞれ、図2A(a)に示すI-I'線、I-I'-I'I'線に沿った模式的な断面図である。

[0067] まず、図2B(a)～(c)に示すように、各画素領域PIXにおいて、基板1上に島状の下部ゲート層3を形成する。ここでは、絶縁性の基板(例えばガラス基板)1上に、スパッタ法などによって、図示しない下部ゲート用導電膜(厚さ:例えば50nm以上500nm以下)を形成する。この後、下部ゲート用導電膜のパターニングを行うことにより、下部ゲート電極3aを含む下部ゲート層3を得る。

[0068] 基板1としては、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板(樹脂基板)などを用いることができる。

[0069] 下部ゲート用導電膜として、例えばアルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)あるいはタングステン(W)から選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いることができる。また、これらのうち複数の膜を含む積層膜を用いてもよい。例えば、チタン膜-アルミニウム膜-チタン膜の3層構造あるいはモリブデン膜-アルミニウム膜-モリブデン膜の3層構造を有する積層膜を用いることができる。なお、ゲート用導電膜は3層構造に限られず、単層、または2層構造、あるいは4層以上の積層構造を有していてもよい。ここでは、下部ゲート用導電膜として、Ti膜(厚さ:15～70nm)を下層、Cu膜(厚さ:200～400nm)を上層とする積層膜を用いる。

[0070] 次に、下部ゲート層3を覆う下部絶縁層(厚さ:例えば200nm以上500nm以下)5を形成する。

[0071] 下部絶縁層5としては、酸化珪素 (SiO_2) 層、窒化珪素 (SiN_x) 層、酸化窒化珪素 (SiO_xN_y ; $x > y$) 層、窒化酸化珪素 (SiN_xO_y ; $x > y$) 層、酸化アルミニウム層または酸化タンタル層等を適宜用いることができる。下部絶縁層5は、積層構造を有していてもよい。ここでは、例えば、CVD法を用いて、窒化珪素 (SiN_x) 層 (厚さ: 100~500 nm) を下層、酸化珪素 (SiO_2) 層 (厚さ: 20~100 nm) を上層とする積層膜を形成する構造を有する下部絶縁層5を形成する。

[0072] 次いで、図2C (a) ~ (c) に示すように、下部絶縁層5上に酸化物半導体膜 (厚さ: 例えば15 nm以上200 nm以下) 7'、上部絶縁膜 (厚さ: 例えば80 nm以上250 nm以下) 9'、および上部ゲート用導電膜 (厚さ: 例えば50 nm以上500 nm以下) 10' をこの順で形成する。酸化物半導体膜7' および上部ゲート用導電膜10' は例えばスパッタリング法を用いて形成され、上部絶縁膜9' はCVD法で形成され得る。酸化物半導体膜7' は、特に限定しないが、例えばIn-Ga-Zn-O系半導体膜であってもよい。上部絶縁膜9' として、下部絶縁層5と同様の絶縁膜 (下部絶縁層5として例示した絶縁膜) を用いることができる。上部ゲート用導電膜10' として、下部ゲート用導電膜と同様の導電膜を用いることができる。ここでは、上部絶縁膜9' として、例えば酸化珪素 (SiO_2) 膜を用いる。上部ゲート用導電膜10' として、Ti膜 (厚さ: 15~70 nm) を下層、Cu膜 (厚さ: 200~400 nm) を上層とする積層膜を用いる。

[0073] ここでは、酸化物半導体膜7' を堆積した後、酸化物半導体膜7' のパターンニングを行わずに、その上に、上部絶縁膜9' および上部ゲート用導電膜10' を形成する。これにより、後述する上部絶縁膜9' のパターンニング工程で下部絶縁層5がオーバーエッチングされることを抑制できる。

[0074] 続いて、図2D (a) ~ (c) に示すように、図示しない第1レジストマスクを用いて、上部ゲート用導電膜10' のパターンニングを行い、上部ゲート電極10aおよびゲートバスラインGLを含む上部ゲート層10を形成す

る。上部ゲート用導電膜 10' のパターニングは、ウェットエッチングまたはドライエッチングで行うことができる。

[0075] この後、上記第 1 レジストマスクを用いて、上部絶縁膜 9' のパターニングを行う。上部絶縁膜 9' のパターニングは、例えばドライエッチングで行うことができる。このとき、下部絶縁層 5 は酸化物半導体膜 7' で覆われているため、酸化物半導体膜 7' がエッチストップの機能を果たし、下部絶縁層 5 の表面がエッチングされることを抑制できる。この後、第 1 レジストマスクを除去する。

[0076] 本工程では、同一のマスクを用いて上部絶縁層 9 および上部ゲート電極 10 a を形成するので、上部絶縁層 9 の側面と上部ゲート電極 10 a またはゲートバスライン GL の側面とが厚さ方向に整合する。つまり、上部絶縁層 9 の周縁は、基板 1 の法線方向から見たとき、上部ゲート層 10 の周縁と整合する。

[0077] 続いて、図 2 E (a) ~ (c) に示すように、活性領域を規定する第 2 レジストマスク（不図示）を用いて、酸化物半導体膜 7' のパターニングを行い、酸化物半導体層 7 を得る。酸化物半導体膜 7' のパターニングは、例えば、第 2 レジストマスクおよび上部ゲート層 10 をエッチングマスクとして、ウェットエッチングで行う。この後、第 2 レジストマスクを除去する。これにより、活性領域 7 a と、ゲートバスライン GL の下方において x 方向に延びる延設領域 7 e とを含む酸化物半導体層 7 が得られる。この例では、酸化物半導体層 7 は、画素行ごとに（複数の画素領域 P1X が x 方向に配列された行ごとに）1 つの繋がったパターンを有している。すなわち、x 方向に隣接する画素領域 P1X の酸化物半導体層 7 は一体的に形成されている（繋がっている）が、y 方向に隣接する画素領域 P1X の酸化物半導体層 7 は互いに分離されている（繋がっていない）。

[0078] この結果、上部ゲート層 10 が位置する領域には、上部ゲート層 10、上部絶縁層 9 および酸化物半導体層 7 で構成される積層体が形成される。上部ゲート電極 10 a およびゲートバスライン GL の下面の略全体は上部絶縁層

9と接し、上部絶縁層9の下面の略全体は、酸化物半導体層7と接していてもよい。

[0079] 続いて、図2F(a)～(c)に示すように、酸化物半導体層7、上部絶縁層9および上部ゲート層10を覆うように第1無機絶縁層(厚さ:100nm以上500nm以下)11を形成する。この後、例えばドライエッチングで、第1無機絶縁層11に酸化物半導体層7に達する開口部CHs、CHdを形成する。

[0080] 第1無機絶縁層11として、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜を単層又は積層させて形成することができる。ここでは、第1無機絶縁層11として、例えば、SiNx層(厚さ:300nm)をCVD法で形成する。

[0081] 次いで、図2G(a)～(c)に示すように、ソースバスラインSL、ソース電極8Sおよびドレイン電極8Dを含むソースメタル層を形成する。ここでは、第1無機絶縁層11上および開口部CHs、CHd内にソース用導電膜(厚さ:例えば50nm以上500nm以下)を形成し、ソース用導電膜のパターニングを行う。パターニングは、ドライエッチングまたはウェットエッチングで行うことができる。ソース電極8Sはソース開口部CHs内で酸化物半導体層7の活性領域7aと接し、ドレイン電極8Dはドレイン開口部CHd内で活性領域7aと接する。このようにして、TFT101を得る。

[0082] ソース用導電膜として、例えば、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)あるいはタングステン(W)から選ばれた元素、またはこれらの元素を成分とする合金などを用いることができる。例えば、チタン膜ーアルミニウム膜ーチタン膜の3層構造、モリブデン膜ーアルミニウム膜ーモリブデン膜などの3層構造などを有していてもよい。なお、ソース用導電膜は3層構造に限られず、単層、または2層構造、あるいは4層以上の積層構造を有していてもよい。ここでは、Ti膜(厚さ:15～70nm)を下層、Cu膜(厚さ:

200～400nm)を上層とする積層膜を用いる。

[0083] 続いて、図2H(a)～(c)に示すように、TFT101を覆うように、第2無機絶縁層(厚さ:例えば100nm以上400nm以下)12および有機絶縁層(厚さ:例えば1～3 μ m、好ましくは2～3 μ m)16を形成する。第2無機絶縁層12の材料は、第1無機絶縁層11の材料として例示した材料と同じであってもよい。ここでは、第2無機絶縁層12として、CVD法でSiNx層(厚さ:例えば200nm)を形成する。有機絶縁層16は、例えば、感光性樹脂材料を含む有機絶縁膜であってもよい。

[0084] この後、有機絶縁層16のパターニングを行い、開口部を形成する。続いて、有機絶縁層16をマスクとして第2無機絶縁層12のエッチング(ドライエッチング)を行う。これにより、第2無機絶縁層12および有機絶縁層16に、ドレイン電極8Dに達する開口部13mが形成される。

[0085] 続いて、図2I(a)～(c)に示すように、下部透明電極15および透明接続部15aを含む下部透明導電層を形成する。

[0086] まず、層間絶縁層13上および開口部13m内に第1の透明導電膜(厚さ:20～300nm)を形成する。ここでは、例えば、スパッタリング法で、第1の透明導電膜としてインジウム-亜鉛酸化物膜を形成する。第1の透明電極膜の材料としては、インジウム-錫酸化物(ITO)、インジウム-亜鉛酸化物、ZnO等の金属酸化物を用いることができる。この後、例えばウェットエッチングにより第1の透明導電膜のパターニングを行う。これにより、下部透明電極15および透明接続部15aを得る。

[0087] 透明接続部15aは、開口部13m内でドレイン電極8Dと接するように配置される。下部透明電極15は、複数の画素領域PIXに亘って形成されており、共通電極CEとして機能する。この例では、下部透明電極15は、TFT形成領域および画素コンタクト部上に開口部15pを有している。基板1の法線方向から見たとき、透明接続部15aは開口部15pの内部に、下部透明電極15と間隔を空けて配置されている。

[0088] 次いで、層間絶縁層13および下部透明電極15上に、誘電体層(厚さ:

50～500 nm) 17を形成する。この後、誘電体層17に透明接続部15aの一部を露出する開口部17mを形成する。開口部17mは、少なくとも一部が層間絶縁層13の開口部13mと重なるように配置されてもよい。

[0089] 誘電体層17の材料は、第1無機絶縁層11の材料として例示した材料と同じであってもよい。ここでは、誘電体層17として、例えばCVD法でSiN膜を形成する。

[0090] 次いで、誘電体層17上および開口部17m内に第2の透明導電膜（厚さ：20～300 nm）を形成する。この後、第2の透明導電膜のパターニングを行い、誘電体層17上に、画素電極PEとして機能する上部透明電極19を含む上部透明導電層を形成する。上部透明電極19には、画素ごとに少なくとも1つの開口部（または切り欠き部）を設ける。

[0091] 第2の透明導電膜の材料は、第1の透明導電膜の材料として例示した材料と同じであってもよい。第2の透明導電膜は単層でもよいし、積層膜でもよい。ここでは、例えば、スパッタリング法で、インジウム－亜鉛酸化物膜を形成する。上部透明電極19の一部を、誘電体層17を介して下部透明電極15と重なるように配置して、補助容量を構成してもよい。このようにして、図2Aに示すアクティブマトリクス基板1001が製造される。

[0092] <本実施形態の効果について>

本実施形態では、上部絶縁層9のパターニングを行った後に、酸化物半導体層7のパターニングを行う。この方法による効果を、以下に詳しく説明する。

[0093] 本発明者は、ダブルゲート構造TFETまたはトップゲート構造TFETを用いたアクティブマトリクス基板の構成を検討する過程で、酸化物半導体層のパターニングを行った後で上部絶縁層を形成すると、次のような問題があることを見出した。

[0094] 図21A～図21Gは、参考例のアクティブマトリクス基板の製造方法を説明するための模式的な工程図である。各図の（a）は画素領域PIXを例示する平面図である。各図の（b）および（c）は、それぞれ、I-I'線

、 $11-11'$ 線に沿った模式的な断面図である。これらの図では、図 2 A ~ 図 2 I と同様の構成要素には同じ参照符号を付している。

[0095] まず、図 2 1 A (a) ~ (c) に示すように、各画素領域 P 1 X において、基板 1 上に島状の下部ゲート電極 3 a と、下部ゲート電極 3 a を覆う下部絶縁層 5 を形成する。

[0096] 次に、図 2 1 B (a) ~ (c) に示すように、下部絶縁層 5 上に酸化物半導体膜を形成した後、酸化物半導体膜のパターニングを行う。これにより、島状の酸化物半導体層 9 7 を得る。

[0097] 続いて、図 2 1 C (a) ~ (c) に示すように、酸化物半導体層 9 7 を覆うように上部絶縁膜 9' および上部ゲート用導電膜 1 0' を形成する。

[0098] この後、図 2 1 D (a) ~ (c) に示すように、図示しない第 1 レジストマスクを用いて、上部ゲート用導電膜 1 0' のパターニングを行い、上部ゲート電極 1 0 a およびゲートバスライン G L を含む上部ゲート層 1 0 を得る。

[0099] 続いて、図 2 1 E (a) ~ (c) に示すように、第 1 レジストマスクをそのまま用いて、ドライエッチングで上部絶縁膜 9' のパターニングを行う。このとき、下部絶縁層 5 のうち酸化物半導体層 9 7 で覆われていない領域 5 n の表面部分もエッチング（オーバーエッチング）されてしまうおそれがある。

[0100] この後、図 2 1 F (a) ~ (c) に示すように、酸化物半導体層 9 7、上部絶縁層 9 および上部ゲート層 1 0 を覆うように第 1 無機絶縁層 1 1 を堆積し、第 1 無機絶縁層 1 1 にソース開口部 C H s、ドレイン開口部 C H d を形成する。このとき、下部絶縁層 5 のうちオーバーエッチングされた領域 5 n 上で第 1 無機絶縁層 1 1 のカバレッジが低下する可能性がある。

[0101] 続いて、図 2 1 G (a) ~ (c) に示すように、第 1 無機絶縁層 1 1 上およびソース開口部 C H s、ドレイン開口部 C H d 内にソース用導電膜を形成し、パターニングすることにより、ソース電極 8 S およびドレイン電極 8 D を含むソースメタル層を形成する。その後、図示しないが、図 2 H および図

21で説明した工程と同様に、層間絶縁層13、下部透明電極15、透明接続部15a、誘電体層17および上部透明電極19を形成する。このようにして、参考例のTF Tが製造される。

[0102] 参考例のTF Tでは、酸化物半導体層97は、各画素領域PIX内で島状に形成されている。酸化物半導体層97は、例えばTF T形成領域内にのみ配置される。TF T形成領域以外の領域では、ゲートバスラインGLの下方には上部絶縁層9は位置するが、酸化物半導体層97は位置しない。

[0103] 参考例のTF Tの製造方法によると、下部絶縁層5のオーバーエッチングに起因して第1無機絶縁層11のカバレッジが低下し、TF Tの信頼性が低下するおそれがある。

[0104] これに対し、本実施形態のTF T101の製造方法（図2B～図2I）によると、酸化物半導体膜7'のパターニングを行う前に、すなわち、下部絶縁層5が酸化物半導体膜7'で保護された状態で、上部絶縁層9のパターニングを行う。このため、上部絶縁層9のパターニング工程において、酸化物半導体膜7'がエッチストップとして機能し、下部絶縁層5がオーバーエッチングされるのを抑制できる。従って、下部絶縁層5のオーバーエッチングに起因する信頼性の低下を抑制できる。

[0105] また、本実施形態では、酸化物半導体膜7'のうち酸化物半導体層7の延設領域7eとなる部分は、上部絶縁層9で保護された状態で形成されるため、延設領域7eがプロセスダメージなどによって低抵抗化されることを抑制できる。このため、隣接する画素領域の活性領域7a同士が延設領域7eで繋がっていても、表示動作に影響しない。

[0106] （第2の実施形態）

以下、図面を参照して、本発明の第2の実施形態のアクティブマトリクス基板を説明する。

[0107] 本実施形態は、ダブルゲート構造を有する酸化物半導体TF Tを画素TF Tとして有するアクティブマトリクス基板において、各画素領域PIXに、上部ゲート電極と下部ゲート電極とを電氣的に接続させるゲートコンタクト

部を設ける点で、図2Aを参照しながら前述した実施形態と異なる。

[0108] 本実施形態および以降の実施形態の説明では、アクティブマトリクス基板1001（図2A）と異なる点を主に説明し、重複する説明を適宜省略する。

[0109] 図3A（a）は、本実施形態のアクティブマトリクス基板1002の画素領域PIXを例示する平面図である。図3A（b）および（c）は、それぞれ、図3A（a）に示すI-I'線、II-II'線に沿った模式的な断面図である。

[0110] アクティブマトリクス基板1002の各画素領域PIXは、下部ゲート層3と上部ゲート層10とを電氣的に接続するゲートコンタクト部30を有している。ゲートコンタクト部30は、例えば、基板1の法線方向から見たとき、TF T101の近傍に、活性領域7aとは離間して配置されていてもよい。

[0111] この例では、下部ゲート層3と上部ゲート層10とは、下部ゲート電極3aとも上部ゲート電極10aとも異なる層内に形成された接続部（「ゲート接続部C」と呼ぶ）を介して電氣的に接続されている。ゲートコンタクト部30は、ゲート接続部Cと上部ゲート層10を接続する第1部分31と、ゲート接続部Cと下部ゲート層3とを接続する第2部分32とを有していてもよい。ゲート接続部Cは、例えば上部ゲート層10よりも上層の導電膜を用いて形成される。ここでは、ゲート接続部Cは、ソースバスラインSLと同じ導電膜を用いて形成された、島状の接続部8gである。

[0112] 下部ゲート層3は、TF T形成領域に位置してゲートとして機能する下部ゲート電極3aと、下部ゲート電極3aから（TF T形成領域から）第2部分32に延設された下部ゲート延設部3eとを含む島状のパターンを有している。下部ゲート電極3aは、基板1の法線方向から見たとき、活性領域7aの少なくとも一部と重なるように配置されている。下部ゲート延設部3eは、下部ゲート電極3aと一体的に形成されている。下部ゲート延設部3eは、図示するように、TF T形成領域から第1部分31までゲートバスライ

ンGLと重なるようにx方向に延び、第1部分31から第2部分32まで接続部8gと重なるように延びていてもよい。これにより、下部ゲート延設部3eによる画素開口率の低下を抑えることが可能になる。

[0113] 接続部8gは、第1部分31と第2部分32とを繋ぐように延びている。この例では、接続部8gはy方向に延びているが、延びる方向は特に限定されない。接続部8gは、第1部分31において、第1無機絶縁層11に形成された開口部11p内でゲートバスラインGLと接している。前述したように、ゲートバスラインGLの基板1側には上部絶縁層9および酸化物半導体層7の延設領域7eが配置されている。接続部8gは、また、第2部分32において、下部絶縁層5および第1無機絶縁層11に形成された開口部11q内で下部ゲート延設部3eと接している。

[0114] ゲートコンタクト部30の第1部分31においても、上部ゲート層10と下部絶縁層5との間には、上部絶縁層9および酸化物半導体層7の延設領域7eが位置している。後述するように、本実施形態でも、上部ゲート層10および上部絶縁層9を同じマスクを用いてパターニングした後で、酸化物半導体層7のパターニングを行ってもよい。これにより、基板1の法線方向から見たとき、ゲートバスラインGLおよび上部ゲート電極10aを含む上部ゲート層10の周縁と、上部絶縁層9の周縁および酸化物半導体層7の延設領域7eの周縁とは略整合する。

[0115] 第1部分31は、ゲートバスラインGL上に配置され、第2部分32はゲートバスラインGLからy方向に離間した位置に配置されていてもよい。この例では、第1部分31と第2部分32とは、第1部分31に位置する酸化物半導体層7の延設領域7eが開口部11q内の接続部8gと接しないように十分な間隔を空けて配置されている。ゲートコンタクト部30は、基板1の法線方向から見たとき、活性領域7aと略平行に（ここではy方向に）延びているが、ゲートコンタクト部30の形状および配置は、図示する例に限定されない。

[0116] ゲート接続部Cは、第1部分31から第2部分32まで、下部ゲート延設

部 3 e と重なるように延びていてもよい。図示していないが、第 1 部分 3 1 は、基板 1 の法線方向から見たとき、下部ゲート延設部 3 e と重ならないように配置されていてもよい（図 5 等参照）。

[0117] <アクティブマトリクス基板 1 0 0 2 の製造方法>

本実施形態および以降の実施形態の製造方法の説明では、アクティブマトリクス基板 1 0 0 1（またはアクティブマトリクス基板 1 0 0 2）と異なる点を主に説明し、重複する説明を適宜省略する。各層の材料や厚さ、形成方法についても、アクティブマトリクス基板 1 0 0 1 と同様の場合には、適宜説明を省略する。

[0118] 図 3 B～図 3 J は、アクティブマトリクス基板 1 0 0 2 の製造方法を説明するための模式的な工程図である。各図の（a）は画素領域 P 1 X を例示する平面図である。各図の（b）および（c）は、それぞれ、図 3 A（a）に示す 1-1' 線、1 1-1 1' 線に沿った模式的な断面図である。

[0119] まず、図 3 B（a）～（c）に示すように、各画素領域 P 1 X において、基板 1 上に島状の下部ゲート層 3 および下部絶縁層 5 を形成する。下部ゲート層 3 は、下部ゲート電極 3 a と、T F T 形成領域からゲートコンタクト部を形成する領域まで延びる下部ゲート延設部 3 e とを含む。

[0120] 次に、図 3 C（a）～（c）に示すように、下部絶縁層 5 上に酸化物半導体膜 7'、上部絶縁膜 9'、および上部ゲート用導電膜 1 0' をこの順で形成する。

[0121] 続いて、図 3 D（a）～（c）に示すように、図示しない第 1 レジストマスクを用いて、上部ゲート用導電膜 1 0' のパターニングを行い、上部ゲート電極 1 0 a およびゲートバスライン G L を含む上部ゲート層 1 0 を形成する。

[0122] この後、図 3 E（a）～（c）に示すように、第 1 レジストマスクを用いて、上部絶縁膜 9' のパターニングを行う。前述の実施形態と同様に、このパターニング工程では、下部絶縁層 5 は酸化物半導体膜 7' で覆われているため、酸化物半導体膜 7' がエッチストップの機能を果たし、下部絶縁層 5

の表面がエッチングされることを抑制できる。この後、第1レジストマスクを除去する。なお、第1レジストマスクを除去した後で、上部ゲート層10をマスクとして上部絶縁膜9'のパターニングを行ってもよい。

[0123] 続いて、図3F(a)～(c)に示すように、活性領域を規定する第2レジストマスク（不図示）と上部ゲート層10とをマスクとして、酸化物半導体膜7'のパターニングを行い、酸化物半導体層7を得る。酸化物半導体層7は、第2レジストマスクで規定される活性領域7aと、上部ゲート層10と重なるように活性領域7aから延びる延設領域7eとを含む。延設領域7eは、ゲートバスラインGLの下方においてx方向に延びる部分を含む。

[0124] 続いて、図3G(a)～(c)に示すように、酸化物半導体層7、上部絶縁層9および上部ゲート層10を覆うように第1無機絶縁層11を形成する。この後、例えばドライエッチングで、第1無機絶縁層11に酸化物半導体層7に達する開口部CHs、CHdと、ゲートバスラインGLに達する開口部11pと、下部ゲート延設部3eに達する開口部11qとを形成する。

[0125] 次いで、図3H(a)～(c)に示すように、ソースバスラインSL、ソース電極8Sおよびドレイン電極8D、ゲート接続部C（接続部8g）を含むソースメタル層を形成する。接続部8gは、開口部11p内でゲートバスラインGLと接し、開口部11q内で下部ゲート延設部3eと接するように配置される。このようにして、ゲートコンタクト部30およびTF-T101を得る。

[0126] 続いて、図3I(a)～(c)および図3J(a)～(c)に示すように、層間絶縁層13、下部透明電極15および透明接続部15aを含む下部透明導電層と、誘電体層17とを形成する。形成方法は、図2Hおよび図2Iを参照しながら前述した方法と同様である。この後、上部透明電極19を含む上部透明導電層を形成する。このようにして、図3Aに示すアクティブマトリクス基板1002が製造される。

[0127] 本実施形態では、画素領域PIXごとに下部ゲート層3と上部ゲート層10とを電氣的に接続するゲートコンタクト部30を設ける。これにより、下

部ゲート層 3 および上部ゲート層 10 のうちの一方を画素領域 P1X 内で島状に形成することが可能になるので、画素開口率の低下を抑制できる。また、前述の実施形態と同様に、酸化物半導体層 7 のパターニングをゲートメタル層形成後に行うことにより、下部絶縁層 5 のオーバーエッチングに起因する信頼性の低下を抑制できる。さらに、第 1 部分 31 と第 2 部分 32 とを間隔を空けて配置することで、酸化物半導体層 7 の延設領域 7e と接続部 8g とをより確実に電氣的に分離できるので、TFT101 をより安定して動作させることができる。

[0128] <変形例 1>

変形例 1 は、ゲートコンタクト部 30 において、下部ゲート層 3 と上部ゲート層 10 とを接続するゲート接続部 C を、下部透明電極 15 と同じ透明導電膜（第 1 の透明導電膜）を用いて形成する点で、図 3A に示すアクティブマトリクス基板 1002 と異なる。

[0129] 図 4A (a) は、本実施形態の変形例 1 のアクティブマトリクス基板 1003 の画素領域 P1X を例示する平面図である。図 4A (b) および (c) は、それぞれ、図 4A (a) に示す I-I' 線、II-II' 線に沿った模式的な断面図である。

[0130] 変形例 1 における各画素領域 P1X では、ゲートコンタクト部 30 は、ゲート接続部 C として、下部透明電極 15 と同じ透明導電膜を用いて形成された接続部 15g を有している。接続部 15g は、第 1 部分 31 において、第 1 無機絶縁層 11 および層間絶縁層 13 に形成されたコンタクトホール CH1 内で上部ゲート層 10（ここではゲートバスライン GL）と接している。接続部 15g は、また、第 2 部分 32 において、下部絶縁層 5、第 1 無機絶縁層 11 および層間絶縁層 13 に形成されたコンタクトホール CH2 内で下部ゲート層 3（下部ゲート延設部 3e）と接している。その他の構成は、アクティブマトリクス基板 1002 と同様であってもよい。

[0131] 変形例 1 のアクティブマトリクス基板 1003 は、次のようにして製造され得る。

[0132] まず、アクティブマトリクス基板 1002 と同様の方法で、基板 1 上に、下部ゲート電極 3a、下部絶縁層 5、酸化物半導体層 7、上部絶縁層 9、上部ゲート電極 10a、ゲートバスライン GL および第 1 無機絶縁層 11 を形成する。次いで、第 1 無機絶縁層 11 に開口部 CHs、CHd、11p、11q を形成する。

[0133] この後、図 4B (a) ~ (c) に示すように、ソース用導電膜を形成し、パターニングを行うことで、ソース電極 8S およびドレイン電極 8D を形成する。ソース用導電膜は、ゲートコンタクト部形成領域から除去される。

[0134] 次いで、図 4C (a) ~ (c) に示すように、TFT101 を覆うように、第 2 無機絶縁層 12 および有機絶縁層 16 を形成する。この後、有機絶縁層 16 のパターニングを行い、開口部を形成する。続いて、有機絶縁層 16 をマスクとして第 2 無機絶縁層 12 のエッチング（ドライエッチング）を行う。これにより、第 2 無機絶縁層 12 および有機絶縁層 16 に、ドレイン電極 8D に達する開口部 13m と、ゲートコンタクト部形成領域に位置する開口部 13p、13q とが形成される。基板 1 の法線方向から見たとき、開口部 13p は、第 1 無機絶縁層 11 の開口部 11p と少なくとも部分的に重なるように配置される。従って、開口部 13p と開口部 11p とで、ゲートバスライン GL を露出するコンタクトホール CH1 が形成される。同様に、基板 1 の法線方向から見たとき、開口部 13q は、第 1 無機絶縁層 11 の開口部 11q と少なくとも部分的に重なるように配置される。従って、開口部 13q と開口部 11q とで、下部ゲート延設部 3e を露出するコンタクトホール CH2 が形成される。

[0135] 続いて、図 4D (a) ~ (c) に示すように、下部透明電極 15、透明接続部 15a、および、ゲート接続部 C である接続部 15g を含む下部透明導電層を形成する。下部透明導電層は、層間絶縁層 13 上、開口部 13m 内、およびコンタクトホール CH1、CH2 内に第 1 の透明導電膜を形成した後、第 1 の透明導電膜のパターニングを行うことによって形成され得る。接続部 15g は、コンタクトホール CH1 内で上部ゲート層 10（ここではゲー

トバスラインGL)と接し、コンタクトホールCH2内で下部ゲート延設部3eと接するように配置される。次いで、誘電体層17を形成する。

[0136] この後、上部透明電極19を含む上部透明導電層を形成する。このようにして、図4Aに示すアクティブマトリクス基板1003が製造される。

[0137] 変形例1では、ゲート接続部Cである接続部15gは透明なので、接続部15gによって画素開口率が低下しない。従って、接続部15gは、下部ゲート層3および上部ゲート層10の配置にかかわらず、画素領域PIX内で任意に配置され得る。例えば、図5(a)～(c)に示すように、接続部15gの第1部分31側の端部は、上部ゲート層10(ここではゲートバスラインGL)上に配置され、第2部分32側の端部は下部ゲート延設部3e上に配置され、これらの端部の間に位置する部分は、ゲートバスラインGLとも下部ゲート延設部3eとも重ならないように延びていてもよい。

[0138] 第1部分31は、上部ゲート層10上であって、かつ、下部ゲート層3と重ならないように配置されていてもよい。このように、本変形例によると、ゲート接続部Cによる画素開口率の低下を抑えつつ、ゲートコンタクト部30の第1部分31および第2部分32を任意の位置に配置できる。従って、例えば、第1部分31と第2部分32との間隔をより大きくできるので、ゲートコンタクト部30において、コンタクトホールCH2内の接続部15gと、第1部分31に位置する延設領域7eとをより確実に電氣的に分離できる。

[0139] 図5に示すアクティブマトリクス基板1004は、アクティブマトリクス基板1003と同様の方法で製造され得る。

[0140] <変形例2>

変形例2は、ゲートコンタクト部30において、ゲート接続部Cを、ソースバスラインSLと同じ導電膜(ソース用導電膜)および下部透明電極15と同じ透明導電膜(第1の透明導電膜)の両方を用いて形成する点で、変形例1のアクティブマトリクス基板1003と異なる。

[0141] 図6A(a)は、本実施形態の変形例2のアクティブマトリクス基板10

05の画素領域P1Xを例示する平面図である。図6A(b)および(c)は、それぞれ、図6A(a)に示す1-1'線、11-11'線に沿った模式的な断面図である。

[0142] 変形例2における各画素領域P1Xでは、ゲートコンタクト部30のゲート接続部Cは、ソース用導電膜を用いて形成された接続部8g1(第1接続部C1)および接続部8g2(第2接続部C2)と、下部透明電極15と同じ透明導電膜を用いて形成された接続部15g(第3接続部C3)とを含む。第1接続部C1と第2接続部C2とは離間して配置されている。

[0143] 第1接続部C1は、第1無機絶縁層11に形成された開口部11p内で上部ゲート層10(ここではゲートバスラインGL)と接している。第2接続部C2は、第1無機絶縁層11および下部絶縁層5に形成された開口部11q内で下部ゲート層3の下部ゲート延設部3eと接している。第3接続部C3は、第1部分31において、層間絶縁層13に形成された開口部13p内で第1接続部C1と接し、かつ、第2部分32において、層間絶縁層13に形成された開口部13q内で第2接続部C2と接している。その他の構成は、アクティブマトリクス基板1003と同様であってもよい。

[0144] 変形例1では、ゲート接続部Cは、下部絶縁層5、第1無機絶縁層11および層間絶縁層13の厚さ方向に亘って形成された比較的深いコンタクトホールCH1、CH2内に形成されるのに対し、変形例2では、各接続部C1、C2、C3は、それぞれ、変形例1よりも浅い開口部内に形成される。このため、電氣的接続をより確実に確保できる、各開口部のサイズをより小さくできるなどの利点がある。

[0145] 変形例2のアクティブマトリクス基板1005は、次のようにして製造され得る。

[0146] まず、アクティブマトリクス基板1002と同様の方法で、基板1上に、下部ゲート電極3a、下部絶縁層5、酸化物半導体層7、上部絶縁層9、上部ゲート電極10a、ゲートバスラインGLおよび第1無機絶縁層11を形成する。次いで、第1無機絶縁層11に開口部CHs、CHd、11p、1

1 q を形成する。

[0147] この後、図 6 B (a) ~ (c) に示すように、ソース用導電膜を形成し、パターニングを行うことで、ソース電極 8 S およびドレイン電極 8 D と、第 1 接続部 C 1 および第 2 接続部 C 2 を形成する。第 1 接続部 C 1 は、開口部 1 1 p 内でゲートバスライン G L と接するように配置される。第 1 接続部 C 2 は、開口部 1 1 q 内で下部ゲート延設部 3 e と接するように配置される。これらの接続部 C 1、C 2 は離間して配置されている。

[0148] 次に、図 6 C (a) ~ (c) に示すように、T F T 1 0 1 を覆うように、第 2 無機絶縁層 1 2 および有機絶縁層 1 6 を形成する。この後、第 2 無機絶縁層 1 2 および有機絶縁層 1 6 に、ドレイン電極 8 D に達する開口部 1 3 m と、ゲートコンタクト部形成領域に位置する開口部 1 3 p、1 3 q とを形成する。開口部 1 3 p は、第 1 接続部 C 1 の一部を露出するように配置されればよい。基板 1 の法線方向から見たとき、開口部 1 3 p は、第 1 無機絶縁層 1 1 の開口部 1 1 p と少なくとも部分的に重なるように配置されていてもよいし、重なっていないくてもよい。同様に、開口部 1 3 q は、第 2 接続部 C 2 の一部を露出するように配置されればよい。基板 1 の法線方向から見たとき、開口部 1 3 q は、第 1 無機絶縁層 1 1 の開口部 1 1 q と少なくとも部分的に重なるように配置されてもよいし、重なっていないくてもよい。

[0149] 続いて、図 6 D (a) ~ (c) に示すように、下部透明電極 1 5、透明接続部 1 5 a および第 3 接続部 C 3 (接続部 1 5 g) を含む下部透明導電層を形成する。下部透明導電層は、層間絶縁層 1 3 上、開口部 1 3 m 内、およびコンタクトホール C H 1、C H 2 内に第 1 の透明導電膜を形成した後、第 1 の透明導電膜のパターニングを行うことにより形成され得る。接続部 1 5 g は、開口部 1 3 p 内で第 1 接続部 C 1 と接し、開口部 1 3 q 内で第 2 接続部 C 2 と接するように配置される。次いで、誘電体層 1 7 を形成する。

[0150] この後、上部透明電極 1 9 を含む上部透明導電層を形成する。このようにして、図 6 A に示すアクティブマトリクス基板 1 0 0 5 が製造される。

[0151] 本変形例でも、変形例 1 と同様に、第 3 接続部 C 3 は透明なので、ゲート

バスラインGLまたは下部ゲート電極3aの配置にかかわらず、画素領域PIX内で任意に配置され得る。例えば、図7(a)～(c)に示すように、接続部15gは、ゲートバスラインGLとも下部ゲート延設部3eとも重ならない部分を有していてもよい。図7に示す構造は、第3接続部C3として第2の透明導電膜を用いる点以外は、図5に示すアクティブマトリクス基板1004と同様である。

[0152] 図7に示すアクティブマトリクス基板1006は、アクティブマトリクス基板1005と同様の方法で製造され得る。

[0153] <変形例3>

変形例3は、ゲートコンタクト部30において、ゲート接続部Cを、上部透明電極19と同じ透明導電膜（第2の透明導電膜）を用いて形成する点で、図3Aに示すアクティブマトリクス基板1002と異なる。

[0154] 図8A(a)は、本実施形態の変形例3のアクティブマトリクス基板1007の画素領域PIXを例示する平面図である。図8A(b)および(c)は、それぞれ、図8A(a)に示すI-I'線、II-II'線に沿った模式的な断面図である。

[0155] 変形例3における各画素領域PIXでは、ゲートコンタクト部30は、ゲート接続部Cとして、上部透明電極19と同じ透明導電膜を用いて形成された接続部19gを有している。接続部19gは、第1部分31において、第1無機絶縁層11、層間絶縁層13および誘電体層17に形成されたコンタクトホールCH1内で上部ゲート層10（ここではゲートバスラインGL）と接している。接続部19gは、また、第2部分32において、下部絶縁層5、第1無機絶縁層11、層間絶縁層13および誘電体層17に形成されたコンタクトホールCH2内で下部ゲート層3の下部ゲート延設部3eと接している。その他の構成は、アクティブマトリクス基板1002と同様であってもよい。

[0156] 変形例3のアクティブマトリクス基板1007は、次のようにして製造され得る。

[0157] まず、図8B(a)～(c)に示すように、変形例1のアクティブマトリクス基板1003と同様の方法で、基板1上に、下部ゲート電極3a、下部絶縁層5、酸化物半導体層7、上部絶縁層9、上部ゲート電極10a、ゲートバスラインGL、第1無機絶縁層11、ソース電極8Sおよびドレイン電極8Dを形成する。次いで、層間絶縁層13を形成し、ドレイン電極8Dに達する開口部13mと、ゲートコンタクト部形成領域に位置する開口部13p、13qとを形成する。

[0158] 続いて、図8C(a)～(c)に示すように、開口部13m内、およびコンタクトホールCH1、CH2内に第1の透明導電膜を形成し、パターニングを行うことにより、下部透明電極15および透明接続部15aを含む下部透明導電層を形成する。第1の透明導電膜は、ゲートコンタクト部形成領域から除去される。この後、誘電体層17を形成する。誘電体層17には、開口部17m、17p、17qを形成する。開口部17pは、開口部13pと少なくとも部分的に重なるように配置される。従って、開口部11p、開口部13pおよび開口部17pで、ゲートバスラインGLを露出するコンタクトホールCH1が形成される。同様に、開口部17qは、開口部13qと少なくとも部分的に重なるように配置される。従って、開口部11q、開口部13qおよび開口部17qで、下部ゲート延設部3eを露出するコンタクトホールCH2が形成される。

[0159] この後、上部透明電極19および接続部19g（ゲート接続部C）を含む上部透明導電層を形成する。接続部19gは、コンタクトホールCH1内でゲートバスラインGLと接し、コンタクトホールCH2内で下部ゲート延設部3eと接するように配置される。このようにして、図8Aに示すアクティブマトリクス基板1007が製造される。

[0160] 変形例3では、ゲート接続部Cである接続部19gは透明なので、接続部19gによって画素開口率が低下しない。従って、接続部19gは、ゲートバスラインGLまたは下部ゲート電極3aの配置にかかわらず、画素領域PIX内で任意に配置され得る。例えば、図9(a)～(c)に示すように、

接続部 19 g の第 1 部分 31 側の端部は、ゲートバスライン GL 上に位置し、第 2 部分 32 側の端部は下部ゲート延設部 3 e 上に位置し、これらの端部の間に位置する部分は、ゲートバスライン GL と下部ゲート延設部 3 e ととも重ならないように延びていてもよい。

[0161] また、第 1 部分 31 は、ゲートバスライン GL 上であって、かつ、活性領域 7 a と下部ゲート延設部 3 e ととも重ならないように配置されていてもよい。これにより、接続部 15 g のうちコンタクトホール CH2 内に位置する部分と延設領域 7 e との間隔をさらに大きくできるので、これらの導通をより効果的に抑制できる。

[0162] 図 9 に示すアクティブマトリクス基板 1008 は、アクティブマトリクス基板 1007 と同様の方法で製造され得る。

[0163] <変形例 4>

変形例 4 は、第 3 接続部 C3 を、上部透明電極 19 と同じ透明導電膜を用いて形成する点で、変形例 2 と異なる。

[0164] 図 10A (a) は、本実施形態の変形例 4 のアクティブマトリクス基板 1009 の画素領域 PIX を例示する平面図である。図 10A (b) および (c) は、それぞれ、図 10A (a) に示す I-I' 線、II-II' 線に沿った模式的な断面図である。

[0165] 変形例 4 では、ゲートコンタクト部 30 におけるゲート接続部 C は、変形例 2 と同様に、ソースバスライン SL と同じ導電膜（ソース用導電膜）を用いて形成された第 1 および第 2 接続部 C1、C2（接続部 8 g1、8 g2）と、これらの接続部 C1、C2 と接する第 3 接続部 C3 とを有している。ただし、第 3 接続部 C3 である接続部 19 g は、第 1 部分 31 において、層間絶縁層 13 および誘電体層 17 に形成されたコンタクトホール CH1 内で第 1 接続部 C1 と接し、かつ、第 2 部分 32 において、層間絶縁層 13 および誘電体層 17 に形成されたコンタクトホール CH2 内で第 2 接続部 C2 と接している。その他の構成は、アクティブマトリクス基板 1006 と同様であってもよい。

- [0166] 変形例4では、変形例2と同様に、各接続部C1、C2、C3は、それぞれ、比較的浅い開口部内に形成される。このため、電氣的接続をより確実に確保できる、各開口部のサイズをより小さくできるなどの利点がある。
- [0167] 変形例4のアクティブマトリクス基板1009は、次のようにして製造され得る。
- [0168] まず、図10B(a)～(c)に示すように、変形例2のアクティブマトリクス基板1006と同様の方法で、基板1上に、下部ゲート電極3a、下部絶縁層5、酸化物半導体層7、上部絶縁層9、上部ゲート電極10a、ゲートバスラインGL、第1無機絶縁層11、接続部8g1、8g2、ソース電極8Sおよびドレイン電極8Dを形成する。次いで、層間絶縁層13を形成し、ドレイン電極8Dに達する開口部13mと、ゲートコンタクト部形成領域に位置する開口部13p、13qとを形成する。基板1の法線方向から見たとき、開口部13p、13qは、それぞれ、ゲートバスラインGLおよび下部ゲート延設部3eの一部を露出するように配置されればよい。
- [0169] この後、図10C(a)～(c)に示すように、第1の透明導電膜を形成し、第1の透明導電膜のパターニングを行うことにより、下部透明電極15および透明接続部15aを含む下部透明導電層を形成する。第1の透明導電膜は、ゲート接続部形成領域から除去される。
- [0170] 次いで、誘電体層17を形成する。誘電体層17には、開口部17m、17p、17qを形成する。開口部17pは、開口部13pと少なくとも部分的に重なるように配置される。従って、開口部13pと開口部17pとで、ゲートバスラインGLを露出するコンタクトホールCH1が形成される。同様に、開口部17qは、開口部13qと少なくとも部分的に重なるように配置される。従って、開口部13qと開口部17qとで、下部ゲート延設部3eを露出するコンタクトホールCH2が形成される。
- [0171] この後、上部透明電極19および接続部19g（第3接続部C3）を含む上部透明導電層を形成する。接続部19gは、コンタクトホールCH1内で第1接続部C1と接し、コンタクトホールCH2内で第2接続部C2と接す

るように配置される。このようにして、図10Aに示すアクティブマトリクス基板1009が製造される。

[0172] 本変形例でも、変形例2と同様に、第3接続部C3は透明なので、ゲートバスラインGLまたは下部ゲート電極3aの配置にかかわらず、画素領域PIX内で任意に配置され得る。例えば、図11A(a)～(c)に示すように、接続部15gは、ゲートバスラインGLとも下部ゲート延設部3eとも重ならない部分を含んでいてもよい。図11Aに示す構造は、第3接続部C3として第2の透明導電膜を用いる点以外は、図9に示すアクティブマトリクス基板1008と同様である。

[0173] 図11Aに示すアクティブマトリクス基板1010は、アクティブマトリクス基板1009と同様の方法で製造され得る。

[0174] 図10Aおよび図11Aに示す例では、ゲート接続部Cを、ソース用導電膜および第2の透明導電膜を用いて形成したが、ゲート接続部Cの構造はこれらの例に限定されない。ゲート接続部Cは、ソース用導電膜、第1の透明導電膜および第2の透明導電膜のうち2以上の導電膜を用いて形成され得る。

[0175] 図11Bおよび図11Cは、それぞれ、ゲートコンタクト部の他の例を示す断面図である。

[0176] 図11Bに示す例では、ゲート接続部Cは、第1の透明導電膜および第2の透明導電膜を用いて形成されている。ゲート接続部Cは、第1の透明導電膜を用いて形成された第1および第2接続部C1、C2（接続部15g1、15g2）と、第2の透明導電膜を用いて形成された第3接続部C3（接続部19g）とから構成されている。

[0177] 図11Cに示す例では、ゲート接続部Cは、ソース用導電膜、第1の透明導電膜および第2の透明導電膜を用いて形成されている。ゲート接続部Cは、ソース用導電膜を用いて形成された第1および第2接続部C1、C2（接続部8g1、8g2）と、第1の透明導電膜を用いて形成された第4および第5接続部C4、C5（接続部15g1、15g2）と、第2の透明導電膜

を用いて形成された第3接続部C3（接続部19g）とから構成されている。第4接続部C4および第5接続部C5は、離間して配置されている。第4接続部C4および第5接続部C5は、それぞれ、層間絶縁層13に形成された開口部内で、第1接続部C1および第2接続部C2と接している。第3接続部C3は、第1部分31において、誘電体層17に形成された開口部内で第4接続部C4と接し、第2部分32において、誘電体層17に形成された開口部内で第5接続部C5と接している。

[0178] <変形例5>

上述の実施形態および変形例では、上部ゲート電極10aがゲートバスラインGLと一体的に形成されている例を説明したが、下部ゲート電極3aがゲートバスラインGLと一体的に形成され、上部ゲート電極10aが画素毎に島状に形成されていてもよい。

[0179] 図12A（a）は、本実施形態の変形例5のアクティブマトリクス基板1011の画素領域PIXを例示する平面図である。図12A（b）および（c）は、それぞれ、図12A（a）に示すI-I'線、II-II'線に沿った模式的な断面図である。

[0180] アクティブマトリクス基板1011の各画素領域PIXは、ダブルゲート構造を有するTFT102と、ゲートコンタクト部30とを有している。

[0181] TFT102の下部ゲート層3は、TFT102の下部ゲート電極3aと、下部ゲート電極3aと一体的に形成されたゲートバスラインGLとを含む。下部ゲート電極3aは、ゲートバスラインGLの一部であってもよい。

[0182] 上部ゲート層10は、画素領域PIX内で島状に形成されている。上部ゲート層10は、上部ゲート電極10aと、上部ゲート電極10aから（TFT形成領域から）ゲートコンタクト部30の第1部分31まで延設された上部ゲート延設部10eとを含む。

[0183] 酸化物半導体層7は、活性領域7aと、延設領域7eとを含む。延設領域7eは、基板1の法線方向から見たとき、活性領域7aからTFT102のチャネル長方向とは異なる方向に延びている。延設領域7eは、上部ゲート

延設部 10e の基板 1 側に、上部絶縁層 9 を介して配置され、かつ、基板 1 の法線方向から見たとき、上部ゲート延設部 10e と重なるように延びる部分を含む。

[0184] ゲートコンタクト部 30 では、上部ゲート層 10 よりも上層の導電膜から形成されたゲート接続部 C を介して、下部ゲート層 3（ここではゲートバスライン GL）と上部ゲート層 10 の上部ゲート延設部 10e とが電氣的に接続される。この例では、ゲート接続部 C は、ソース用導電膜から形成された接続部 8g である。本変形例でも、ゲートコンタクト部 30 において、上部ゲート延設部 10e の基板 1 側には、上部絶縁層 9 を介して酸化物半導体層 7 の延設領域 7e が位置している。

[0185] ゲートコンタクト部 30 は、基板 1 の法線方向から見たとき、TF T 102 の近傍に、活性領域 7a とは離間して配置されていてもよい。ゲートコンタクト部 30 は、例えば、ゲート接続部 C と上部ゲート層 10 とを接続する第 1 部分 31 と、ゲート接続部 C と下部ゲート層 3 とを接続する第 2 部分 32 とを有している。

[0186] 下部ゲート層 3 は、基板 1 の法線方向から見たとき、ゲートバスライン GL からゲートコンタクト部 30 の第 2 部分 32 に突出した凸部 3f を含んでもよい。凸部 3f は、y 方向に延びていてもよい。凸部 3f は、基板 1 の法線方向から見たとき、第 1 部分 31 から第 2 部分 32 まで延びていてもよい。この場合、上部ゲート延設部 10e は、TF T 形成領域から第 1 部分 31 まで下部ゲート層 3 と重なるように延びていてもよい。また、ゲート接続部 C は、第 1 部分 31 から第 2 部分 32 まで、下部ゲート層 3 と重なるように延びていてもよい。これにより、画素開口率の低下を抑えることが可能になる。

[0187] ゲート接続部 C（接続部 8g）は、第 1 部分 31 と第 2 部分 32 とを繋ぐように延びている。接続部 8g は、第 1 部分 31 において、第 1 無機絶縁層 11 に形成された開口部 11p 内で上部ゲート延設部 10e と接し、第 2 部分 32 において、下部絶縁層 5 および第 1 無機絶縁層 11 に形成された開口

部 1 1 q 内で下部ゲート層 3（ここでは凸部 3 f）と接している。

[0188] 本変形例でも、上部ゲート層 1 0 と下部絶縁層 5 との間には、上部絶縁層 9 および延設領域 7 e が位置している。後述するように、本変形例でも、上部ゲート電極 1 0 a および上部絶縁層 9 を同じマスクを用いてパターニングした後で、酸化物半導体層 7 のパターニングを行ってもよい。

[0189] <アクティブマトリクス基板 1 0 1 1 の製造方法>

図 1 2 B ～ 図 1 2 H は、アクティブマトリクス基板 1 0 1 1 の製造方法を説明するための模式的な工程図である。各図の（a）は画素領域 P 1 X を例示する平面図である。各図の（b）および（c）は、それぞれ、図 1 2 A （a）に示す I - I' 線、I I - I I' 線に沿った模式的な断面図である。

[0190] まず、図 1 2 B （a）～（c）に示すように、各画素領域 P 1 X において、基板 1 上に下部ゲート用導電膜を形成し、これをパターニングすることで、ゲートバスライン G L および下部ゲート電極 3 a を含む下部ゲート層 3 を形成する。ここでは、下部ゲート電極 3 a はゲートバスライン G L の一部である。また、下部ゲート層 3 は、基板 1 の法線方向から見たとき、ゲートバスライン G L の縁部から y 方向に突出する凸部 3 f を有する。

[0191] 次いで、下部ゲート層 3 が形成された基板 1 上に、下部絶縁層 5、酸化物半導体膜 7'、上部絶縁層 9、および上部ゲート用導電膜（不図示）をこの順で形成する。この後、図示しない第 1 レジストマスクを用いて、上部ゲート用導電膜のパターニングを行い、上部ゲート層 1 0 を得る。この例では、上部ゲート層 1 0 は、T F T 形成領域内に位置する上部ゲート電極 1 0 a と、T F T 形成領域からゲート接続部形成領域まで延びる上部ゲート延設部 1 0 e とを含む島状のパターンを有する。図示するように、基板 1 の法線方向から見たとき、上部ゲート層 1 0 は、ゲートバスライン G L の一部上に配置されていてもよい。

[0192] 次いで、図 1 2 C （a）～（c）に示すように、第 1 レジストマスクを用いて、上部絶縁層 9 のパターニングを行う。前述の実施形態と同様に、このパターニング工程では、下部絶縁層 5 は酸化物半導体膜 7' で覆われている

ため、酸化物半導体膜 7' がエッチストップの機能を果たし、下部絶縁層 5 の表面がエッチングされることを抑制できる。この後、第 1 レジストマスクを除去する。

[0193] 続いて、図 1 2 D (a) ~ (c) に示すように、活性領域を規定する第 2 レジストマスク（不図示）を用いて、酸化物半導体膜 7' のパターニングを行い、酸化物半導体層 7 を得る。酸化物半導体層 7 は、活性領域 7 a と、上部ゲート延設部 1 0 e と重なるように延びる（ここでは x 方向に延びる）延設領域 7 e とを含む。

[0194] 続いて、図 1 2 E (a) ~ (c) に示すように、酸化物半導体層 7、上部絶縁層 9 および上部ゲート層 1 0 を覆うように第 1 無機絶縁層 1 1 を形成する。この後、第 1 無機絶縁層 1 1 に酸化物半導体層 7 に達する開口部 C H s、C H d と、上部ゲート延設部 1 0 e に達する開口部 1 1 p と、下部ゲート層 3（ここでは凸部 3 f）に達する開口部 1 1 q とを形成する。

[0195] 次いで、図 1 2 F (a) ~ (c) に示すように、第 1 無機絶縁層 1 1 上および開口部 C H s、C H d、1 1 p、1 1 q 内にソース用導電膜を形成し、これをパターニングすることで、ソースバスライン S L、ソース電極 8 S およびドレイン電極 8 D、ゲート接続部 C（接続部 8 g）を含むソースメタル層を形成する。接続部 8 g は、開口部 1 1 p 内で上部ゲート延設部 1 0 e と接し、開口部 1 1 q 内でゲートバスライン G L（ここでは凸部 3 f）と接するように配置される。

[0196] 続いて、図 1 2 G (a) ~ (c) および図 1 2 H (a) ~ (c) に示すように、層間絶縁層 1 3、下部透明電極 1 5 および透明接続部 1 5 a を含む下部透明導電層、誘電体層 1 7 を形成する。形成方法は、図 2 H および図 2 I を参照しながら前述した方法と同様である。この後、上部透明電極 1 9 を含む上部透明導電層を形成する。このようにして、図 1 2 A に示すアクティブマトリクス基板 1 0 1 1 が製造される。

[0197] ゲート接続部 C を形成する導電膜は、ソース用導電膜に限定されない。図示していないが、第 1 の透明導電膜または第 2 の透明導電膜を用いてゲート

接続部Cを形成してもよい（変形例1、変形例3参照）。あるいは、ソース用導電膜、第1の透明導電膜および第2の透明導電膜のうち2以上の導電膜を用いて形成してもよい（変形例2、4参照）。

[0198] ゲート接続部Cの配置や形状も、図12Aに示す例に限定されない。本変形例でも、図13(a)～(c)に示すように、ゲート接続部Cの第1部分31側の端部は、上部ゲート延設部10e上に位置し、第2部分32側の端部は下部ゲート層3上に位置し、これらの端部の間に位置する部分は、下部ゲート層3とも上部ゲート延設部10eとも重ならないように延びていてもよい。透明導電膜を用いてゲート接続部C（または第3接続部C3）を形成する場合には、画素開口率を低下させることなく、上記のようにゲート接続部Cを配置できる。また、第1部分31は、上部ゲート延設部10e上であって、かつ、下部ゲート層3と重ならないように配置されていてもよい。

[0199] さらに、図13に示すように、ゲートバスラインGLは、基板1の法線方向から見たとき、TFT102のチャネル領域と第2部分32とを繋ぐように、段差を有して延びていてもよい。

[0200] 図13に示すアクティブマトリクス基板1012は、アクティブマトリクス基板1011と同様の方法で製造され得る。

[0201] <変形例6>

変形例6は、ゲートコンタクト部30において、1つの開口部内で、ゲート接続部Cと下部ゲート電極3aおよび上部ゲート電極10aとを電氣的に接続させる点で、上述の実施形態および変形例と異なる。

[0202] 図14(a)は、本実施形態の変形例6のアクティブマトリクス基板1013の画素領域PIXを例示する平面図である。図14(b)および(c)は、それぞれ、図14(a)に示すI-I'線、II-II'線に沿った模式的な断面図である。

[0203] 変形例6では、ゲートコンタクト部30に、第1無機絶縁層11および下部絶縁層5に、下部ゲート層3の下部ゲート延設部3eおよび上部ゲート層10（ここではゲートバスラインGL）を露出する単一の開口部11rが形

成されている。言い換えると、図3Aに示すアクティブマトリクス基板1002において、上部ゲート層10の一部を露出する第1無機絶縁層11の開口部11pと、第1無機絶縁層11および下部絶縁層5に設けられた、下部ゲート層3の一部を露出する開口部11qとが接続されることで、単一の開口部11rが構成されている。開口部11rは、上部ゲート層10（ここではゲートバスラインGL）上に、活性領域7aと離間して配置されている。基板1の法線方向から見たとき、開口部11rの一部はゲートバスラインGLと重なり、他の一部は下部ゲート延設部3eと重なっていてもよい。

[0204] 第1無機絶縁層11上および開口部11r内には、ソース用導電膜から形成された島状の接続部8g（ゲート接続部C）が形成されている。ゲート接続部Cは、開口部11r内において、下部ゲート延設部3eおよび上部ゲート層10の両方と接している。その他の構成は、アクティブマトリクス基板1002と同様である。

[0205] 変形例6では、ゲートコンタクト部30に要する面積を小さくできる。従って、下部ゲート延設部3eおよびゲート接続部Cの面積を低減できるので、画素開口率を高くできる。

[0206] 図15A（a）は、他のアクティブマトリクス基板1014の画素領域PIXを例示する平面図である。図15A（b）および（c）は、それぞれ、図15A（a）に示すI-I'線、II-II'線に沿った模式的な断面図である。

[0207] 図15Aに示すように、基板1の法線方向から見たとき、酸化物半導体層7の延設領域7eの周縁は、上部絶縁層9および上部ゲート層10の周縁の内部（周縁よりも内側）に位置していてもよい。この場合、上部絶縁層9と下部絶縁層5との間であって、基板1の法線方向から見たときに上部絶縁層9と重なり、かつ、酸化物半導体層7（延設領域7eを含む）が位置していない領域には空気層21が形成され得る。空気層21は、例えば、上部絶縁層9と下部絶縁層5との間において、酸化物半導体層7を包囲するように配置されている。このような構成は、例えば、酸化物半導体膜のパターニング

を、酸化物半導体膜がオーバーエッチングされるような条件で行うことで得られる。

[0208] アクティブマトリクス基板 1014 では、ゲートコンタクト部 30 において、延設領域 7e とゲート接続部 C との間に空気層 21 が介在するので、延設領域 7e とゲート接続部 C とが接することによってこれらが導通してしまうことを抑制できる。ゲート接続部 C と延設領域 7e との距離 D（基板に平行な面内の距離 D）は、例えば $0.1\ \mu\text{m}$ 以上あってもよい。 $0.1\ \mu\text{m}$ 以上であれば、延設領域 7e とゲート接続部 C とをより確実に電氣的に分離できる。距離 D の上限値は特に限定しないが、例えばゲートバスライン GL の幅の $1/3$ 未満であってもよい。距離 D は、酸化物半導体膜のパターニング条件などによって調整され得る。

[0209] 図 15B～図 15E は、アクティブマトリクス基板 1014 の製造方法を説明するための模式的な工程図である。各図の（a）は画素領域 P1X を例示する平面図である。各図の（b）および（c）は、それぞれ、図 15A（a）に示す I—I' 線、I—I' 線に沿った模式的な断面図である。

[0210] まず、各画素領域 P1X において、基板 1 上に下部ゲート層 3、下部絶縁層 5、酸化物半導体膜 7'、上部絶縁膜および上部ゲート用導電膜をこの順で形成する。

[0211] 続いて、図 15B（a）～（c）に示すように、図示しない第 1 レジストマスクを用いて、上部ゲート用導電膜のパターニングを行い、上部ゲート電極 10a およびゲートバスライン GL を含む上部ゲート層 10 を形成する。この後、同じ第 1 レジストマスクを用いて、上部絶縁膜のパターニングを行い、上部絶縁層 9 を得る。前述の実施形態と同様に、このパターニング工程では、下部絶縁層 5 は酸化物半導体膜 7' で覆われているため、下部絶縁層 5 の表面がエッチングされることを抑制できる。この後、第 1 レジストマスクを除去する。

[0212] 次いで、図 15C（a）～（c）に示すように、酸化物半導体膜 7' のパターニングを行う。酸化物半導体膜 7' のパターニングは、例えば、活性領

域を規定する第2レジストマスクと上部ゲート電極10aとをエッチングマスクとして、ウェットエッチングで行う。このとき、エッチング液、エッチング時間などのエッチング条件を制御することで、酸化物半導体膜7'をオーバーエッチングする。これにより、酸化物半導体層7は、第2のレジストマスクまたは上部ゲート電極10aで規定されるパターンよりも一回り小さくなる。基板1に平行な方向における、第2のレジストマスクまたは上部ゲート層10の周縁から酸化物半導体層7の周縁までの距離（オーバーエッチング量）Dは、上述した範囲内に制御されることが好ましい。この後、第2レジストマスクを除去する。これにより、活性領域7aと、ゲートバスラインGLの下方に延びる延設領域7eとを含む酸化物半導体層7が得られる。

[0213] 次いで、図15D(a)～(c)に示すように、下部絶縁層5および酸化物半導体層7、上部絶縁層9、上部ゲート層10を覆うように第1無機絶縁層11を形成する。この後、第1無機絶縁層11に、酸化物半導体層7に達する開口部CHs、CHdと、開口部11pとを形成する。開口部11pは、ゲートコンタクト部形成領域において、下部ゲート層3の一部および上部ゲート層10（ここではゲートバスラインGL）の一部を露出するように配置される。

[0214] この後、図15E(a)～(c)に示すように、ソースバスラインSL、ソース電極8Sおよびドレイン電極8D、ゲート接続部C（接続部8g）を含むソースメタル層を形成する。接続部8gは、開口部11r内で上部ゲート層10（ここではゲートバスラインGL）および下部ゲート延設部3eの両方と接するように配置される。接続部8gは、開口部11r内で、上部ゲート層10の上面および側面と上部絶縁層9の側面と接する。一方、接続部8gと延設領域7eとの間には空気層21が介在するので、接続部8gは、酸化物半導体層7の延設領域7eの側面とは接しない。

[0215] 続いて、アクティブマトリクス基板1002と同様に、層間絶縁層13、下部透明導電層、誘電体層17および上部透明導電層を形成する。このようにして、図15Aに示すアクティブマトリクス基板1014が製造される。

[0216] アクティブマトリクス基板 1014 では、上部ゲート電極 10a とゲートバスライン GL とを一体的に形成しているが、図 16 (a) ~ (c) に示すように、下部ゲート電極 3a とゲートバスライン GL とを一体的に形成してもよい。また、図 17 (a) ~ (c) に示すように、ゲート接続部 C を、下部透明電極 15 と同じ透明導電膜（第 1 の透明導電膜）を用いて形成してもよい。あるいは、図 18 (a) ~ (c) に示すように、上部透明電極 19 と同じ透明導電膜（第 2 の透明導電膜）を用いてゲート接続部 C を形成してもよい。図示しないが、ソース用導電膜、第 1 の透明導電膜および第 2 の透明導電膜のうち 2 以上の導電膜を用いてゲート接続部 C を形成してもよい。これらのアクティブマトリクス基板の製造方法は、ゲートコンタクト部 30 に設ける開口部の数および配置は異なるが、変形例 1 ~ 5 のアクティブマトリクス基板と同様の方法で製造され得る。なお、これらのアクティブマトリクス基板でも、酸化物半導体膜のオーバーエッチングを利用して、より確実に、酸化物半導体層 7 とゲート接続部 C とを電氣的に分離することが好ましい。

[0217] なお、図示していないが、ゲートバスライン GL は、上部ゲート層 10 および下部ゲート層 3 のいずれとも異なる層内に形成されていてもよい。その場合、ゲートバスライン GL は、ゲート接続部 C と一体的に形成されていてもよい。

[0218] （第 3 の実施形態）

以下、図面を参照しながら、本発明による半導体装置の第 3 の実施形態を説明する。本実施形態の半導体装置は、同一基板上に形成された酸化物半導体 TFT と結晶質シリコン TFT とを備えるアクティブマトリクス基板である。

[0219] アクティブマトリクス基板は、画素毎に TFT（画素 TFT）を備えている。画素 TFT としては、例えば $In-Ga-Zn-O$ 系の半導体膜を活性層とする酸化物半導体 TFT が用いられる。

[0220] 画素 TFT と同一基板上に、周辺駆動回路の一部または全体を一体的に形

成することもある。このようなアクティブマトリクス基板は、ドライバモノリシックのアクティブマトリクス基板と呼ばれる。ドライバモノリシックのアクティブマトリクス基板では、周辺駆動回路は、複数の画素を含む領域（表示領域）以外の領域（非表示領域または額縁領域）に設けられる。周辺駆動回路を構成するＴＦＴ（回路用ＴＦＴ）は、例えば、多結晶シリコン膜を活性層とした結晶質シリコンＴＦＴが用いられる。このように、画素ＴＦＴとして酸化物半導体ＴＦＴを用い、回路用ＴＦＴとして結晶質シリコンＴＦＴを用いると、表示領域では消費電力を低くすることが可能となり、さらに、額縁領域を小さくすることが可能となる。

[0221] 画素ＴＦＴとして、上記実施形態のアクティブマトリクス基板１００１～アクティブマトリクス基板１０１７を参照しながら上述したＴＦＴ１０１、１０２を適用することが可能である。この点については後述する。

[0222] 次に、本実施形態のアクティブマトリクス基板のより具体的な構成を、図面を用いて説明する。

[0223] 図２０Ａは、アクティブマトリクス基板７００における結晶質シリコンＴＦＴ（以下、「第１薄膜トランジスタ」と称する。）７１０Ａおよび酸化物半導体ＴＦＴ（以下、「第２薄膜トランジスタ」と称する。）７１０Ｂの断面構造を示す断面図である。

[0224] 図１を参照しながら前述したように、アクティブマトリクス基板７００は、複数の画素を含む表示領域ＤＲと、表示領域ＤＲ以外の領域（非表示領域）ＦＲとを有している。非表示領域ＦＲは、駆動回路が設けられる駆動回路形成領域を含んでいる。駆動回路形成領域には、例えばゲートドライバ回路ＧＤ、検査回路、ＳＳＤ回路などが設けられている。表示領域ＤＲには、行方向に延びる複数のゲートバスラインＧＬと、列方向に延びる複数のソースバスラインＳＬとが形成されている。図示していないが、各画素は、例えばゲートバスラインＧＬおよびソースバスラインＳＬで規定されている。ゲートバスラインＧＬは、それぞれ、ゲートドライバ回路の各端子に接続されている。ソースバスラインＳＬは、それぞれ、アクティブマトリクス基板７０

0に実装されるドライバICの各端子に接続されている。

[0225] 図20Aに示すように、アクティブマトリクス基板700において、表示領域DRの各画素には画素TF Tとして第2薄膜トランジスタ710Bが形成され、駆動回路形成領域FRには回路TF Tとして第1薄膜トランジスタ710Aが形成されている。

[0226] アクティブマトリクス基板700は、基板711と、基板711の表面に形成された下地膜712と、下地膜712上に形成された第1薄膜トランジスタ710Aと、下地膜712上に形成された第2薄膜トランジスタ710Bとを備えている。第1薄膜トランジスタ710Aは、結晶質シリコンを主として含む活性領域を有する結晶質シリコンTF Tである。第2薄膜トランジスタ710Bは、酸化物半導体を主として含む活性領域を有する酸化物半導体TF Tである。第1薄膜トランジスタ710Aおよび第2薄膜トランジスタ710Bは、基板711に一体的に作り込まれている。ここでいう「活性領域」とは、TF Tの活性層となる半導体層のうちチャネルが形成される領域を指すものとする。

[0227] 第1薄膜トランジスタ710Aは、下地膜712上に形成された結晶質シリコン半導体層（例えば低温ポリシリコン層）713と、結晶質シリコン半導体層713を覆う第1の絶縁層714と、第1の絶縁層714上に設けられたゲート電極715Aとを有している。第1の絶縁層714のうち結晶質シリコン半導体層713とゲート電極715Aとの間に位置する部分は、第1薄膜トランジスタ710Aのゲート絶縁膜として機能する。結晶質シリコン半導体層713は、チャネルが形成される領域（活性領域）713cと、活性領域の両側にそれぞれ位置するソース領域713sおよびドレイン領域713dとを有している。この例では、結晶質シリコン半導体層713のうち、第1の絶縁層714を介してゲート電極715Aと重なる部分が活性領域713cとなる。第1薄膜トランジスタ710Aは、また、ソース領域713sおよびドレイン領域713dにそれぞれ接続されたソース電極718sおよびドレイン電極718dを有している。ソースおよびドレイン電

極 718sA、718dAは、ゲート電極 715Aおよび結晶質シリコン半導体層 713を覆う層間絶縁膜（ここでは、第2の絶縁層 716）上に設けられ、層間絶縁膜に形成されたコンタクトホール内で結晶質シリコン半導体層 713と接続されていてもよい。

[0228] 第2薄膜トランジスタ 710Bは、下地膜 712上に設けられた下部ゲート電極 715Bと、下部ゲート電極 715Bを覆う第2の絶縁層 716と、第2の絶縁層 716上に配置された酸化物半導体層 717とを有している。下部ゲート電極 715Bは、金属層であってもよいし、結晶質シリコン半導体層 713と同じ膜から形成されたポリシリコン層であってもよい。第1薄膜トランジスタ 710Aのゲート絶縁膜である第1の絶縁層 714が、第2薄膜トランジスタ 710Bを形成しようとする領域まで延設されていてもよい。この場合には、酸化物半導体層 717は、第1の絶縁層 714上に形成されていてもよい。酸化物半導体層 717上には、第4の絶縁層 729を介して上部ゲート電極 730が配置されている。第4の絶縁層 729は、酸化物半導体層 717と上部ゲート電極 730との間にのみ配置されていてもよい。第2の絶縁層 716のうち下部ゲート電極 715Bと酸化物半導体層 717との間に位置する部分、および、第4の絶縁層 729は、第2薄膜トランジスタ 710Bのゲート絶縁膜として機能する。

[0229] 酸化物半導体層 717は、チャネルが形成される領域（活性領域） 717cと、活性領域の両側にそれぞれ位置するソースコンタクト領域 717sおよびドレインコンタクト領域 717dを有している。この例では、酸化物半導体層 717のうち、第2の絶縁層 716を介して下部ゲート電極 715Bまたは上部ゲート電極 730と重なる部分が活性領域 717cとなる。また、第2薄膜トランジスタ 710Bは、ソースコンタクト領域 717sおよびドレインコンタクト領域 717dにそれぞれ接続されたソース電極 718sBおよびドレイン電極 718dBをさらに有している。なお、基板 711上に下地膜 712を設けない構成も可能である。

[0230] 薄膜トランジスタ 710A、710Bは、パッシベーション膜 719およ

び平坦化膜 720 で覆われている。画素 T F T として機能する第 2 薄膜トランジスタ 710 B では、下部ゲート電極 715 B または上部ゲート電極 730 はゲートバスライン（図示せず）に接続されている。ソース電極 718 s B はソースバスライン（図示せず）、ドレイン電極 718 d B は画素電極 723 に接続されている。この例では、ドレイン電極 718 d B は、パッシベーション膜 719 および平坦化膜 720 に形成された開口部内で、対応する画素電極 723 と接続されている。ソース電極 718 s B にはソースバスラインを介してビデオ信号が供給され、ゲートバスラインからのゲート信号に基づいて画素電極 723 に必要な電荷が書き込まれる。

[0231] なお、図示するように、平坦化膜 720 上にコモン電極として透明導電層 721 が形成され、透明導電層（コモン電極）721 と画素電極 723 との間に第 3 の絶縁層 722 が形成されていてもよい。この場合、画素電極 723 にスリット状の開口が設けられていてもよい。このようなアクティブマトリクス基板 700 は、例えば F F S モードの表示装置に適用され得る。

[0232] 本実施形態の第 2 薄膜トランジスタ 710 B として、第 1 および第 2 の実施形態における T F T 101 または T F T 102 を用いることができる。T F T 101、102 を適用する場合、T F T 101、102 における下部ゲート電極 3 a、下部絶縁層 5、酸化物半導体層 7、ソースおよびドレイン電極 8 S、8 D、上部絶縁層 9 および上部ゲート電極 10 a を、それぞれ、図 20 A に示す下部ゲート電極 715 B、第 2 の絶縁層（ゲート絶縁層）716、酸化物半導体層 717、ソースおよびドレイン電極 718 s B、718 d B、第 4 の絶縁層 729、上部ゲート電極 730 に対応させてもよい。

[0233] 図示する例では、第 1 薄膜トランジスタ 710 A は、ゲート電極 715 A と基板 711（下地膜 712）との間に結晶質シリコン半導体層 713 が配置されたトップゲート構造を有している。一方、第 2 薄膜トランジスタ 710 B は、酸化物半導体層 717 を挟んで下部ゲート電極 715 B および上部ゲート電極 730 が配置されたダブルゲート構造を有している。

[0234] 第 1 薄膜トランジスタ 710 A および第 2 薄膜トランジスタ 710 B の T

F T構造は上記に限定されない。第1薄膜トランジスタ710Aはボトムゲート構造を有していてもよい。ボトムゲート構造の場合、薄膜トランジスタ710Bのようにチャネルエッチ型でもよいし、エッチストップ型でもよい。また、ソース電極およびドレイン電極が半導体層の下方に位置するボトムコンタクト型でもよい。あるいは、薄膜トランジスタ710Aは、薄膜トランジスタ710Bと同様のダブルゲート構造を有していてもよい。

[0235] 第2薄膜トランジスタ710Bのゲート絶縁膜である第2の絶縁層716は、第1薄膜トランジスタ710Aが形成される領域まで延設され、第1薄膜トランジスタ710Aのゲート電極715Aおよび結晶質シリコン半導体層713を覆う層間絶縁膜として機能してもよい。このように第1薄膜トランジスタ710Aの層間絶縁膜と第2薄膜トランジスタ710Bのゲート絶縁膜とが同一の層（第2の絶縁層）716内に形成されている場合、第2の絶縁層716は積層構造を有していてもよい。例えば、第2の絶縁層716は、水素を供給可能な水素供与性の層（例えば窒化珪素層）と、水素供与性の層上に配置された、酸素を供給可能な酸素供与性の層（例えば酸化珪素層）とを含む積層構造を有していてもよい。

[0236] 第1薄膜トランジスタ710Aのソースおよびドレイン電極718sA、718dAと、第2薄膜トランジスタ710Bのソースおよびドレイン電極718sB、718dBとは、同一の層内に形成されていてもよい。また、図20Aに例示するように、第1薄膜トランジスタ710Aの結晶質シリコン半導体層713Aと、第2薄膜トランジスタ710Bの下部ゲート電極715Bとは同一層内に形成されていてもよい。「同一層内に形成されている」とは、同一の膜（導電膜）を用いて形成されていることをいう。これにより、製造工程数および製造コストの増加を抑制できる。

[0237] なお、図20Bに例示するように、第1薄膜トランジスタ710Aのゲート電極715Aと、第2薄膜トランジスタ710Bの下部ゲート電極715Bとを、同一層内に形成してもよい。この場合、酸化物半導体層717とパッシベーション膜719との間に、第4の絶縁層729、上部ゲート電極7

30および第5の絶縁層724が設けられてもよい。

[0238] (酸化物半導体について)

上述した全ての実施形態において、酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0239] 酸化物半導体層は、2層以上の積層構造を有していてもよい。酸化物半導体層が積層構造を有する場合には、酸化物半導体層は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きいてもよい。

[0240] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0241] 酸化物半導体層は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等

を含む。このような酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む酸化物半導体膜から形成され得る。なお、 In-Ga-Zn-O 系の半導体等、酸化物半導体を含む活性層を有するチャネルエッチ型のTFTを、「CE-OS-TFT」と呼ぶことがある。

[0242] In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0243] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（ $\alpha\text{-SiTFT}$ に比べ20倍超）および低いリーク電流（ $\alpha\text{-SiTFT}$ に比べ100分の1未満）を有しているので、駆動TFT（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれるTFT）および画素TFT（画素に設けられるTFT）として好適に用いられる。

[0244] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでもよい。例えば In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ； InSnZnO ）を含んでもよい。 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体などを含んでもよい。

産業上の利用可能性

[0245] 本発明の実施形態は、酸化物半導体 T F T を有する種々の半導体装置に広く適用され得る。例えばアクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（E L）表示装置および無機エレクトロルミネセンス表示装置、M E M S 表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置、指紋読み取り装置、半導体メモリ等の種々の電子装置にも適用される。特に、高精細な液晶表示装置に好適に適用される。

符号の説明

[0246] 1	: 基板
3	: 下部ゲート層
3 a	: 下部ゲート電極
3 e	: 下部ゲート延設部
5	: 下部絶縁層
7	: 酸化物半導体層
7 a	: 活性領域
7 e	: 延設領域
7 c	: チャネル領域
7 d	: ドレインコンタクト領域
7 s	: ソースコンタクト領域
8 D	: ドレイン電極
8 S	: ソース電極
8 g、8 g 1、8 g 2	: 接続部
9	: 上部絶縁層
1 0	: 上部ゲート層
1 0 a	: 上部ゲート電極
1 0 e	: 上部ゲート延設部
1 1	: 第 1 無機絶縁層

1 1 p、1 1 q、1 1 r	: 開口部
1 2	: 第 2 無機絶縁層
1 3	: 層間絶縁層
1 3 m、1 3 p、1 3 q	: 開口部
1 5	: 下部透明電極
1 5 a	: 透明接続部
1 5 g、1 5 g 1、1 5 g 2	: 接続部
1 5 p	: 開口部
1 6	: 有機絶縁層
1 7	: 誘電体層
1 7 m、1 7 p、1 7 q	: 開口部
1 9	: 上部透明電極
1 9 g	: 接続部
2 1	: 空気層
3 0	: ゲートコンタクト部
3 1	: ゲートコンタクト部の第 1 部分
3 2	: ゲートコンタクト部の第 2 部分
1 0 0 1 ~ 1 0 1 7	: アクティブマトリクス基板
C	: ゲート接続部
C 1 ~ C 5	: 接続部
C E	: 共通電極
C H 1	: コンタクトホール
C H 2	: コンタクトホール
C H d	: ドレイン開口部
C H s	: ソース開口部
C H p	: 画素コンタクトホール
P E	: 画素電極
P I X	: 画素領域

GL : ゲートバスライン

SL : ソースバスライン

請求の範囲

- [請求項1] 複数の画素領域を含む表示領域を有するアクティブマトリクス基板であって、
- 基板と、前記基板に支持された複数のゲートバスラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体 T F T とを備え、
- 前記複数の画素領域のそれぞれは、
- 前記基板に支持された下部絶縁層と、
- 前記下部絶縁層上に配置された酸化物半導体層であって、前記酸化物半導体 T F T の活性領域を含む酸化物半導体層と、
- 前記酸化物半導体層の一部上に、前記下部絶縁層と接しないように配置された上部絶縁層と、
- 前記上部絶縁層上に配置された上部ゲート層であって、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の一部と重なる上部ゲート電極と、前記上部ゲート電極と一体的に形成された前記複数のゲートバスラインの 1 つとを含む、上部ゲート層と、
- 前記酸化物半導体層の前記活性領域と接するソース電極およびドレイン電極と
- を有し、
- 前記酸化物半導体層は、前記基板の法線方向から見たとき、前記活性領域から前記酸化物半導体 T F T のチャネル長方向とは異なる方向に延びる延設領域をさらに有し、
- 前記延設領域は、前記複数のゲートバスラインの前記 1 つの前記基板側に、前記上部絶縁層を介して配置され、かつ、前記複数のゲートバスラインの前記 1 つと重なるように延びる部分を含む、アクティブマトリクス基板。
- [請求項2] 前記酸化物半導体層において、前記延設領域は、前記複数のゲートバスラインの前記 1 つと重なるように、前記複数の画素領域のうち隣

接する2つの画素領域における前記活性領域を繋ぐように延びている、請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記複数のゲートバスラインの前記1つの下面の略全体は前記上部絶縁層と接し、前記上部絶縁層の下面の略全体は前記酸化物半導体層と接している、請求項1または2に記載のアクティブマトリクス基板。

[請求項4] 前記複数の画素領域のそれぞれは、
前記基板と前記下部絶縁層との間に配置された下部ゲート層と、
前記下部ゲート層と前記上部ゲート層とを電氣的に接続するゲートコンタクト部と

をさらに備え、

前記下部ゲート層は、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の少なくとも一部と重なる下部ゲート電極と、前記下部ゲート電極から前記ゲートコンタクト部まで延びる下部ゲート延設部とを含み、

前記酸化物半導体層の前記延設領域は、前記ゲートコンタクト部において、前記上部ゲート層の前記基板側に、前記上部絶縁層を介して配置された部分を含む、請求項1から3のいずれかに記載のアクティブマトリクス基板。

[請求項5] 複数の画素領域を含む表示領域を有するアクティブマトリクス基板であって、

基板と、前記基板に支持された複数のゲートバスラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体TFTとを備え、

前記複数の画素領域のそれぞれは、

前記基板に支持され、下部ゲート電極を含む下部ゲート層と、

前記下部ゲート層を覆う下部絶縁層と、

前記下部絶縁層上に配置され、前記酸化物半導体TFTの活性領

域を含む酸化物半導体層であって、前記基板の法線方向から見たとき、前記活性領域の少なくとも一部は、前記下部ゲート層と重なる、酸化物半導体層と、

前記酸化物半導体層の一部上に、前記下部絶縁層と接しないように配置された上部絶縁層と、

前記上部絶縁層上に配置された上部ゲート層と、

前記酸化物半導体層の前記活性領域と接するソース電極およびドレイン電極と、

前記下部ゲート層と前記上部ゲート層とを電氣的に接続するゲートコンタクト部と

を有し、

前記上部ゲート層は、前記基板の法線方向から見たとき、前記酸化物半導体層の前記活性領域の一部と重なる上部ゲート電極と、前記上部ゲート電極から前記ゲートコンタクト部まで延びる上部ゲート延設部とを含み、

前記酸化物半導体層は、前記基板の法線方向から見たとき、前記活性領域から前記酸化物半導体 T F T のチャネル長方向とは異なる方向に延びる延設領域をさらに有し、

前記延設領域は、前記ゲートコンタクト部において、前記上部ゲート延設部の前記基板側に、前記上部絶縁層を介して配置された部分を含む、アクティブマトリクス基板。

[請求項6] 前記下部ゲート層は、前記下部ゲート電極と一体的に形成された前記複数のゲートバスラインの1つを含む、請求項5に記載のアクティブマトリクス基板。

[請求項7] 前記ゲートコンタクト部は、前記上部ゲート層よりも上層に設けられたゲート接続部を含み、

前記ゲートコンタクト部は、

前記上部ゲート層の一部を露出する第1開口部内で、前記ゲート

接続部と前記上部ゲート層とを接続する第 1 部分と、

前記下部ゲート層の一部を露出する第 2 開口部内で、前記ゲート接続部と前記下部ゲート層とを接続する第 2 部分と

を有し、

前記第 1 部分と前記第 2 部分とは離間して配置されている、請求項 4 から 6 のいずれかに記載のアクティブマトリクス基板。

[請求項 8] 前記基板の法線方向から見たとき、前記ゲート接続部は、前記下部ゲート層と重なるように前記第 1 部分から前記第 2 部分に延びている、請求項 7 に記載のアクティブマトリクス基板。

[請求項 9] 前記基板の法線方向から見たとき、前記第 1 部分は前記下部ゲート層と重ならないように配置されている、請求項 7 に記載のアクティブマトリクス基板。

[請求項 10] 前記ゲートコンタクト部は、前記上部ゲート層よりも上層に設けられたゲート接続部を含み、

前記ゲート接続部は、前記上部ゲート層の一部および前記下部ゲート層の一部を露出する単一の開口部内で、前記上部ゲート層および前記下部ゲート層と接する、請求項 4 から 6 のいずれかに記載のアクティブマトリクス基板。

[請求項 11] 前記酸化物半導体層の前記延設領域の周縁は、前記上部ゲート層の周縁よりも内側に位置しており、

前記単一の開口部内において、前記ゲート接続部は、前記上部ゲート層および前記上部絶縁層の側面と接し、かつ、前記酸化物半導体層の前記延設領域の側面と接していない、請求項 10 に記載のアクティブマトリクス基板。

[請求項 12] 前記ゲート接続部は、前記ソース電極と同じ導電膜を用いて形成されている、請求項 7 から 11 のいずれかに記載のアクティブマトリクス基板。

[請求項 13] 前記複数の画素領域のそれぞれは、前記酸化物半導体 TFT の上に

絶縁膜を介して配置された透明電極をさらに備え、

前記ゲート接続部は、前記透明電極と同じ導電膜を用いて形成されている、請求項 7 から 12 のいずれかに記載のアクティブマトリクス基板。

[請求項14] 前記酸化物半導体層は、 In-Ga-Zn-O 系半導体を含む、請求項 1 から 13 のいずれかに記載のアクティブマトリクス基板。

[請求項15] 前記 In-Ga-Zn-O 系半導体は結晶質部分を含む、請求項 14 に記載のアクティブマトリクス基板。

[請求項16] 複数の画素領域を含む表示領域を有し、前記表示領域に配置された複数のゲートバスラインおよび複数のソースバスラインと、前記複数の画素領域のそれぞれに配置された酸化物半導体 TFT とを備えるアクティブマトリクス基板の製造方法であって、

(A) 基板上に下部絶縁層を形成する工程と、

(B) 前記下部絶縁層上に、酸化物半導体膜、上部絶縁膜および上部ゲート用導電膜をこの順で形成する工程と、

(C) 第 1 のマスクを用いて前記上部ゲート用導電膜のパターニングを行い、前記酸化物半導体 TFT の上部ゲート電極を含む上部ゲート層を形成する工程と、

(D) 前記第 1 のマスクまたは前記上部ゲート層をマスクとして、前記上部絶縁膜のパターニングを行って上部絶縁層を形成する工程と、

(E) 前記工程 (D) の後で、前記第 1 のマスクとは異なる第 2 のマスクおよび前記上部ゲート層をマスクとして、前記酸化物半導体膜のパターニングを行い、前記酸化物半導体 TFT の活性領域を含む酸化物半導体層を形成する工程と、

を包含するアクティブマトリクス基板の製造方法。

[請求項17] 前記工程 (A) の前に行われ、前記基板上に、前記酸化物半導体 TFT の下部ゲート電極を含む下部ゲート層を形成する工程と、

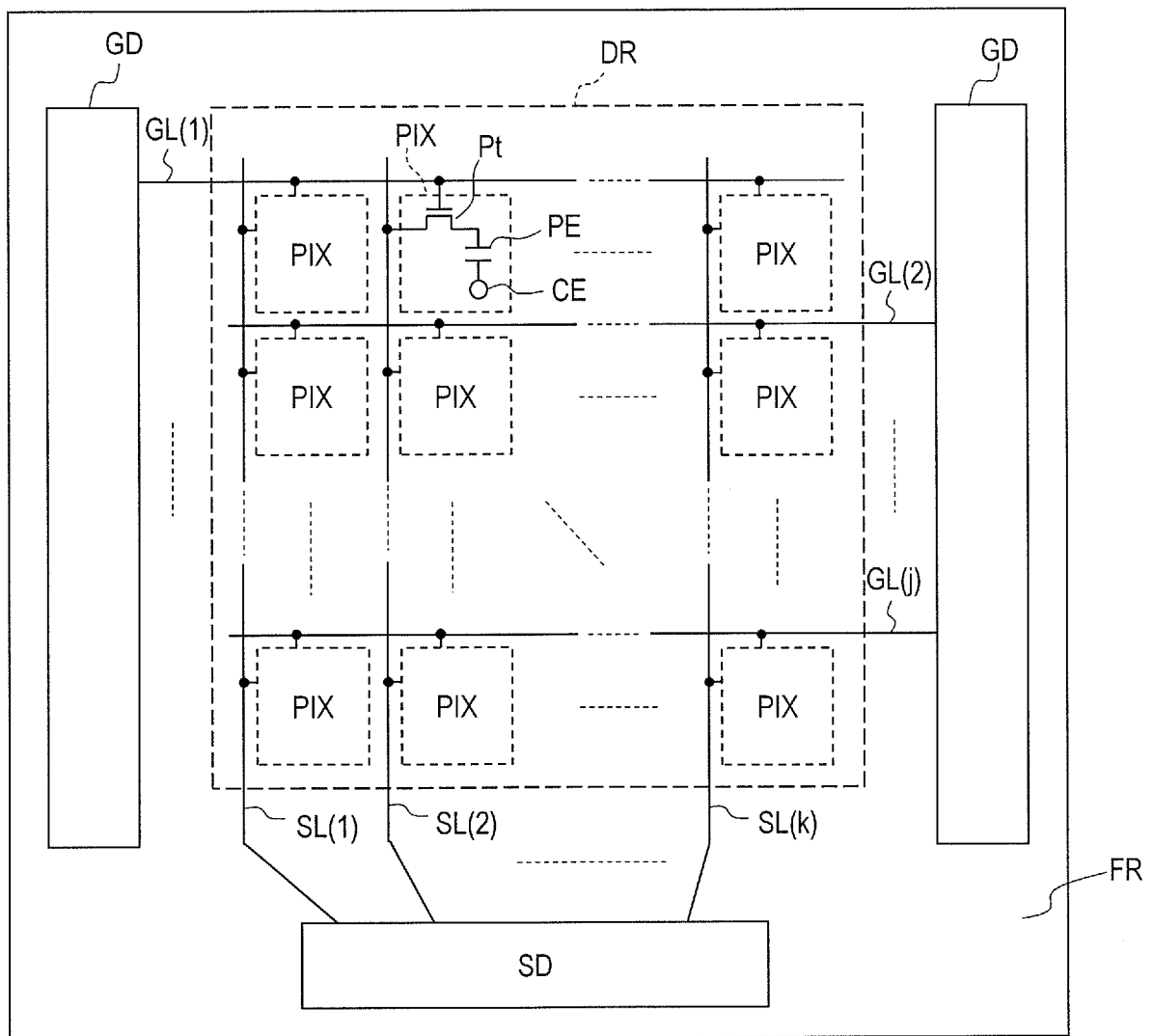
前記工程（E）の後に行われ、前記上部ゲート層と前記下部ゲート層とを電氣的に接続するゲートコンタクト部を形成する工程とをさらに包含する、請求項 16 に記載のアクティブマトリクス基板の製造方法。

[請求項18] 前記上部ゲート層または前記下部ゲート層は、前記複数のゲートバスラインの 1 つを含む、請求項 17 に記載のアクティブマトリクス基板の製造方法。

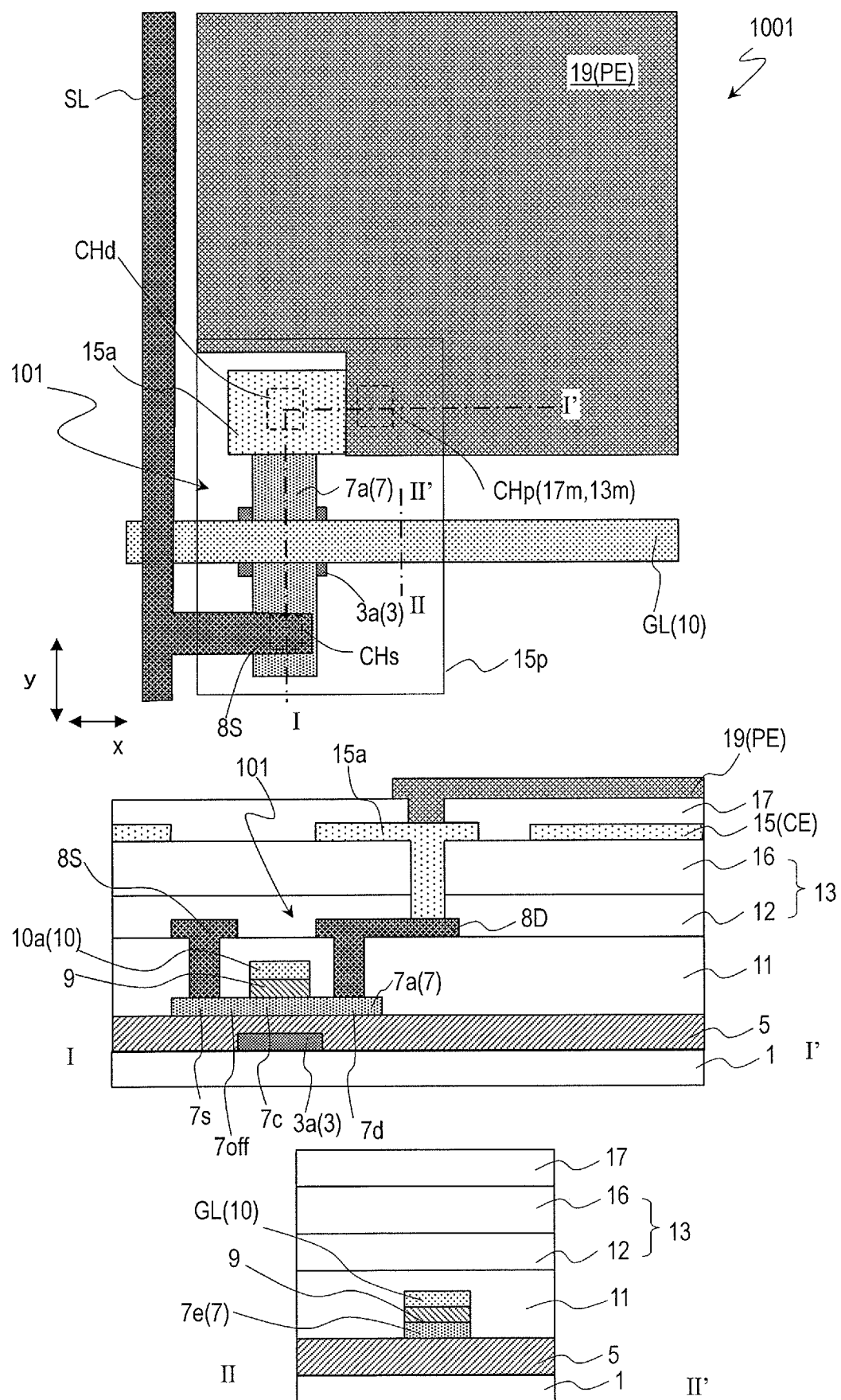
[請求項19] 前記工程（E）において、前記基板の法線方向から見たとき、前記酸化物半導体膜が前記上部ゲート層の周縁よりも内側までエッチングされるような条件で、前記酸化物半導体膜のパターニングを行う、請求項 16 から 18 のいずれかに記載のアクティブマトリクス基板の製造方法。

[請求項20] 前記酸化物半導体膜は、 In-Ga-Zn-O 系半導体を含む、請求項 16 から 19 のいずれかに記載のアクティブマトリクス基板の製造方法。

[図1]

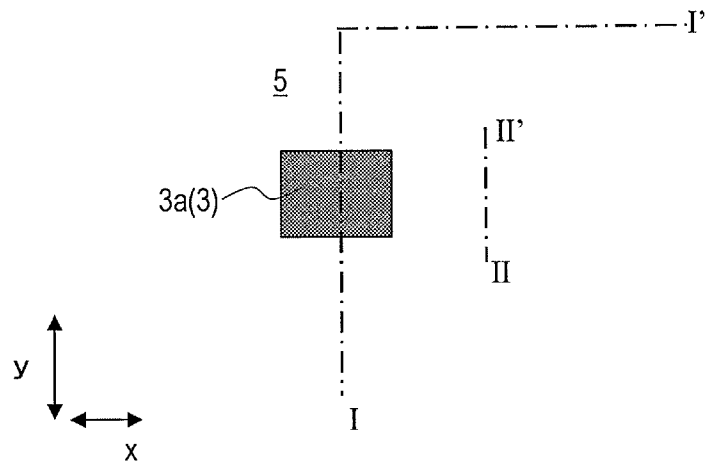


(a)

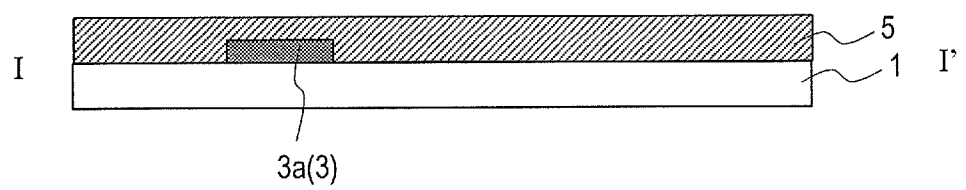


[図2B]

(a)



(b)

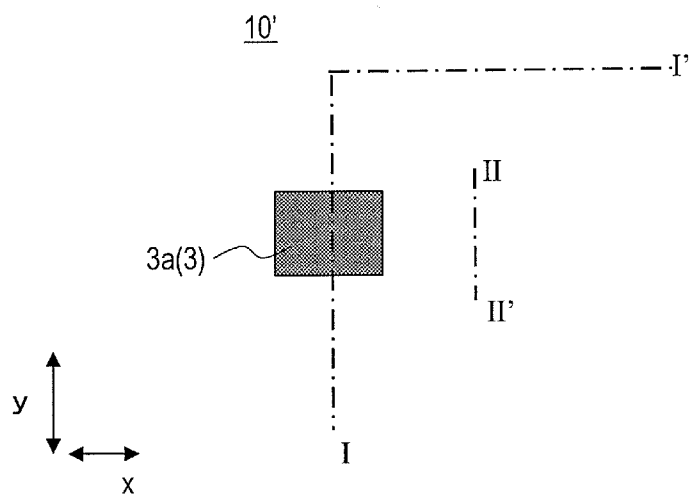


(c)

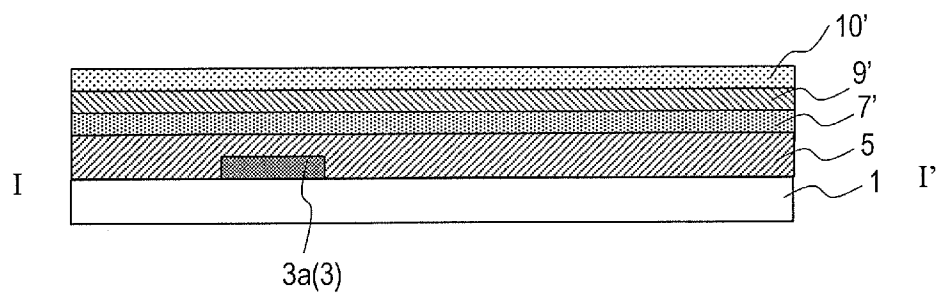


[図2C]

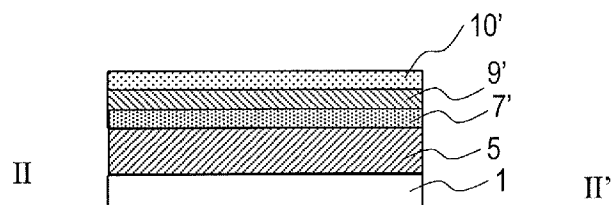
(a)



(b)

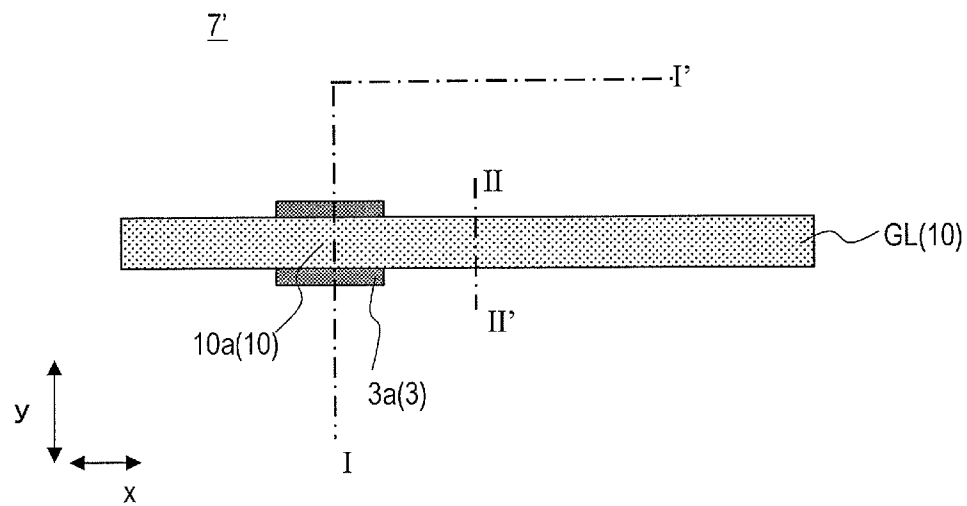


(c)

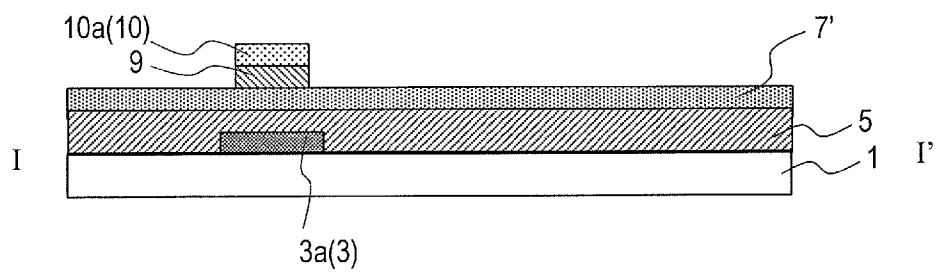


[図2D]

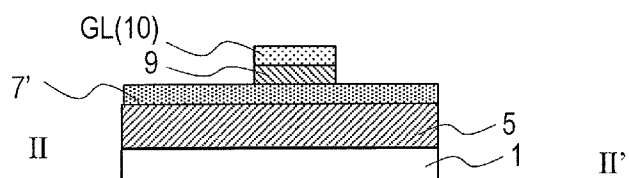
(a)



(b)

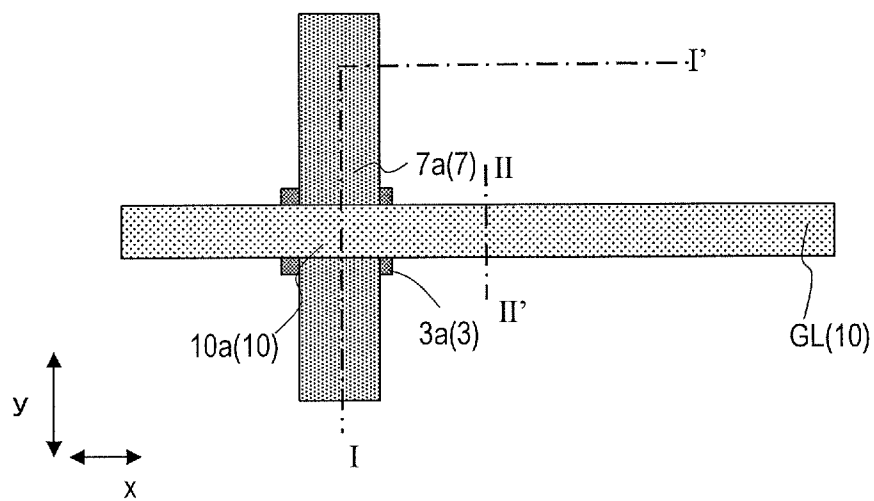


(c)

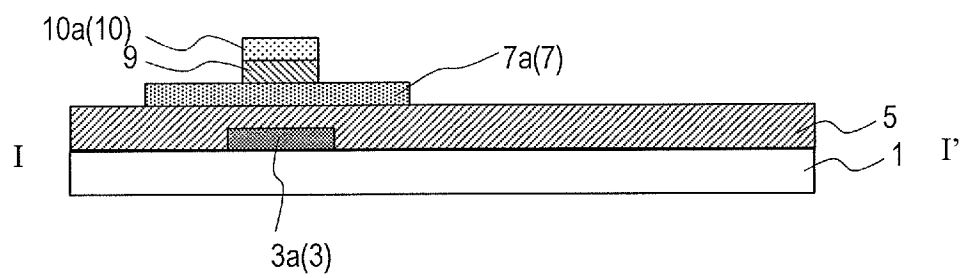


[図2E]

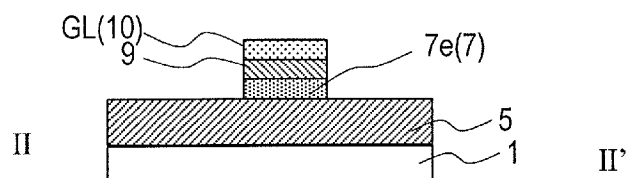
(a)



(b)

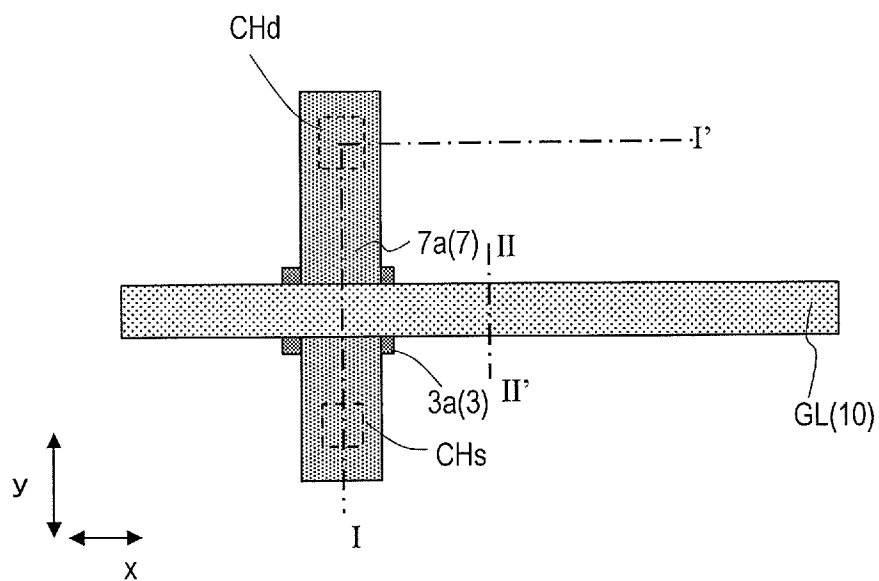


(c)

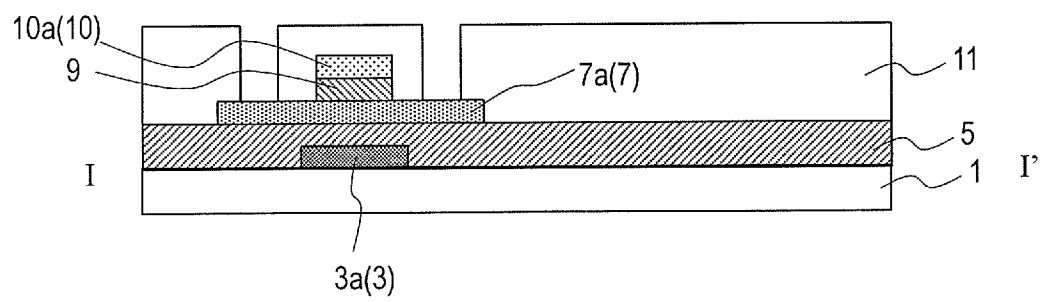


[図2F]

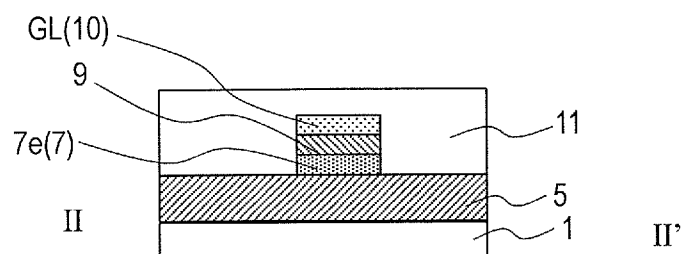
(a)



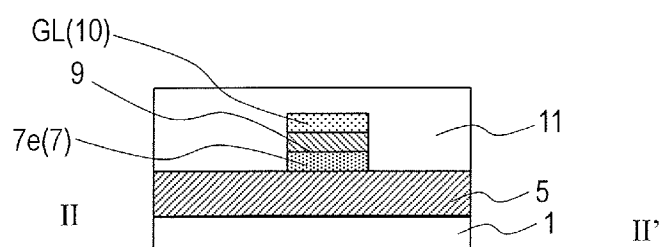
(b)



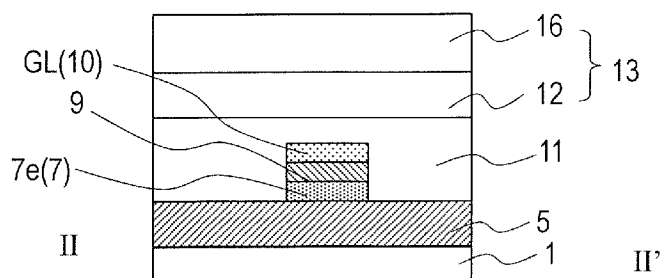
(c)



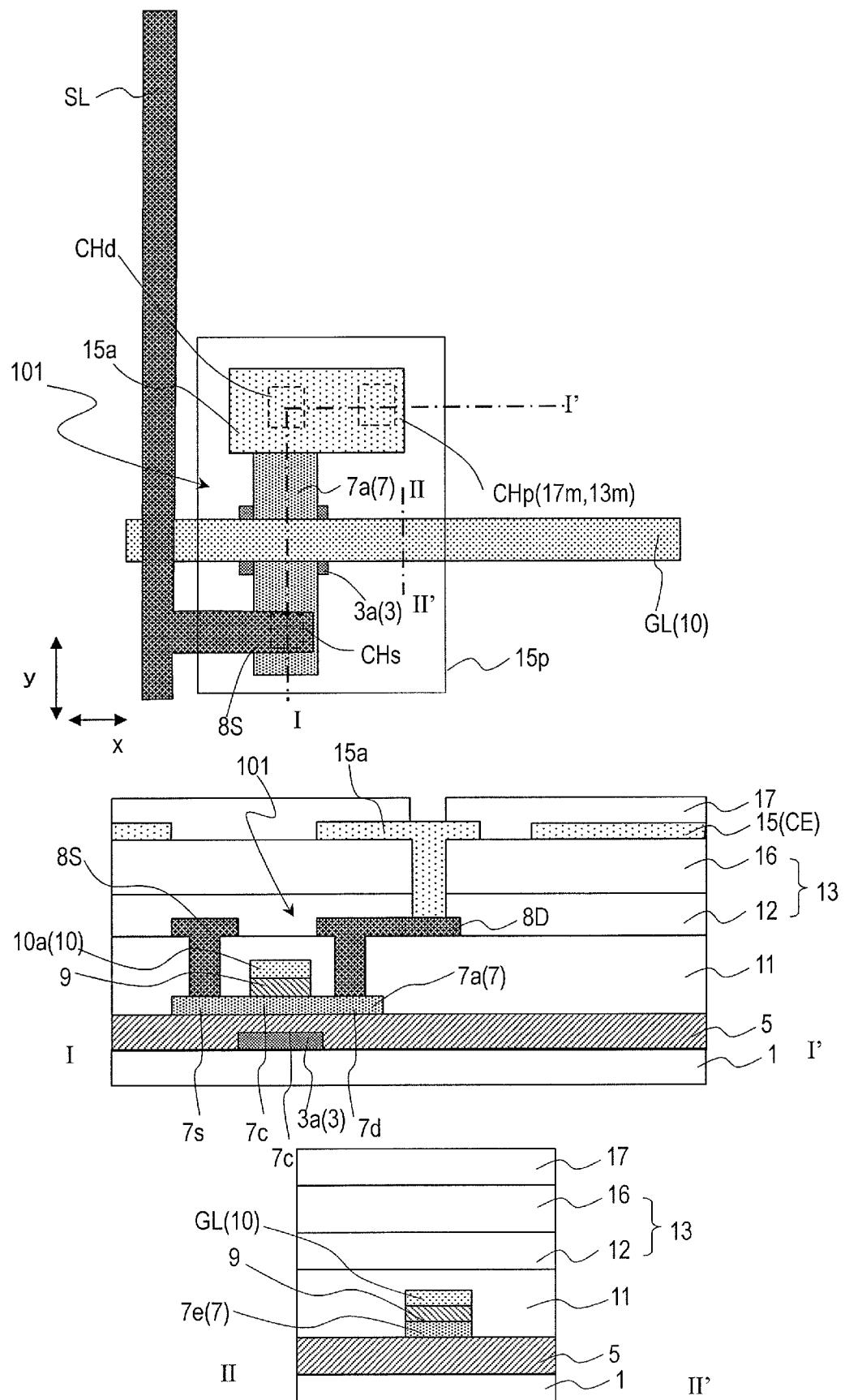
(a)



(a)

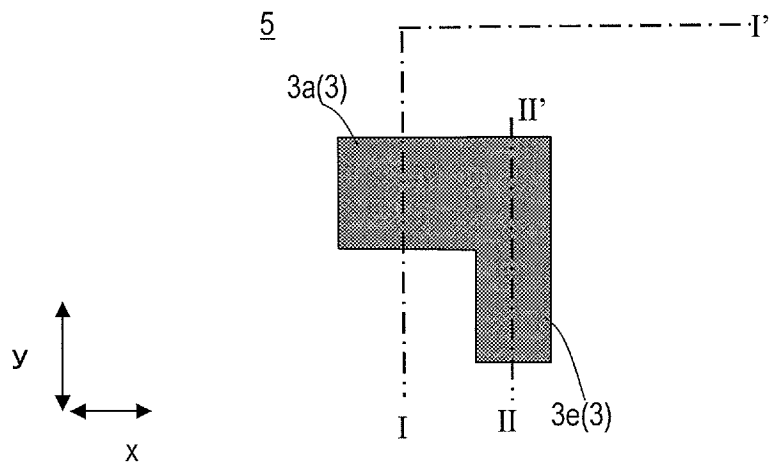


(a)

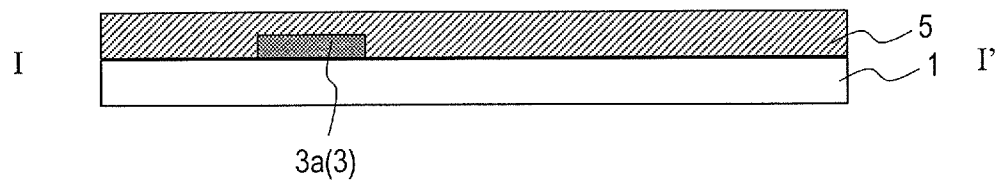


[図3B]

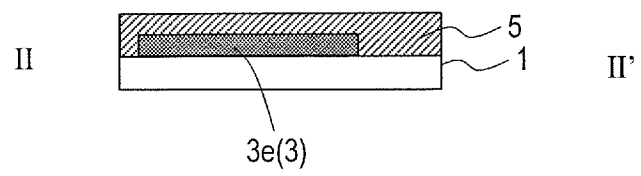
(a)



(b)

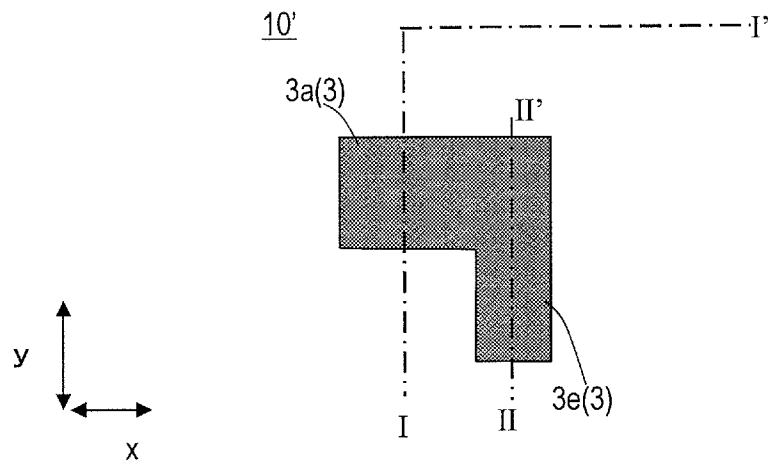


(c)

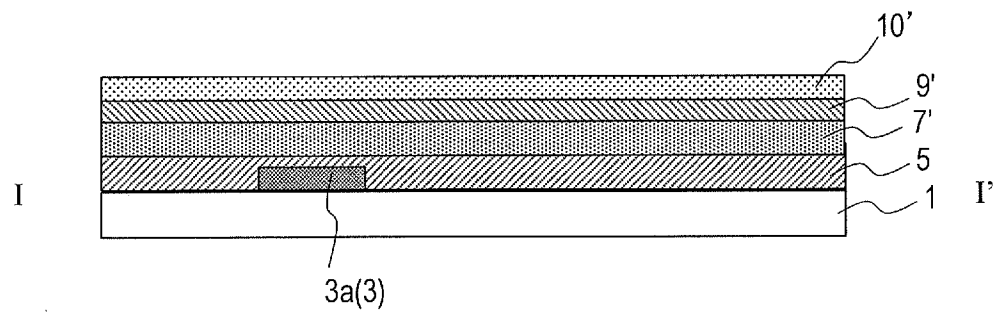


[図3C]

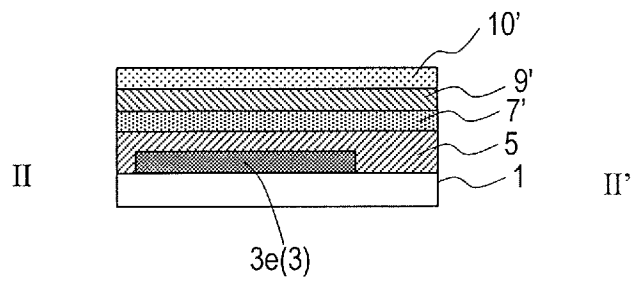
(a)



(b)

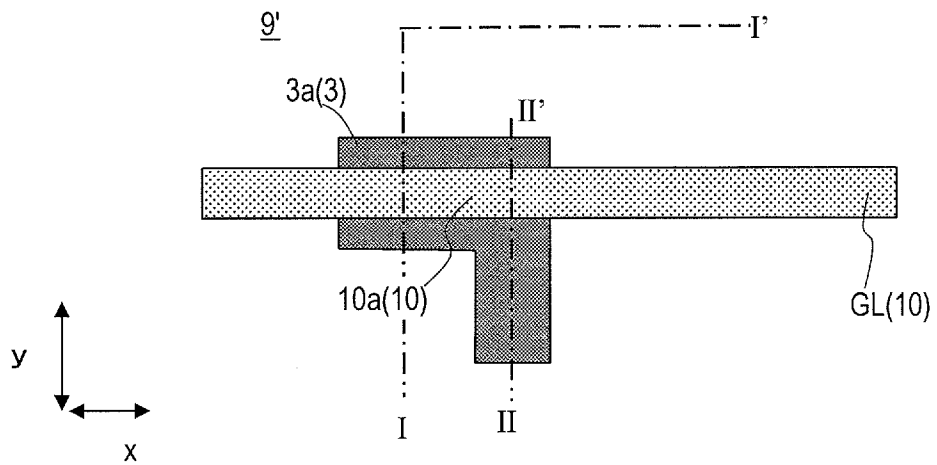


(c)

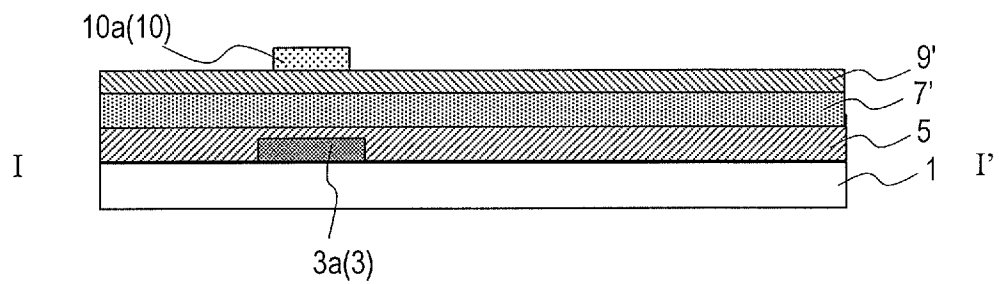


[図3D]

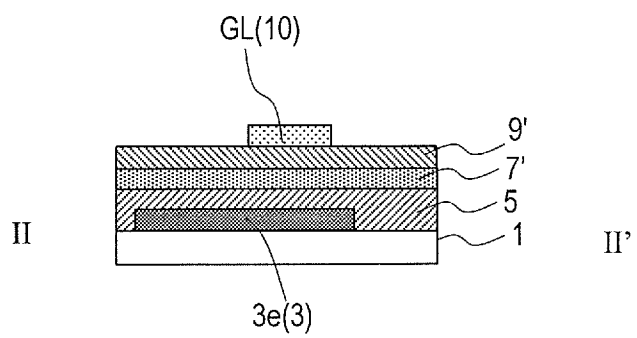
(a)



(b)

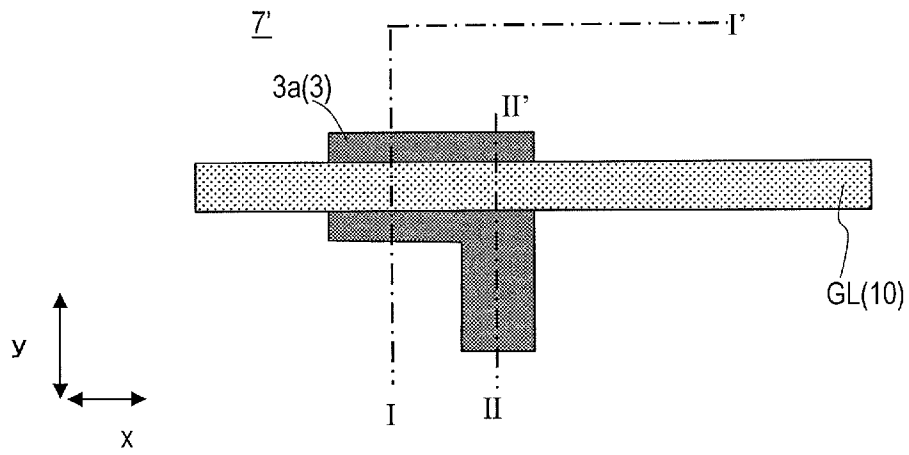


(c)

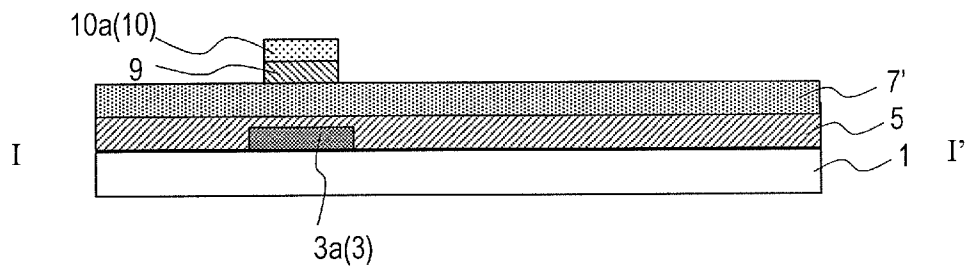


[図3E]

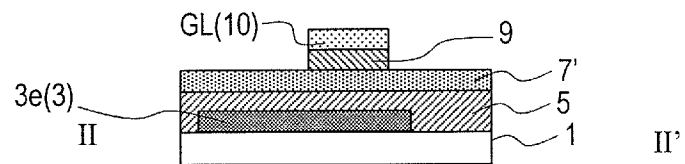
(a)



(b)

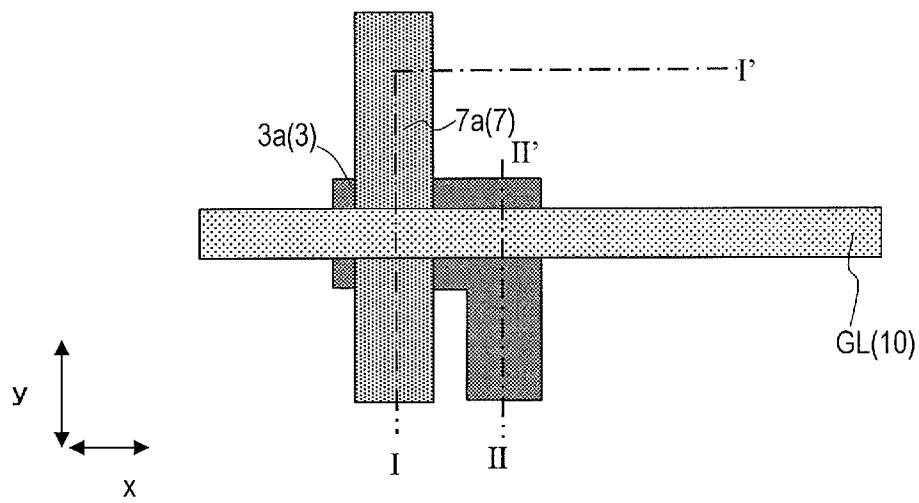


(c)

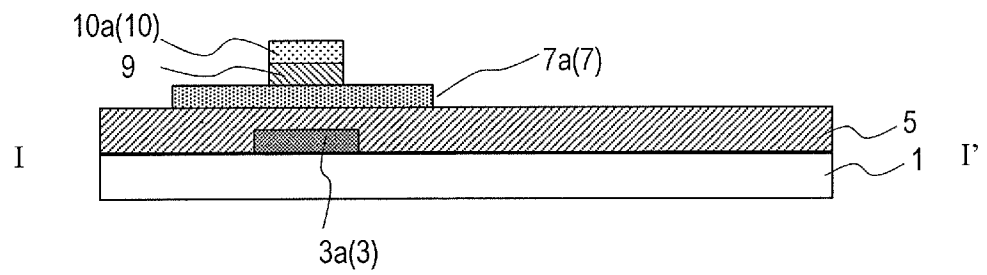


[図3F]

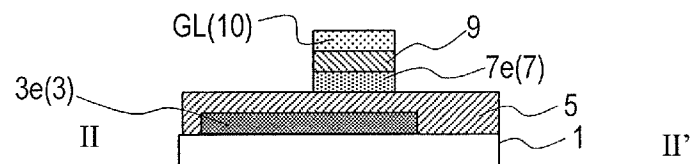
(a)



(b)

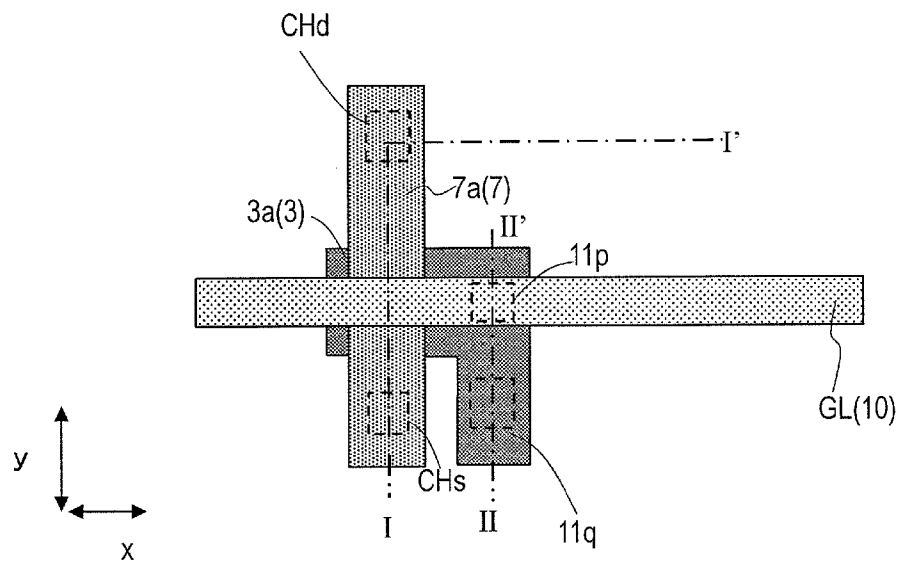


(c)

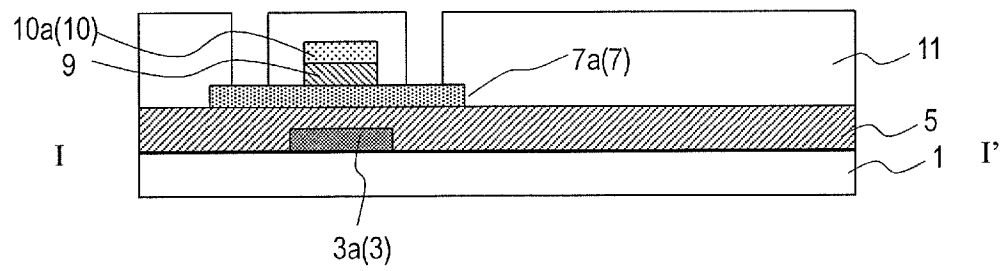


[図3G]

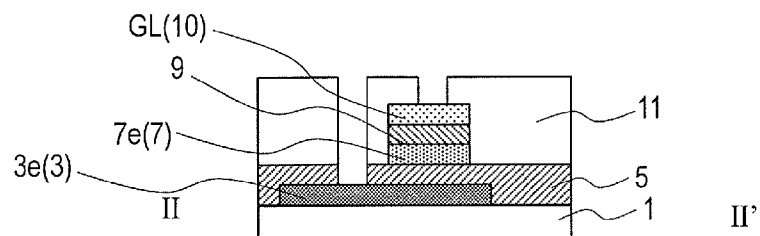
(a)



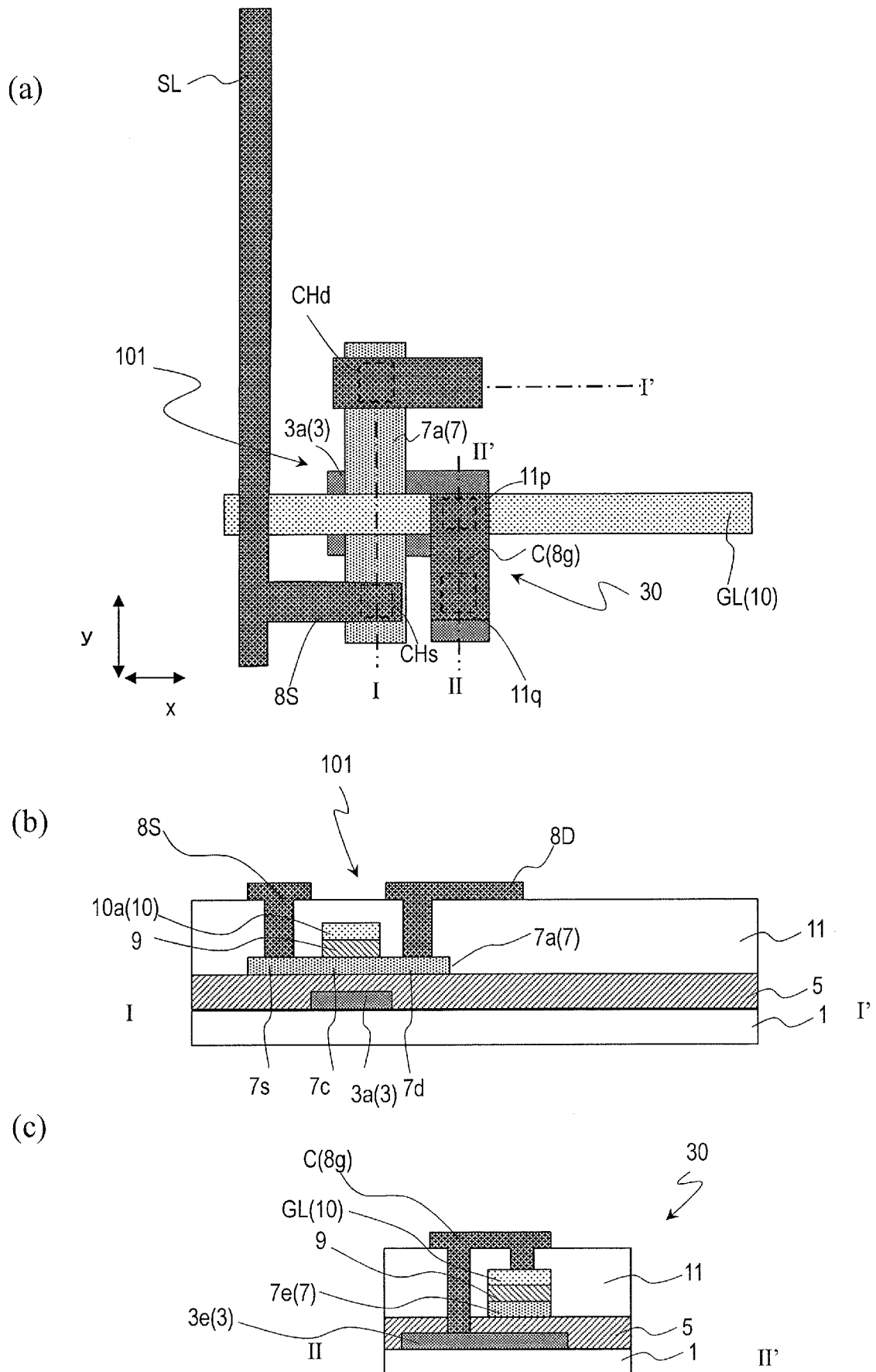
(b)



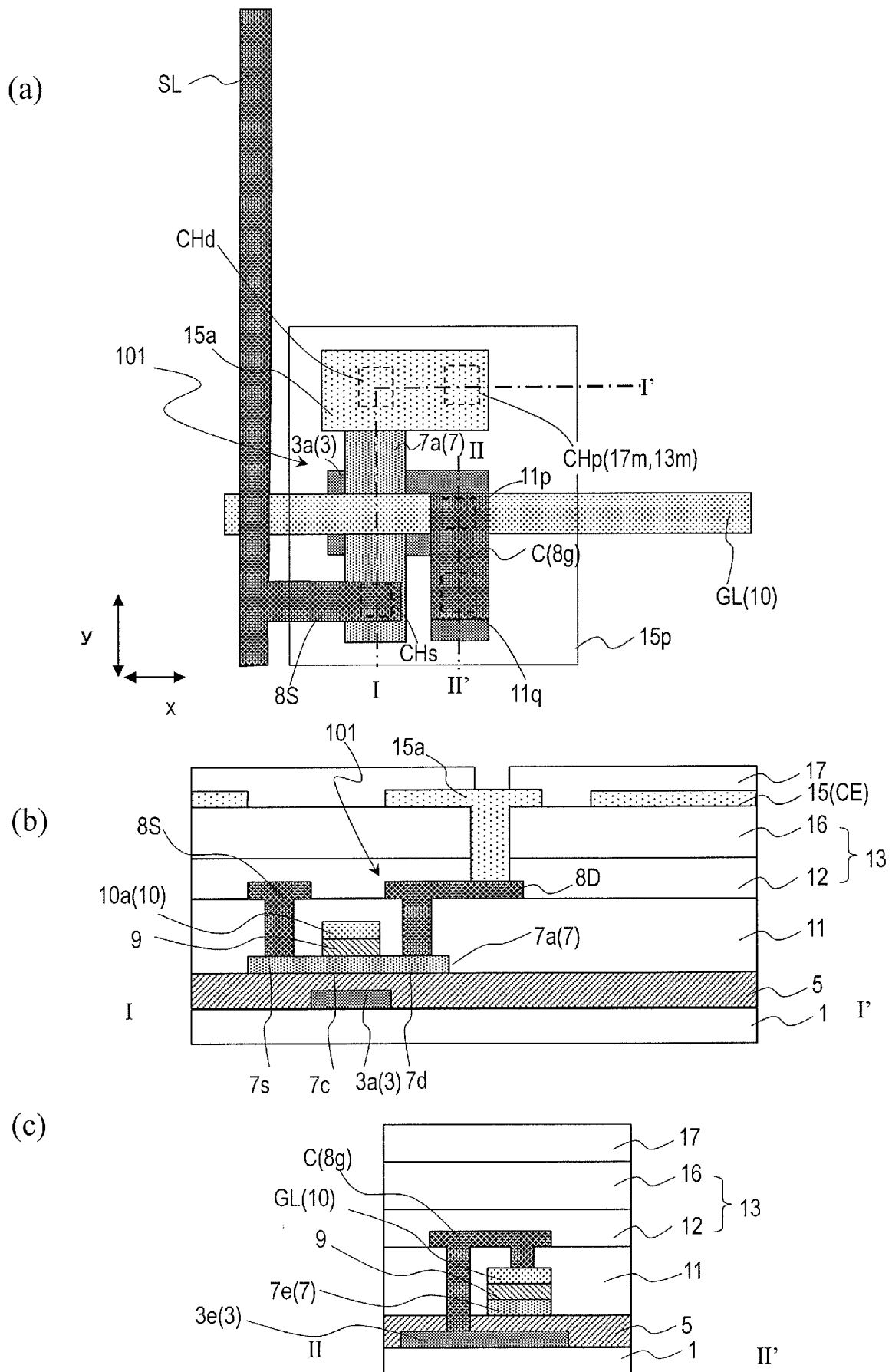
(c)



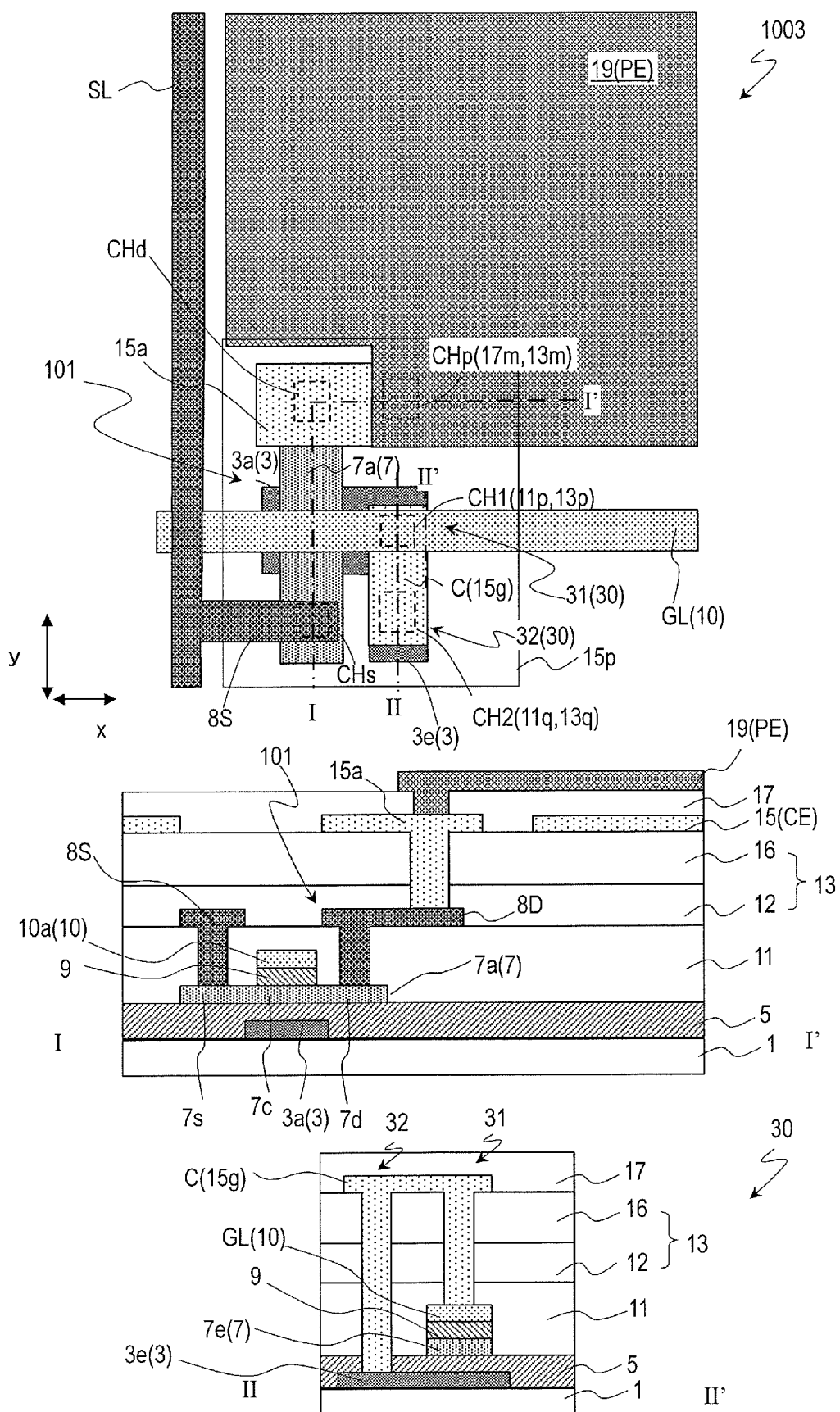
[図3H]



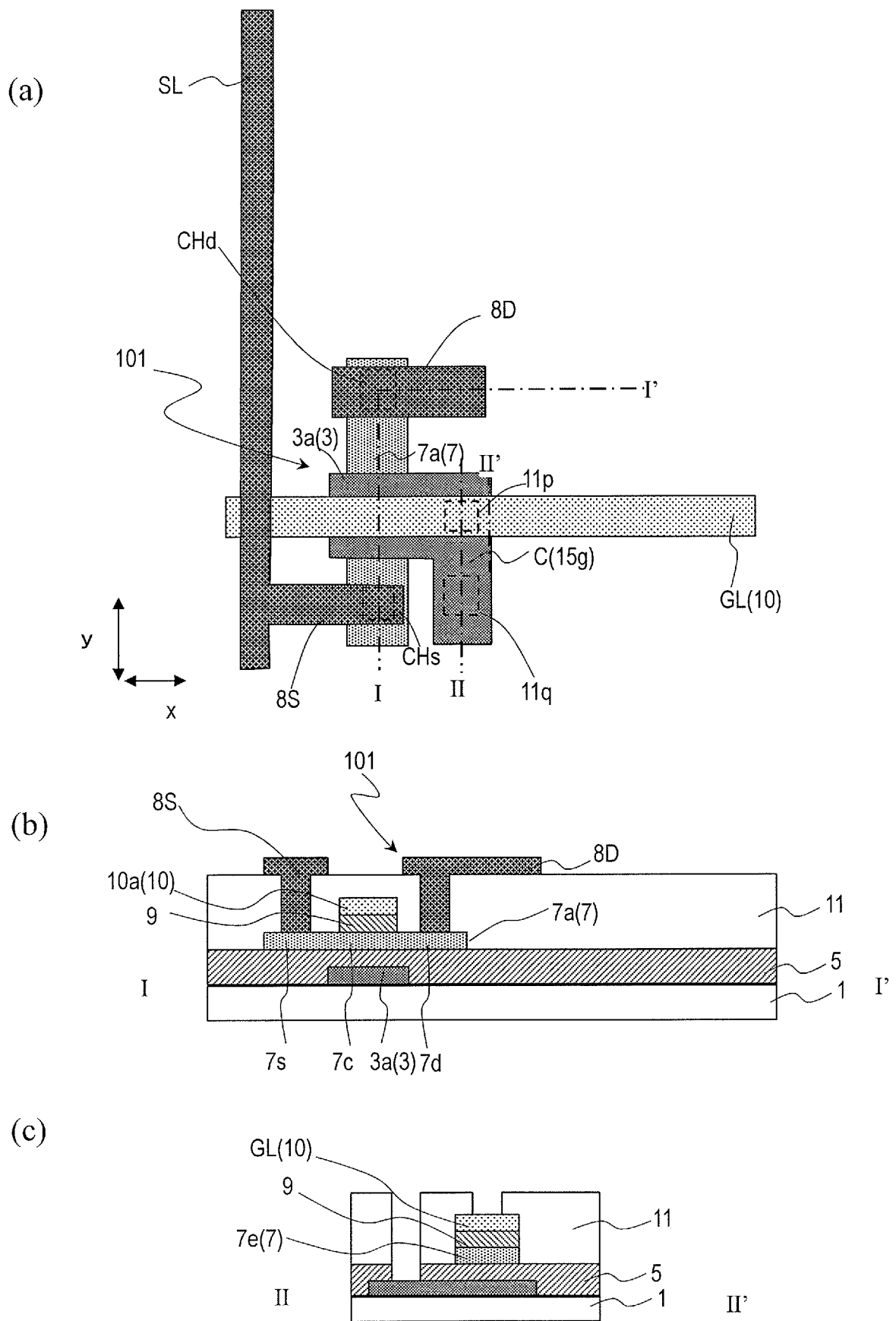
[図3J]



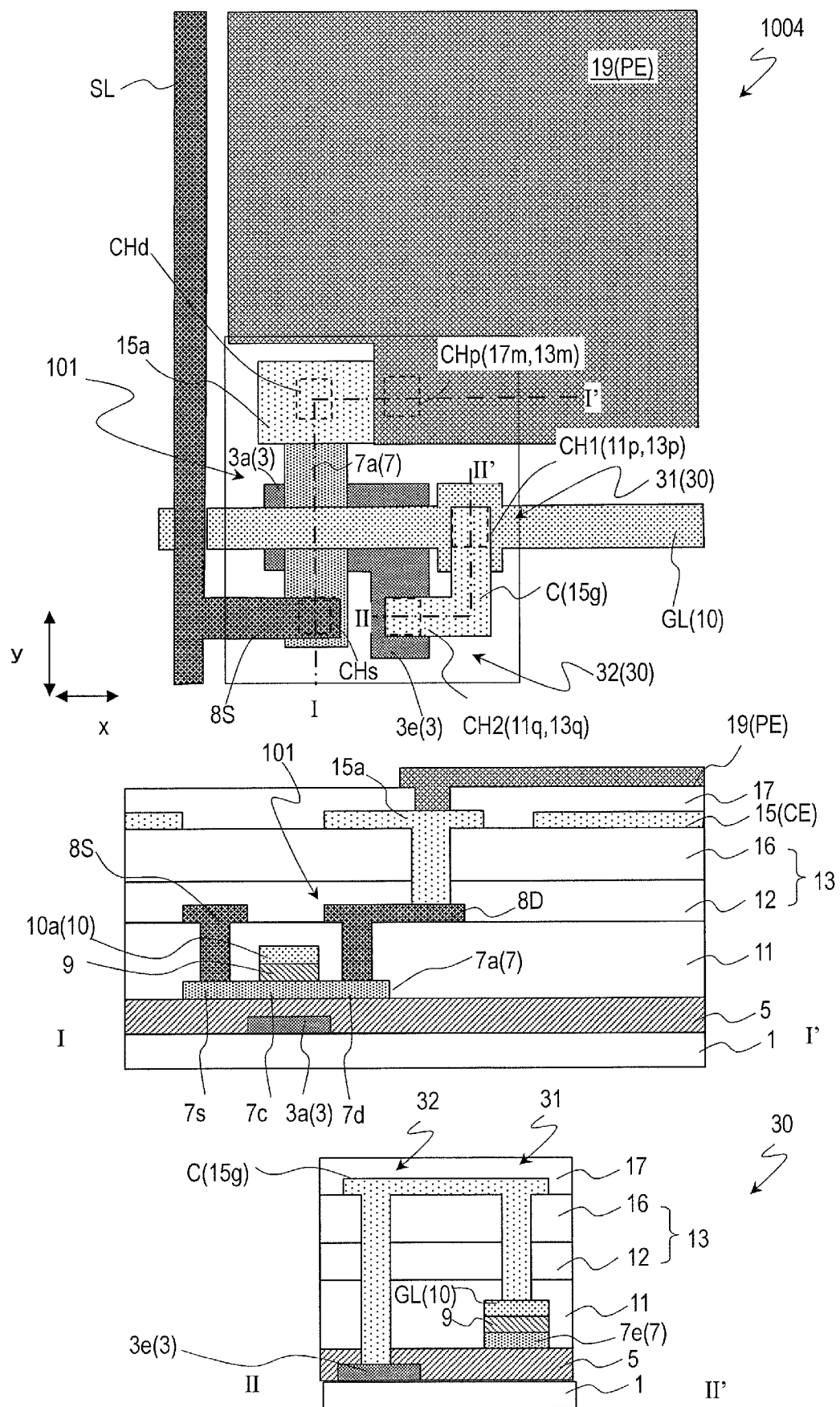
(a)



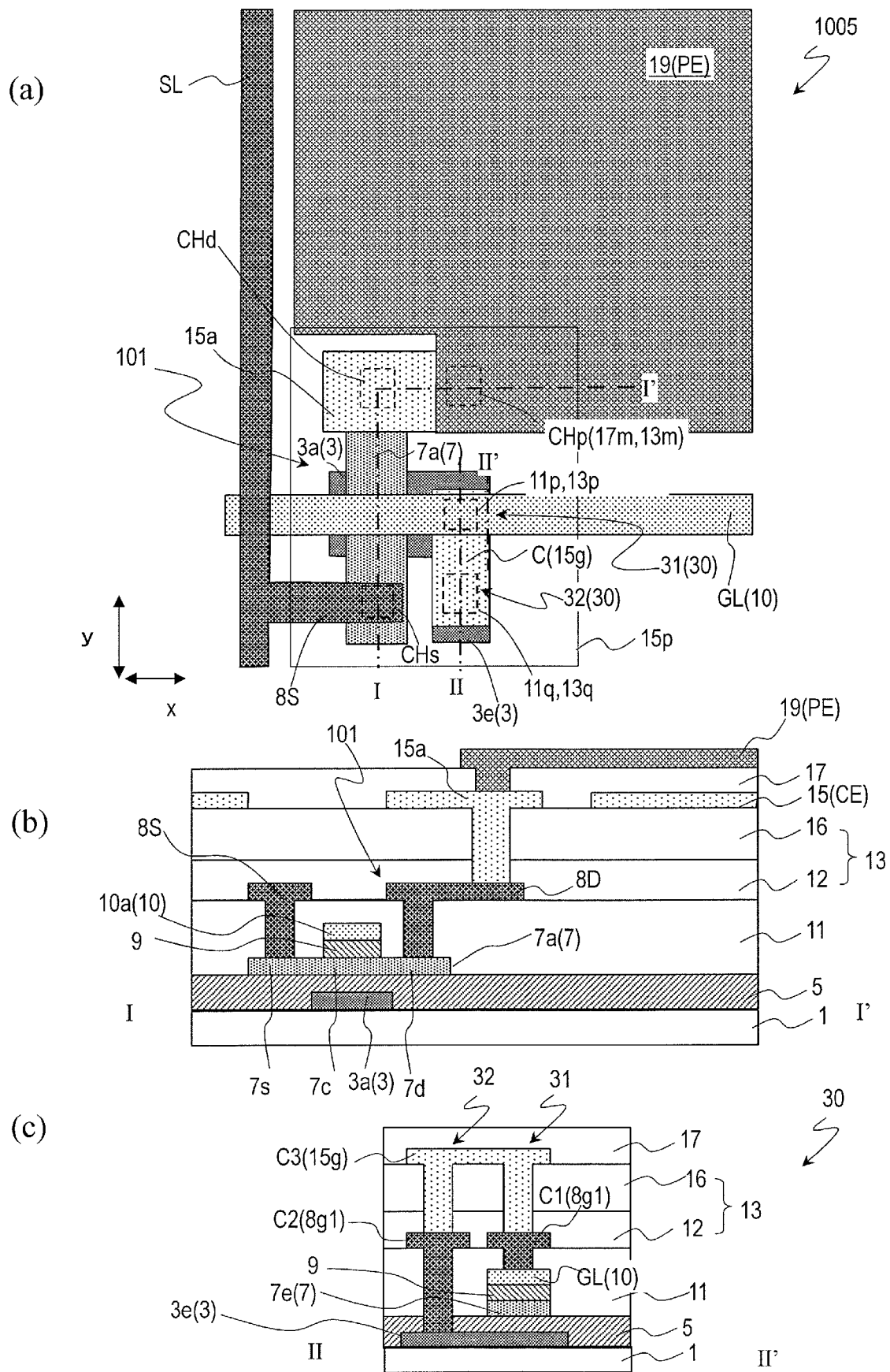
[図4B]



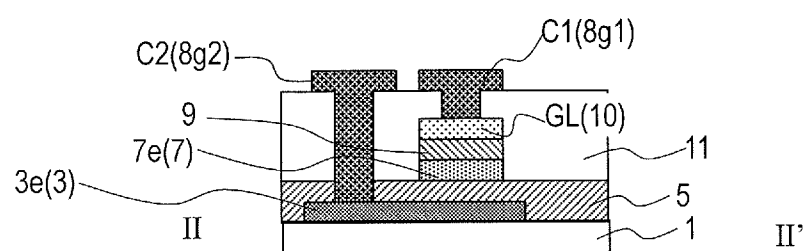
(a)



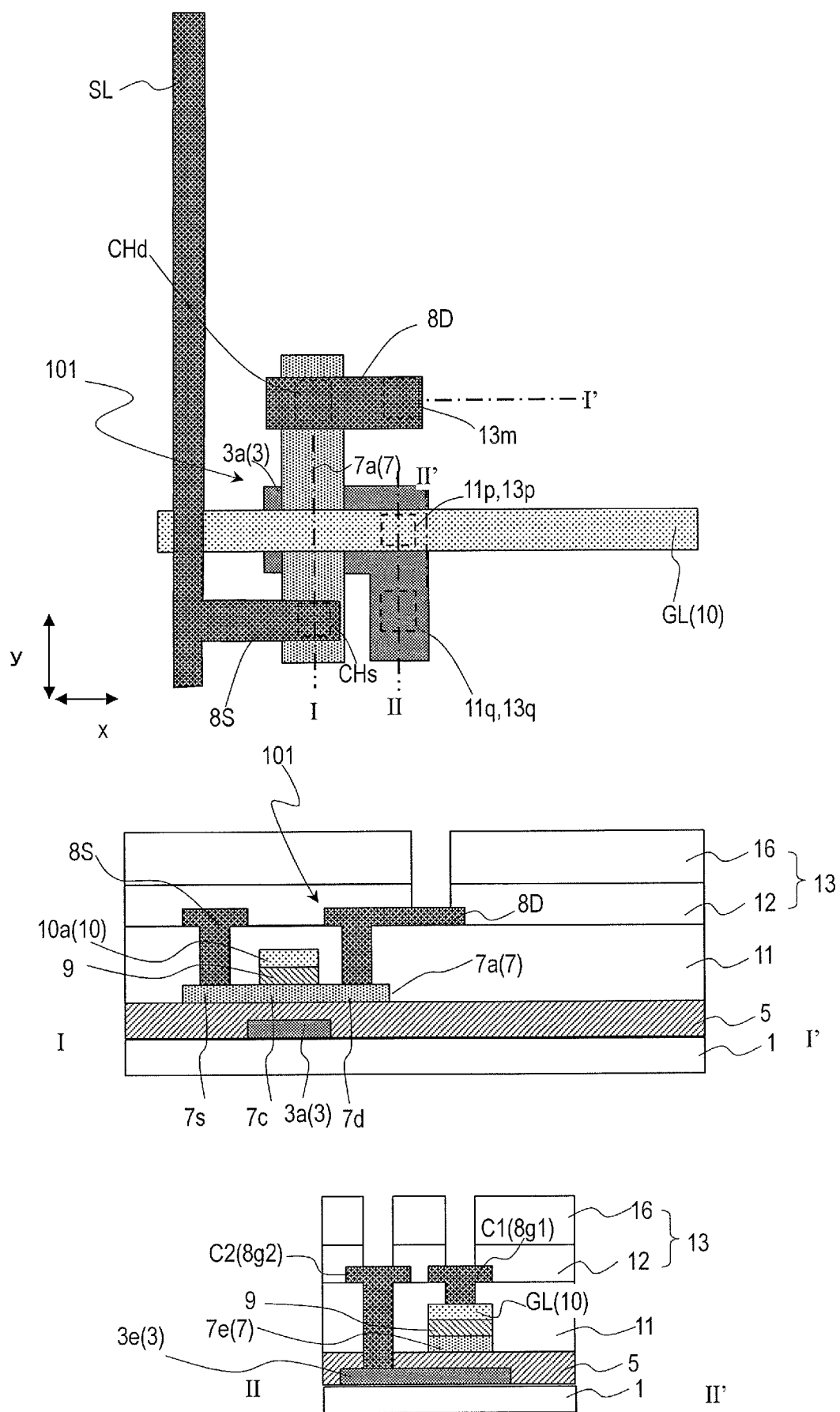
[図6A]



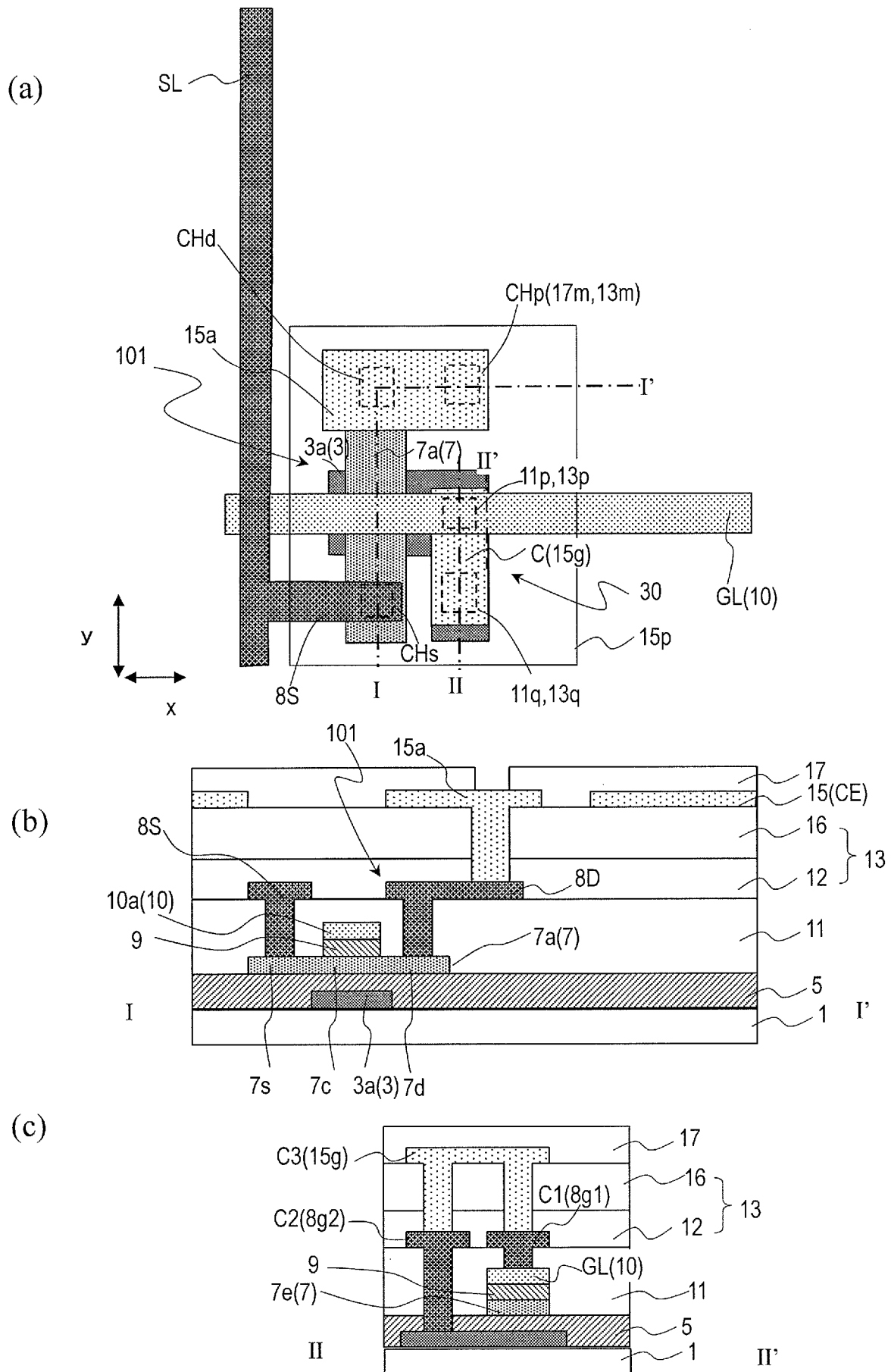
(a)



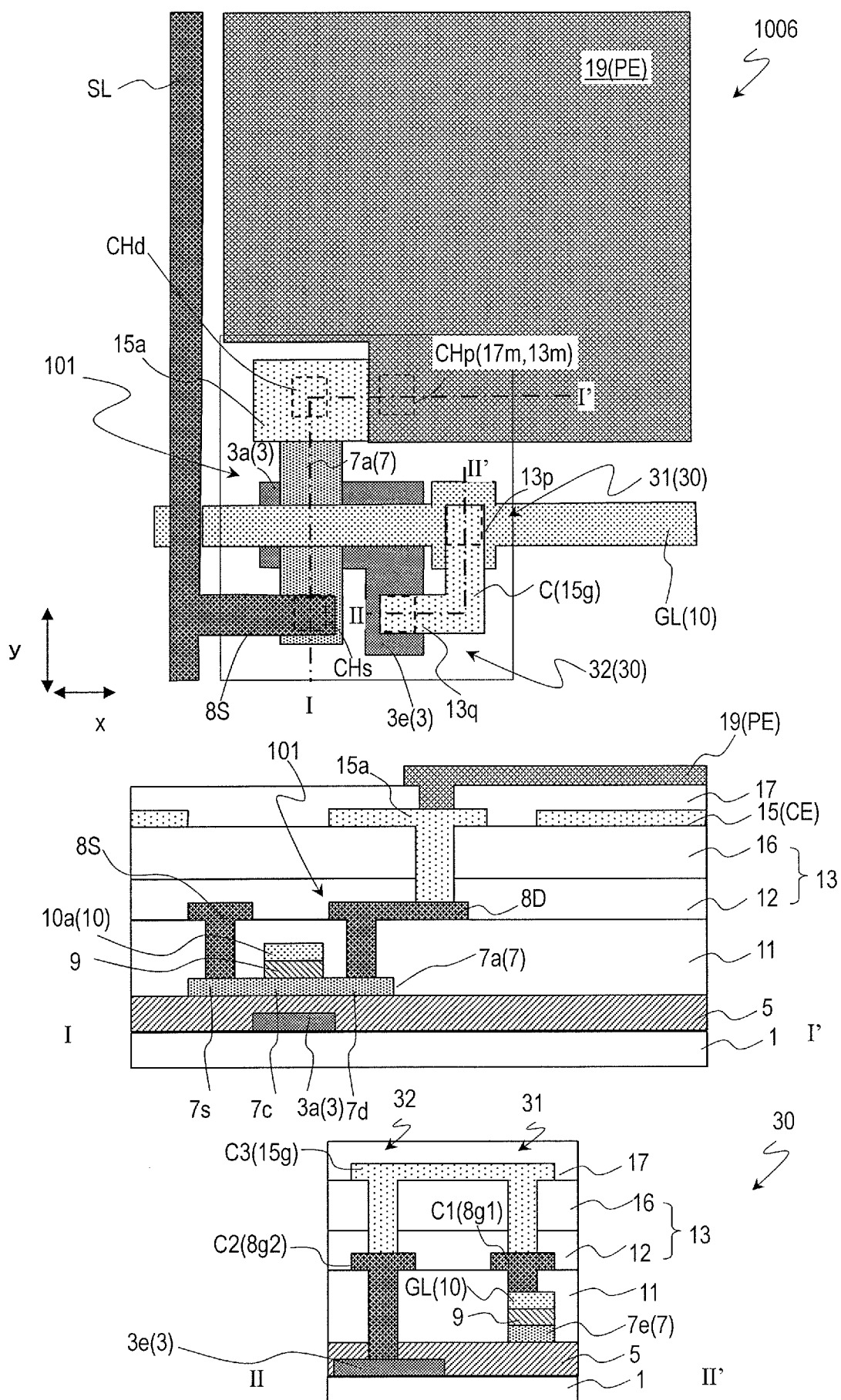
(a)



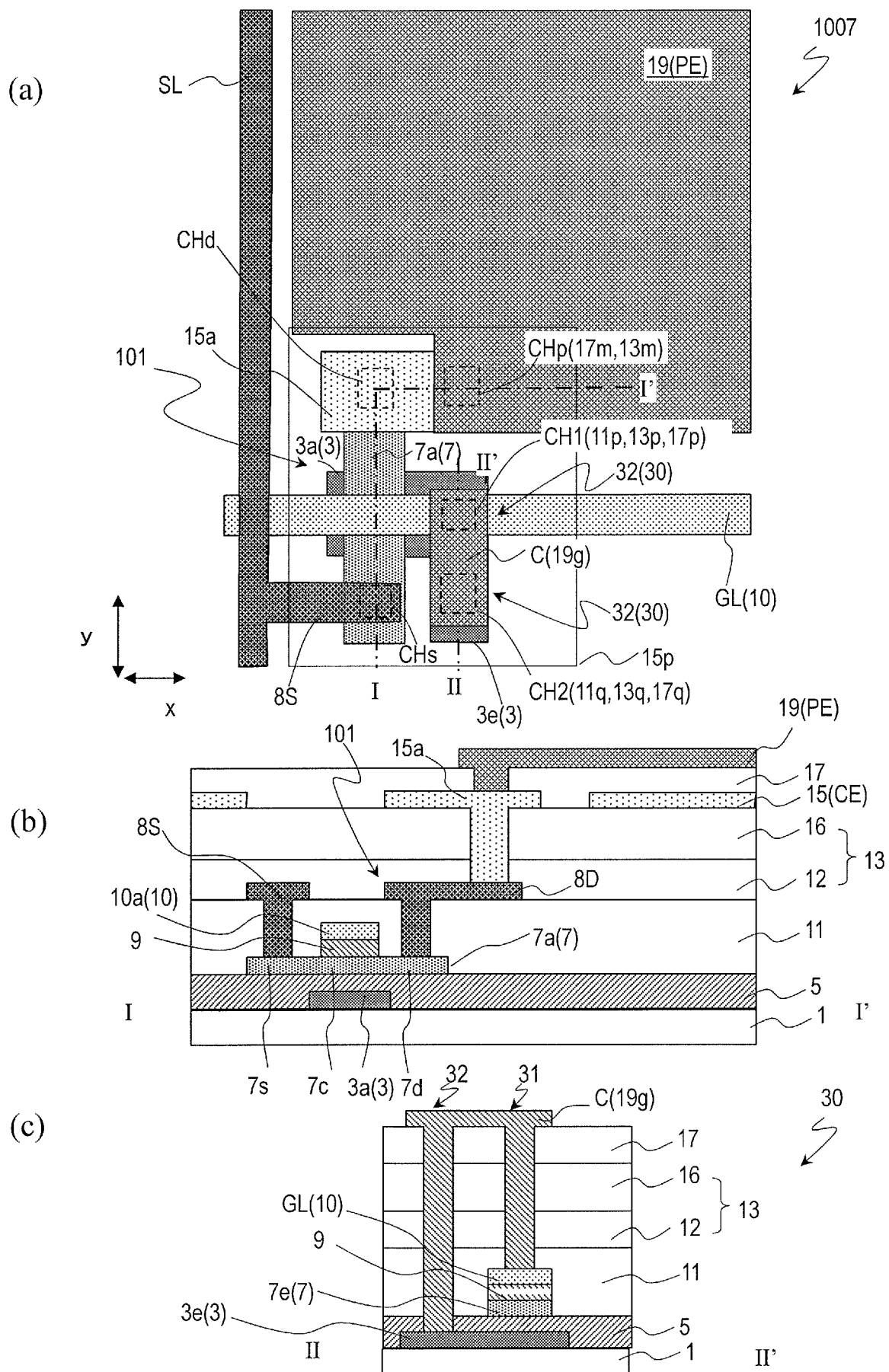
[図6D]



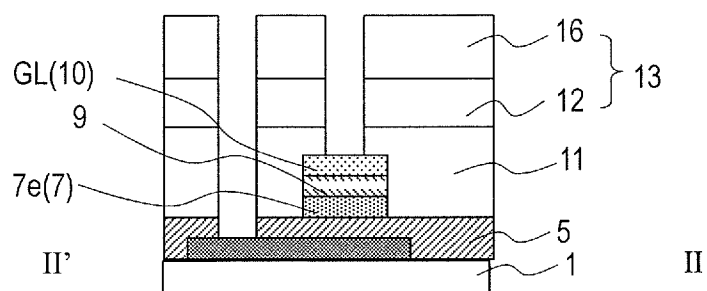
(a)



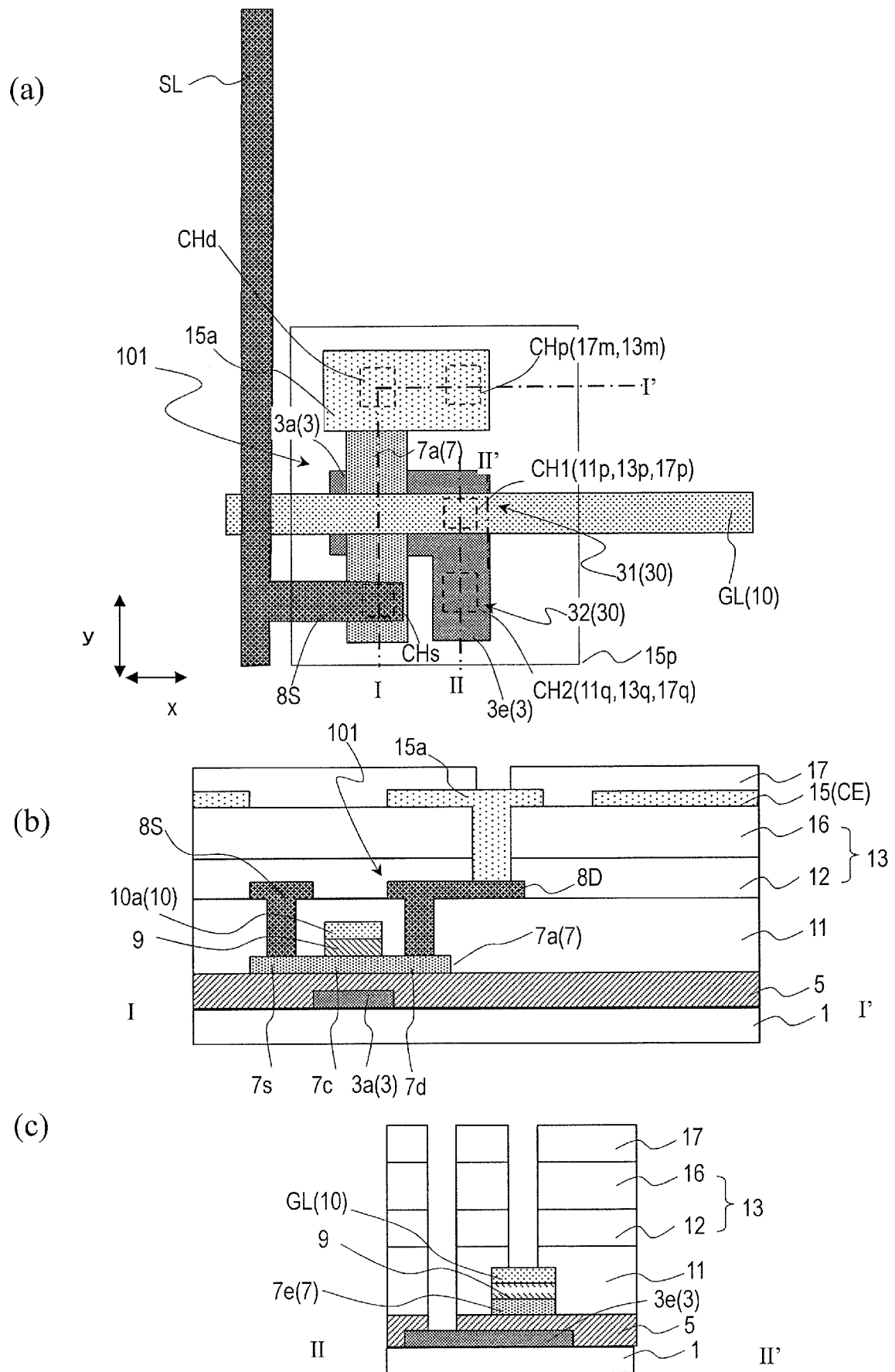
[図8A]



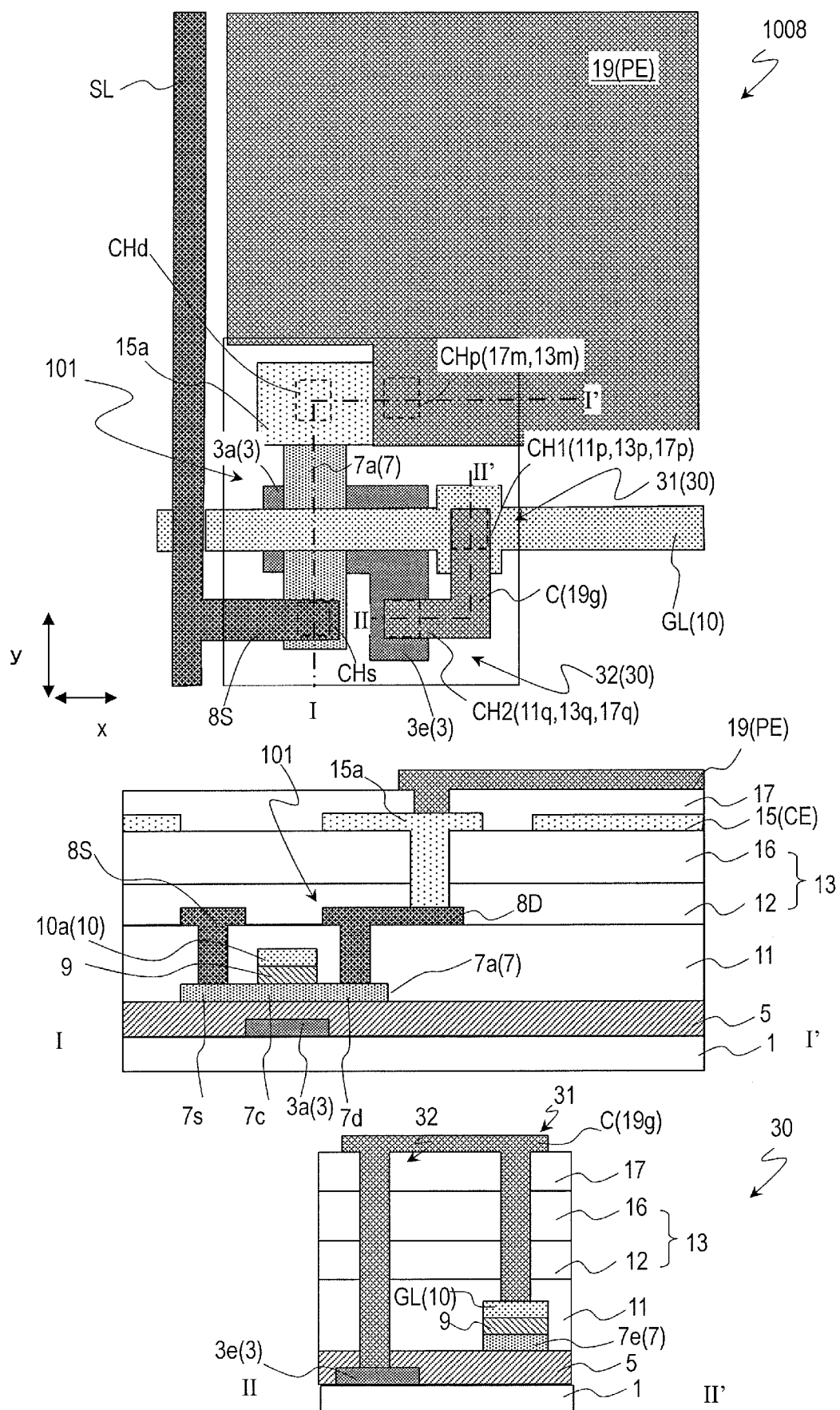
(a)



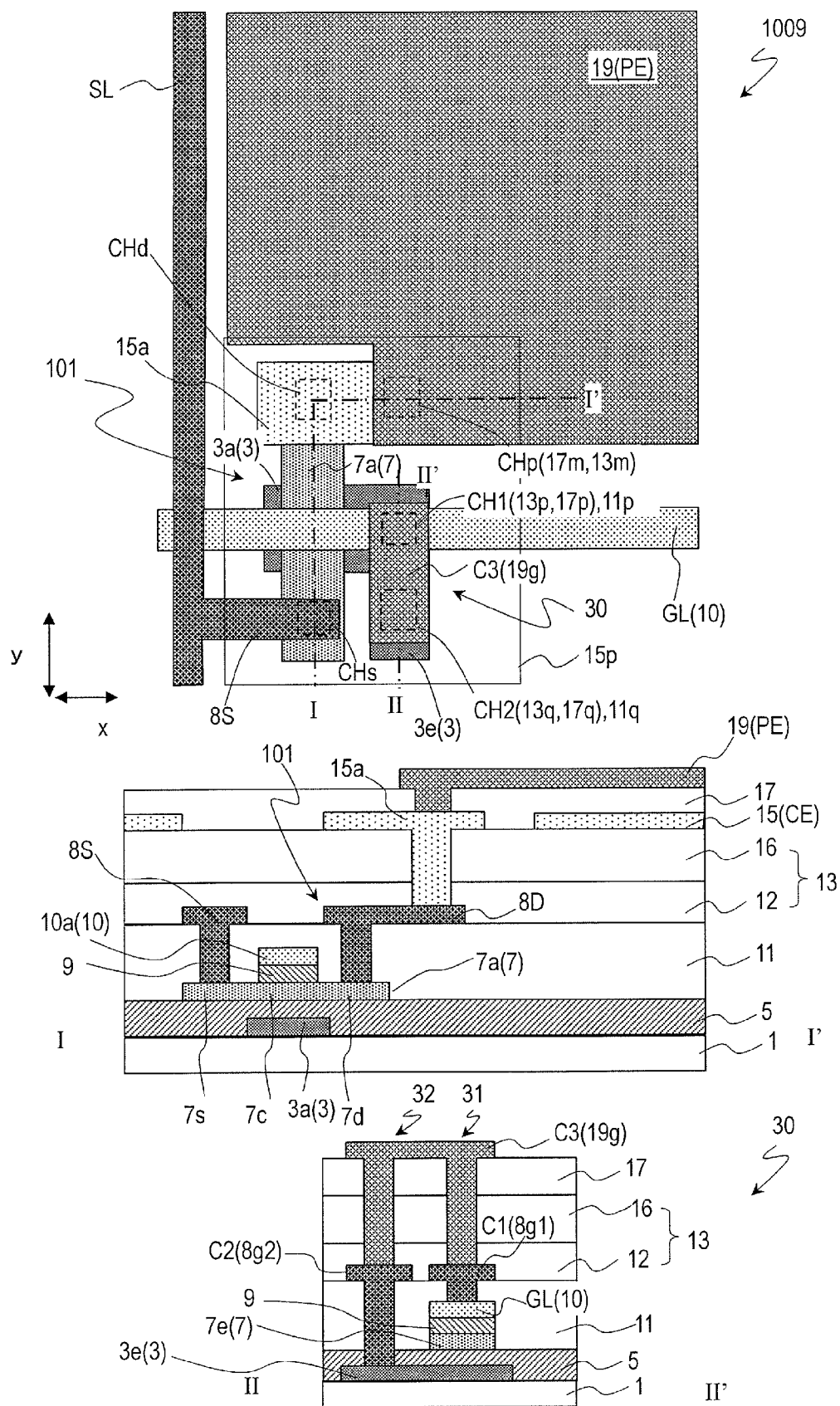
[図8C]



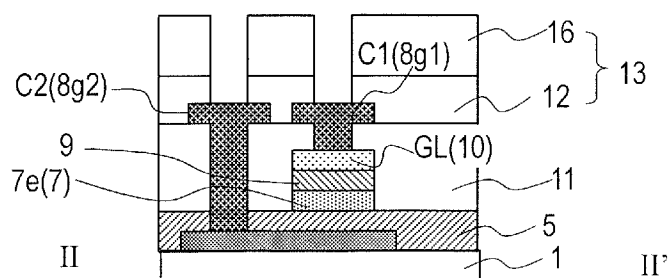
(a)



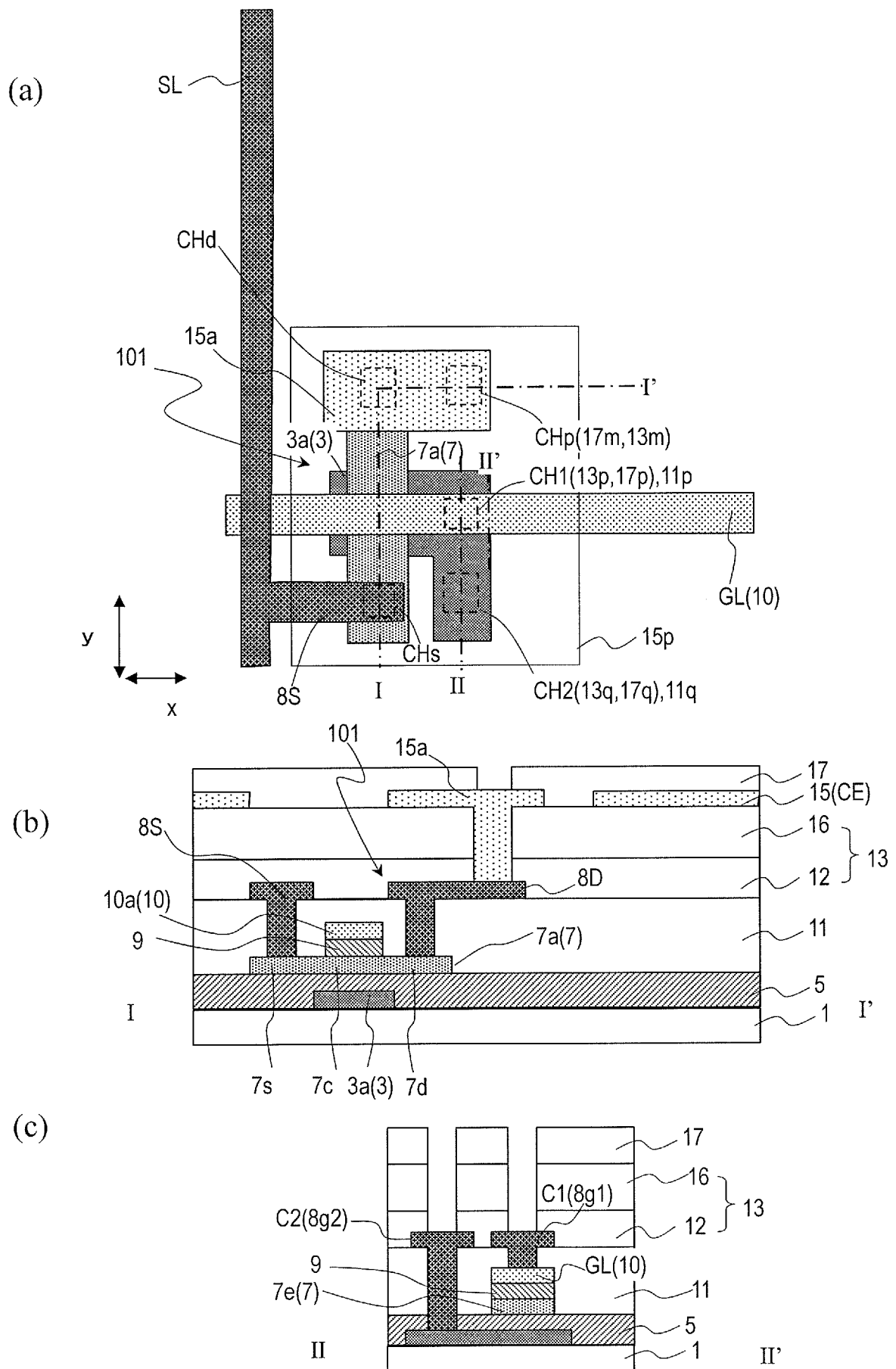
(a)



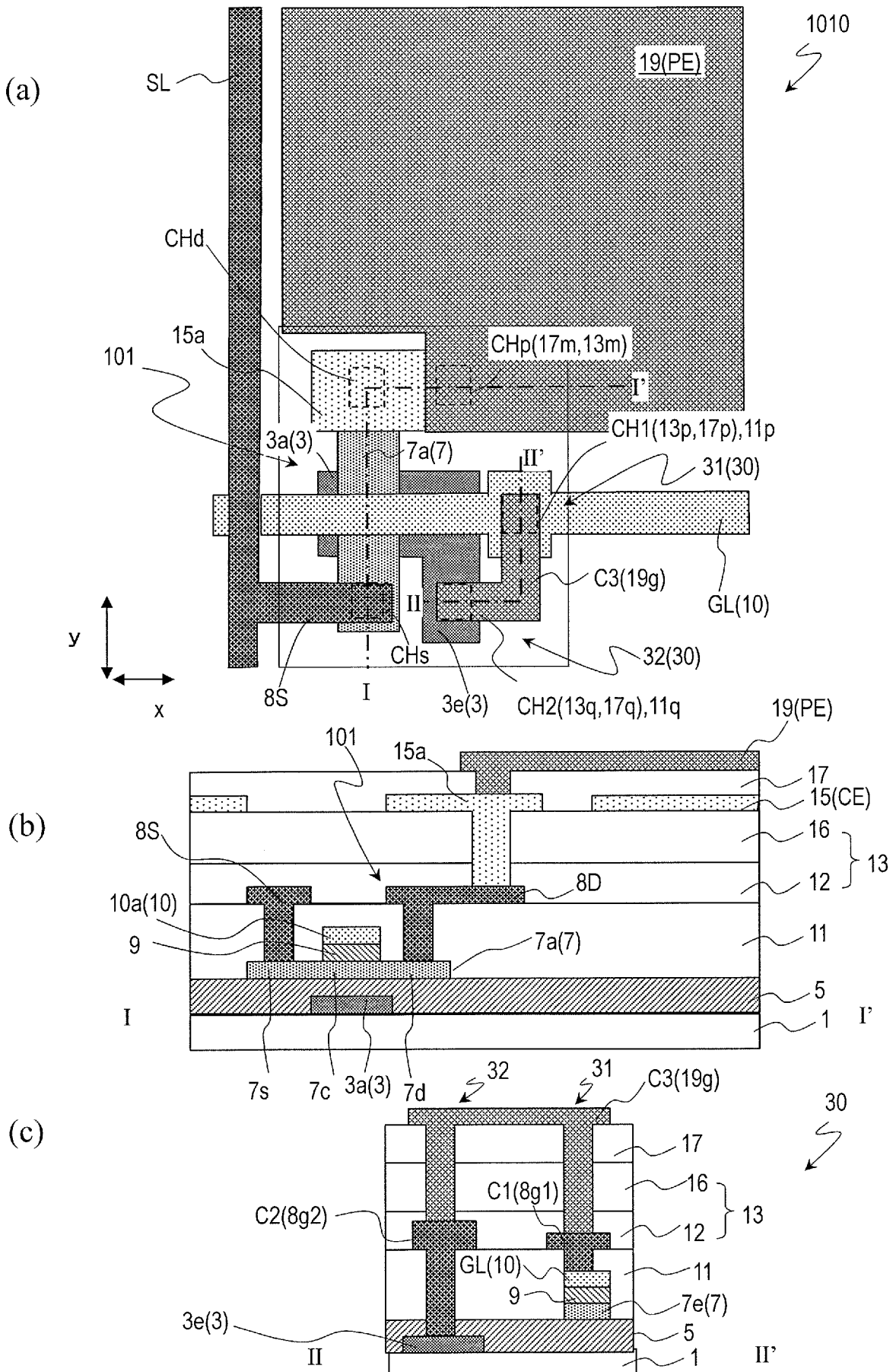
(a)



[図10C]



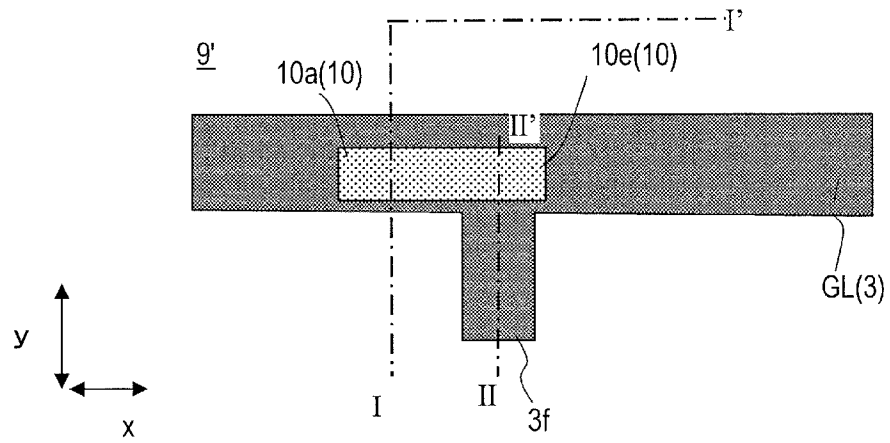
[図11A]



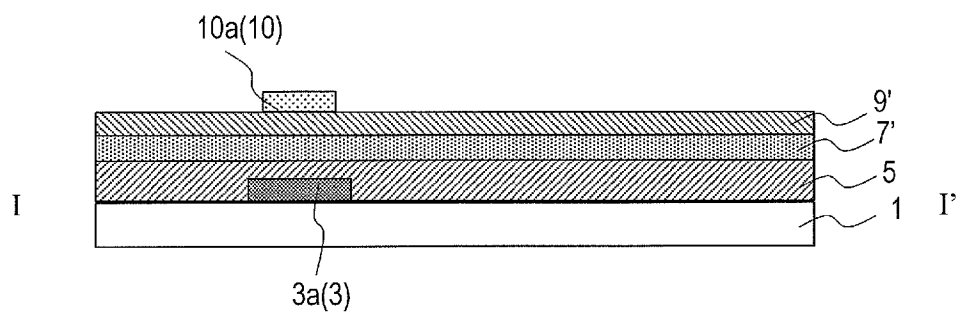
[illegible]

[図12B]

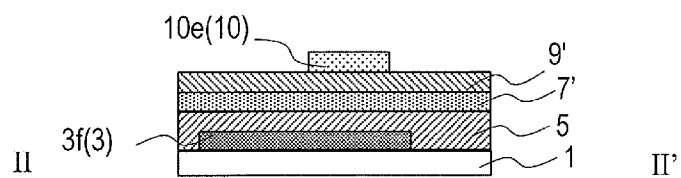
(a)



(b)

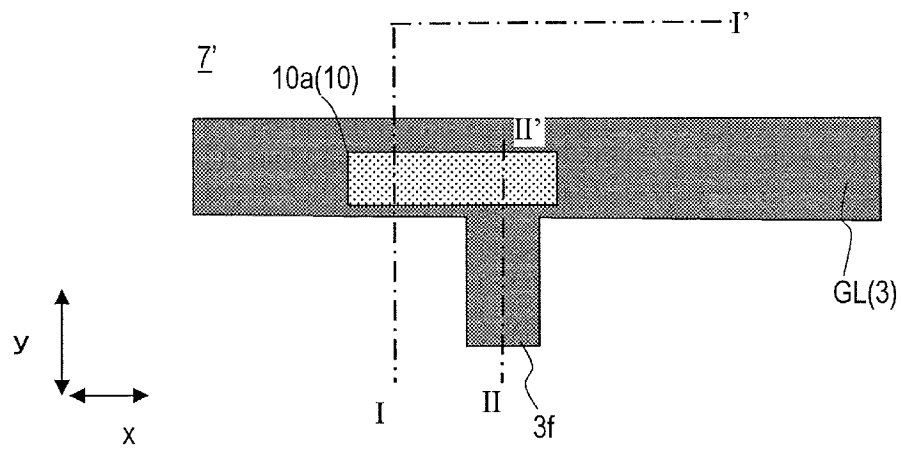


(c)

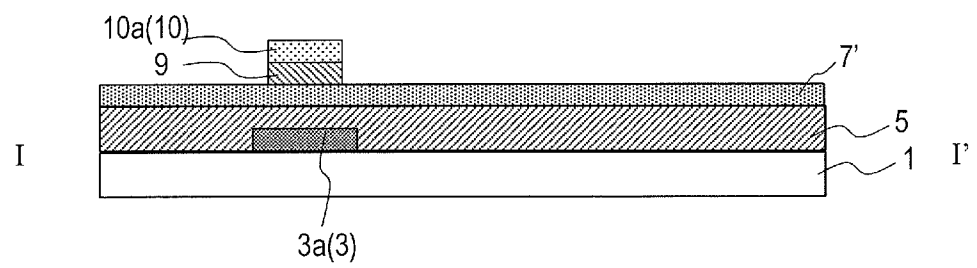


[図12C]

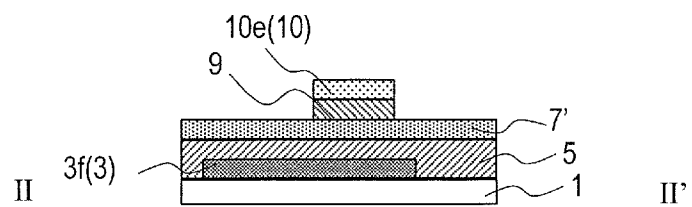
(a)



(b)

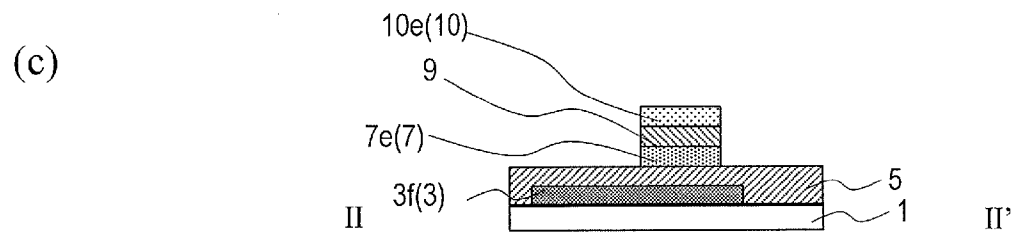
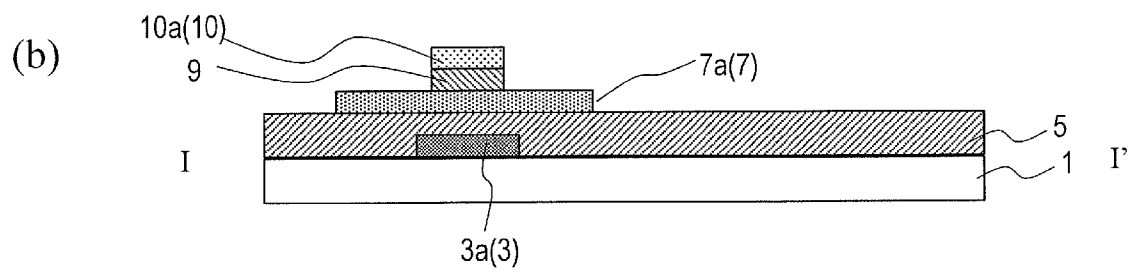
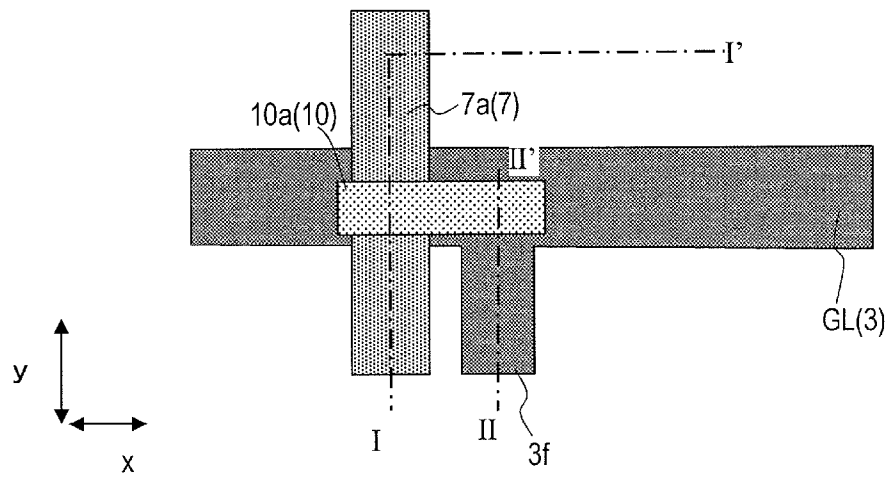


(c)



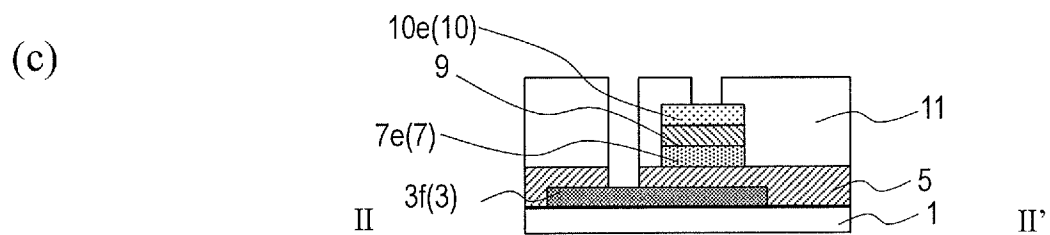
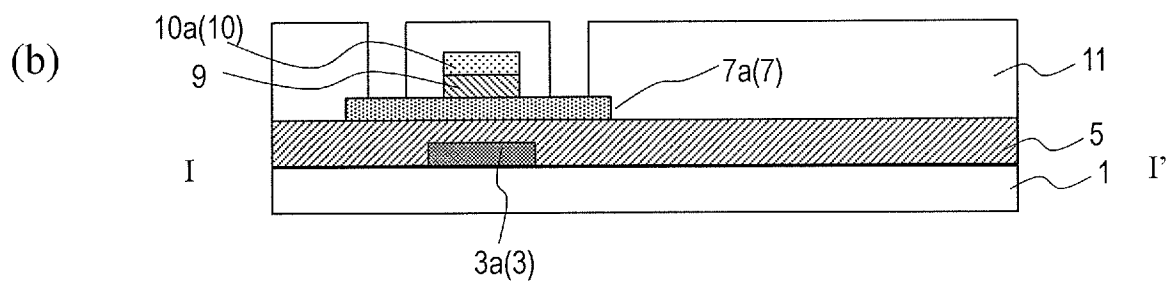
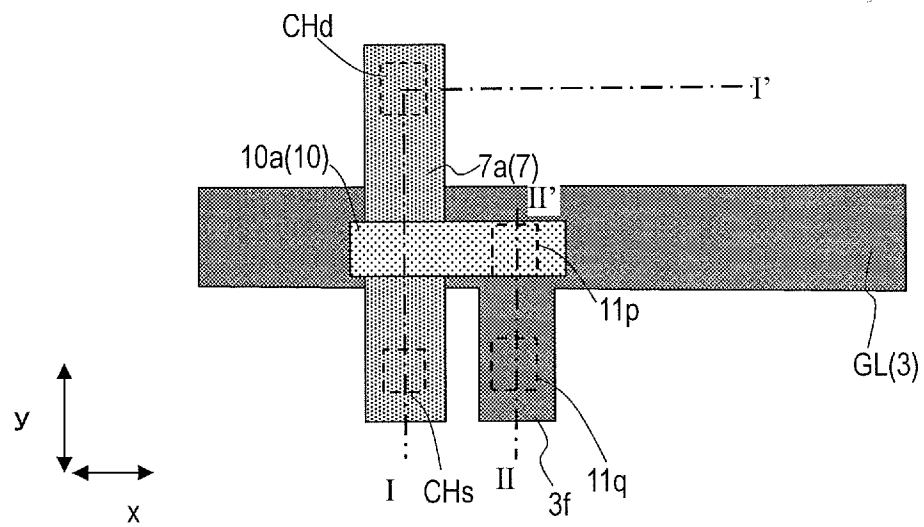
[図12D]

(a)

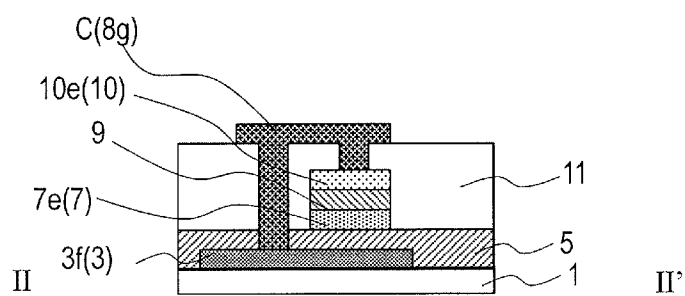


[図12E]

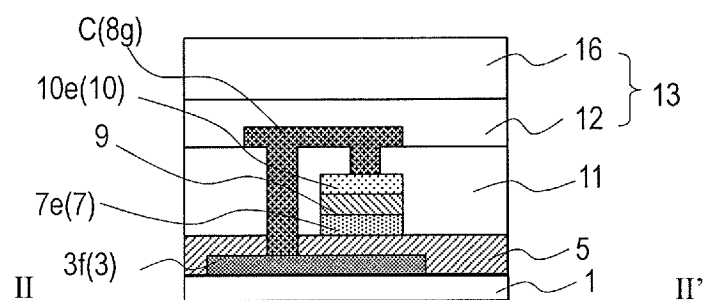
(a)



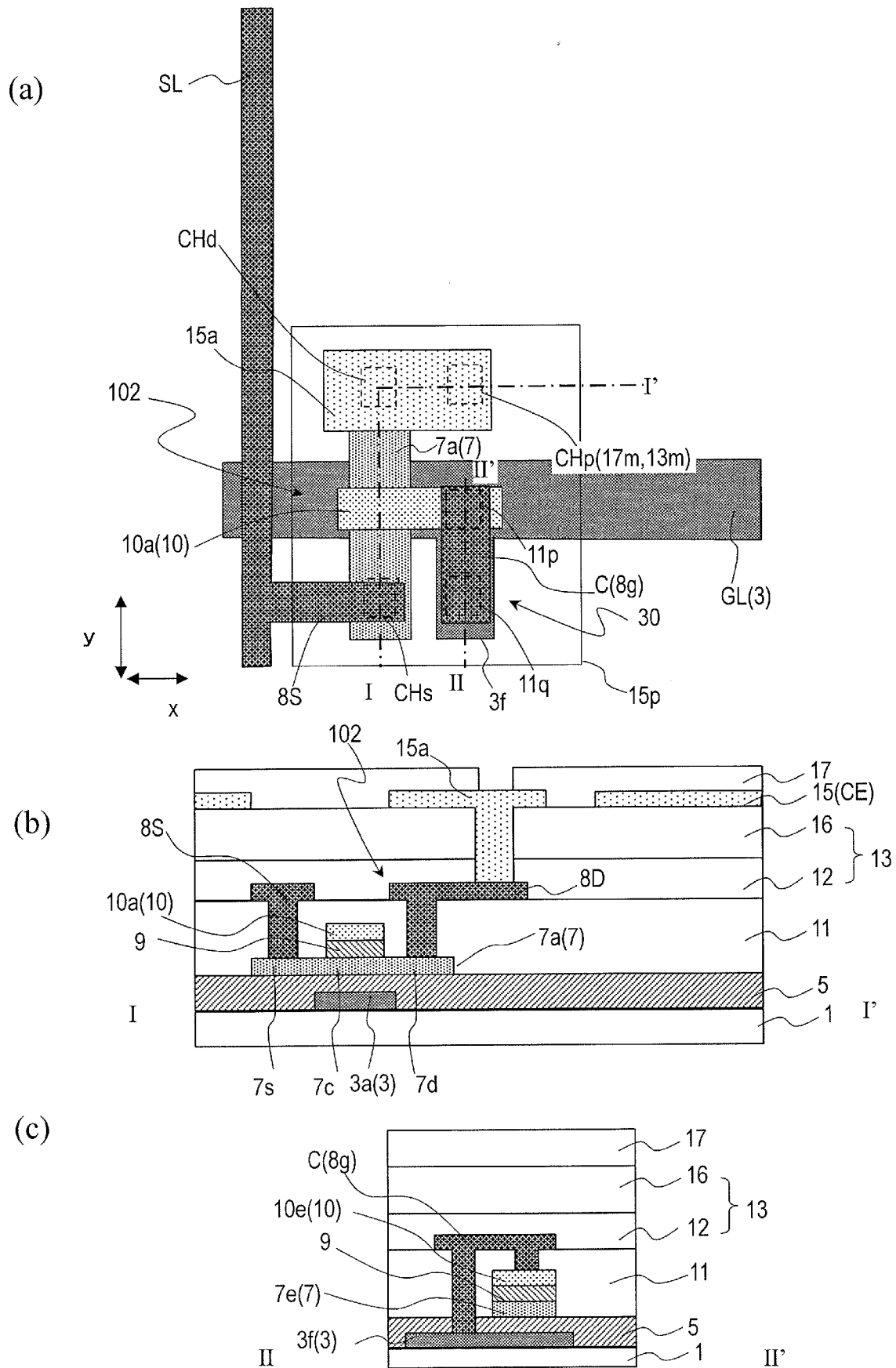
(a)



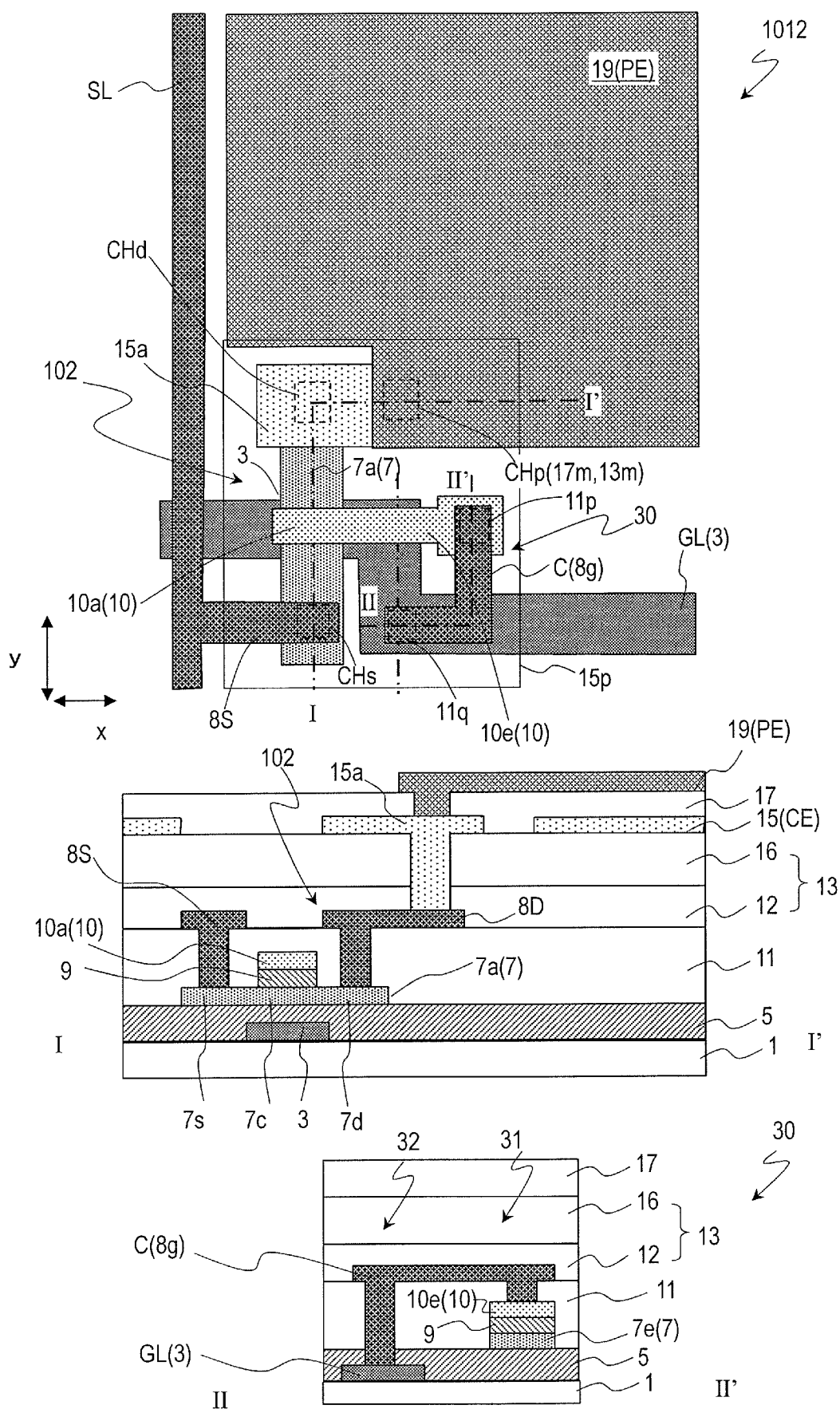
(a)



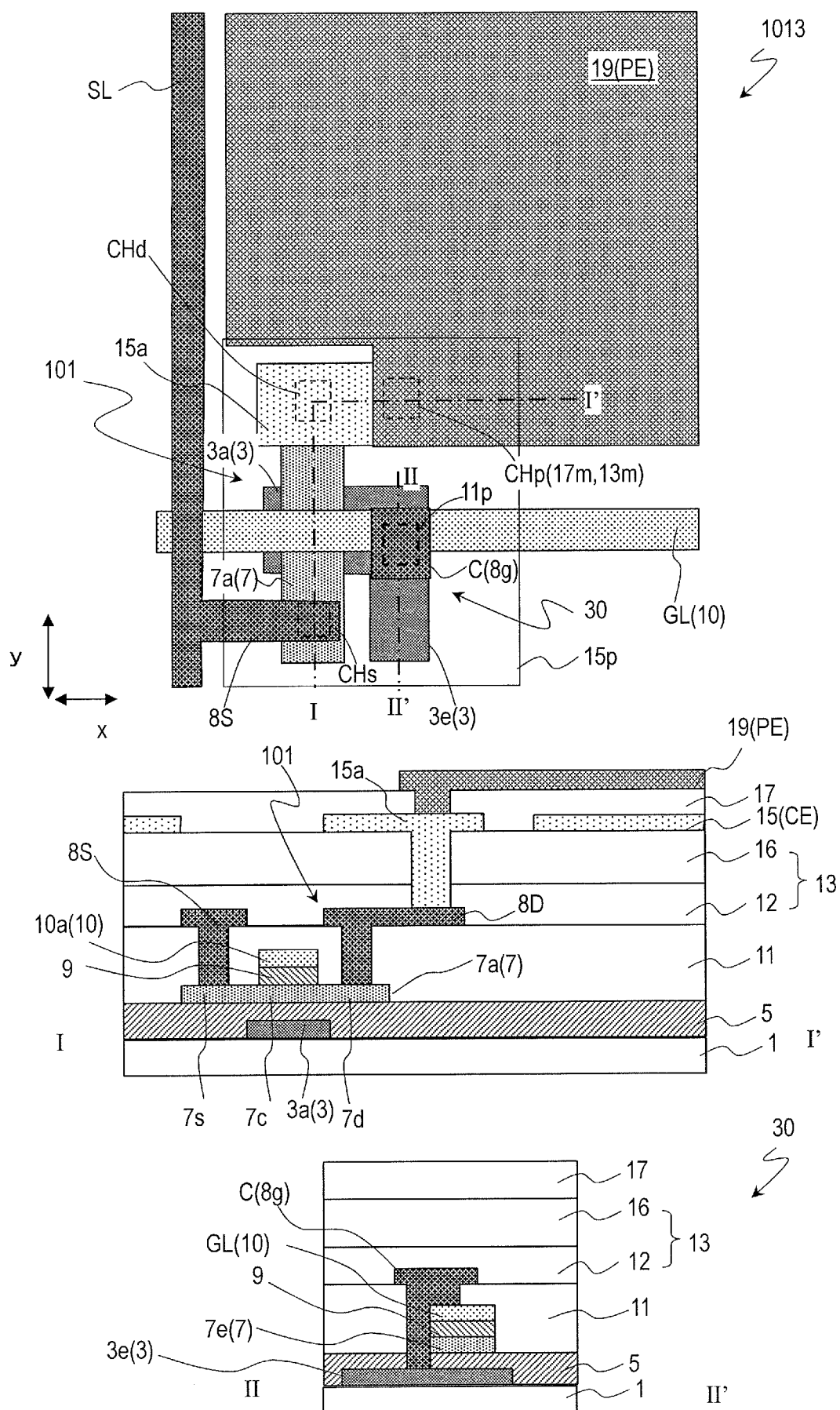
[図12H]



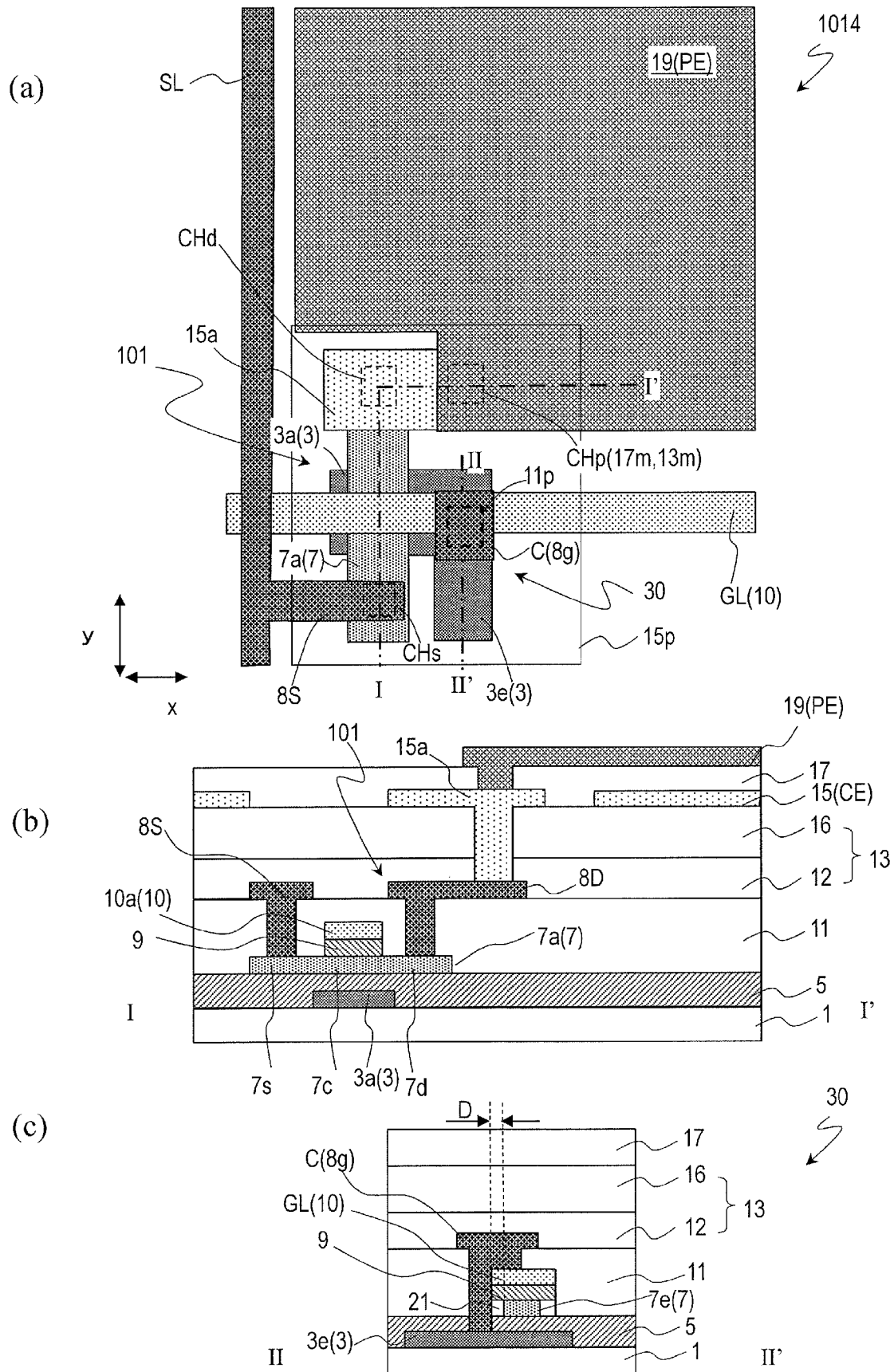
(a)



(a)

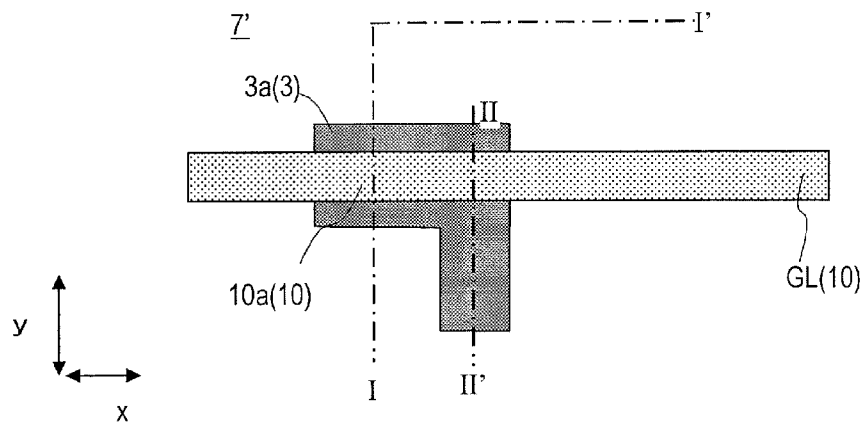


[図15A]

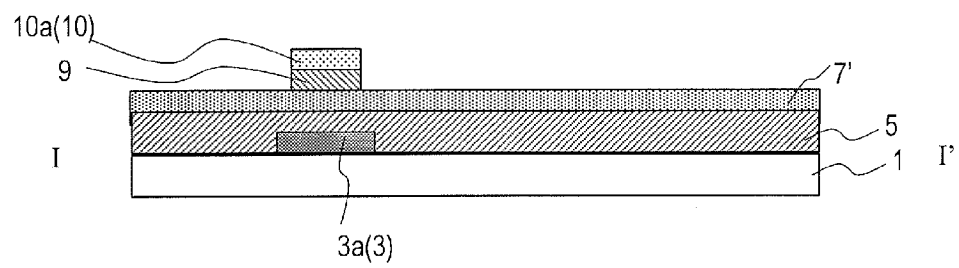


[図15B]

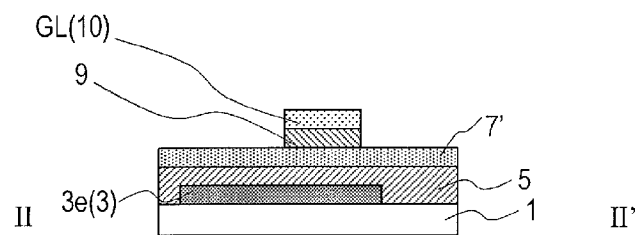
(a)



(b)

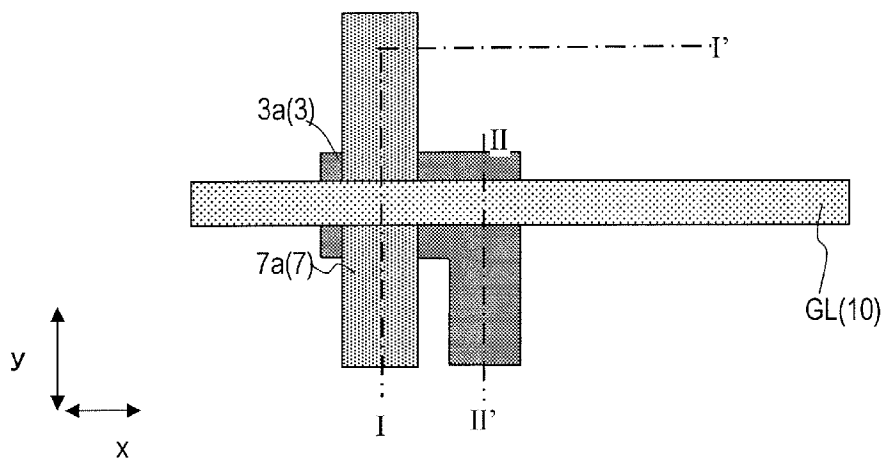


(c)

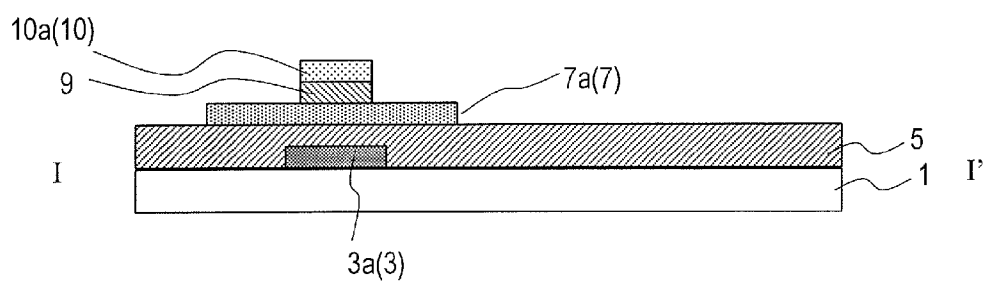


[図15C]

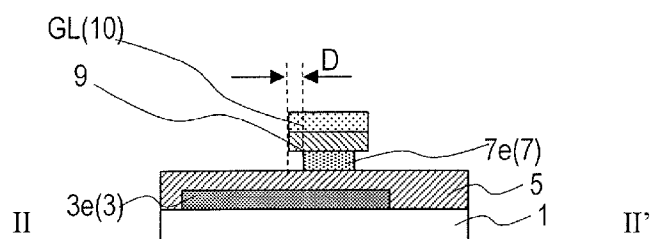
(a)



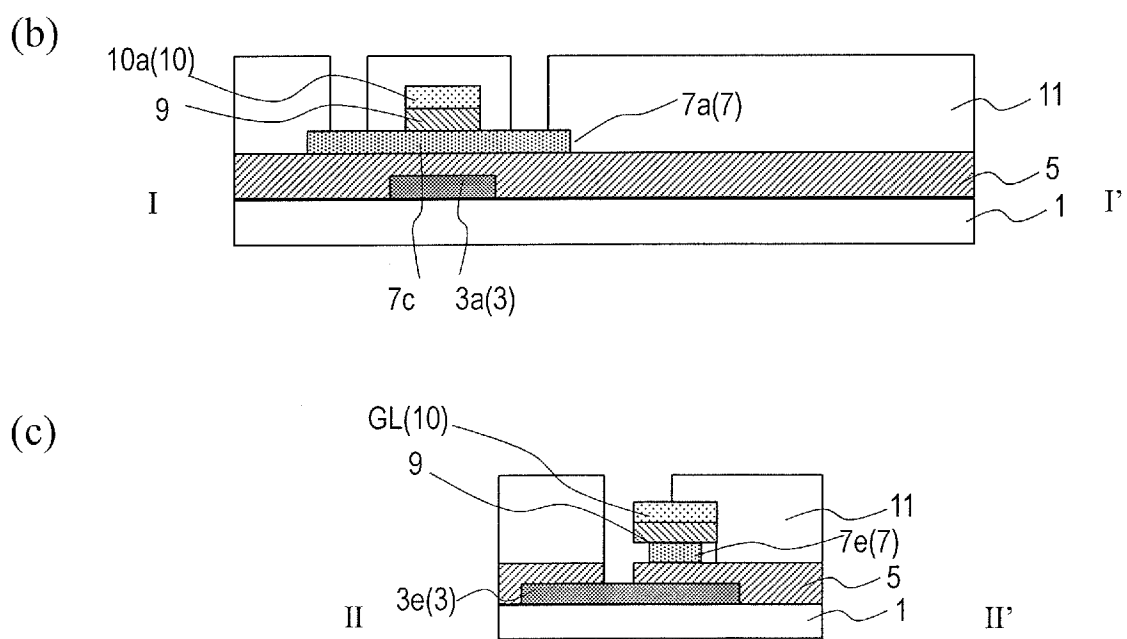
(b)



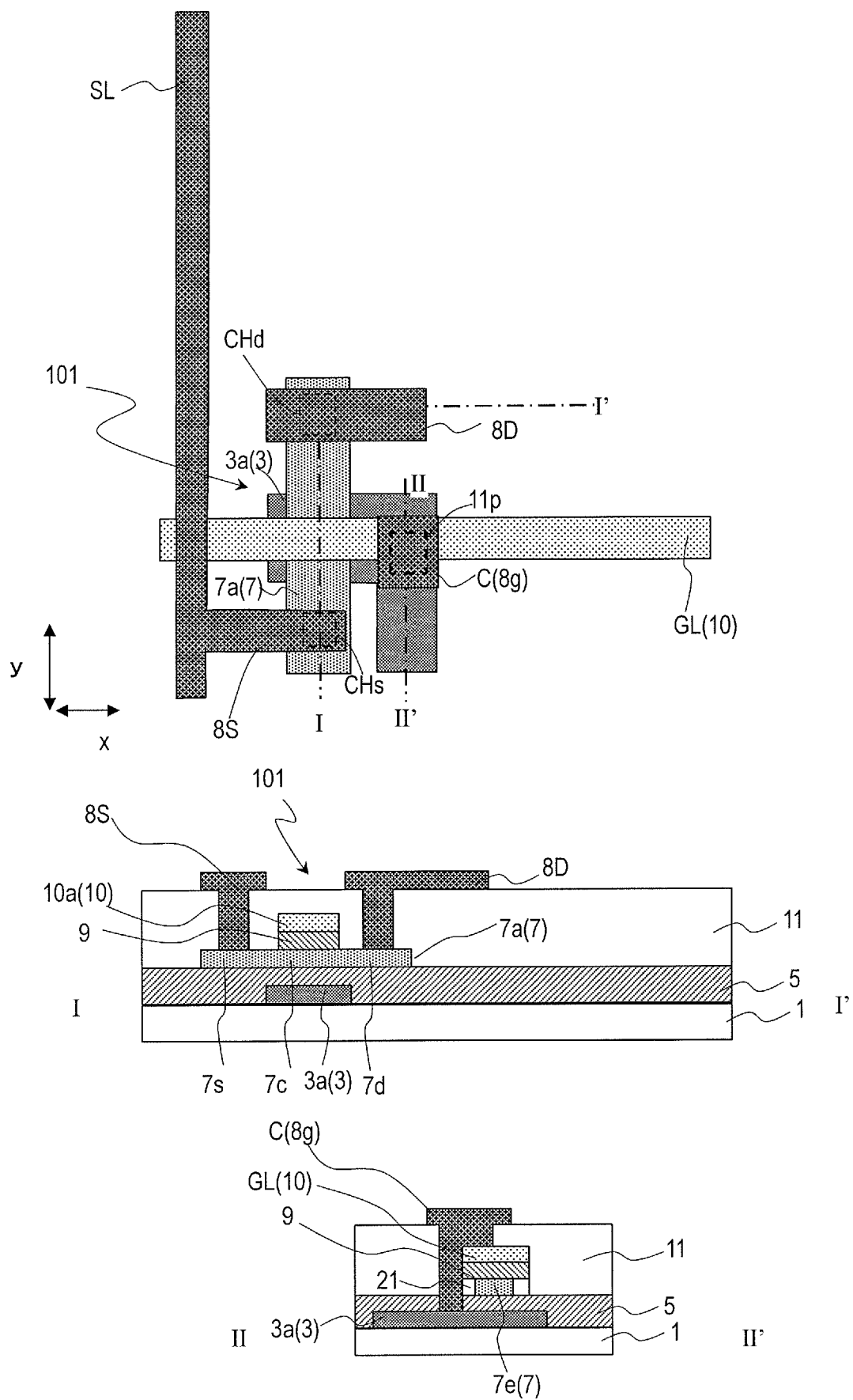
(c)



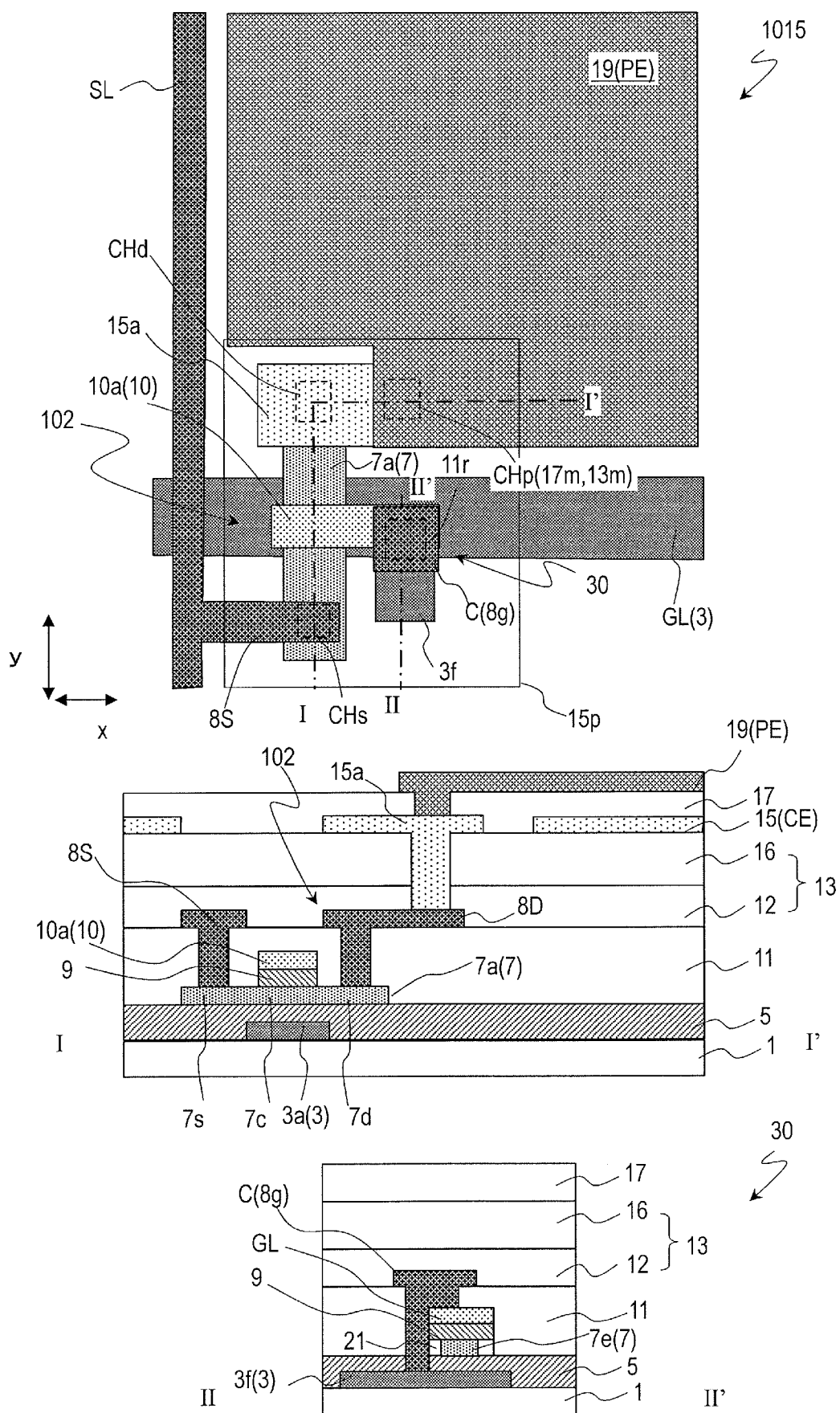
(a)



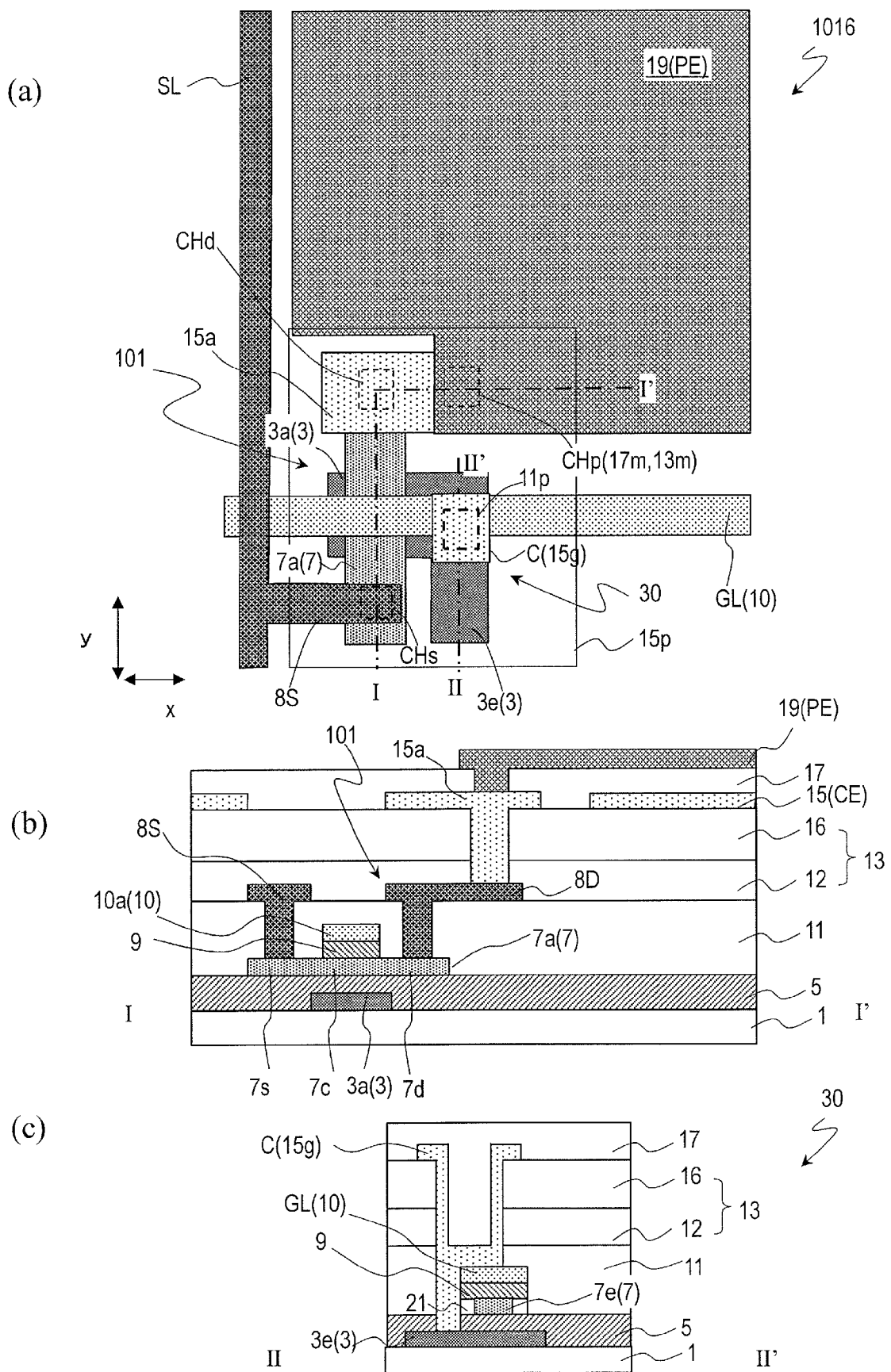
(a)



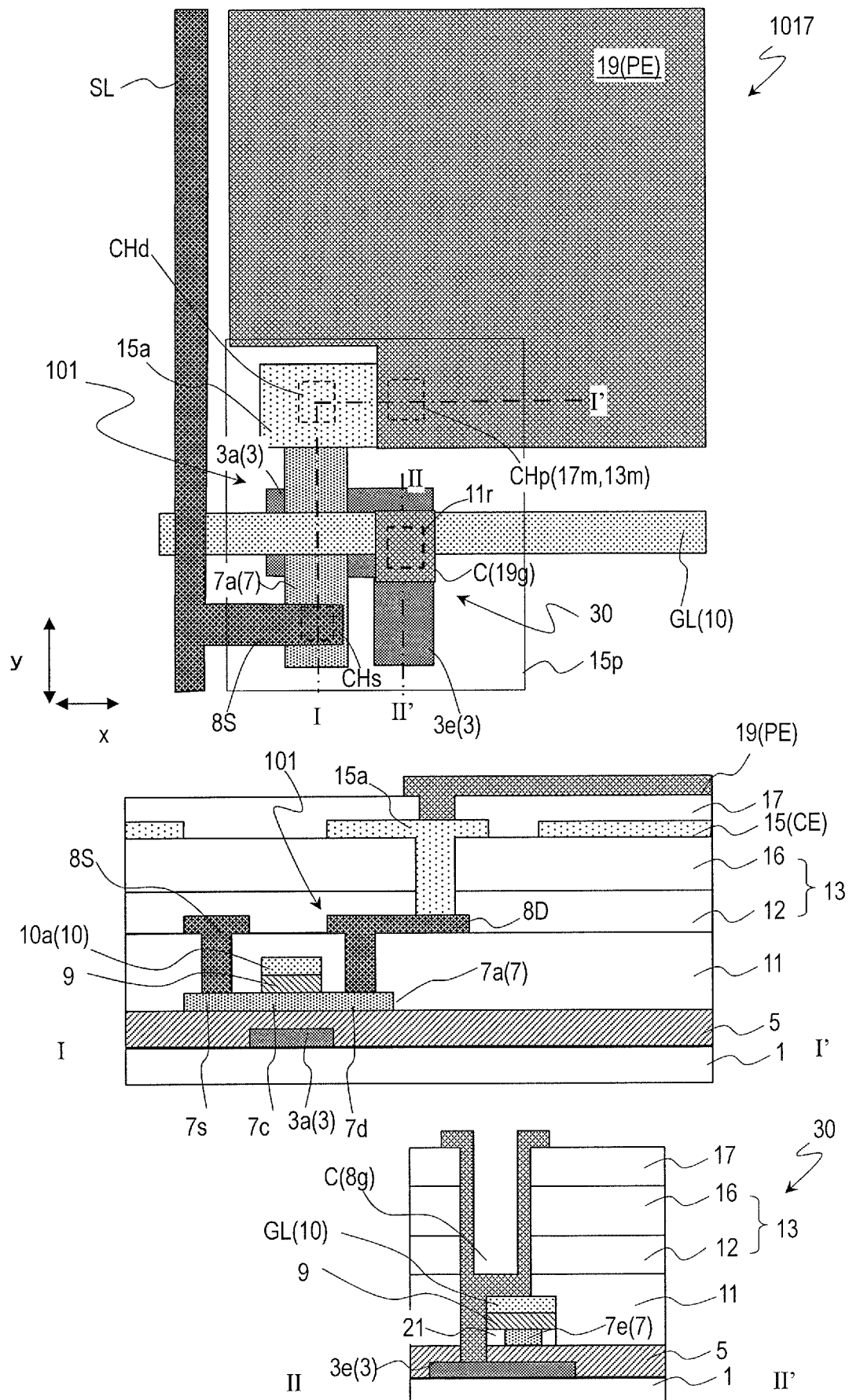
(a)



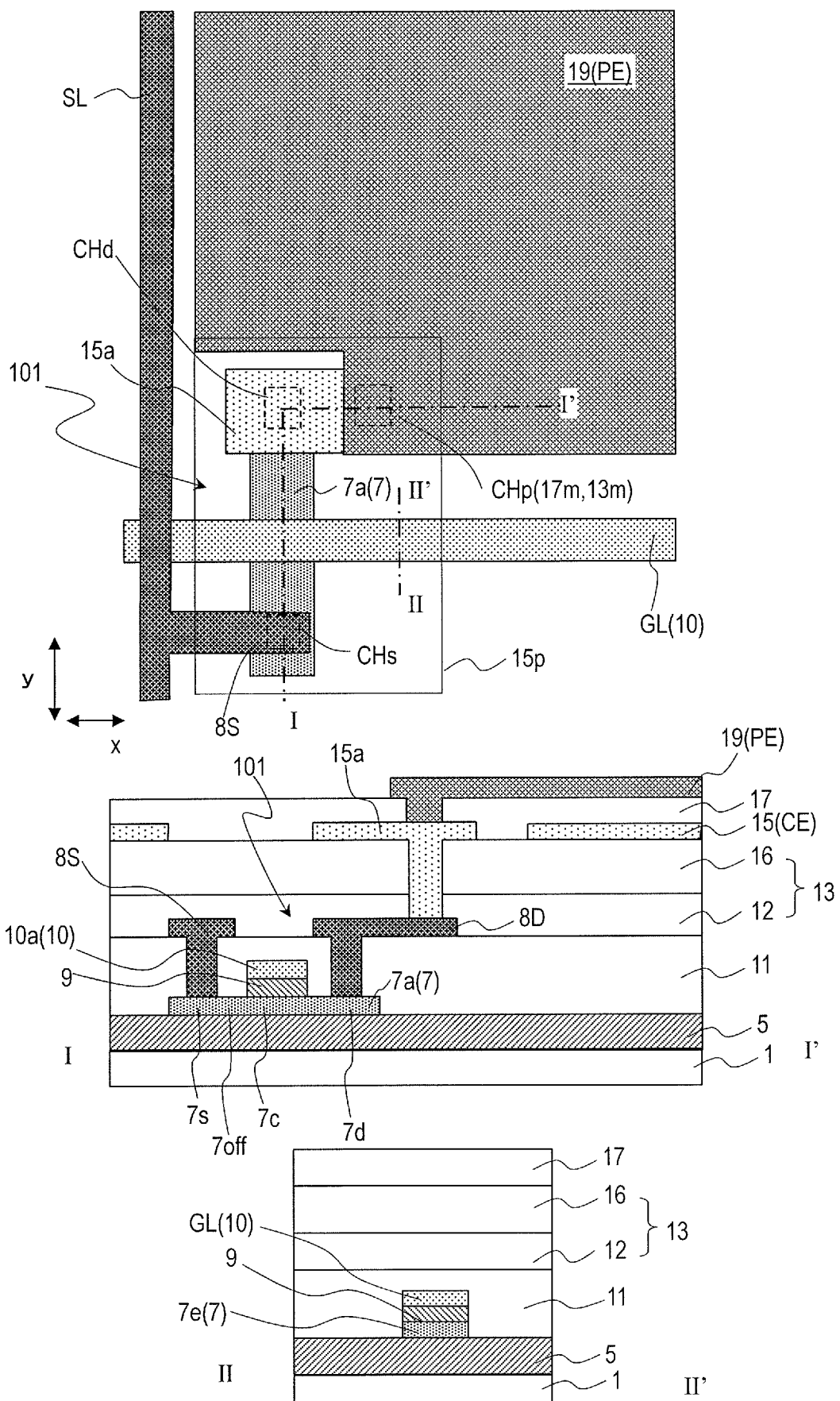
(a)



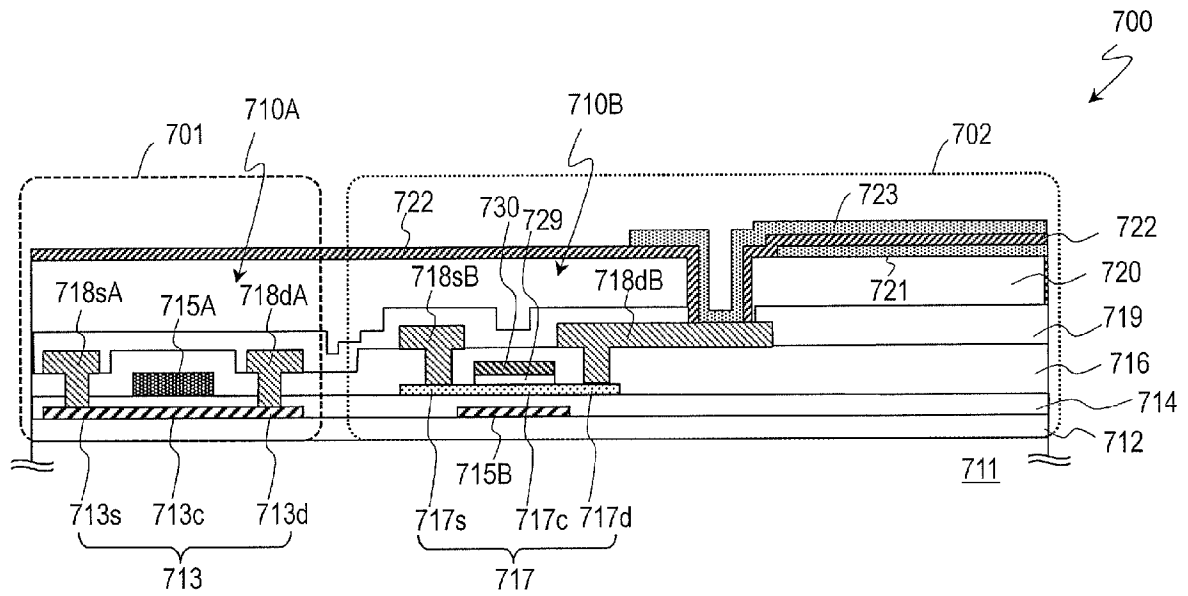
(a)



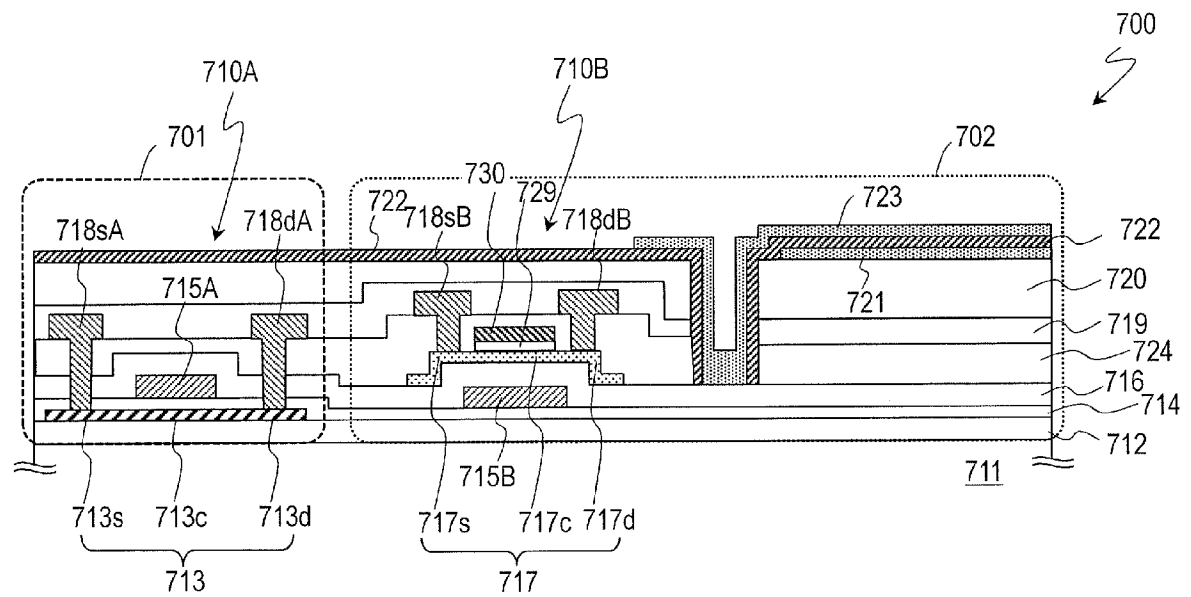
(a)



[図20A]

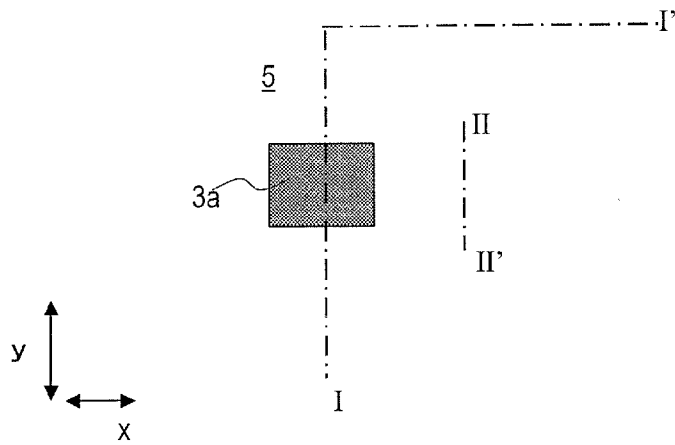


[図20B]

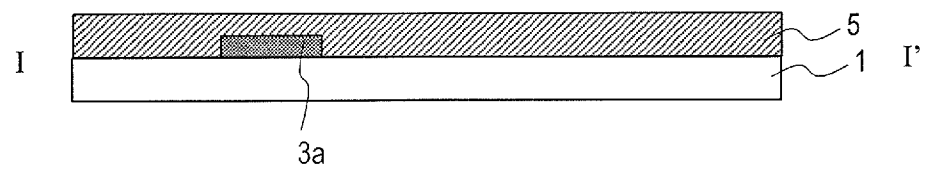


[図21A]

(a)



(b)

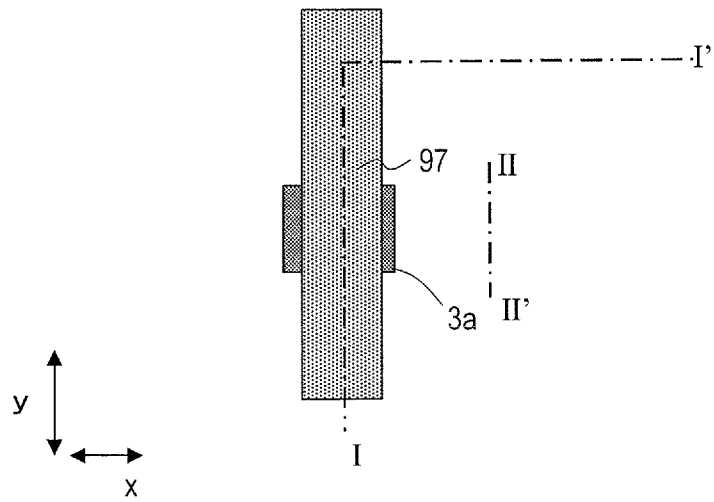


(c)

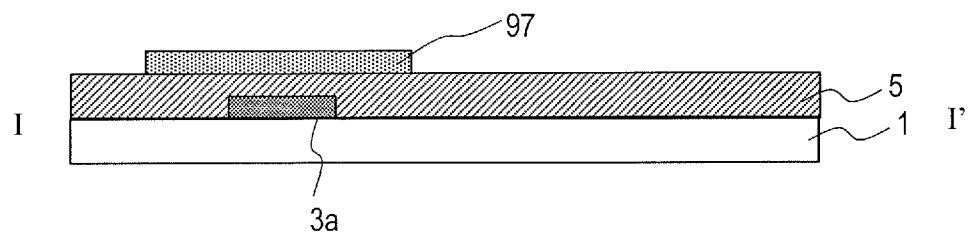


[図21B]

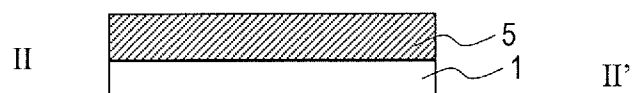
(a)



(b)

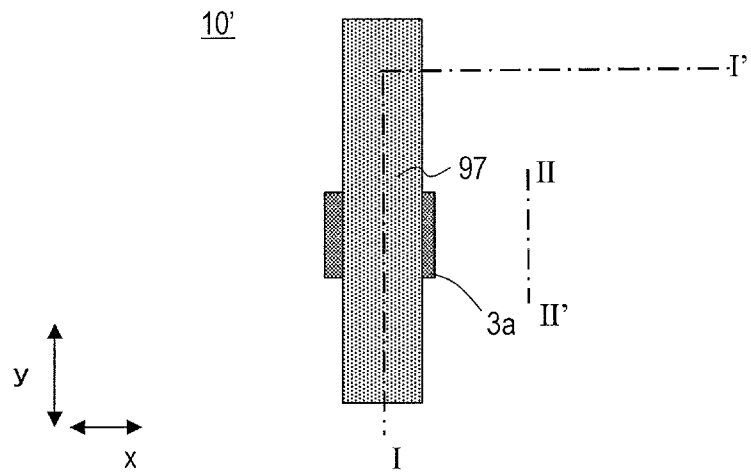


(c)

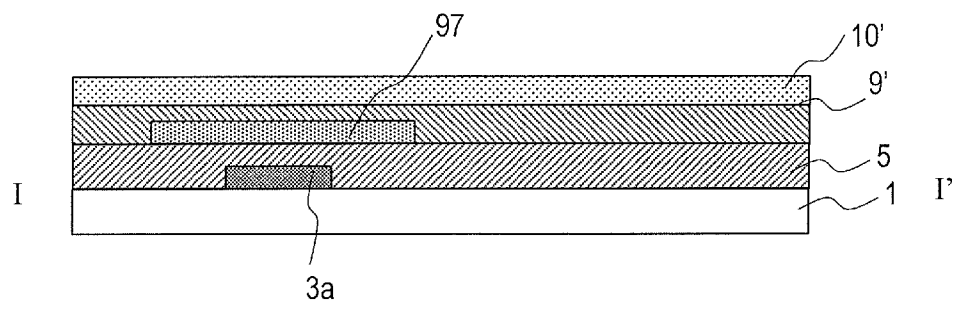


[図21C]

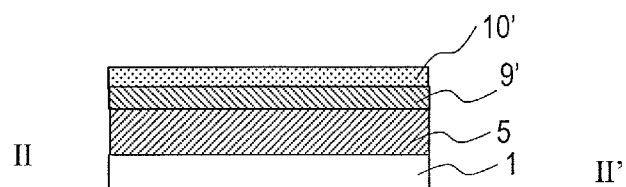
(a)



(b)

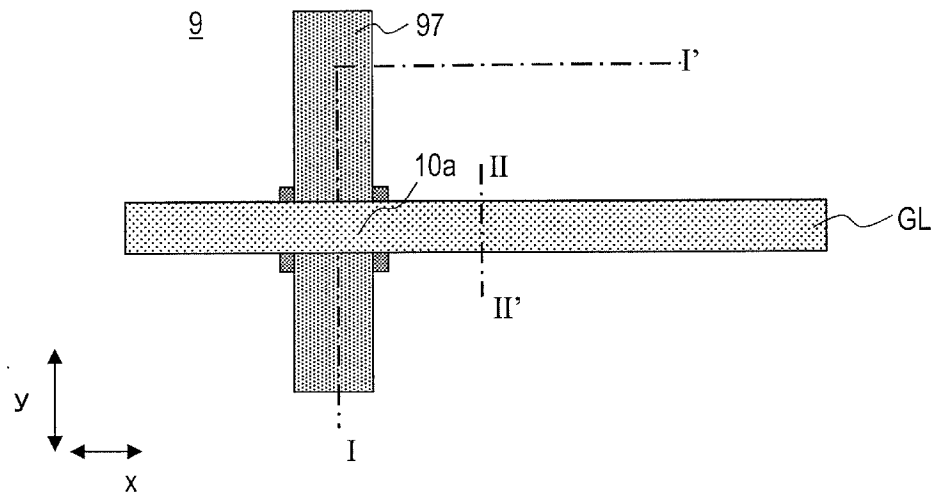


(c)

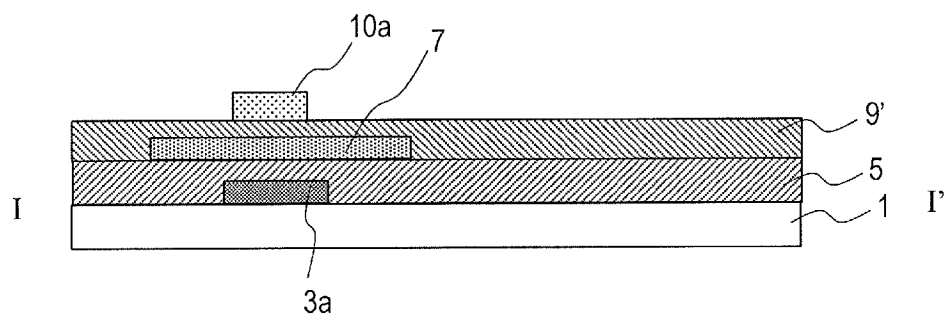


[図21D]

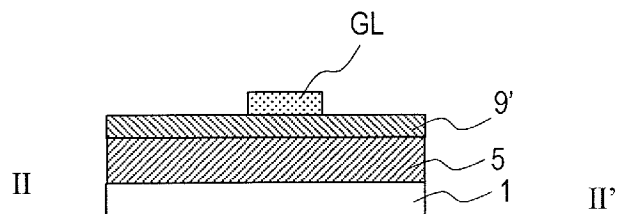
(a)



(b)

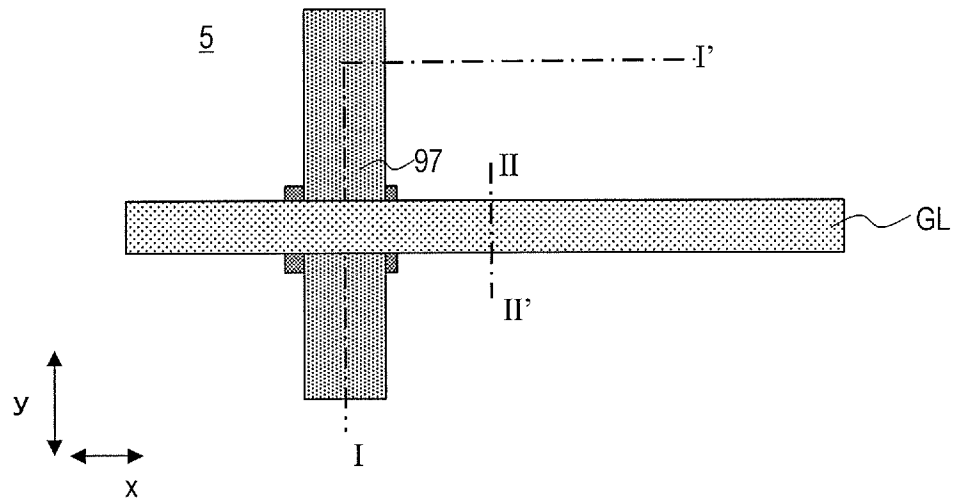


(c)

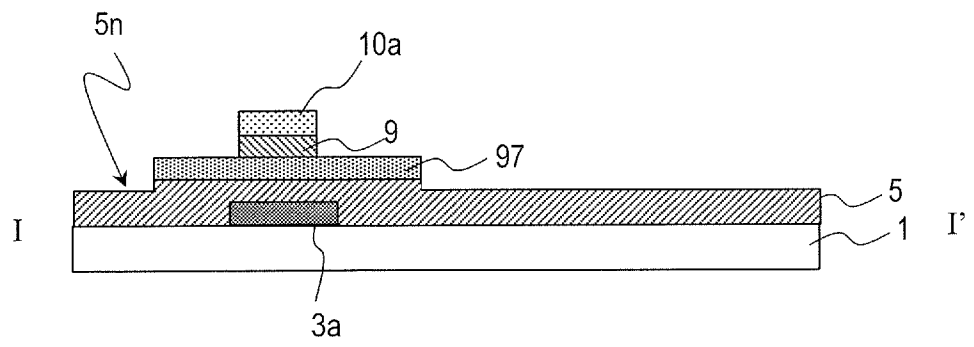


[図21E]

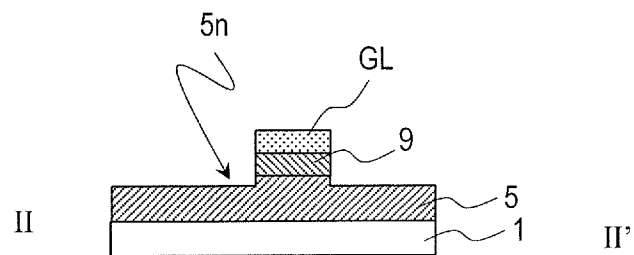
(a)



(b)

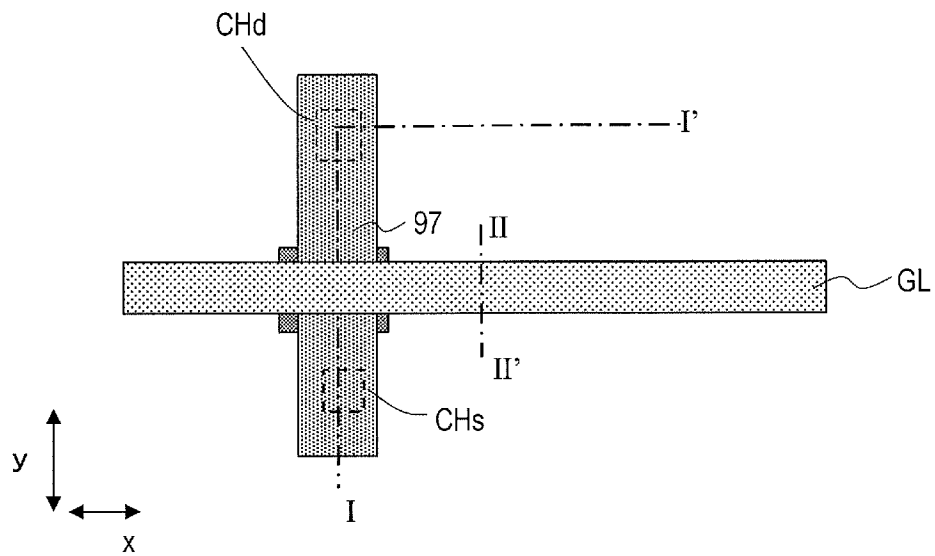


(c)

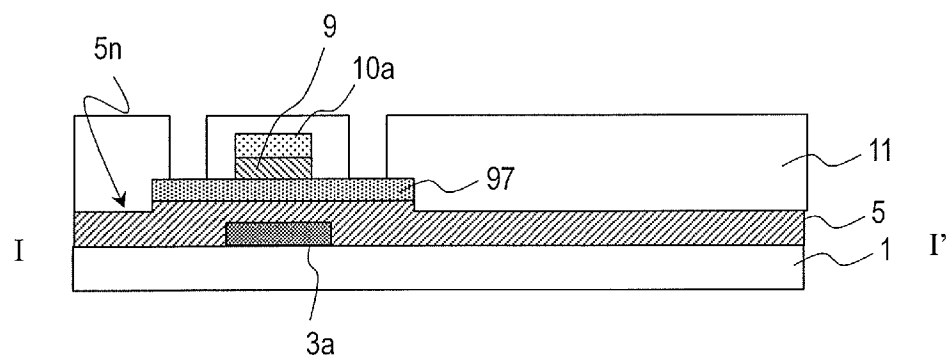


[図21F]

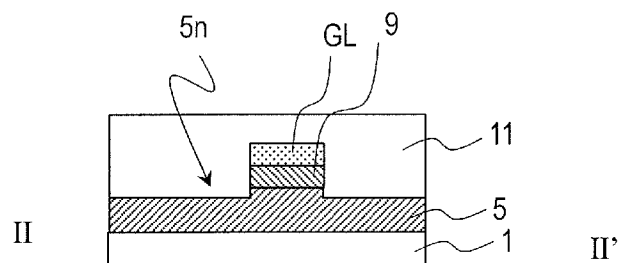
(a)



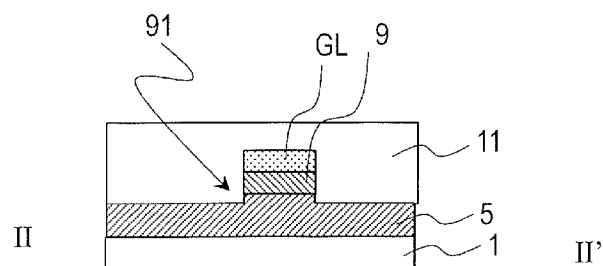
(b)



(c)



(a)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/018366

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i,
G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, G02F1/1368, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-197727 A (SAMSUNG ELECTRONICS CO., LTD.) 21 July 2005, paragraphs [0028]-[0041], fig. 6 & US 2005/0139924 A1, paragraphs [0042]-[0055], fig. 6 & KR 10-2005-0069867 A	16, 20 1-15, 17-19
Y A	JP 2014-39009 A (SAMSUNG DISPLAY CO., LTD.) 27 February 2014, paragraph [0009], fig. 1, 2 & US 8963154 B2, column 2, lines 34-38, fig. 1, 2 & EP 2696370 A1 & KR 10-2014-0020602 A & CN 103579227 A	16, 20 1-15, 17-19
A	JP 6-194688 A (FUJITSU LTD.) 15 July 1994 & US 5728592 A	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 July 2018 (13.07.2018)

Date of mailing of the international search report

24 July 2018 (24.07.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G02F1/1368, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-197727 A（三星電子株式会社）2005.07.21, 段落 0028-0041、図 6 & US 2005/0139924 A1, 段落 0042-0055、図 6 & KR 10-2005-0069867 A	16, 20 1-15, 17-19
Y A	JP 2014-39009 A（三星ディスプレイ株式会社）2014.02.27, 段落 0009、図 1, 2 & US 8963154 B2, 第 2 欄 34-38 行、図 1, 2 & EP 2696370 A1 & KR 10-2014-0020602 A & CN 103579227 A	16, 20 1-15, 17-19

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2018

国際調査報告の発送日

24.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-194688 A (富士通株式会社) 1994. 07. 15, & US 5728592 A	1-20