

이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2013R1A1A2004829
부처명	교육부
연구관리전문기관	한국연구재단
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	최소한의 커패시터를 사용하는 CR 하이브리드 DAC 기반의 12비트 10MS/s 0.11um CMOS SAR
ADC 연구	
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2013.06.01 ~ 2016.05.31이 발명을 지원한 국가연구개발사업
과제고유번호	1415128784
부처명	미래창조과학부
연구관리전문기관	정보통신산업진흥원 (NIPA)
연구사업명	정보통신기술인력양성
연구과제명	정보통신용 아날로그IP 기술 개발
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2015.12.31

명세서

청구범위

청구항 1

복수의 MDAC들과 복수의 flash ADC들을 포함하는 N단으로 구성된 파이프라인 구조의 ADC에 있어서,
마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개의 단 이상을 차단하여 상기 ADC에서 결정되는 비트의 수를 조절하는 것을 특징으로 하는 ADC.

청구항 2

제 1 항에 있어서,
상기 마지막 단의 MDAC 및 flash ADC는 각각 바이어스 회로에 차단 스위치를 포함하고,
상기 마지막 단의 MDAC 및 flash ADC는 상기 각각의 차단 스위치에 의해 차단되는 것을 특징으로 하는 ADC.

청구항 3

제 1 항에 있어서,
이득 부스팅 기법이 적용된 증폭기를 사용하는 입력단 SHA를 포함하는 것을 특징으로 하는 ADC.

청구항 4

제 3 항에 있어서,
상기 입력단 SHA에 사용된 증폭기는,
NMOS단 이득 부스팅 증폭기는 PMOS 입력을 갖고, PMOS단 이득 부스팅 증폭기는 NMOS 입력을 갖는 폴디드 캐스코드(folded-cascode) 증폭기인 것을 특징으로 하는 ADC.

청구항 5

제 3 항에 있어서,
상기 입력단 SHA에 사용된 증폭기는,
증폭기 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고,
입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시키는 것을 특징으로 하는 ADC.

청구항 6

제 1 항에 있어서,
첫 번째 단의 MDAC와 두 번째 단의 MDAC는 하나의 증폭기를 공유하는 것을 특징으로 하는 ADC.

청구항 7

제 6 항에 있어서,
상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는,
두 쌍의 NMOS 입력단으로 구성되며,
상기 두 개의 NMOS 입력단 중 사용하지 않는 입력단을 교대로 소정의 바이어스 전압으로 초기화시키는 것을 특징으로 하는 ADC.

청구항 8

제 6 항에 있어서,

상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는,
두 쌍의 NMOS 입력단으로 구성되며,
상기 두 개의 NMOS 입력단을 선택시, 위상이 중첩되는 클록을 사용하는 것을 특징으로 하는 ADC.

청구항 9

제 6 항에 있어서,
상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는,
증폭기 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고,
입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시키는 것을 특징으로 하는 ADC.

청구항 10

제 1 항에 있어서,
상기 복수의 MDAC들의 증폭 동작에 사용되는 기준전압의 구동회로와 상기 복수의 flash ADC의 동작에 사용되는 기준전압의 구동회로가 분리된 기준전류 및 기준전압 발생기를 포함하는 ADC.

청구항 11

제 10 항에 있어서,
상기 기준전류 및 기준전압 발생기는 온-칩으로 집적되는 것을 특징으로 하는 ADC.

청구항 12

제 1 항에 있어서,
상기 ADC는 내부에 집적된 기준전압 또는 외부에서 인가되는 기준전압을 선택적으로 사용하는 것을 특징으로 하는 ADC.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항의 ADC를 포함하는 CMOS 이미지 센서.

발명의 설명

기술 분야

[0001]

본 발명은 CMOS 파이프라인 ADC에 관한 것으로서, 보다 구체적으로, 마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개의 단 이상을 차단하여 다중 모드로 구동이 가능한 CMOS 파이프라인 ADC에 관한 것이다.

배경 기술

[0002]

최근 CMOS image sensor (CIS)는 charge-coupled device (CCD)와 달리 소면적, 저전력, 저렴한 생산 비용, 빠른 동작속도의 특징을 가짐과 동시에 CMOS 공정을 사용하는 다른 회로들과 함께 온-칩으로 집적 가능함에 따라 모바일 기기, 의료용 영상장비, 자동차 시스템 및 고해상도 디지털카메라에 이르기까지 폭넓은 분야에서 활용되고 있다. 특히, digital single-lens reflex (DSLR) 카메라와 같은 고해상도 디지털카메라에 사용되는 고성능 CIS 응용을 위한 저전력 A/D 변환기 (analog-to-digital converter : ADC)의 수요가 급격히 증가하고 있다. 도 1은 면적 및 전력소모를 최적화하기 위해 여러 개의 column을 그룹으로 나누어 처리하는 cluster-parallel ADC 구조의 고성능 CIS 블록 다이어그램을 나타낸 것으로 pixel array, row/column scanner, correlated double sampling (CDS) 회로, analog MUX, variable gain amplifier (VGA) 및 ADC로 구성된다. 이때, 고해상도 디지털 카메라 응용을 위한 ADC는 정지 영상 모드에서 고화질의 선명한 이미지를 제공하기 위해 14비트 50MS/s의 고해상도 ADC가 요구되며, 비디오 영상 모드에서는 많은 양의 데이터를 신속하게 처리하기 위해 10비트 70MS/s의

ADC가 요구된다. 최근 상업용 CIS 시장에서는 single-slope ADC (SS-ADC), successive approximation register-based ADC (SAR-ADC) 및 cyclic ADC가 주로 사용된다. SS-ADC는 구조가 간단하여 작은 면적을 가지고 적은 전력을 소모하며 변환 성능이 우수한 장점이 있다. 그러나 하나의 샘플링 된 입력을 N 비트 변환하는데 2^N 클록 사이클 이상이 필요하므로 높은 해상도를 구현할 경우 동작속도가 제한되는 문제가 있다. 또한, SAR-ADC와 cyclic ADC의 경우 N 비트 해상도 구현을 위해서는 N 번의 클록만으로 A/D 변환이 가능하여 SS-ADC에 비해 비교적 빠른 동작속도를 구현할 수 있는 장점이 있지만 고해상도의 CIS 응용에서는 여전히 동작속도의 한계가 있다. 또한 SAR-ADC는 digital-to-analog converter (DAC) 내 사용되는 커패시터의 수가 해상도에 비례하여 지수적으로 증가하는 문제로 인해 면적 및 전력소모가 급격히 증가하고, 기생 커패시턴스 및 커패시터 부정합 등으로 인해 14비트 이상의 해상도를 만족시키기 어려운 단점이 있다.

[0003]

그 결과 다양한 ADC 구조 중에서 14비트 이상의 고해상도와 수십 MS/s 이상의 동작속도를 동시에 만족시키면서, 전력소모 및 면적을 최소화하기 위해 파이프라인 구조가 주로 사용된다. 최근에는 14비트 이상의 고해상도 구현을 위해 다양한 보정 기법들이 사용되고 있는 추세이지만, 추가적으로 요구되는 회로들로 인해 시스템의 복잡도가 증가하여 system-on-a-chip (SoC) 응용을 위한 intellectual property (IP)로 사용하기에는 어려움이 있다.

선행기술문헌

특허문헌

[0004]

(특허문헌 0001) 한국공개특허 "파이프라인 아날로그-디지털 변환기(10-2011-0049522)"

발명의 내용

해결하려는 과제

[0005]

본 발명이 해결하고자 하는 과제는 마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개의 단 이상을 차단하여 다중 모드로 구동이 가능한 CMOS 파이프라인 ADC를 제공하는 것이다.

과제의 해결 수단

[0006]

본 발명은 상기 과제를 해결하기 위하여, 복수의 MDAC들과 복수의 flash ADC들을 포함하는 N단으로 구성된 파이프라인 구조의 ADC에 있어서, 마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개 단 이상을 차단하여 상기 ADC에서 결정되는 비트의 수를 조절하는 것을 특징으로 하는 ADC를 제공한다.

[0007]

본 발명의 다른 실시예에 의하면, 상기 마지막 단의 MDAC 및 flash ADC는 각각 바이어스 회로에 차단 스위치를 포함하고, 상기 마지막 단의 MDAC 및 flash ADC는 상기 각각의 차단 스위치에 의해 차단되는 것을 특징으로 하는 ADC일 수 있다.

[0008]

본 발명의 다른 실시예에 의하면, 이득 부스팅 기법이 적용된 증폭기를 사용하는 입력단 SHA를 포함할 수 있고, 상기 입력단 SHA에 사용된 증폭기는, NMOS단 이득 부스팅 증폭기는 PMOS 입력을 갖고, PMOS단 이득 부스팅 증폭기는 NMOS 입력을 갖는 폴디드 캐스코드(folded-cascode) 증폭기일 수 있으며, 상기 입력단 SHA에 사용된 증폭기는, 증폭기 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고, 입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시키는 것을 특징으로 하는 ADC일 수 있다.

[0009]

본 발명의 다른 실시예에 의하면, 첫 번째 단의 MDAC와 두 번째 단의 MDAC는 하나의 증폭기를 공유할 수 있고, 상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는, 두 쌍의 NMOS 입력단으로 구성되며, 상기 두 개의 NMOS 입력단 중 사용하지 않는 입력단을 교대로 소정의 바이어스 전압으로 초기화시킬 수 있으며, 상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는, 두 개의 NMOS 입력단을 선택시, 위상이 중첩되는 클록을 사용할 수 있으며, 증폭기 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고, 입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시키는 것을 특징으로 하는 ADC일 수 있다.

[0010]

본 발명의 다른 실시예에 의하면, 상기 복수의 MDAC들의 증폭 동작에 사용되는 기준전압의 구동회로와 상기 복수의 flash ADC의 동작에 사용되는 기준전압의 구동회로가 분리된 기준전류 및 기준전압 발생기를 포함할 수 있다.

고, 상기 기준전류 및 기준전압 발생기는 온-칩으로 집적될 수 있으며, 내부에 집적된 기준전압 또는 외부에서 인가되는 기준전압을 선택적으로 사용하는 것을 특징으로 하는 ADC일 수 있다.

[0011] 본 발명은 상기 ADC를 포함하는 CMOS 이미지 센서를 제공할 수 있다.

발명의 효과

[0012] 본 발명에 따르면, 하나의 ADC로 다중 모드를 구현할 수 있다. 즉, 추가적인 보정 기법 없이 정지 영상 모드를 위한 14비트 50MS/s 및 비디오 영상 모드를 위한 10비트 70MS/s 성능을 동시에 구현할 수 있다. 또한, 10비트 70MS/s 모드에서는 14비트 50MS/s 모드에서와 동일한 입력 기준 잡음 (input-referred noise)을 확보하고 전력 소모, 면적 및 잡음을 최소화할 수 있다.

도면의 간단한 설명

[0013] 도 1은 고해상도 디지털카메라 응용을 위한 고성능 CIS 블록 다이어그램이다.

도 2는 본 발명의 일 실시예에 따른 다중 모드 파이프라인 ADC이다.

도 3은 본 발명의 실시예에 따른 이득-부스팅 회로가 적용된 저 잡음 입력단 SHA 증폭기를 도시한 것이다.

도 4는 본 발명의 실시예에 따른 증폭기 공유기법 기반의 고 이득 저 잡음 2단 증폭기를 도시한 것이다.

도 5는 본 발명의 실시예에 따른 스위치 기반의 바이어스 회로를 사용하는 MDAC를 도시한 것이다.

도 6은 본 발명의 실시예에 따른 전력소모 및 스위칭 잡음을 최소화한 기준전류 및 전압 발생기를 도시한 것이다.

도 7은 본 발명의 실시예에 따른 다중 모드 파이프라인 ADC의 칩 및 레이아웃 사진이다.

도 8 내지 도 11은 본 발명의 실시예에 따른 다중 모드 파이프라인 ADC의 실험 결과이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0015] 본 발명의 일 실시예에 따른 복수의 MDAC들과 복수의 flash ADC들을 포함하는 N단으로 구성된 파이프라인 구조의 ADC는 마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개의 단 이상을 차단하여 상기 ADC에서 결정되는 비트의 수를 조절하는 것을 특징으로 한다.

[0016] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0017] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0018] 도 2는 본 발명의 일 실시예에 따른 다중 모드 파이프라인 ADC이다.

[0019] 본 발명의 일 실시예에 따른 다중 모드 파이프라인 ADC는 복수의 MDAC들과 복수의 flash ADC들을 포함하여 N단으로 구성되며, 마지막 단으로부터 순차적으로 MDAC 및 flash ADC를 포함하는 한 개의 단 이상을 차단하여 상기 ADC에서 결정되는 비트의 수를 조절한다.

[0020] 보다 구체적으로, 목적하는 사양에 따라 파이프라인의 단 수가 달라질 수 있으며, 그에 따라 포함되는 MDAC 및 flash ADC의 수가 달라질 수 있다. 또한, 마지막 단의 MDAC 및 flash ADC를 차단하거나, 두 개의 단 이상의 MDAC 및 flash ADC를 차단함으로써 이중 모드 또는 다중 모드로 이용할 수 있다. 상기 파이프라인의 단 수 또는

다중 모드 여부는 구현하고자 하는 ADC의 사양에 따라 달라질 수 있다.

- [0021] 상기 다중 모드를 구현하기 위하여, 상기 마지막 단의 MDAC 및 flash ADC는 각각 바이어스 회로에 차단 스위치를 포함하고, 상기 마지막 단의 MDAC 및 flash ADC는 상기 각각의 차단 스위치에 의해 차단될 수 있다. 상기 차단 스위치는 제어 신호에 따라 온 오프 될 수 있다. 상기 제어신호는 사용자의 입력 또는 미리 설정된 순서에 따라 달라질 수 있다. 입력단을 구성하는 입력단 SHA에 사용된 증폭기는 이득 부스팅 기법을 적용할 수 있다. 상기 입력단 SHA에 사용된 증폭기의 NMOS단 이득 부스팅 증폭기는 PMOS 입력을 갖고, PMOS단 이득 부스팅 증폭기는 NMOS 입력을 갖는 폴디드 캐스코드(folded-cascode) 증폭기를 사용할 수 있다. 상기 입력단 SHA에 사용된 증폭기는 증폭기 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고, 입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시킬 수 있다. 상기 전류원 트랜지스터의 트랜스컨덕턴스는 전류원 트랜지스터의 사양에 따라 결정될 수 있고, 상기 입력단 트랜지스터의 트랜스컨덕턴스 또한, 입력단 트랜지스터의 사양에 따라 결정될 수 있다. 또는 실험을 통해 열잡음이 최소가 되는 전류원 및 입력단 트랜지스터의 트랜스컨덕턴스를 산출하여 결정할 수 있다.
- [0022] 첫 번째 단의 MDAC와 두 번째 단의 MDAC는 하나의 증폭기를 공유하여 면적 및 전력소모를 동시에 최소화한다. 상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는 증폭기 공유시 발생하는 메모리 효과를 줄이기 위하여, 두 개의 NMOS 입력단 중 사용하지 않는 입력단을 교대로 소정의 바이어스 전압으로 초기화시킬 수 있고, 글리치 에너지를 줄이기 위하여, 두 개의 NMOS 입력단을 선택시, 위상이 중첩되는 클록을 사용할 수 있다. 상기 입력단 SHA와 같이, 상기 첫 번째 단의 MDAC와 두 번째 단의 MDAC가 공유하는 증폭기는 증폭기의 잡음을 최소화하기 위하여 전류원 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 감소시키고, 입력단 트랜지스터의 트랜스컨덕턴스를 포화영역 안에서 최대로 증가시킬 수 있다.
- [0023] 기준전압의 불안정을 해결하기 위하여, 상기 복수의 MDAC들의 증폭 동작에 사용되는 기준전압의 구동회로와 상기 복수의 flash ADC의 동작에 사용되는 기준전압의 구동회로가 분리된 기준전류 및 기준전압 발생기를 포함한다. 상기 기준전류 및 기준전압 발생기는 온-칩으로 집적된다.
- [0024] 이하에서는 14비트 및 10비트의 다중 모드를 구현한 도 2의 파이프라인 ADC를 이용하여 본 발명의 실시예에 따른 ADC를 구체적으로 설명하도록 한다.
- [0025] 본 발명의 실시예에 따른 ADC는 고성능 CIS 응용을 위해 정지 영상 모드의 14비트 50MS/s 및 비디오 영상 모드의 10비트 70MS/s를 동시에 구현하는 저 잡음 이중 모드 4단 파이프라인 구조로 구현된다. 10비트 70MS/s 모드로 동작할 때 마지막 단의 MDAC3 및 flash ADC4를 차단시켜 14비트 50MS/s 모드 및 10비트 70MS/s 모드에서 동일한 입력 기준 잡음을 갖는다. 입력단 SHA는 기존의 flip-around 구조를 사용하여 전력소모, 면적 및 잡음을 최소화할 수 있으며, flip-around 구조의 제약사항을 극복하기 위해 이득-부스팅 기반의 1단 folded-cascode 증폭기를 사용하여 요구되는 전압이득 및 대역폭을 만족시킨다. 또한 증폭기의 필요한 출력 스윙 마진을 충분히 고려하되 전류원 트랜지스터의 트랜스컨덕턴스를 감소시키고, 입력단 트랜스컨덕턴스를 증가시켜 증폭기 자체에서 발생하는 열잡음을 최소화할 수 있다. 전력소모 및 면적을 최소화하기 위해 첫 번째 및 두 번째 MDAC인, MDAC1 및 MDAC2에 사용되는 증폭기를 공유하고 분리된 두 쌍의 입력단을 사용함으로써 증폭기 공유에 따른 메모리 효과 문제를 효과적으로 감소시킬 수 있다. 이때, 증폭기는 캐스코드 주파수 보상 기법을 적용한 2단 증폭기를 사용하여 요구되는 전압이득을 얻음과 동시에 안정적인 신호 정착성능을 확보할 수 있다. 또한, SHA와 마찬가지로 전류원 트랜지스터 및 입력단 트랜스컨덕턴스 설계를 최적화하여 증폭기의 열잡음을 최소화할 수 있다. 마지막으로 MDAC의 증폭 동작과 flash ADC 동작 시 사용되는 기준전압 구동회로를 분리하여 서로 다른 부하조건 및 요구사양에 따른 기준전압 불안정 문제를 줄일 수 있다. 특히, 높은 해상도를 필요로 하는 MDAC에 연결되는 기준전압이 적은 전력만으로 충분한 정착성능을 확보할 수 있어 기준전압 구동회로에서 소모되는 전력을 최소화할 수 있다.
- [0026] 14비트 및 10비트 모드를 동시에 구현하는 이중 모드 ADC는 도 2와 같다. 첫 번째, 두 번째 및 세 번째 단에서 각각 4비트씩을 결정하고 마지막 단에서 5비트를 결정하는 4단 파이프라인 구조를 가진다. 외부로부터 인가되는 $2.2V_{P-P}$ 의 높은 범위의 입력신호를 적절히 처리할 수 있도록 입력단 sample-and-hold amplifier (SHA), MDAC, flash ADC, 온-칩 기준전류 및 전압 발생기, 클록 발생기는 최소 게이트 길이가 0.35 μm 인 thick-gate-oxide 트랜지스터로 구현되어 3.3V의 높은 전원 전압에서 동작할 수 있다. 그 반면, ISP로 낮은 전압의 디지털 데이터를 출력하기 위해 1.2V의 낮은 전원 전압을 사용하는 디지털 교정회로 및 분주기는 최소 게이트 길이가 0.13 μm 인 thin-gate-oxide 트랜지스터로 구현될 수 있다. 14비트 50MS/s 모드에서는 4단 파이프라인 구조로 동

작하지만, 10비트 70MS/s 모드에서는 마지막 단의 MDAC3 및 flash ADC4의 동작을 차단하여 14비트 50MS/s 및 10비트 70MS/s 모드에서 동일한 입력 기준 잡음을 갖는다. 한편, 2개의 커패시터를 사용하는 flip-around 구조 기반의 입력단 SHA는 샘플링 스위치에 Nyquist 주파수 입력에서도 높은 선형성을 유지하도록 게이트-부트스트래핑 회로를 사용하며, 이득-부스팅 (gain-boosting) 기법을 적용한 1단 증폭기를 사용하여 소모되는 전력을 줄이면서 넓은 동작 주파수 영역 및 안정적인 신호 정착을 위하여 충분한 위상여유를 얻을 수 있다. 또한, MDAC에는 낮은 임피던스 기반의 캐스코드 주파수 보상 기법을 적용한 2단 증폭기를 사용하여 충분한 위상여유 확보를 통해 안정적인 신호 정착을 얻을 수 있으며, 첫 번째 단 및 두 번째 단의 MDAC에는 하나의 증폭기를 공유하는 기법을 사용하여 면적 및 전력소모가 줄어든다. 또한, 고해상도 및 높은 동작속도를 위해 기준전류 및 기준전압 발생기를 온-칩으로 집적하여 핵심 아날로그 블록에 기준전류 및 기준전압을 안정적으로 공급하되, MDAC의 증폭 동작과 flash ADC 동작 시 요구되는 정확도 및 서로 다른 부하조건을 고려하여 기준전압 구동회로를 별도로 분리함으로써 스위치 동작에 따른 신호 간섭 등 불안정 문제를 해결함과 동시에 전력소모는 최소가 된다. 분주기를 포함하는 디지털 교정회로에서는 높은 전압의 클록 신호와 디지털 데이터를 낮은 전압 기반으로 변환하는 레벨-시프트 회로를 사용하여 다양한 CIS 시스템에서 즉각적인 응용이 가능하다.

[0027]

본 발명의 실시예에 따른 ADC는 이득 부스팅 기법을 적용한 입력단 SHA를 포함한다.

[0028]

보다 구체적으로, 입력단 SHA는 파이프라인 ADC 성능에 가장 큰 제약을 주는 블록으로써 14비트 해상도 수준에서 SHA의 신호 정착 오류, 비선형성 및 잡음 성분을 최소화하기 위해 높은 전압이득을 가지면서 동시에 빠른 동작속도를 갖는 증폭기가 요구된다. 만일 SHA에서 2단 증폭기를 사용할 경우, 높은 전압이득 및 충분한 출력 스윙 마진을 얻을 수 있지만 안정적인 동작이 가능하도록 충분한 위상여유를 얻기 위해서는 두 번째 단 증폭기의 입력단 트랜스컨덕턴스 (trans-conductance)를 증가시켜야 하고, 주파수 보상 기법을 사용해야 하기 때문에 전력소모가 증가하며, 1단 증폭기에 비하여 증폭기의 열잡음으로 인한 동적 성능 저하가 크게 발생한다. 통상 입력단 SHA 구조에는 flip-around 구조와 전하 재분배 구조가 많이 사용된다. 이렇게 2개의 커패시터를 사용하는 flip-around 구조를 전하 재분배 구조와 비교할 때, feedback factor (β)가 이상적으로는 2배 크기 때문에 동일한 페 루프 대역폭을 얻기 위해서 요구되는 대역폭이 절반으로 줄어들어 전력소모를 최소화할 수 있을 뿐만 아니라, SHA에서 발생하는 입력 기준 잡음을 절반으로 감소시킬 수 있는 장점이 있다. 그러나 flip-around 구조의 경우 증폭기 성능에 결정적인 영향을 미치는 입력 공통모드 전압이 입력 조건에 따라 변화하는 단점이 있다.

[0029]

따라서 본 발명의 실시예에 따른 입력단 SHA는 flip-around 구조에서 홀딩 동작 시 발생하는 입력 공통모드 전압 변화에 대한 영향을 줄이고, 충분한 전압이득과 위상여유를 얻으며 증폭기의 열잡음으로 인한 성능저하를 최소화하기 위해 도 3과 같이 이득-부스팅 기법을 적용한 1단 folded-cascode 증폭기를 사용할 수 있다. 이때, 이득-부스팅 증폭기는 입력 공통모드 범위에 덜 민감하고 높은 전압이득을 얻기 위해 NMOS단 이득-부스팅 증폭기의 경우 PMOS 입력을, PMOS단 이득-부스팅 증폭기는 NMOS 입력을 갖는 folded-cascode 증폭기를 사용할 수 있다. 이득-부스팅 기법을 사용하게 되면 정착성능에 영향을 미치는 pole-zero 쌍 (doublet)이 이득-부스팅 증폭기의 단위이득 대역폭 ($f_{u,ba}$) 부근에 형성된다. 전체 증폭기의 정착성능을 최적화하기 위해 $f_{u,ba}$ 는 전체 증폭기의 f_{-3dB} 와 두 번째 pole 사이에 형성되어야 하고, $f_{u,ba}$ 가 두 번째 pole에 근접할수록 doublet에 의한 영향이 적어진다. 이를 최적화한 결과, 전체 증폭기는 100dB 수준의 높은 전압이득을 얻을 수 있고, 86도의 안정적인 위상여유를 만족하도록 설계되어 최적화된 정착성능을 나타낸다.

[0030]

한편, SHA의 샘플링 스위치로부터 발생하는 kT/C 잡음 및 증폭기의 열잡음 역시 전체 ADC의 동적 성능에 큰 제약을 주는 요소이다. SHA의 kT/C 잡음은 샘플링 커패시터 크기에 의해서 결정이 되고, folded-cascode 증폭기 자체에서 발생하는 열잡음은 수학적 1과 같이 나타낼 수 있다.

수학적 1

$$\overline{V_{n,folded,input}^2} = 8kT \left(\frac{2}{3g_{m1,2}} + \frac{2g_{m4,5}}{3g_{m1,2}^2} + \frac{2g_{m10,11}}{3g_{m1,2}^2} \right)$$

[0031]

[0032]

Folded-cascode 증폭기의 열잡음에 큰 영향을 주는 소자는 도 3의 입력단 트랜지스터 (M1, M2)와 전류원 트랜지스터 (M4, M5), (M10, M11)이다. 증폭기에서 필요한 출력 스윙 마진을 고려하되, (M4, M5), (M10, M11)의 과도 구동 전압 (V_{ov})을 최대로 증가시켜 트랜스컨덕턴스를 줄이고, (M1, M2)의 트랜스컨덕턴스를 증가시킴으로써 증

폭기 자체에서 발생하는 열잡음 성분을 최소화할 수 있으며, SHA의 샘플링 커패시터는 14비트의 해상도와 $2.2V_{p-p}$ 의 입력신호 범위를 고려하여 6pF를 사용함으로써 kT/C 잡음에 의한 동적 성능 저하를 완화할 수 있다. 또한, 14비트 이상의 해상도로 왜곡 없이 샘플링하기 위해 입력 샘플링 스위치에는 게이트-부트스트래핑 회로를 사용하여 입력신호의 크기에 독립적인 온-저항을 갖도록 할 수 있다.

[0033] 본 발명의 실시예에 따른 ADC는 첫 번째 단의 MDAC와 두 번째 단의 MDAC는 하나의 증폭기를 공유한다.

[0034] 보다 구체적으로, 고속 고해상도 파이프라인 ADC 구현을 위해 MDAC의 출력신호는 각 단에서 처리하는 해상도에 따라 증폭 모드에 해당하는 클록의 반주기 내에 일정 수준의 오차범위 이내에 정착하여야 한다. 첫 번째 및 두 번째 MDAC인 MDAC1 및 MDAC2는 스위치드 커패시터 (switched-capacitor) 회로를 기반으로 하는 파이프라인 구조의 특성상 클록의 반주기 동안만 증폭 동작을 수행하고 나머지 반주기 동안은 사용하지 않는다는 점을 이용하여 면적 및 전력소모를 동시에 최소화하기 위해, 도 4와 같이 하나의 증폭기를 두 개의 입력단으로 구현하여 모든 클록 위상에서 항상 증폭 동작을 수행한다. 또한, 요구되는 높은 전압이득 및 동작속도를 만족시키기 위해 telescopic 증폭기를 2단으로 구성하여 102dB 수준의 높은 전압이득을 얻을 수 있다.

[0035] 도 4의 첫 번째 단 증폭기의 두 개의 NMOS 입력단 중 사용하지 않는 입력단을 교대로 일정한 바이어스 전압으로 초기화함으로써 증폭기 공유시 발생하는 메모리 효과를 최소화할 수 있다. 또한, 도 4의 우측에서 보듯이 두 개의 입력단을 선택할 때 위상의 일부가 중첩되는 클록을 사용하여, 증폭기를 교대로 선택하는 과정에서 발생하는 글리치 에너지를 최소화함으로써 증폭기가 안정적으로 동작할 수 있다. 한편, 2단 증폭기 구조에서 주파수 보상 커패시터의 한 쪽 끝을 낮은 임피던스를 가지는 캐스코드 노드에 연결함으로써 동일한 전류를 사용하였을 때 밀러 주파수 보상 기법보다 높은 위상여유를 가지는 캐스코드 주파수 보상 기법을 사용하여 60도의 위상여유를 얻음과 동시에 전력소모를 최소화할 수 있다. 입력단 SHA와 마찬가지로 MDAC1은 전체 ADC의 동적 성능에 큰 영향을 미치는 블록으로써 kT/C 잡음을 고려하여 6pF의 샘플링 커패시터를 사용할 수 있다. 통상 2단 증폭기 구조의 경우, 두 번째 단의 증폭기 잡음은 첫 번째 단의 높은 전압이득으로 나뉘지기 때문에 전체 증폭기 잡음에 큰 영향은 미치지 않는다. 따라서 두 번째 단의 증폭기 잡음은 제외하고, 첫 번째 단의 telescopic 증폭기 자체에서 발생하는 열잡음을 나타내면 수학적 2와 같다.

수학적 2

$$\overline{V_{n,telescopic,input}^2} = 8kT \left(\frac{2}{3g_{m1,2}} + \frac{2g_{m6,7}}{3g_{m1,2}^2} \right)$$

[0036]

[0037] 도 4의 telescopic 증폭기의 경우, 잡음에 큰 영향을 주는 소자는 입력단 트랜지스터 (M1, M2)와 전류원 트랜지스터 (M6, M7)이며 folded-cascode 증폭기에 비해서 잡음에 영향을 주는 소자가 적기 때문에 저 잡음 설계가 가능하다. 이때, 입력단 SHA와 마찬가지로 증폭기의 요구되는 출력 스윙 마진 범위 내에서 (M6, M7)의 V_{ov} 전압을 최대한 증가시켜 트랜스컨덕턴스를 줄이고, (M1, M2)의 트랜스컨덕턴스를 증가시킴으로써 증폭기 자체에서 발생하는 열잡음 성분을 최소화할 수 있다.

[0038] 이중 모드를 구현하기 위하여, 본 발명의 실시예에 따른 ADC는 마지막 단의 MDAC 및 flash ADC는 각각 바이어스 회로에 차단 스위치를 포함하고, 상기 마지막 단의 MDAC 및 flash ADC는 상기 각각의 차단 스위치에 의해 차단될 수 있다.

[0039] 보다 구체적으로, 14비트 50MS/s 모드와 10비트 70MS/s 모드 동작을 동시에 구현하기 위해 10비트 모드 동작에서는 14 비트 출력 전체를 이용하지 않는다. 이를 위하여, 첫 번째 단의 MDAC 및 flash ADC의 동작을 차단시키거나 마지막 단의 MDAC 및 flash ADC 동작을 차단시킬 수 있다. 본 발명의 실시예에 따른 ADC는 이중모드를 구현하기 위해서, 도 5와 같이 마지막 단 MDAC3의 동작을 차단한다. 첫 번째 단의 MDAC 및 flash ADC를 차단시키는 경우, 10비트 70MS/s 모드에서 전력소모가 큰 첫 번째 단의 MDAC을 차단시킴으로써 전력소모를 최소화할 수 있다는 장점이 있으나, 두 가지 모드에서 동일한 입력 기준 잡음을 요구하는 CIS 응용에는 적합하지 않다. 한편, 마지막 단 MDAC3의 잡음 성분은 ADC의 입력단에서 보았을 때, MDAC1 및 MDAC2의 페 루프 이득으로 나뉘지기 때문에 전체 ADC의 입력 기준 잡음에 미치는 영향이 매우 미비하다. 따라서 도 5와 같이 14비트 50MS/s 모드에서 10비트 70MS/s 모드로의 전환을 위해 MDAC3의 바이어스 회로에 SHDNB 신호에 의해 제어되는 스위치를 포함

하며, ADC가 10비트 70MS/s 모드로 동작할 경우 SHDNB 신호에 의해 스위치를 꺼지게 함으로써 MDAC3에서 소모되는 전력을 줄여 각 해상도에서 전력소모를 최적화함과 동시에 14비트 50MS/s 모드와 동일한 입력 기준 잡음을 얻을 수 있다. MDAC3가 동작하지 않는 동일한 시점에서 마지막 단의 flash ADC4의 바이어스 회로에도 SHDNB 신호에 의해 제어되는 스위치를 포함하여 10비트 70MS/s 모드 시 소모되는 전력을 최소화할 수 있다.

[0040] 본 발명의 실시예에 따른 ADC는 복수의 MDAC들의 증폭 동작에 사용되는 기준전압의 구동회로와 복수의 flash ADC의 동작에 사용되는 기준전압의 구동회로가 분리된 기준전류 및 기준전압 발생기를 포함한다.

[0041] 보다 구체적으로, 제안하는 ADC가 14비트 50MS/s 모드 및 10비트 70MS/s 모드에서 각각 요구되는 수준의 정확도를 안정적으로 얻기 위해서는 온도와 전원 전압 변화에 덜 민감한 기준전류 및 전압 발생기가 필수적으로 요구된다. 도 6은 SHA, MDAC 및 flash ADC에서 사용되는 기준전류와 기준전압 발생기를 도시한 것으로, 다양한 SoC 응용이 가능하도록 온-칩으로 집적할 수 있다. 만일, MDAC 및 flash ADC에 하나의 기준전압 구동회로를 적용할 경우, 서로 다른 정확도 사양 및 부하조건에 따른 스위치 잡음 등이 혼재되어 기준전압 불안정 문제가 발생하여 $2.2V_{P-P}$ 입력신호에 상응하는 14비트 수준의 고해상도를 만족하는 신호 정착성능을 확보하기 어려우며 이를 해결하기 위해 기준전압 구동회로의 높은 대역폭 및 전력소모가 요구된다. 본 발명의 실시예에 따른 ADC는 MDAC의 증폭 동작과 flash ADC 동작 시 사용되는 기준전압 구동회로만을 분리하여 단일 기준전압으로 구현된 2개의 기준전압 구동회로를 갖는다.

[0042] 도 6과 같이 분리된 기준전압 구동회로를 통해 신호 간섭에 의한 불안정 문제를 해결함으로써 높은 해상도의 MDAC에 연결되는 기준전압이 적은 전력소모만으로 충분한 정착성능을 확보할 수 있다. 또한, 칩 내부에 20Ω 및 $200pF$ 으로 이루어진 온-칩 RC 필터와 칩 외부에 $0.1\mu F$ 수준의 추가적인 바이패스-커패시터를 동시에 연결함으로써 스위치의 충전 및 방전에 의한 잡음 및 클리치 문제를 해결하여 안정적인 기준전압을 전체 ADC에 공급하도록 할 수 있다. 한편, 사용자 환경의 다양성을 고려하여, 3비트의 디지털 코드 조합에 의해 기준전류 및 전압 값의 보정이 가능하도록 하였으며, 시스템 응용에 따라 내부에 집적된 기준전압이 아닌 외부에서 인가하는 기준전압을 선택적으로 사용할 수도 있다.

[0043] 도 7은 본 발명의 실시예에 따른 다중 모드 파이프라인 ADC의 칩 및 레이아웃 사진이다.

[0044] 고성능 CIS 응용을 위해 14비트 50MS/s 및 10비트 70MS/s 두 가지 모드 동작을 동시에 구현하는 ADC는 $0.13\mu m$ CMOS 공정을 사용하여 제작할 수 있다. 본 발명의 실시예에 따른 ADC의 전체 칩 및 레이아웃 사진은 도 7과 같고, 입출력 패드를 제외한 칩 면적은 $1.17mm^2$ 이다. 전체 ADC를 구성하는 각 회로 블록 공간 이외의 유휴 공간에는 $370pF$ 수준의 MOS decoupling 커패시터를 온-칩으로 집적하여 각 회로 블록간의 간섭, EMI 문제, 전원 전압 및 고속 동작에서의 잡음을 최소화하였다. 시제품 ADC는 14비트 50MS/s 모드에서 $192.9mW$, 10비트 70MS/s 모드에서 $184.9mW$ 의 전력을 소모한다.

[0045] Differential non-linearity (DNL) 및 integral non-linearity (INL)는 도 8(a)와 같이 14비트 모드의 경우 각각 최대 $0.79LSB$, $2.54LSB$ 수준을 보이며, 도 8(b)와 같이 10비트 모드의 경우 각각 최대 $0.53LSB$, $0.44LSB$ 수준을 보인다. 도 9(a) 및 (b)는 각각 시제품 ADC의 두 가지 모드인 14비트 50MS/s 모드 및 10비트 70MS/s 모드에서 $4MHz$ 의 차동 입력신호를 인가하여 측정된 신호 스펙트럼을 보여준다. 도 10(a) 및 (b)는 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 도 10(a)는 ADC의 동작속도를 14비트 모드에서 $10MS/s$ 에서 $50MS/s$ 까지 증가시킬 경우 및 10비트 모드에서 $10MS/s$ 에서 $70MS/s$ 까지 증가시킬 경우, $4MHz$ 의 차동 입력 주파수에서 측정된 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)의 성능 변화를 나타낸다. 동작속도가 두 가지 모드에서 각각 $50MS/s$ 및 $70MS/s$ 까지 증가하는 동안 측정된 시제품 ADC의 차동 입력에 대한 SNDR과 SFDR은 14비트 모드에서 각각 $68.5dB$, $86.7dB$ 이상을 유지하고, 10비트 모드에서 각각 $60.9dB$, $78.2dB$ 이상을 유지한다. 도 10(b)는 각각 14비트 모드에서 $50MS/s$ 의 동작속도 및 10비트 모드에서 $70MS/s$ 의 동작속도에서 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력신호를 Nyquist 주파수까지 증가시킬 때, 14비트 모드에서 측정된 SNDR과 SFDR은 각각 $64.4dB$, $82.3dB$ 이상의 수준을 유지하며, 10비트 모드에서 $58.8dB$, $71.1dB$ 이상의 수준을 유지한다.

[0046] 한편, 이론적으로 얻을 수 있는 최대 $SNR_{thermal}$ 은 수학적 3과 같이 나타낼 수 있다. 수학적 3은 수학적 4의 V_{P-P} 의 peak-to-peak 값을 갖는 정현파 입력신호의 크기 (V_{rms}), 수학적 5의 14비트 수준의 양자화 잡음의 크기 (N_q), 수학적 6과 같이 SHA와 MDAC1의 샘플링 스위치 및 증폭기의 열잡음으로 인해 ADC 입력단으로 유입되는 잡음의

크기 (N_T) 등을 고려하여 계산되었다.

수학식 3

$$SNR_{thermal} = 20 \log \left(\frac{V_{rms}}{\sqrt{N_Q^2 + N_T^2}} \right)$$

수학식 4

$$V_{rms} = \frac{V_{P-P}}{2\sqrt{2}}$$

수학식 5

$$N_Q = \sqrt{\frac{1}{12} \frac{V_{P-P}}{2^{14}}}$$

수학식 6

$$N_T = \sqrt{\frac{4kT}{C_S} + \frac{32kT}{3} \left(\frac{1}{C_{CS}} + \frac{9}{64C_{CM}} \right)}$$

위 식에서 C_S 는 SHA와 MDAC1에서 사용된 샘플링 커패시턴스, C_{CS} 는 SHA의 부하 커패시턴스, C_{CM} 은 MDAC1에 사용된 주파수 보상 커패시턴스를 나타내며 그 값은 각각 6pF, 6.5pF 및 1pF으로 이를 수학식 3에 대입하여 계산된 이론적인 $SNR_{thermal}$ 은 75.5dB 수준이다.

도 11은 시제품 ADC의 차동 입력을 연결한 후 출력된 디지털 코드의 히스토그램을 분석하여 측정한 입력에서 본 잡음을 나타낸다. 즉, 잡음은 14비트 50MS/s 모드에서 16,384개의 출력 코드를 기반으로 측정하였으며, 측정된 입력 기준의 잡음 (N_I)은 1.20LSB_{rms} 수준이다. 이때, 수학식 4, 5 및 측정된 입력 기준 잡음을 수학식 7에 대입하여 얻은 $SNR_{measured}$ 은 73.6dB 수준이다.

수학식 7

$$SNR_{measured} = 20 \log \left(\frac{V_{rms}}{\sqrt{N_Q^2 + N_I^2}} \right)$$

이 값은 이론적으로 얻을 수 있는 $SNR_{thermal}$ 과 약 2dB 수준의 차이를 보이므로 이론적인 계산 값과 측정값이 유사한 수준임을 확인할 수 있다. 한편 10비트 70MS/s 모드의 경우, 잡음에 대한 영향이 적은 마지막 단을 차단시켰기 때문에 입력 기준 잡음이 10비트의 1LSB 수준보다 충분히 작게 측정되었다.

[0055]

본 발명의 실시예에 따른 ADC의 주요 성능 측정 결과를 표 1에 정리하였으며, 표 2에는 기존에 발표된 14비트 수준의 ADC와 성능을 비교하였다. 10비트 모드에서 60.9dB라는 높은 SNDR을 보이며, 14비트의 높은 해상도 및 50MS/s의 동작속도를 가지면서 192.9mW의 비교적 낮은 전력소모와 68.5dB의 높은 SNDR을 나타낸다. 정지 영상 모드의 14비트 50MS/s 및 비디오 영상 모드의 10비트 70MS/s를 동시에 구현하면서 비교적 높은 동적 성능을 얻었으며 동시에 면적, 전력소모 및 잡음 성분을 최소화함에 따라 고성능 CIS에 즉각적인 응용이 가능하다.

표 1

Resolution	14bits	10bits
Speed	50MS/s	70MS/s
Process	Samsung 0.13um CMOS	
Supply	A = 3.3V, D _H = 3.3V, D _L = 1.2V	
Input Range	2.2V _{p-p} (Differential)	
SNDR	68.5dB (@ fin = 4MHz)	60.9dB (@ fin = 4MHz)
SFDR	86.7dB (@ fin = 4MHz)	78.2dB (@ fin = 4MHz)
DNL	-0.79 / +0.77 LSB	-0.53 / +0.38 LSB
INL	-2.54 / +2.45 LSB	-0.44 / +0.37 LSB
Input-referred Noise	1.20LSB _{rms}	< 1LSB _{rms}
ADC Power	192.9mW	184.9mW
Die Area	1.17mm ² (= 1.32mm × 0.89mm)	

[0056]

표 2

	Speed [MS/s]	Supply [V]	Power [mW]	Area [mm ²]	DNL/INL [LSB]	SNDR [dB]	Process [CMOS]
THIS WORK	50	3.3/1.2	192.9	1.17	0.79 / 2.54	68.5	0.13um CMOS
ISCAS'09	32	2.5	187.5	2.80	0.70 / 6.00	58.0	0.25um CMOS
CICC'06	70	2.5	235.0	3.3	0.65 / 1.80	65.7	0.13um CMOS
JSSC'06	80	3.3/5.0	1200.0	-	0.40 / 0.60	74.0	0.35um BiCMOS
JSSC'09	100	1.2	250.0	1.00	0.90 / 1.30	73.0	90nm CMOS
ISSCC'06	100	1.5	224.0	1.02	1.10 / 2.00	66.5	0.13um CMOS
ISSCC'08	100	3.0	230.0	7.28	0.80 / 2.10	72.4	0.18um CMOS

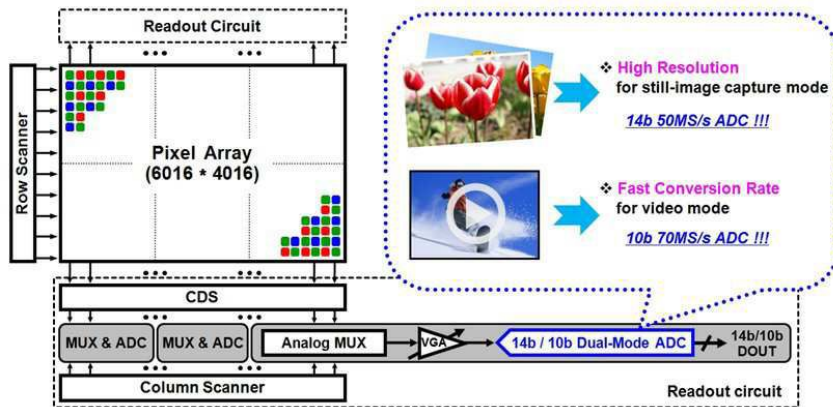
[0057]

[0058]

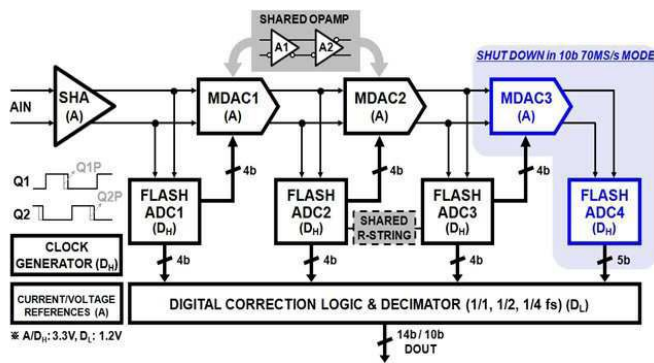
본 발명의 일 실시예에 따른 CMOS 이미지 센서는 상기 ADC를 포함할 수 있다. 정지 영상 모드의 14비트 50MS/s 및 비디오 영상 모드의 10비트 70MS/s를 동시에 구현하는 저 잡음 이중 모드 4단 파이프라인 구조의 ADC를 이용함으로써 하나의 ADC로 두가지 영상 모드를 구현할 수 있다.

도면

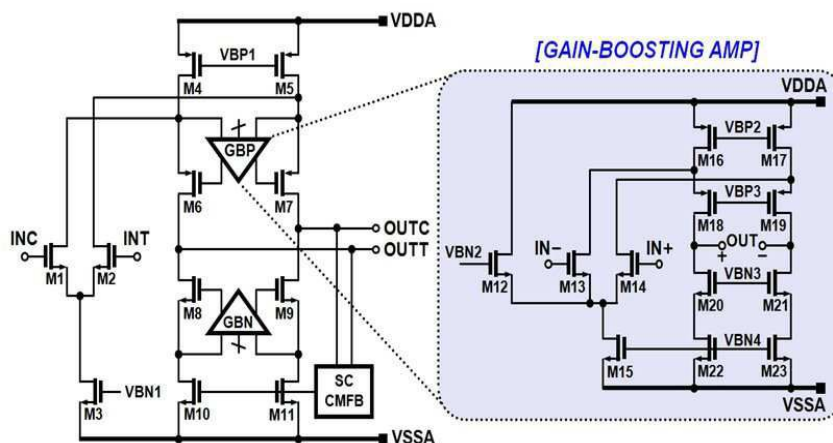
도면1



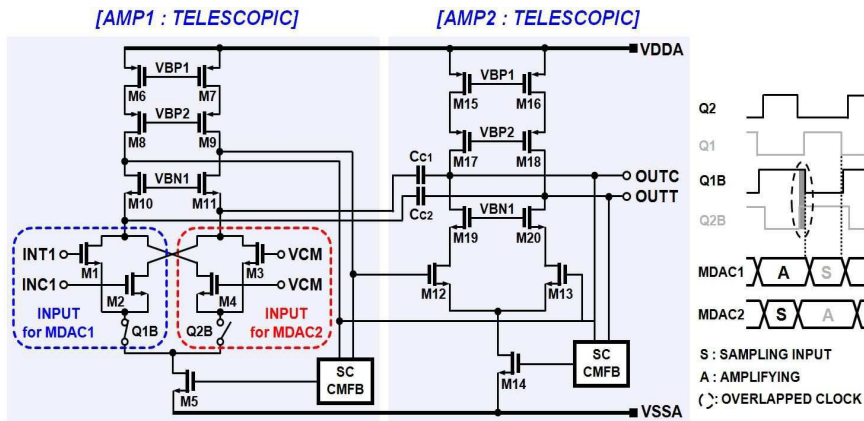
도면2



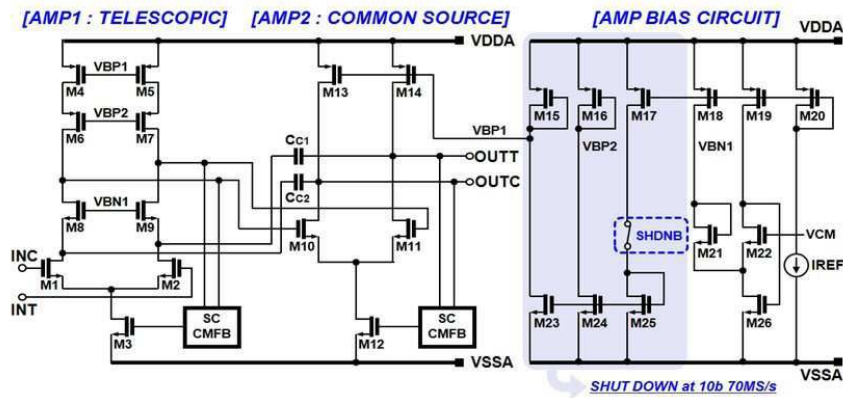
도면3



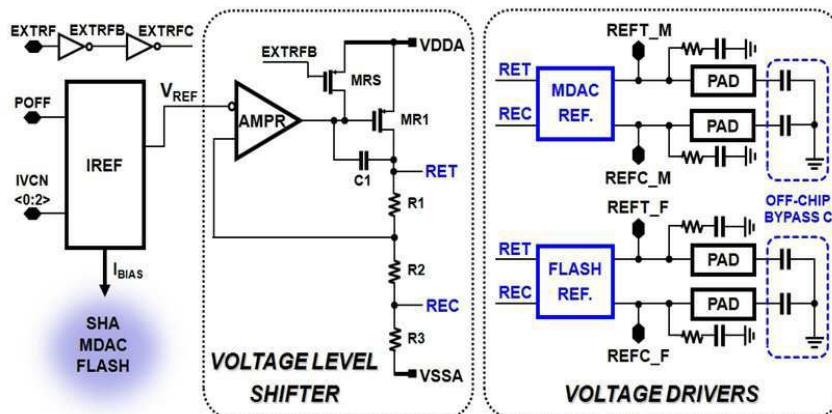
도면4



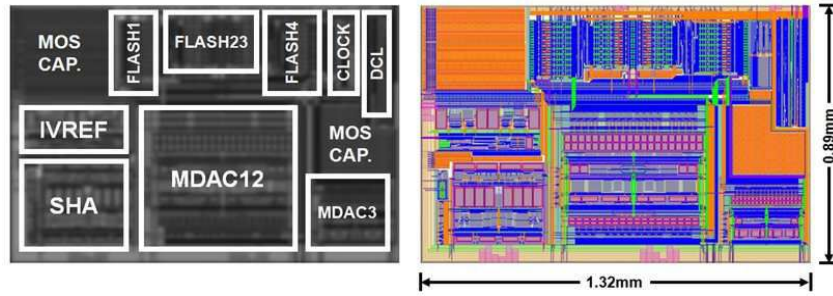
도면5



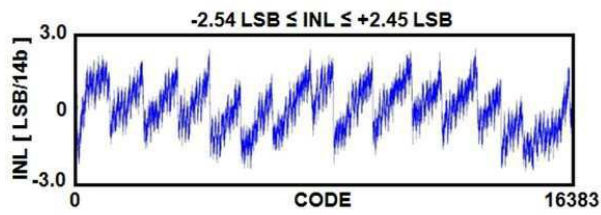
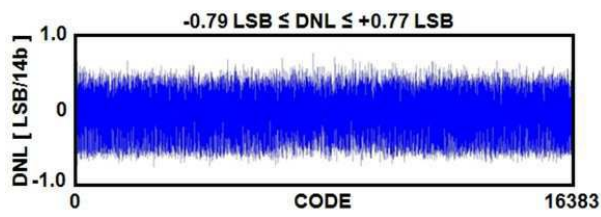
도면6



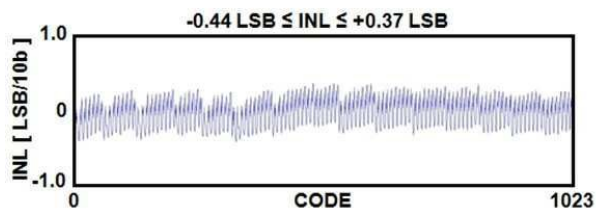
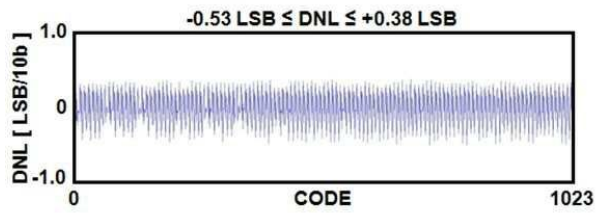
도면7



도면8

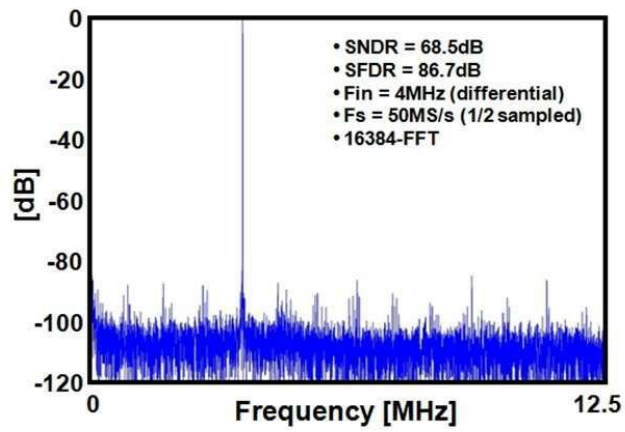


(a)

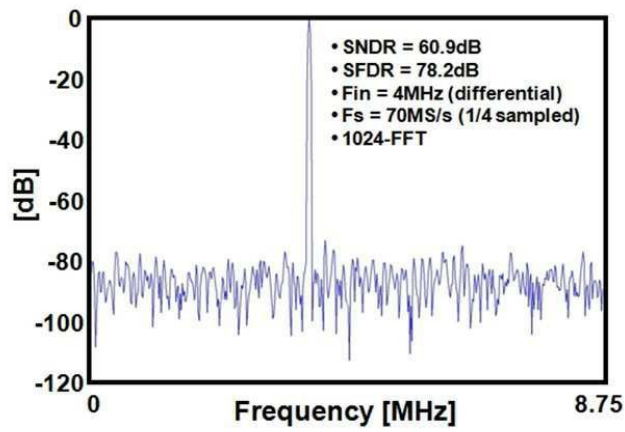


(b)

도면9

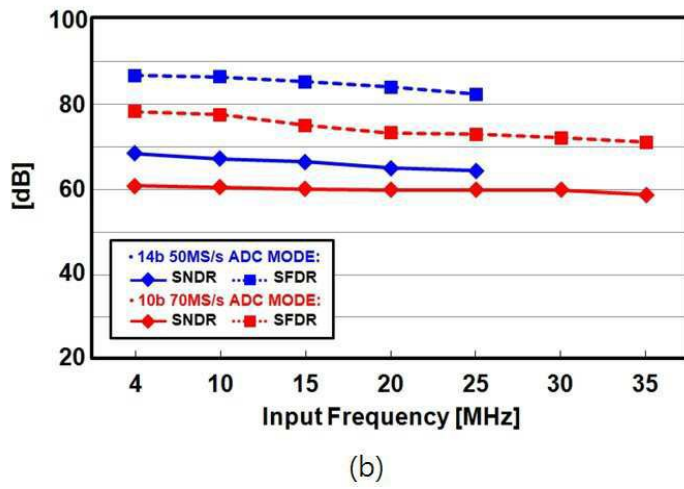
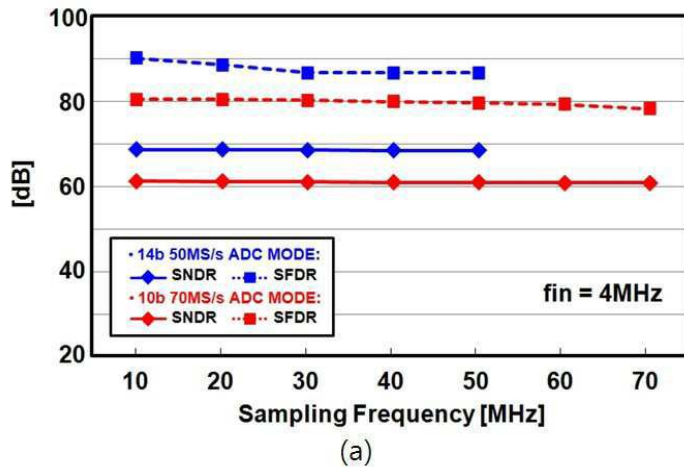


(a)



(b)

도면10



도면11

