

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月7日(07.10.2021)



(10) 国際公開番号

WO 2021/199680 A1

(51) 国際特許分類:

H01L 31/107 (2006.01) *H01L 23/522* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/144* (2006.01)
H01L 21/768 (2006.01) *H01L 27/146* (2006.01)

(21) 国際出願番号: PCT/JP2021/004520

(22) 国際出願日: 2021年2月8日(08.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-065336 2020年3月31日(31.03.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

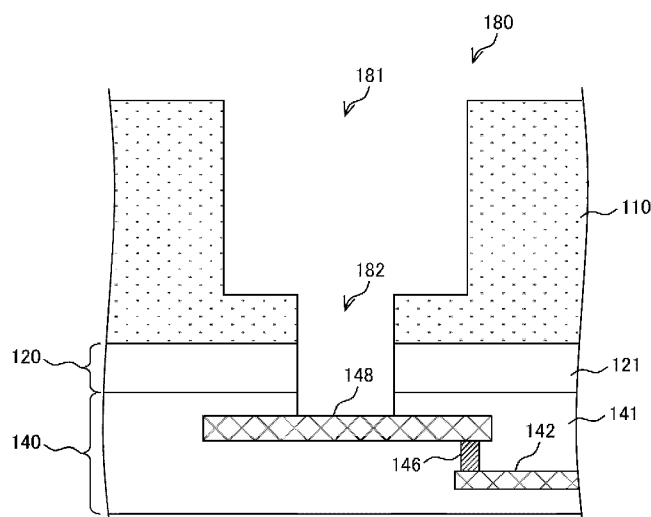
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 大野 誠(OONO Makoto); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 多田 貴宣(TADA Takanori); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 戸嶋 謙二(TOSHIMA Kenji); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(54) Title: LIGHT RECEIVING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 受光素子および電子機器

[図6]



(57) Abstract: The present invention prevents a connection defect from occurring between an electrode pad and a bonding wire. This light receiving element is equipped with a wiring region, and electrode pad, a first recessed part, and a second recessed part. The wiring region comprises: a wiring layer which is disposed on a semiconductor substrate, is connected to a photoelectric conversion part carrying out photoelectric conversion of incident light, and transmits a signal; and an insulation layer which insulates the wiring layer; furthermore, said wiring region is disposed adjacent to a surface side

(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂 1 丁目 1 0
番 1 7 号 しんくみ赤坂ビル 7 階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

of the aforementioned semiconductor substrate. The electrode pad is disposed in the wiring region in addition to being connected to the wiring layer, and also connects to an external part. The first recessed part is formed on a back surface side of the semiconductor substrate, and the bottom thereof is formed near the surface side of the semiconductor substrate near the electrode pad. The second recessed part is formed in the bottom of the first recessed part, and the bottom of the second recessed part is formed on a surface of the electrode pad.

(57) 要約: 電極パッドとボンディングワイヤとの間の接続不良の発生を防止する。受光素子は、配線領域、電極パッド、第1の凹部および第2の凹部を具備する。配線領域は、半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層およびその配線層を絶縁する絶縁層を備えてその半導体基板の表面側に隣接して配置される。電極パッドは、その配線領域に配置されるとともにその配線層に接続されて外部と接続する。第1の凹部と、その半導体基板の裏面側に形成されるとともにその電極パッドの近傍のその半導体基板の表面側近傍に底部が形成される。第2の凹部は、その第1の凹部の底部に形成されて底部がその電極パッドの面に形成される。

明 細 書

発明の名称： 受光素子および電子機器

技術分野

[0001] 本開示は、受光素子および電子機器に関する。詳しくは、対象物からの光を検出する受光素子および当該受光素子を使用する電子機器に関する。

背景技術

[0002] 従来、対象物からの光を検出する光電変換部を備える複数の画素が配置されて構成された受光素子を使用されている。この受光素子は、例えば、対象物までの距離を測定する測距装置に使用される。対象物までの距離の測定は、付設された光源からの光を対象物に照射して対象物から反射された光を検出し、光源からの光が対象物との間を往復する時間を計時することにより行うことができる。このような対象物までの距離の測定に使用される受光素子は、高感度かつ高速な光の検出を行う必要があり、光電変換部としてフォトダイオードの一種であるアバランシェフォトダイオード（APD：Avalanche Photo Diode）やシングルフォトンアバランシェフォトダイオード（SPAD：Single Photon Avalanche Diode）が使用される。これらのダイオードは、降伏電圧の近傍の逆バイアス電圧が印加された状態において、光電変換を行うフォトダイオードであり、高感度かつ高速な応答が可能である。

[0003] このような受光素子として、例えば、光電変換部としてAPDが画素に配置され、隣接する画素同士を分離する分離領域を備えるとともに分離領域の側壁にホール蓄積領域が配置される光検出器が使用されている（例えば、特許文献1参照。）。画素の境界の半導体基板の端面に形成される界面準位から放出される電子がホール蓄積領域により捕獲され、界面準位からの電子に起因する暗電流を低減することができる。ここで、暗電流とは、入射光に依らずに生成される電荷に基づく電流であり、信号出力の誤差（ノイズ）の原因となるものである。

[0004] 上述の光検出器においては、APDからの信号は、電極パッドを介して外

部に伝達される。この電極パッドは、APDが配置される半導体基板の表面側に隣接する配線層に配置され、半導体基板の裏面側から形成されたパッド開口部の底部に配置される。このパッド開口部を介してワイヤボンディングが行われ、電極パッドにボンディングワイヤが接続される。このボンディングワイヤを経由して電極パッドの信号を外部の電子回路等に伝達することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2018-201005号公報

発明の概要

発明が解決しようとする課題

[0006] 上述の従来技術では、電極パッドとボンディングワイヤとの間において接続不良を生じるという問題がある。感度を向上させるため、光電変換部は、比較的厚い膜厚の半導体基板に形成される。また、上述の測距の用途においては赤外光が使用され、光電変換部は赤外光を受光することとなる。長波長の赤外光は半導体基板の比較的深い領域に到達するため、厚膜の半導体基板が使用される。半導体基板が厚膜の場合には、パッド開口部も深くなる。パッド開口部の形成が困難となり、不具合を生じ易くなる。具体的には、パッド開口部の底部の電極パッドの表面にエッチング残渣を生じる場合がある。また、エッチングにより生成された反応生成物が排出されずにパッド開口部の底部の近傍に付着する場合もある。この場合、付着した反応生成物による電極パッドの腐食を生じる。これらの不具合により、電極パッドおよびボンディングワイヤの間の接続不良を生じるという問題がある。

[0007] 本開示は、上述した問題点に鑑みてなされたものであり、電極パッドとボンディングワイヤとの間の接続不良の発生を防止することを目的としている。

課題を解決するための手段

- [0008] 本開示は、上述の問題点を解消するためになされたものであり、その第1の態様は、半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて上記半導体基板の表面側に隣接して配置される配線領域と、上記配線領域に配置されるとともに上記配線層に接続されて外部と電氣的に接続するための電極パッドと、上記半導体基板の上記表面側の反対側である裏面側に形成されるとともに上記電極パッドの近傍の上記半導体基板の表面側近傍に底部が形成される第1の凹部と、上記第1の凹部の上記表面側に形成されて底面が上記電極パッドの面に形成される第2の凹部とを具備する受光素子である。
- [0009] また、この第1の態様において、上記第2の凹部は、上記第1の凹部とは異なる開口サイズに構成されてもよい。
- [0010] また、この第1の態様において、上記第2の凹部は、上記半導体基板の裏面側における開口面積が上記第1の凹部と平面視において異なってもよい。
- [0011] また、この第1の態様において、上記第2の凹部は、上記半導体基板の表面側における開口面積が上記第1の凹部と平面視において異なってもよい。
- [0012] また、この第1の態様において、上記第2の凹部は、開口面積と底面積とが異なってもよい。
- [0013] また、この第1の態様において、上記第2の凹部は、上記半導体基板の裏面側が上記底面側より広い形状に構成されてもよい。
- [0014] また、この第1の態様において、上記第2の凹部は、テーパ形状の断面に構成されてもよい。
- [0015] また、この第1の態様において、上記第2の凹部は、傾斜角度が異なる複数のテーパ形状の断面に構成されてもよい。
- [0016] また、この第1の態様において、上記第1の凹部は、開口面積と底面積とが異なってもよい。
- [0017] また、この第1の態様において、上記第1の凹部は、上記半導体基板の裏面側が上記底面側より広い形状に構成されてもよい。
- [0018] また、この第1の態様において、上記第1の凹部は、テーパ形状の断面に

構成されてもよい。

[0019] また、この第1の態様において、上記第1の凹部は、垂直な壁面により構成されてもよい。

[0020] また、この第1の態様において、上記第1の凹部は、側面が曲面により構成されてもよい。

[0021] また、この第1の態様において、上記第1の凹部は、底面が直線形状の断面に構成されてもよい。

[0022] また、この第1の態様において、上記第1の凹部は、底面が曲面により構成されてもよい。

[0023] また、この第1の態様において、上記第1の凹部は、エッチングの際の反応生成物が付着してもよい。

[0024] また、この第1の態様において、上記光電変換部は、フォトダイオードにより構成されてもよい。

[0025] また、この第1の態様において、上記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する上記フォトダイオードにより構成されてもよい。

[0026] また、この第1の態様において、上記光電変換部は、上記生成された電荷がp型の半導体領域およびn型の半導体領域により構成されるpn接合において上記増倍されてもよい。

[0027] また、この第1の態様において、上記光電変換部は、上記n型の半導体領域により構成されるカソード領域を備えてもよい。

[0028] また、この第1の態様において、上記光電変換部は、上記半導体基板の表面側に配置される上記カソード領域を備えてもよい。

[0029] また、この第1の態様において、上記光電変換部は、上記半導体基板の表面側に配置されるアノード領域を備えてもよい。

[0030] また、本開示の第2の態様は、半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて上記半導体基板の表面側に隣接して配置される配線領

域と、上記配線領域に配置されるとともに上記配線層に接続されて外部と電氣的に接続するための電極パッドと、上記半導体基板の裏面側に形成されるとともに上記電極パッドに達しない深さの底面に構成される第1の凹部と、上記第1の凹部の底面から上記電極パッドに達する底面に構成される第2の凹部とを具備する受光素子である。

[0031] また、本開示の第3の態様は、半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて上記半導体基板の表面側に隣接して配置される配線領域と、上記配線領域に配置されるとともに上記配線層に接続されて外部と電氣的に接続するための電極パッドと、上記半導体基板の上記表面側の反対側である裏面側に形成されるとともに上記電極パッドの近傍の上記半導体基板の表面側近傍に底部が形成される第1の凹部と、上記第1の凹部の上記表面側に形成されて底面が上記電極パッドの面に形成される第2の凹部と、上記光電変換に基づいて生成された信号を処理する処理回路とを具備する電子機器である。

[0032] また、この第3の態様において、上記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する上記入射光の光電変換を行い、上記処理回路は、上記光源からの上記光の照射から上記信号が生成されるまでの時間を計時することにより上記被写体までの距離を計測する上記処理を行ってもよい。

[0033] また、この第3の態様において、上記処理回路は、上記信号の変化量を検出する上記処理を行ってもよい。

[0034] また、この第3の態様において、上記処理回路は、所定の閾値と比較することにより上記変化量を検出してよい。

[0035] また、この第3の態様において、上記処理回路は、上記半導体基板に貼り合わされる半導体基板に配置されてよい。

[0036] 本開示の態様により、第1の凹部および第2の凹部の2つの凹部により電極パッドが半導体基板の裏面側に開口されるという作用をもたらす。2度の

凹部の形成工程による電極パッドの半導体基板の裏面側への開口が想定される。

図面の簡単な説明

[0037] [図1]本開示の第1の実施の形態に係る受光素子の構成例を示す図である。

[図2]本開示の第1の実施の形態に係る画素の構成例を示す図である。

[図3]本開示の第1の実施の形態に係る画素の構成例を示す断面図である。

[図4]本開示の第1の実施の形態に係る画素の他の構成例を示す断面図である。

[図5]本開示の第1の実施の形態に係るパッド開口部の構成例を示す平面図である。

[図6]本開示の第1の実施の形態に係るパッド開口部の構成例を示す断面図である。

[図7]パッド開口部の構成の比較例を示す断面図である。

[図8]本開示の第1の実施の形態に係るパッド開口部の製造方法の一例を示す図である。

[図9]本開示の第1の実施の形態に係るパッド開口部の製造方法の一例を示す図である。

[図10]本開示の第2の実施の形態に係るパッド開口部の構成例を示す断面図である。

[図11]本開示の第2の実施の形態に係るパッド開口部の他の構成例を示す断面図である。

[図12]本開示の第2の実施の形態に係るパッド開口部の他の構成例を示す断面図である。

[図13]本開示の第3の実施の形態に係る画素の構成例を示す断面図である。

[図14]本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。

[図15]本開示に係る技術が適用され得る測距装置に係る画素の構成例を示す回路図である。

[図16]本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。

[図17]本開示に係る技術が適用され得るDVSに係る受光素子の構成例を示す図である。

[図18]本開示に係る技術が適用され得るDVSに係る画素の構成例を示す図である。

[図19]本開示に係る技術が適用され得るDVSに係る電流電圧変換回路の構成例を示す図である。

[図20]本開示に係る技術が適用され得るDVSに係る差分器および量子化器の構成例を示す図である。

[図21]本開示に係る技術が適用され得るDVSに係る撮像装置の構成例を示す図である。

発明を実施するための形態

[0038] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 測距装置への応用例
5. DVSへの応用例

[0039] <1. 第1の実施の形態>

[受光素子の構成]

図1は、本開示の第1の実施の形態に係る受光素子の構成例を示す図である。同図は、受光素子2の構成例を表す平面図であり、受光素子2の入射光が照射される面である受光面の構成を表す平面図である。

[0040] 受光素子2の受光面には、画素アレイ部10が配置される。この画素アレ

イ部10は、受光素子2の中央部に配置され、入射光を検出する画素（後述する画素100）が2次元格子状に配置される領域である。画素100には、入射光の光電変換を行う光電変換部（後述する光電変換部101）が配置される。この光電変換部101の光電変換により生成された電荷に応じた受光信号が生成され、画素100から出力される。この受光信号により入射光の検出を行うことができる。また、受光素子2の端部には、複数のパッド開口部180が配置される。このパッド開口部180の底部には、電極パッド（後述する電極パッド128および148）が配置される。後述するように、受光素子2は、2つの半導体チップが貼り合わされて構成される。

[0041] [画素の構成]

図2は、本開示の第1の実施の形態に係る画素の構成例を示す図である。同図は、画素100の構成例を表す平面図である。同図の画素100には、半導体基板110に形成された半導体領域（半導体領域111および113）、画素100の境界に配置されて半導体基板110を貫通する壁状に構成される分離領域150および配線層122乃至124を記載した。同図において、ドットハッチングが付された領域が半導体領域111等を表し、斜線のハッチングが付された領域が配線層122等を表す。

[0042] 半導体領域111は、画素100の中央部に配置され、カソード領域を構成する。半導体領域113は、画素100の周縁部に配置され、アノード領域を構成する。配線層122は、アノード配線を構成し、半導体領域113に接続される。配線層123は、カソード配線を構成し、半導体領域111に接続される。配線層124は、シールドのための接地線である。このシールドは、電氣的なノイズの影響を抑制するものである。この配線層124は、配線層122および123の間の領域に配置される。

[0043] [画素の断面の構成]

図3は、本開示の第1の実施の形態に係る画素の構成例を示す断面図である。同図は、図1におけるa-a'線に沿った断面図であり、受光素子2および画素100の構成例を表す断面図である。また、同図に表したように、受

光素子 2 は、センサチップ 191 およびロジックチップ 192 が貼り合わされて構成される。センサチップ 191 は、後述する光電変換部 101 が配置される半導体チップである。ロジックチップ 192 は、光電変換部 101 により生成された信号を処理する処理回路が配置される半導体チップである。

[0044] 同図の画素 100 は、半導体基板 110 と、配線領域 120 と、半導体基板 130 と、配線領域 140 と、分離領域 150 と、保護膜 171 と、オンチップレンズ 172 とを備える。半導体基板 110、絶縁層 121 および配線層 122 乃至 124 は、センサチップ 191 に配置される。半導体基板 130、絶縁層 141 および配線層 142 は、ロジックチップ 192 に配置される。

[0045] 半導体基板 110 は、入射光の光電変換を行う光電変換部 101 が配置される半導体の基板である。この半導体基板 110 には、例えば、シリコン (Si) により構成された半導体基板を使用することができる。同図の光電変換部 101 は、SPAD により構成される例を表したものである。この光電変換部 101 は、半導体基板 110 のウェル領域 111 とウェル領域 111 に配置された n 型の半導体領域 112、p 型の半導体領域 113 および半導体領域 114 により構成される。カソード領域を構成する n 型の半導体領域 112 は、p 型の半導体領域 113 とともに pn 接合を構成する。この pn 接合にウェル領域 111 を介して逆バイアス電圧が印加されて空乏層が形成される。

[0046] 同図の光電変換部 101 の光電変換は、ウェル領域 111 にて行われる。光電効果により生成された電荷のうちの電子がドリフトにより pn 接合の空乏層に達すると、逆バイアス電圧に基づく電界により加速される。SPAD を構成する光電変換部 101 には、降伏電圧を超える逆バイアス電圧が印加される。具体的には、略 20V の逆バイアス電圧が印加される。この逆バイアス電圧による強電界により電子雪崩を生じるとともに電子雪崩が連続して発生し、電荷が急激に増加する。このため、光電変換部 101 は、単一の光子の入射を検出することが可能となる。このような光電変換部 101 を配置

することにより、高感度の画素100を構成することができる。この半導体領域112および113の界面のpn接合の近傍の領域は、電荷の増倍が行われる領域であり、増倍領域と称される。p型の半導体領域114は、ウェル領域111に隣接して配置され、アノード領域を構成する。このp型の半導体領域114は、n型の半導体領域112の近傍のウェル領域111を囲む形状に構成される。

[0047] なお、半導体基板110は、比較的厚い膜厚に構成される。SPADを構成するウェル領域111を厚く形成して光電変換部101の感度を向上させるためである。半導体基板110は、例えば、数 μm の厚さに構成することができる。このウェル領域111は半導体基板110の裏面側に配置され、入射光は半導体基板110の裏面から入射する。この半導体基板110の裏面は、光入射面に該当する。一方、半導体基板110の裏面の反対側の面である表面には、後述する配線領域120が配置される。カソード領域およびアノード領域をそれぞれ構成する半導体領域112および114は、半導体基板110の表面側に配置される。

[0048] なお、光電変換部101の構成は、この例に限定されない。例えば、半導体領域112、113および114の導電型を入れ替えた構成にすることもできる。具体的には、p型の半導体領域112とn型の半導体領域113および114とを使用する構成を採ることができる。この場合、半導体領域112がアノード領域となり、半導体領域114がカソード領域となる。また、後述するホール蓄積領域115は、電子蓄積領域115に変更される。この電子蓄積領域115は、n型の半導体に構成されて電子を蓄積する領域である。なお、半導体領域の導電型をp型およびn型の代わりに第1の導電型および第2の導電型と表記することもできる。

[0049] 後述する分離領域150に隣接する半導体基板110には、ホール蓄積領域115を配置することができる。このホール蓄積領域115は、半導体基板の端面に形成される界面準位から放出される電子を捕獲するものである。ホール蓄積領域115は、p型の半導体領域により構成することができる。

界面準位からの電子は、ホール蓄積領域 115 に蓄積されたホールと再結合することにより捕獲される。このホール蓄積領域 115 を配置することにより、界面準位からの電子に起因する暗電流を低減することができる。また、界面準位からの電子が加速されて増倍されると誤動作を生じる。ホール蓄積領域 115 を配置することにより、暗電流や誤動作の発生を防ぐことができる。同図のホール蓄積領域 115 は、アノードを構成する半導体領域 114 に隣接して配置され、アノードに電氣的に接続される。なお、ホール蓄積領域は、半導体基板 110 の裏面側の界面にさらに配置することもできる。

[0050] 配線領域 120 は、半導体基板 110 の表面側に配置されて光電変換部 101 等に信号を伝達する配線が配置される領域である。この配線領域 120 には、絶縁層 121 および配線層 122 乃至 124 が配置される。配線層 122 乃至 124 は、光電変換部 101 の信号等を伝達する配線である。この配線層 122 等は、銅 (Cu) 等の金属により構成することができる。絶縁層 121 は、配線層 122 等を絶縁するものである。この絶縁層 121 は、例えば、酸化シリコン (SiO_2) により構成することができる。この配線領域 120 には、半導体基板 110 の半導体領域と配線層 122 とを接続するためのコンタクトプラグ 125 がさらに配置される。配線層 122 は、コンタクトプラグ 125 を介して光電変換部 101 のアノード領域を構成する半導体領域 114 に接続される。同様に、配線層 123 は、カソード領域を構成する半導体領域 112 に接続される。コンタクトプラグ 125 は、例えば、タングステン (W) により構成することができる。

[0051] 配線領域 120 には、パッド 127 およびビアプラグ 126 がさらに配置される。パッド 127 は、配線領域 120 の表面に配置される電極である。このパッド 127 は、例えば、Cu により構成することができる。ビアプラグ 126 は、配線層 122 等およびパッド 127 を接続するものである。このビアプラグ 126 は、例えば、Cu により構成することができる。

[0052] 半導体基板 130 は、半導体基板 110 に貼り合わされる半導体の基板である。この半導体基板 130 には、光電変換部 101 により生成された信号

を処理する処理回路の等の素子の拡散領域を形成することができる。

[0053] 配線領域 140 は、半導体基板 130 の表面側に配置される配線領域である。この配線領域 140 には、配線層 142 および絶縁層 141 が配置される。配線領域 140 の表面には、パッド 147 が配置され、ビアプラグ 146 により配線層 142 と接続される。また、配線層 142 と半導体基板 130 との間は、コンタクトプラグ 145 により接続される。センサチップ 191 がロジックチップ 192 に貼り合わされる際、パッド 147 およびパッド 127 が接合される。これにより、パッド 147 と 127 とが電氣的に接続される。このパッド 147 およびパッド 127 を介して半導体基板 110 および 130 に配置された素子の間の信号のやり取りを行うことができる。光電変換部と上述の処理回路とを接続する配線を構成することが可能となる。このように、光電変換部 101 と回路とを電氣的に接続する配線を配線領域 120 および 140 に配置することができる。また、配線領域 120 および 140 には、半導体基板 110 を透過した入射光を反射して再度半導体基板 110 に入射させる光学的なシールドを構成する配線層を配置することもできる。

[0054] 分離領域 150 は、画素 100 の境界の半導体基板 110 に配置されて光電変換部 101 を分離するものである。この分離領域 150 は、画素 100 を囲繞する壁状に構成されて、隣接する画素 100 同士の光電変換部 101 を分離する。また、分離領域 150 は、入射光の遮光をさらに行う。隣接する画素 100 を通って斜めに入射する入射光が分離領域 150 により遮光される。これにより、クロストークの発生を低減することができる。図 2 において説明したように、分離領域 150 は格子状に配置される。分離領域 150 は、半導体基板 110 を貫通して形成された溝部に W やアルミニウム (Al) 等の金属材料を埋め込むことにより構成することができる。

[0055] 保護膜 171 は、半導体基板 110 の裏面側に配置され、半導体基板 110 を保護するものである。この保護膜 171 は、例えば、 SiO_2 により構成することができる。

- [0056] 半導体基板 110 と保護膜 171 との間に、固定電荷膜を配置することもできる。この固定電荷膜は、半導体基板 110 の表面に配置されて半導体基板 110 の界面準位をピンングする固定電荷を有する膜である。固定電荷膜は、例えば、 HfO_2 により構成することができる。
- [0057] 分離領域 150 が配置される半導体基板 110 の溝部にも固定電荷膜を配置することができる。また、金属により構成される分離領域 150 を絶縁する絶縁膜を分離領域 150 に隣接して配置することができる。この絶縁膜は、上述の保護膜 171 と同時に形成することもできる。
- [0058] オンチップレンズ 172 は、入射光を集光するレンズである。このオンチップレンズ 172 は、半球形状に構成されて半導体基板 110 の裏面側に配置され、入射光を光電変換部 101 に集光する。オンチップレンズ 172 は、窒化シリコン (SiN) 等の無機材料やアクリル樹脂等の有機材料により構成することができる。
- [0059] 受光素子 2 の端部には、電極パッド 148 およびパッド開口部 180 が配置される。電極パッド 148 は、受光素子 2 と受光素子 2 の外部の電子回路との間において信号の伝達を行うための電極である。この電極パッド 148 は、ロジックチップ 192 の配線領域に配置され、配線層 142 に接続される。パッド開口部 180 は、センサチップ 191 およびロジックチップ 192 の絶縁層 141 の表面側を貫通する孔状に構成されて受光素子 2 の受光面から電極パッド 148 の表面に達する形状に構成される。このパッド開口部 180 を介して電極パッド 148 にワイヤボンディングを行うことにより、電極パッド 148 と、外部の電子回路とを電氣的に接続することができる。電極パッド 148 は、例えば、Al や Au 等の金属により構成することができる。
- [0060] パッド開口部 180 の周囲には分離領域 150a を配置することができる。この分離領域 150a は、パッド開口部 180 を囲繞する形状に構成され、パッド開口部 180 を分離する。また、センサチップ 191 の端部の半導体基板 110 に分離領域 150b を配置することができる。この分離領域 1

50bは、半導体基板110の外周に沿って配置される分離領域である。この分離領域150aおよび150bを配置することにより、半導体基板110の端面からの吸湿を防ぐことができ、半導体基板110の端面に生じたき裂の伸長を防ぐことができる。

[0061] なお、画素100の構成は、この例に限定されない。例えば、複数の光電変換部が画素100に配置される構成を採ることもできる。このような画素100においては、それぞれの光電変換部を分離する分離領域を画素100の内部に配置することができる。この光電変換部を分離する分離領域は、半導体基板110を貫通する形状に構成することができる。また、複数の光電変換部の境界の半導体基板110とオンチップレンズ172との間に分離領域を配置することもできる。この分離領域は、光電変換部の境界の領域を遮光する分離領域であり、金属膜等により構成することができる。また、このような複数の光電変換部を有する画素100においても、画素100の境界のみに分離領域を配置する構成を採ることもできる。また、半導体基板110の裏面側にもホール蓄積領域115を配置する構成を採ることもできる。

[0062] [画素の断面の他の構成]

図4は、本開示の第1の実施の形態に係る画素の他の構成例を示す断面図である。同図は、図3と同様に画素100の構成例を表す断面図である。電極パッド148の代わりに電極パッド128が配置される点で、図3の画素100と異なる。この電極パッド128は、センサチップ191の配線領域120に配置される電極パッドであり、配線領域120の配線層またはロジックチップ192の配線領域140の配線層に接続される。同図のパッド開口部180は、センサチップ191の半導体基板110を貫通する形状に構成されて、受光素子2の受光面から電極パッド128の表面に達する形状に構成される。

[0063] [パッド開口部の構成]

図5は、本開示の第1の実施の形態に係るパッド開口部の構成例を示す平面図である。同図は、図3において説明したパッド開口部180の構成例を

表す平面図である。同図を用いてパッド開口部 180 の構成の詳細について説明する。

[0064] 前述のように、パッド開口部 180 は、受光素子 2 の端部の配線領域 140 に配置された電極パッド 148 に達する開口部であり、半導体基板 110 の裏面側から生成される開口部である。同図の点線の矩形は、電極パッド 148 の外形を表したものである。同図のパッド開口部 180 は、第 1 の凹部 181 と第 1 の凹部 181 の内側に形成される第 2 の凹部 182 により構成される。同図は、矩形形状に構成される電極パッド 148 およびパッド開口部 180 の例を表したものである。

[0065] [パッド開口部の断面の構成]

図 6 は、本開示の第 1 の実施の形態に係るパッド開口部の構成例を示す断面図である。電極パッド 148 は、半導体基板 130 表面側に配置される配線領域 140 に配置される。前述のように、半導体基板 110 および半導体基板 130 が貼り合わされる。この際、配線領域 120 および配線領域 140 が接合される。この結果、配線領域 140 は、半導体基板 110 の表面側に配置されることとなる。電極パッド 148 は、ビアプラグ 146 を介して配線層 142 に接続される。配線層 142 は、図 3 において説明したように、パッド 147 および 127 を介して配線領域 120 の配線層 122 等と接続され、光電変換部 101 に接続される。パッド開口部 180 は、第 1 の凹部 181 および第 2 の凹部 182 により構成される。

[0066] 第 1 の凹部 181 は、電極パッド 148 の近傍の半導体基板 110 の裏面側に形成される凹部である。この第 1 の凹部 181 は、半導体基板 110 の裏面側に開口するとともに底部が半導体基板 110 表面側の近傍に形成される。第 1 の凹部 181 は、半導体基板 110 をエッチングすることにより形成することができる。このエッチングには、異方性のドライエッチングを使用することができる。第 1 の凹部 181 の底部を半導体基板 110 の領域に止めることにより、電極パッド 148 の近傍の配線層 142 を保護することができる。また、同図の第 1 の凹部 181 は、垂直な壁面に構成される例を

表したものである。また、同図の第1の凹部181は、底面が直線状の断面に構成される例を表したものである。

[0067] 第2の凹部182は、第1の凹部181の表面側に形成される凹部である。この第2の凹部182の底部は電極パッド148の面に形成される。すなわち、第2の凹部182は、第1の凹部181の底部から電極パッド148に至る形状の凹部である。また、第2の凹部182は、第1の凹部181とは異なる開口サイズに構成することができる。具体的には、第2の凹部182は、第1の凹部181より小さい開口サイズに構成することができる。また、第2の凹部182は、第1の凹部181の底面より小さい開口サイズに構成することができる。なお、第2の凹部183は、半導体基板110の裏面側における開口面積が第1の凹部181と平面視において異なると捉えることもできる。同様に、第2の凹部183は、半導体基板110の表面側における開口面積が第1の凹部181と平面視において異なると捉えることもできる。また、同図の第2の凹部182は、垂直な壁面に構成される例を表したものである。

[0068] 第2の凹部182は、半導体基板110ならびに絶縁層121および141をエッチングすることにより形成することができる。このように、同図のパッド開口部180は、2つの凹部に分けて2段階のエッチングにより形成される。また、第1の凹部181および第2の凹部182には、異なるエッチングの条件を適用することができる。例えば、第2の凹部182を形成する際には、第1の凹部181とは異なるエッチングガス、エッチングガスをイオン化する際のパワーおよびガス圧によりエッチングを行うことができる。

[0069] なお、同図のパッド開口部180の構成は、図4において説明した画素100にも適用可能であることは当然である。この場合、パッド開口部180の底部には電極パッド128が配置されることとなる。

[0070] [パッド開口部の比較例]

図7は、パッド開口部の構成の比較例を示す断面図である。同図は、1段

のエッチングによりパッド開口部 180 を形成する場合の例を表した図である。

[0071] 同図における A は、半導体基板 110 の領域において逆テーパの形状の断面に構成される凹部 401 によるパッド開口部の例を表したものである。凹部 401 を形成するためのドライエッチングにおいては、半導体基板 110 および絶縁層 121 等をそれぞれ構成する Si および SiO₂ を連続してエッチングすることとなる。この場合、エッチングガスとしてフッ化炭素系のガスが使用される。このエッチングガスにより SiO₂ のエッチングを行うとフッ素化合物からなる反応生成物を生じる。半導体基板 110 が厚膜の場合には、凹部 401 が比較的深い形状になるため、反応生成物の一部が排出されず、凹部 401 の壁面に付着する。また、同図に表したように、凹部 401 が逆テーパ形状の断面に構成される場合には、より多くの反応生成が逆テーパ形状の側壁に付着する。同図の反応生成物 402 は、この付着したフッ素化合物を表す。この反応生成物 402 により電極パッド 148 が腐食されると、ボンディングワイヤとの間において接続不良を生じる。

[0072] 同図における B は、垂直な断面に形成される凹部 403 の例を表したものである。凹部 403 が比較的深い場合には、底部のエッチングが困難となり、エッチング残渣 404 が電極パッド 148 の表面に付着する。このエッチング残渣 404 により、電極パッド 148 とボンディングワイヤとの間において接続不良を生じる。

[0073] このように、比較的深いパッド開口部 180 を 1 段のエッチングにより形成すると、不具合を生じる可能性が高くなる。

[0074] [パッド開口部の製造方法]

図 8 および 9 は、本開示の第 1 の実施の形態に係るパッド開口部の製造方法の一例を示す図である。図 8 および 9 は、パッド開口部 180 の製造工程の一例を表す図である。

[0075] まず、配線領域 120 が形成された半導体基板 110 および配線領域 140 が形成された半導体基板 130（不図示）を貼り合わせて絶縁層 121 お

よび絶縁層 141 を接合させる。次に半導体基板 110 の裏面側にレジスト 405 を配置する。このレジスト 405 には、第 1 の凹部 181 を形成する領域に開口部 406 が配置される（図 8 における A）。

[0076] 次に、レジスト 405 をマスクとして使用して、半導体基板 110 をエッチングする。このエッチングには、ドライエッチングを使用することができる。これにより、凹部 181 が形成される（図 8 における B）。

[0077] 次に、レジスト 405 を除去し、新たにレジスト 408 を配置する。このレジスト 408 には、第 2 の凹部 182 を形成する領域に開口部 409 が配置される（図 9 における C）。

[0078] 次に、レジスト 408 をマスクとして使用してエッチングを行い第 2 の凹部 182 を形成する（図 9 における D）。その後、レジスト 408 を除去することによりパッド開口部 180 を製造することができる。

[0079] なお、開口部 180 の構成は、この例に限定されない。例えば、開口サイズが異なる 3 つ以上の凹部により開口部 180 を構成することもできる。また、第 1 の凹部 181 の形状は、この例に限定されない。例えば、曲面に構成される側面を有する構成にすることもできる。

[0080] このように、第 1 の凹部 181 および第 2 の凹部 182 によりパッド開口部 180 を構成することにより、電極パッド 148 の表面を清浄に保つことができる。これにより、ワイヤボンディングを行った際の電極パッドとボンディングワイヤとの間の接続不良の発生を防ぐことができる。

[0081] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態の受光素子 2 は、垂直な壁面を有する第 2 の凹部 182 を配置していた。これに対し、本開示の第 2 の実施の形態の受光素子 2 は、テーパ形状の断面に構成される第 2 の凹部を使用する点で、上述の第 1 の実施の形態と異なる。

[0082] [パッド開口部の構成]

図 10 は、本開示の第 2 の実施の形態に係るパッド開口部の構成例を示す断面図である。同図は、図 6 と同様に、パッド開口部 180 の構成例を表す

断面図である。第2の凹部182の代わりに第2の凹部183が配置される点で、図6において説明した分離領域150と異なる。

[0083] 同図におけるAは、第1の凹部181および第2の凹部183により構成されるパッド開口部180の例を表した図である。第2の凹部183は、開口サイズと底面のサイズとが異なる凹部である。第2の凹部183は、開口面積と底面積とが異なる形状を採ることができる。ここで、開口面積は半導体基板110の裏側の表面における開口部の面積を表し、底面積は凹部の底部における半導体基板110の裏側の表面に平行な面の面積を表す。第2の凹部183は、例えば、半導体基板110の裏面側が広く、電極パッド148に近接する側が狭いサイズに構成することができる。同図の第2の凹部183は、テーパ形状の断面に構成される凹部の例を表したものである。第2の凹部183を順テーパの断面に構成することにより、エッチングの際の反応生成物の付着を低減することができる。

[0084] 同図におけるBは、傾斜角度が異なるテーパ形状の断面に構成される複数の第2の凹部が配置される例を表したものである。同図におけるBのパッド開口部180は、第1の凹部181と、第2の凹部183および184とにより構成される。第2の凹部184は、第1の凹部181の底部に隣接して配置され、第2の凹部183より浅い傾斜角度のテーパ形状の断面に構成される凹部である。第2の凹部184を第1の凹部181および第2の凹部183の間に配置することにより、第2の凹部183が第1の凹部181の底部に接する部分が面取りされた形状になり、エッチングの際の反応生成物の付着をさらに低減することができる。

[0085] なお、同図の第2の凹部183および184は、レジストの形状を調整することにより形成することができる。

[0086] [パッド開口部の他の構成]

図11および12は、本開示の第2の実施の形態に係るパッド開口部の他の構成例を示す断面図である。図11におけるAは、テーパ形状に構成される第1の凹部181と開口サイズおよび底面のサイズが略等しい形状の第2

の凹部 183 とを備える開口部 180 の例を表した図である。また、図 11 における B は、テーパ形状に構成される第 1 の凹部 181 および第 2 の凹部 183 を備える開口部 180 の例を表した図である。また、図 12 における A は、側面が曲面により構成される第 1 の凹部 181 を備える開口部 180 の例を表したものである。また、図 12 における B は、側面が曲面により構成される第 2 の凹部 183 を備える開口部 180 の例を表したものである。図 10 の開口部 180 と同様に、エッチングの際の反応生成物の付着を低減することができる。なお、図 12 における A の第 1 の凹部 181 は、底面が曲面により構成されたと捉えることもできる。

[0087] これ以外の受光素子 2 の構成は本開示の第 1 の実施の形態において説明した受光素子 2 の構成と同様であるため、説明を省略する。

[0088] 以上説明したように、本開示の第 2 の実施の形態の受光素子 2 は、テーパ形状の断面に構成される第 2 の凹部を使用することにより、エッチングの際の反応生成物の付着を軽減することができる。

[0089] <3. 第 3 の実施の形態>

上述の第 1 の実施の形態の受光素子 2 は、SPAD や APD 等の光電変換により生成された電荷を逆バイアス電圧により増倍するフォトダイオードにより構成される光電変換部 101 が使用されていた。これに対し、本開示の第 4 の実施の形態の受光素子 2 は、通常のフォトダイオードにより構成される光電変換部を使用する点で、上述の第 1 の実施の形態と異なる。

[0090] [画素の断面の構成]

図 13 は、本開示の第 3 の実施の形態に係る画素の構成例を示す断面図である。同図は、図 3 と同様に、画素 100 の構成例を表す断面図である。フォトダイオードにより構成される光電変換部 201 が配置される点で、図 3 の画素 100 と異なる。

[0091] 同図の光電変換部 201 は、半導体基板 110 の p 型に構成されたウェル領域 111 とウェル領域 111 に配置された n 型の半導体領域 116 により構成される。n 型の半導体領域 116 と周囲の p 型のウェル領域 111 との

界面の p n 接合により構成されるフォトダイオードが光電変換部 201 に該当する。ウェル領域 111 および半導体領域 116 がそれぞれアノード領域およびカソード領域を構成する。

[0092] また、同図の半導体基板 110 には、半導体領域 117 および半導体領域 118 がさらに配置される。半導体領域 117 は、n 型の比較的高い不純物濃度に構成される半導体領域であり、半導体領域 116 に隣接して配置されて電氣的に接続される半導体領域である。この半導体領域 117 には、コンタクトプラグ 125 が接続される。半導体領域 118 は、p 型の比較的高い不純物濃度に構成される半導体領域であり、ウェル領域に隣接して配置されて電氣的に接続される半導体領域である。この半導体領域 118 にも、コンタクトプラグ 125 が接続される。半導体領域 118 は、いわゆるウェルコンタクトを構成する半導体領域である。

[0093] 配線領域 120 には、配線層 122 および 123 が配置される。配線層 122 は、コンタクトプラグ 125 および半導体領域 118 を介してアノード領域を構成するウェル領域 111 に接続される。配線層 123 は、コンタクトプラグ 125 および半導体領域 117 を介してカソード領域を構成する半導体領域 116 に接続される。また、配線層 124 は、省略される。

[0094] 同図のパッド開口部 180 においても、図 5 および 6 において説明した第 1 の凹部 181 および第 2 の凹部 182 が配置され、電極パッド 148 とボンディングワイヤとの間の接続不良の発生をばうしすることができる。

[0095] これ以外の受光素子 2 の構成は本開示の第 1 の実施の形態において説明した受光素子 2 の構成と同様であるため、説明を省略する。

[0096] 以上説明したように、本開示の第 3 の実施の形態の受光素子 2 は、フォトダイオードにより構成される光電変換部 101 を使用する場合において、パッド開口部 180 を第 1 の凹部 181 および第 2 の凹部 182 により構成し、電極パッド 148 とボンディングワイヤとの間の接続不良の発生を防止することができる。

[0097] <4. 測距装置への応用例>

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、測距装置に適用されてもよい。ここで、測距装置とは、対象物までの距離を測定する装置である。

[0098] [受光素子の構成]

図14は、本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。同図の受光素子2は、画素アレイ部10と、バイアス電源部20と、受光信号処理部30とを備える。

[0099] 画素アレイ部10は、入射光の光電変換を行う光電変換部を有する複数の画素100が2次元格子状に配置されて構成されたものである。この画素100は、入射光を検出し、受光信号を検出結果として出力する。光電変換部には、例えば、APDやSPADを使用することができる。以下、画素100には光電変換部としてSPADが配置されるものと想定する。それぞれの画素100には、信号線21および31が接続される。信号線21は、画素100のバイアス電圧を供給する信号線である。信号線31は、画素100からの受光信号を伝達する信号線である。なお、同図の画素アレイ部10には、画素100が4行5列に配置する例が記載されているが、画素アレイ部10に配置される画素100数を限定するものではない。

[0100] バイアス電源部20は、画素100にバイアス電圧を供給する電源である。このバイアス電源部20は、信号線21を介してバイアス電圧を供給する。

[0101] 受光信号処理部30は、画素アレイ部10に配置される複数の画素100から出力された受光信号を処理するものである。この受光信号処理部30の処理には、例えば、画素100により検出した入射光に基づいて対象物との距離を検出する処理が該当する。具体的には、受光信号処理部30は、車載カメラ等の撮像装置において遠方の対象物との距離を計測する際に使用されるToF (Time of Flight) 方式の距離検出処理を行うことができる。この距離検出処理は、撮像装置に配置された光源により対象物に光を照射して対象物により反射された光を検出し、光源からの光が対象物との間を往復する

時間を計測することにより、距離を検出する処理である。このような距離検出処理を行う装置には、高速な光検出が可能なSPADが使用される。なお、受光信号処理部30は、請求の範囲に記載の処理回路の一例である。

[0102] 上述の実施の形態の画素アレイ部10に配置される画素100の回路構成について説明する。

[0103] [画素の構成]

図15は、本開示に係る技術が適用され得る測距装置に係る画素の構成例を示す回路図である。同図は、図14において説明した画素100の構成例を表す回路図である。同図の画素100は、光電変換部101と、抵抗102と、反転バッファ103とを備える。また、同図の信号線21は、光電変換部101の降伏電圧を印加する信号線Vbdおよび光電変換部101の降伏状態を検出するための電源を供給する信号線Vdにより構成される。

[0104] 光電変換部101のアノードは信号線Vbdに接続される。光電変換部101のカソードは、抵抗102の一端および反転バッファ103の入力に接続される。抵抗102の他の一端は、信号線Vdに接続される。反転バッファ103の出力は、信号線31に接続される。

[0105] 同図の光電変換部101は、信号線Vbdおよび信号線Vdにより逆バイアス電圧が印加される。

[0106] 抵抗102は、クエンチング（quenching）を行うための抵抗である。このクエンチングは、降伏状態となった光電変換部101を定常状態に復帰させる処理である。光の入射に起因する増倍作用により光電変換部101が降伏状態になると、光電変換部101に急激な逆方向電流が流れる。この逆方向電流により抵抗102の端子電圧が増加する。抵抗102は光電変換部101と直列に接続されているため、抵抗102により電圧降下を生じて光電変換部101の端子電圧が降伏状態を維持可能な電圧よりも低くなる。これにより、光電変換部101を降伏状態から定常状態に復帰させることができる。なお、抵抗102の代わりに、MOSトランジスタによる定電流回路を使用することもできる。

[0107] 反転バッファ 103 は、光電変換部 101 の降伏状態への遷移および復帰に基づくパルス信号を整形するバッファである。この反転バッファ 103 により、照射された光に応じて光電変換部 101 に流れる電流に基づく受光信号が生成されて信号線 31 に出力される。

[0108] [撮像装置の構成]

図 16 は、本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。同図は、測距装置を構成する撮像装置 1 の構成例を表すブロック図である。同図の撮像装置 1 は、受光素子 2 と、制御部 3 と、光源装置 4 と、レンズ 5 とを備える。なお、同図には、距離測定の対象物 601 を記載した。

[0109] レンズ 5 は、受光素子 2 に対象物を結像するレンズである。なお、受光素子 2 には、図 10 において説明した受光素子 2 を使用することができる。

[0110] 光源装置 4 は、距離測定の対象物に光を出射するものである。この光源装置 4 は、例えば、赤外光を出射するレーザ光源を使用することができる。

[0111] 制御部 3 は、撮像装置 1 の全体制御するものである。具体的には、制御部 3 は、光源装置 4 を制御して出射光 602 を対象物 601 に出射させるとともに、当該出射の開始を受光素子 2 に対して通知する。出射光 602 の出射が通知された受光素子 2 は、対象物 601 からの反射光 603 を検出して出射光 602 の出射から反射光 603 の検出までの時間を計測し、対象物 601 までの距離を測定する。この測定された距離は、距離データとして撮像装置 1 の外部に出力される。なお、撮像装置 1 は、請求の範囲に記載の電子機器の一例である。

[0112] <5. DVS への応用例>

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、ダイナミックビジョンセンサ（DVS: Dynamic Vision Sensor）に適用されてもよい。ここで、DVS とは、輝度に変化した画素の情報を出力する撮像装置である。

[0113] [受光素子の構成]

図17は、本開示に係る技術が適用され得るDVSに係る受光素子の構成例を示す図である。同図の受光素子2は、画素アレイ部10と、行駆動回路50と、列駆動回路60と、信号処理回路70とを備える。

[0114] 画素アレイ部10は、入射光の光電変換を行う光電変換部を有する複数の画素100が2次元格子状に配置されて構成されたものである。この画素100は、入射光を検出し、検出した入射光が変化した場合に検出信号を出力するものである。以下、画素100には、光電変換部としてフォトダイオードが配置されるものと想定する。それぞれの画素100には信号線51、61および71が接続される。信号線51は、行駆動信号を伝達する信号線である。信号線61は、列駆動信号を伝達する信号線である。信号線71は、画素100からの検出信号を伝達する信号線である。なお、同図の画素アレイ部10には、画素100が4行4列に配置する例が記載されているが、画素アレイ部10に配置される画素100数を限定するものではない。

[0115] 行駆動回路50は、画素アレイ部10の行アドレスを選択し、選択した行アドレスに対応する画素100に検出信号を出力させる回路である。この行駆動回路50は、信号線51に制御信号（行駆動信号）を出力する。

[0116] 列駆動回路60は、画素アレイ部10の列アドレスを選択し、選択した列アドレスに対応する画素100に検出信号を出力させる回路である。この列駆動回路60は、信号線61に制御信号（列駆動信号）を出力する。

[0117] 信号処理回路70は、画素100からの検出信号に対して所定の信号処理を実行するものである。この信号処理回路70は、検出信号を画素アレイ部10の画素100の配列に対応させて2次元の画像データを生成し、画像認識等の処理を行う。なお、信号処理回路70は、請求の範囲に記載の処理回路の一例である。

[0118] [画素の構成]

図18は、本開示に係る技術が適用され得るDVSに係る画素の構成例を示す図である。同図の画素100は、光電変換部201と、電流電圧変換回路210と、バッファ220と、差分器230と、量子化器240と、転送

回路 250 とを備える。

[0119] 光電変換部 201 は、入射光を検出するものである。この光電変換部 201 は、入射光に応じたシンク電流を後段の電流電圧変換回路 210 に対して出力する。

[0120] 電流電圧変換回路 210 は、光電変換部 201 からの出力電流を電圧に変換する回路である。この変換の際、対数圧縮を行い、圧縮された電圧信号をバッファ 220 に対して出力する。

[0121] バッファ 220 は、電流電圧変換回路 210 の電圧信号を増幅して後段の差分器 230 に対して出力するバッファである。

[0122] 差分器 230 は、バッファ 220 から出力された電圧信号の差分を検出することにより、電圧信号の変化量を検出するものである。この差分器 230 は、行駆動回路 50 からの行駆動信号の入力後に電圧信号の変化量の検出を開始する。検出された電圧信号の変化量は、信号線 239 を介して出力される。

[0123] 量子化器 240 は、差分器 230 からの電圧信号を量子化し、検出信号として出力するものである。検出信号は、信号線 249 を介して出力される。

[0124] 転送回路 250 は、列駆動回路 60 からの列駆動信号に基づいて、検出信号を信号処理回路 70 に対して出力する回路である。

[0125] [電流電圧変換回路の構成]

図 19 は、本開示に係る技術が適用され得る DVS に係る電流電圧変換回路の構成例を示す図である。同図は、電流電圧変換回路 210 の構成例を表す回路図である。同図の電流電圧変換回路 210 は、MOS トランジスタ 211 乃至 213 と、キャパシタ 214 とを備える。MOS トランジスタ 211 および 213 には、n チャネル MOS トランジスタを使用することができる。MOS トランジスタ 212 には、p チャネル MOS トランジスタを使用することができる。また、同図の電流電圧変換回路 210 には、電源線 V_{dd} および電源線 V_{bias} が配置される。電源線 V_{dd} は、電流電圧変換回路 210 に電源を供給する電源線である。電源線 V_{bias} は、バイアス電

圧を供給する電源線である。なお、同図には、光電変換部201も記載した。

[0126] 光電変換部201のアノードは接地され、カソードはMOSトランジスタ211のソース、MOSトランジスタ213のゲートおよびキャパシタ214の一端に接続される。キャパシタ214の他端は、MOSトランジスタ211のゲート、MOSトランジスタ212のドレイン、MOSトランジスタ213のドレインおよび信号線219に接続される。MOSトランジスタ211のソースは電源線V_{dd}に接続され、MOSトランジスタ213のソースは接地される。MOSトランジスタ212のゲートは電源線V_{bias}に接続され、ソースは電源線V_{dd}に接続される。

[0127] MOSトランジスタ211は、光電変換部201に電流を供給するMOSトランジスタである。光電変換部201は、入射光に応じたシンク電流が流れる。MOSトランジスタ211は、このシンク電流を供給する。この際、MOSトランジスタ211のゲートは、後述するMOSトランジスタ213の出力電圧により駆動され、光電変換部201のシンク電流に等しいソース電流を出力する。MOSトランジスタのゲートソース間電圧V_{gs}がソース電流に応じた電圧となるため、MOSトランジスタのソース電圧は、光電変換部201の電流に応じた電圧となる。これにより、光電変換部201の電流が電圧信号に変換される。

[0128] MOSトランジスタ213は、MOSトランジスタ211のソース電圧を増幅するMOSトランジスタである。また、MOSトランジスタ212は、MOSトランジスタ213の定電流負荷を構成する。MOSトランジスタ213のドレインには、増幅された電圧信号が出力される。この電圧信号は、信号線219に出力されるとともに、MOSトランジスタ211のゲートに帰還される。MOSトランジスタ211のV_{gs}がしきい値電圧以下の場合には、V_{gs}の変化に対してソース電流は指数関数状に変化する。このため、MOSトランジスタ211のゲートに帰還されるMOSトランジスタ213の出力電圧は、MOSトランジスタ211のソース電流と等しい光電変換

部 2 0 1 の出力電流が対数圧縮された電圧信号となる。

[0129] キャパシタ 2 1 4 は、位相補償用のキャパシタである。このキャパシタ 2 1 4 は、M O S トランジスタ 2 1 3 のドレインおよびゲートの間に接続され、増幅回路を構成する M O S トランジスタ 2 1 3 の位相補償を行う。

[0130] [差分器および量子化器の構成]

図 2 0 は、本開示に係る技術が適用され得る D V S に係る差分器および量子化器の構成例を示す図である。同図は、差分器 2 3 0 および量子化器 2 4 0 の構成例を表す回路図である。

[0131] 同図の差分器 2 3 0 は、反転アンプ 2 3 1 と、キャパシタ 2 3 2 および 2 3 3 と、スイッチ 2 3 4 とを備える。

[0132] キャパシタ 2 3 2 は、信号線 2 2 9 および反転アンプ 2 3 1 の入力の上に接続される。反転アンプ 2 3 1 の出力は、信号線 2 3 9 に接続される。並列に接続されたキャパシタ 2 3 3 およびスイッチ 2 3 4 は、反転アンプ 2 3 1 の入力および出力の間に接続される。スイッチ 2 3 4 の制御入力は、信号線 5 1 に接続される。

[0133] キャパシタ 2 3 2 は、バッファ 2 2 0 から出力された電圧信号のうちの直流成分を除去する結合キャパシタである。キャパシタ 2 3 2 により電圧信号の変化量に応じた信号が伝達される。

[0134] 反転アンプ 2 3 1 は、キャパシタ 2 3 2 により伝達された電圧信号の変化量に応じてキャパシタ 2 3 3 を充電するアンプである。反転アンプ 2 3 1 およびキャパシタ 2 3 2 は、積分回路を構成し、キャパシタ 2 3 2 により伝達された電圧信号の変化量を積算する。

[0135] スイッチ 2 3 4 は、キャパシタ 2 3 3 を放電するスイッチである。このスイッチ 2 3 4 は、導通状態となってキャパシタ 2 3 2 を放電し、キャパシタ 2 3 2 に積算された電圧信号の変化量を 0 V にリセットする。スイッチ 2 3 4 は、信号線 5 1 により伝達される行駆動信号により制御される。

[0136] 差分器 2 3 0 は、行駆動信号によりリセットされた後の期間における入射光に応じた電圧信号の変化量を積算して出力する。これにより、ノイズの影響

響を軽減することができる。

- [0137] 量子化器240は、コンパレータ241および242を備える。信号線239は、コンパレータ241の非反転入力およびコンパレータ242の反転入力に接続される。コンパレータ241の反転入力には所定の閾値電圧 V_{th1} が印加され、コンパレータ242の非反転入力には所定の閾値電圧 V_{th2} が印加される。コンパレータ241および242の出力はそれぞれ信号線249を構成する。
- [0138] コンパレータ241は、閾値電圧 V_{th1} と差分器230からの出力電圧を比較するものである。差分器230からの出力電圧が閾値電圧 V_{th1} より高い場合に値「1」を出力する。
- [0139] コンパレータ242は、閾値電圧 V_{th2} と差分器230からの出力電圧を比較するものである。差分器230からの出力電圧が閾値電圧 V_{th2} より低い場合に値「1」を出力する。
- [0140] 閾値電圧 V_{th1} を差分器230がリセットされた際の出力電圧より高い閾値電圧に設定し、閾値電圧 V_{th2} を差分器230がリセットされた際の出力電圧より低い閾値電圧に設定することにより、光電変換部201の出力信号の増加および減少の両方向の変化量の検出を行うことができる。また、コンパレータ241および242により差分器230からの出力電圧が2値化されて量子化される。
- [0141] 量子化器240により量子化された信号は、転送回路250に入力される。転送回路250は、値「1」の信号が入力された際に、入射光量の変化が所定の閾値を超えた旨を検出信号として信号処理回路70に転送することができる。信号処理回路70は、転送回路250により検出信号が転送されると、当該信号の転送をアドレスイベントとして保持するとともに、行駆動部50に対して当該画素100に行駆動信号を出力させて差分器230をリセットする。これにより、アドレスイベントが発生した画素100において、入射光に応じた電圧信号の変化量の積算が再度開始される。

[0142] [撮像装置の構成]

図 2 1 は、本開示に係る技術が適用され得る D V S に係る撮像装置の構成例を示す図である。同図は、D V S を構成する撮像装置 1 の構成例を表すブロック図である。同図の撮像装置 1 は、受光素子 2 と、制御部 3 と、レンズ 5 と、記録部 6 とを備える。

[0143] レンズ 5 は、受光素子 2 に対象物を結像するレンズである。なお、受光素子 2 には、図 1 5 において説明した受光素子 2 を使用することができる。

[0144] 制御部 3 は、受光素子 2 を制御して画像データを撮像させるものである。記録部 6 は、受光素子 2 により画像データを記録するものである。

[0145] 受光素子 2 は、アドレスイベントを検出した画素 1 0 0 を取得することにより、輝度に変化した領域を検出することができる。当該領域の画像データのみを更新して画像データを生成することにより、高速な撮像を行うことができる。なお、撮像装置 1 は、請求の範囲に記載の電子機器の一例である。

[0146] なお、第 2 の実施の形態の受光素子 2 構成は、第 3 の実施の形態の受光素子 2 に組み合わせてもよい。具体的には、図 1 0 のパッド開口部 1 8 0 の構成は図 1 3 の画素 1 0 0 に適用してもよい。

[0147] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0148] また、本明細書に記載された効果はあくまで例示であって限定されるものではない。また、他の効果があってもよい。

[0149] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0150] なお、本技術は以下のような構成もとることができる。

(1) 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、

前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的に接続するための電極パッドと、

前記半導体基板の前記表面側の反対側である裏面側に形成されるとともに前記電極パッドの近傍の前記半導体基板の表面側近傍に底部が形成される第1の凹部と、

前記第1の凹部の前記表面側に形成されて底面が前記電極パッドの面に形成される第2の凹部と
を具備する受光素子。

(2) 前記第2の凹部は、前記第1の凹部とは異なる開口サイズに構成される前記(1)に記載の受光素子。

(3) 前記第2の凹部は、前記半導体基板の裏面側における開口面積が前記第1の凹部と平面視において異なる前記(2)に記載の受光素子。

(4) 前記第2の凹部は、前記半導体基板の表面側における開口面積が前記第1の凹部と平面視において異なる前記(2)に記載の受光素子。

(5) 前記第2の凹部は、開口面積と底面積とが異なる前記(2)に記載の受光素子。

(6) 前記第2の凹部は、前記半導体基板の裏面側が前記底面側より広い形状に構成される前記(5)に記載の受光素子。

(7) 前記第2の凹部は、テーパ形状の断面に構成される前記(6)に記載の受光素子。

(8) 前記第2の凹部は、傾斜角度が異なる複数のテーパ形状の断面に構成される前記(7)に記載の受光素子。

(9) 前記第1の凹部は、開口面積と底面積とが異なる前記(1)から(8)の何れかに記載の受光素子。

(10) 前記第1の凹部は、前記半導体基板の裏面側が前記底面側より広い形状に構成される前記(9)に記載の受光素子。

(11) 前記第1の凹部は、テーパ形状の断面に構成される前記(10)に記載の受光素子。

(12) 前記第1の凹部は、垂直な壁面により構成される前記(1)から(11)の何れかに記載の受光素子。

(13) 前記第1の凹部は、側面が曲面により構成される前記(1)から(11)の何れかに記載の受光素子。

(14) 前記第1の凹部は、底面が直線形状の断面に構成される前記(1)から(13)の何れかに記載の受光素子。

(15) 前記第1の凹部は、底面が曲面により構成される前記(1)から(13)の何れかに記載の受光素子。

(16) 前記第1の凹部は、エッチングの際の反応生成物が付着する前記(1)から(15)の何れかに記載の受光素子。

(17) 前記光電変換部は、フォトダイオードにより構成される前記(1)から(16)の何れかに記載の受光素子。

(18) 前記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する前記フォトダイオードにより構成される前記(16)に記載の受光素子。

(19) 前記光電変換部は、前記生成された電荷がp型の半導体領域およびn型の半導体領域により構成されるpn接合において前記増倍される前記(18)に記載の受光素子。

(20) 前記光電変換部は、前記n型の半導体領域により構成されるカソード領域を備える前記(19)に記載の受光素子。

(21) 前記光電変換部は、前記半導体基板の表面側に配置される前記カソード領域を備える前記(20)に記載の受光素子。

(22) 前記光電変換部は、前記半導体基板の表面側に配置されるアノード領域を備える前記(19)に記載の受光素子。

(23) 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、

前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的

に接続するための電極パッドと、

前記半導体基板の裏面側に形成されるとともに前記電極パッドに達しない深さの底面に構成される第1の凹部と、

前記第1の凹部の底面から前記電極パッドに達する底面に構成される第2の凹部と

を具備する受光素子。

(24) 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、

前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的に接続するための電極パッドと、

前記半導体基板の前記表面側の反対側である裏面側に形成されるとともに前記電極パッドの近傍の前記半導体基板の表面側近傍に底部が形成される第1の凹部と、

前記第1の凹部の前記表面側に形成されて底面が前記電極パッドの面に形成される第2の凹部と、

前記光電変換に基づいて生成された信号を処理する処理回路とを具備する電子機器。

(25) 前記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する前記入射光の光電変換を行い、

前記処理回路は、前記光源からの前記光の照射から前記信号が生成されるまでの時間を計時することにより前記被写体までの距離を計測する前記処理を行う

前記(24)に記載の電子機器。

(26) 前記処理回路は、前記信号の変化量を検出する前記処理を行う前記(24)に記載の電子機器。

(27) 前記処理回路は、所定の閾値と比較することにより前記変化量を検出する前記(26)に記載の電子機器。

(28) 前記処理回路は、前記半導体基板に貼り合わされる半導体基板に配置される前記(24)に記載の電子機器。

符号の説明

- [0151] 1 撮像装置
- 2 受光素子
- 10 画素アレイ部
- 30 受光信号処理部
- 70 信号処理回路
- 100 画素
- 101、201 光電変換部
- 110、130 半導体基板
- 120、140 配線領域
- 121、141 絶縁層
- 122～124、142 配線層
- 126、146 ビアプラグ
- 127、147 パッド
- 128、148 電極パッド
- 180 パッド開口部
- 181 第1の凹部
- 182～184 第2の凹部

請求の範囲

- [請求項1] 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、
前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的に接続するための電極パッドと、
前記半導体基板の前記表面側の反対側である裏面側に形成されるとともに前記電極パッドの近傍の前記半導体基板の表面側近傍に底部が形成される第1の凹部と、
前記第1の凹部の前記表面側に形成されて底面が前記電極パッドの面に形成される第2の凹部と
を具備する受光素子。
- [請求項2] 前記第2の凹部は、前記第1の凹部とは異なる開口サイズに構成される請求項1記載の受光素子。
- [請求項3] 前記第2の凹部は、前記半導体基板の裏面側における開口面積が前記第1の凹部と平面視において異なる請求項2記載の受光素子。
- [請求項4] 前記第2の凹部は、前記半導体基板の表面側における開口面積が前記第1の凹部と平面視において異なる請求項2記載の受光素子。
- [請求項5] 前記第2の凹部は、開口面積と底面積とが異なる請求項2記載の受光素子。
- [請求項6] 前記第2の凹部は、前記半導体基板の裏面側が前記底面側より広い形状に構成される請求項5記載の受光素子。
- [請求項7] 前記第2の凹部は、テーパ形状の断面に構成される請求項6記載の受光素子。
- [請求項8] 前記第2の凹部は、傾斜角度が異なる複数のテーパ形状の断面に構成される請求項7記載の受光素子。
- [請求項9] 前記第1の凹部は、開口面積と底面積とが異なる請求項1記載の受光素子。

- [請求項10] 前記第1の凹部は、前記半導体基板の裏面側が前記底面側より広い形状に構成される請求項9記載の受光素子。
- [請求項11] 前記第1の凹部は、テーパ形状の断面に構成される請求項10記載の受光素子。
- [請求項12] 前記第1の凹部は、垂直な壁面により構成される請求項1記載の受光素子。
- [請求項13] 前記第1の凹部は、側面が曲面により構成される請求項1記載の受光素子。
- [請求項14] 前記第1の凹部は、底面が直線形状の断面に構成される請求項1記載の受光素子。
- [請求項15] 前記第1の凹部は、底面が曲面により構成される請求項1記載の受光素子。
- [請求項16] 前記第1の凹部は、エッチングの際の反応生成物が付着する請求項1記載の受光素子。
- [請求項17] 前記光電変換部は、フォトダイオードにより構成される請求項1記載の受光素子。
- [請求項18] 前記光電変換部は、入射光の光電変換により生成された電荷を高い逆バイアス電圧により増倍する前記フォトダイオードにより構成される請求項17記載の受光素子。
- [請求項19] 前記光電変換部は、前記生成された電荷がp型の半導体領域およびn型の半導体領域により構成されるpn接合において前記増倍される請求項18記載の受光素子。
- [請求項20] 前記光電変換部は、前記n型の半導体領域により構成されるカソード領域を備える請求項19記載の受光素子。
- [請求項21] 前記光電変換部は、前記半導体基板の表面側に配置される前記カソード領域を備える請求項20記載の受光素子。
- [請求項22] 前記光電変換部は、前記半導体基板の表面側に配置されるアノード領域を備える請求項19記載の受光素子。

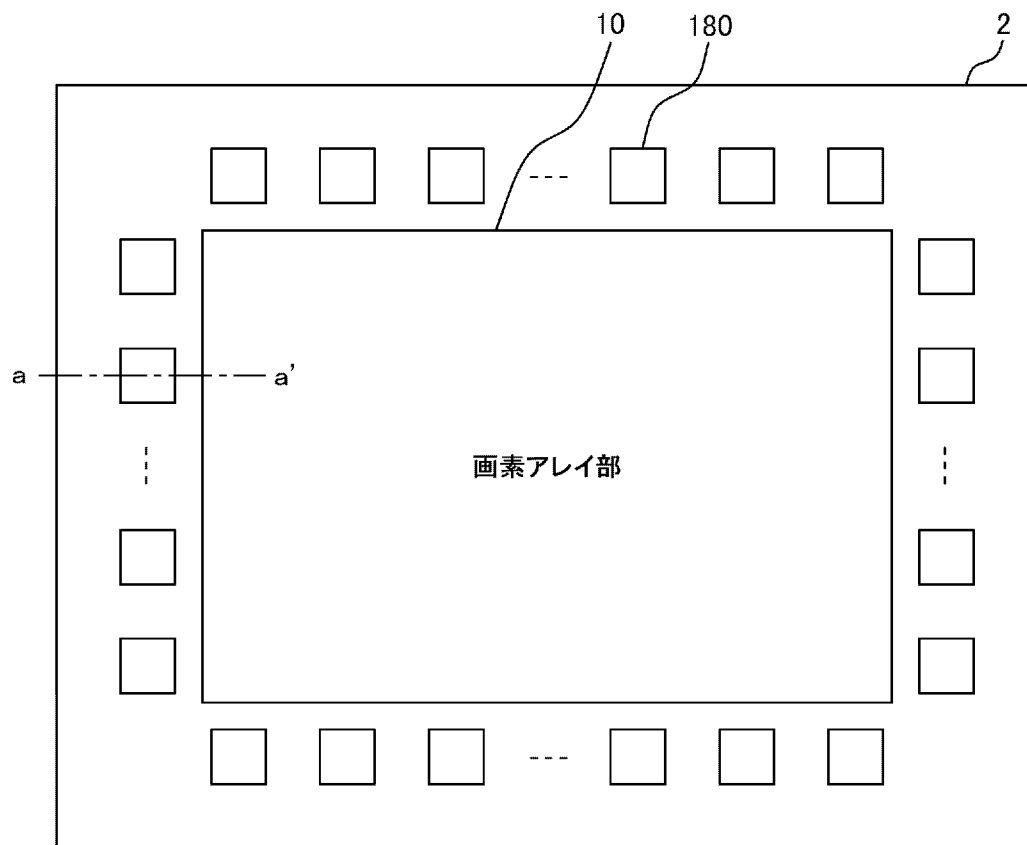
[請求項23] 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、
前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的に接続するための電極パッドと、
前記半導体基板の裏面側に形成されるとともに前記電極パッドに達しない深さの底面に構成される第1の凹部と、
前記第1の凹部の底面から前記電極パッドに達する底面に構成される第2の凹部と
を具備する受光素子。

[請求項24] 半導体基板に配置されて入射光の光電変換を行う光電変換部に接続されて信号を伝達する配線層および当該配線層を絶縁する絶縁層を備えて前記半導体基板の表面側に隣接して配置される配線領域と、
前記配線領域に配置されるとともに前記配線層に接続されて外部と電氣的に接続するための電極パッドと、
前記半導体基板の前記表面側の反対側である裏面側に形成されるとともに前記電極パッドの近傍の前記半導体基板の表面側近傍に底部が形成される第1の凹部と、
前記第1の凹部の前記表面側に形成されて底面が前記電極パッドの面に形成される第2の凹部と、
前記光電変換に基づいて生成された信号を処理する処理回路と
を具備する電子機器。

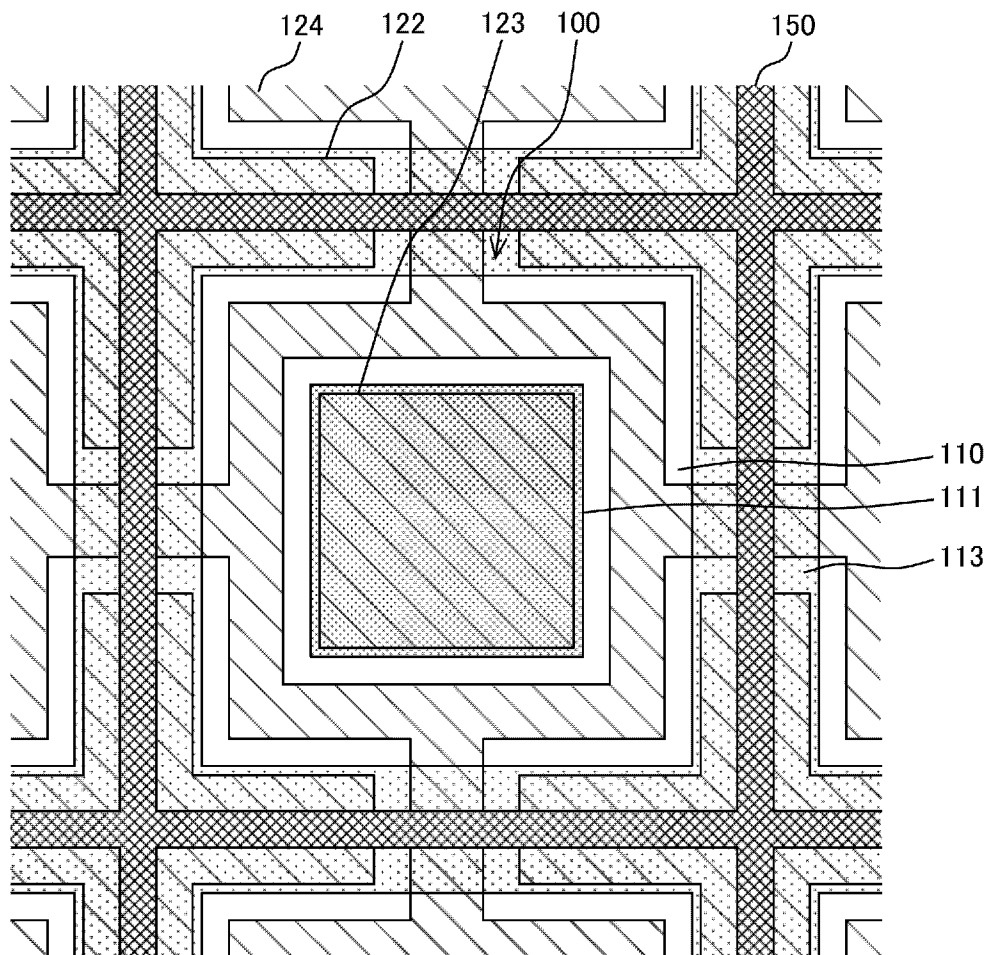
[請求項25] 前記光電変換部は、光源から照射された光が被写体により反射されて自身に入射する前記入射光の光電変換を行い、
前記処理回路は、前記光源からの前記光の照射から前記信号が生成されるまでの時間を計時することにより前記被写体までの距離を計測する前記処理を行う
請求項24記載の電子機器。

- [請求項26] 前記処理回路は、前記信号の変化量を検出する前記処理を行う請求項24記載の電子機器。
- [請求項27] 前記処理回路は、所定の閾値と比較することにより前記変化量を検出する請求項26記載の電子機器。
- [請求項28] 前記処理回路は、前記半導体基板に貼り合わされる半導体基板に配置される請求項24記載の電子機器。

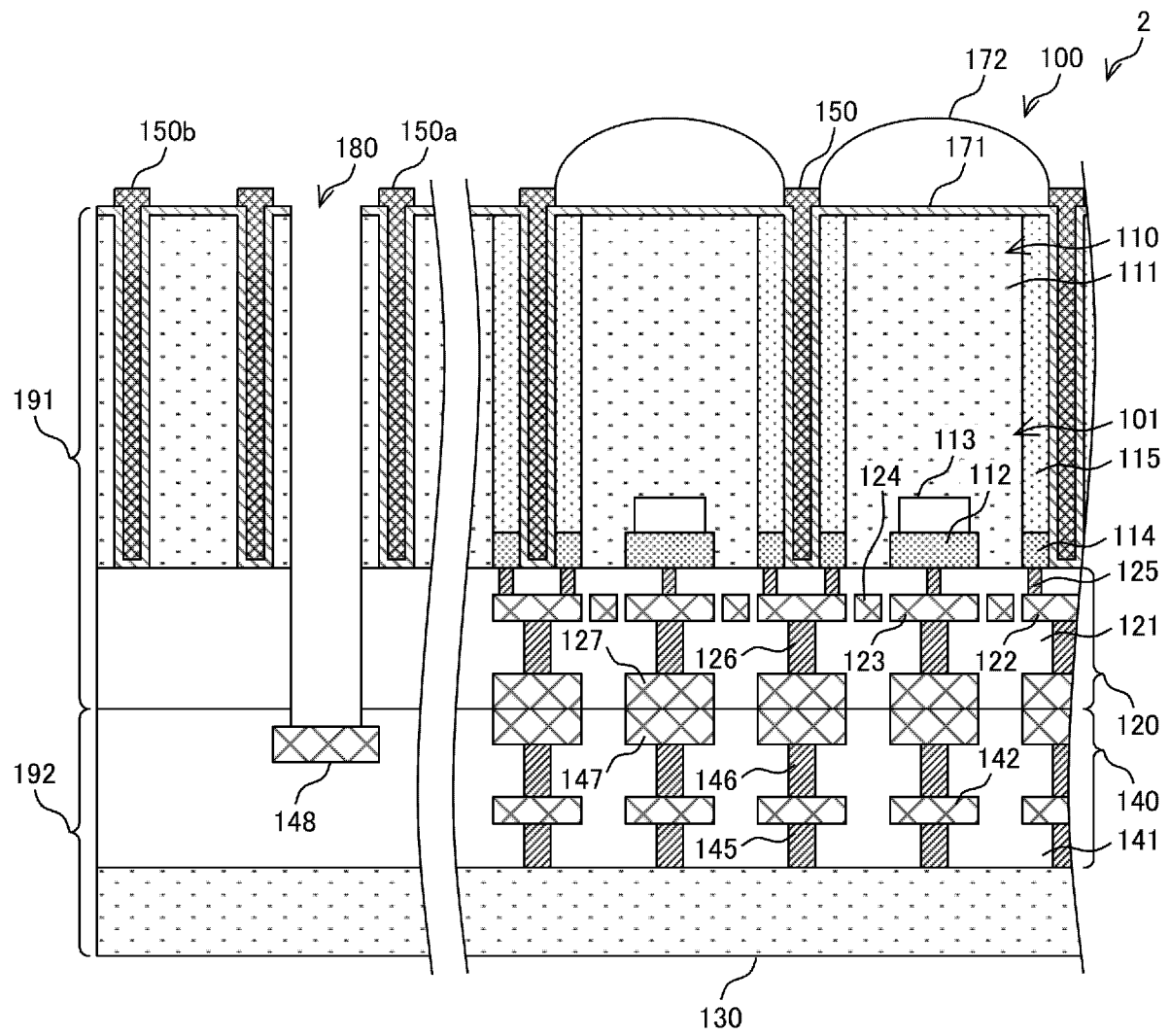
[図1]



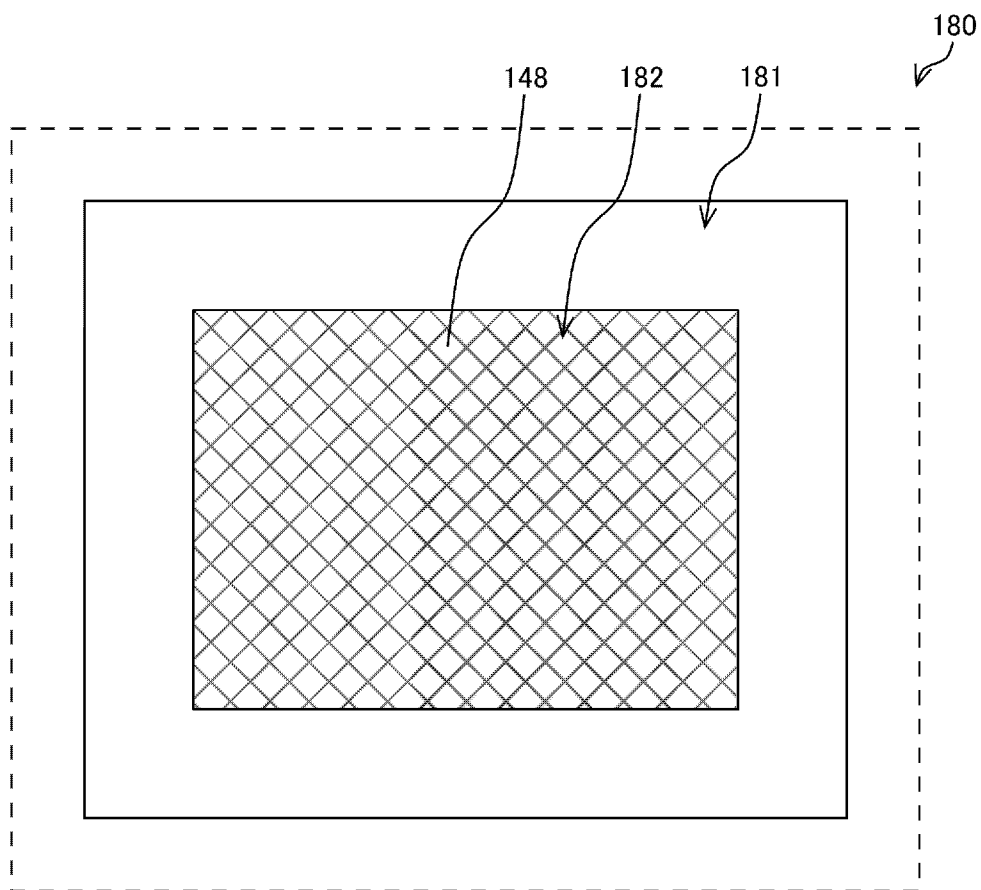
[図2]



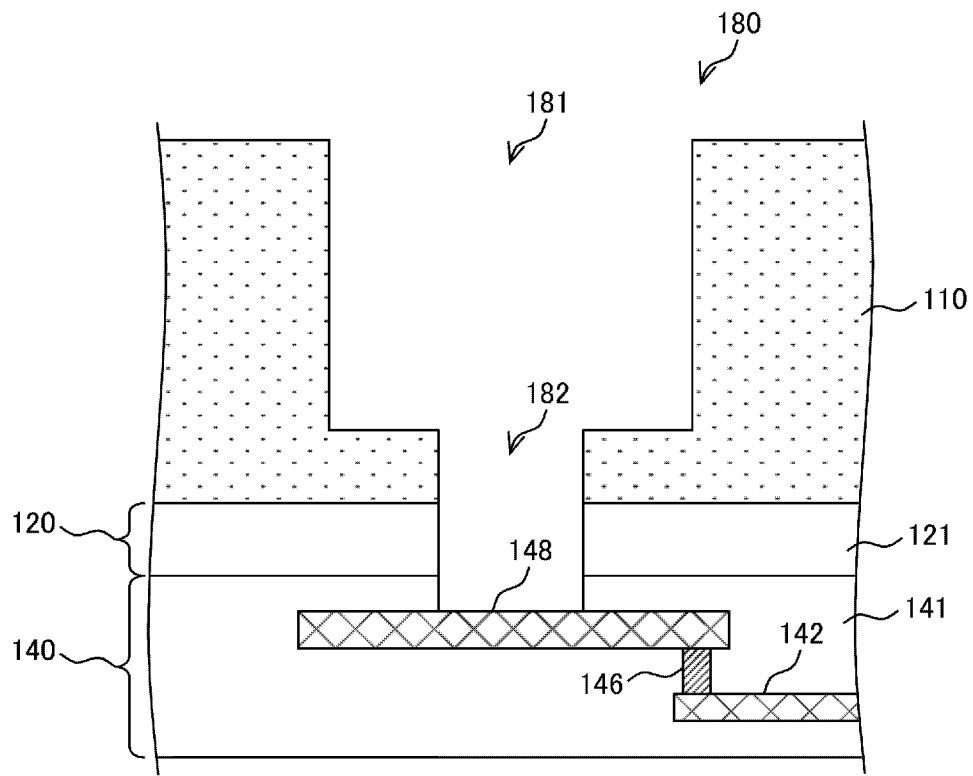
[図3]



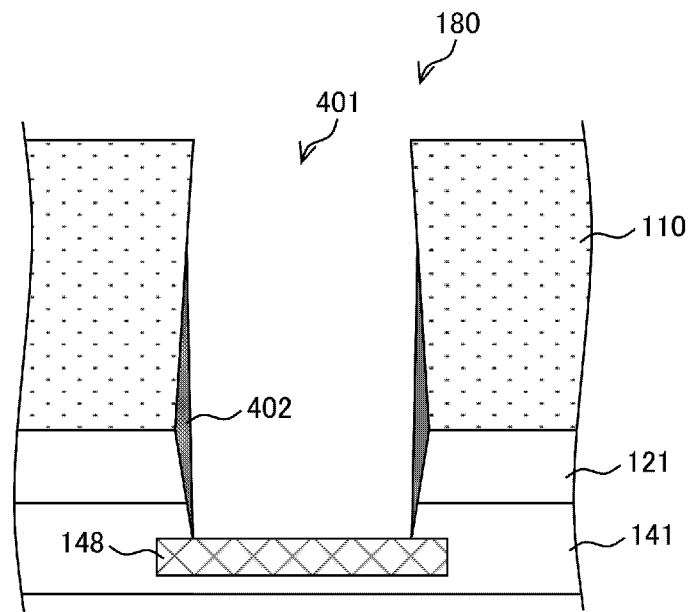
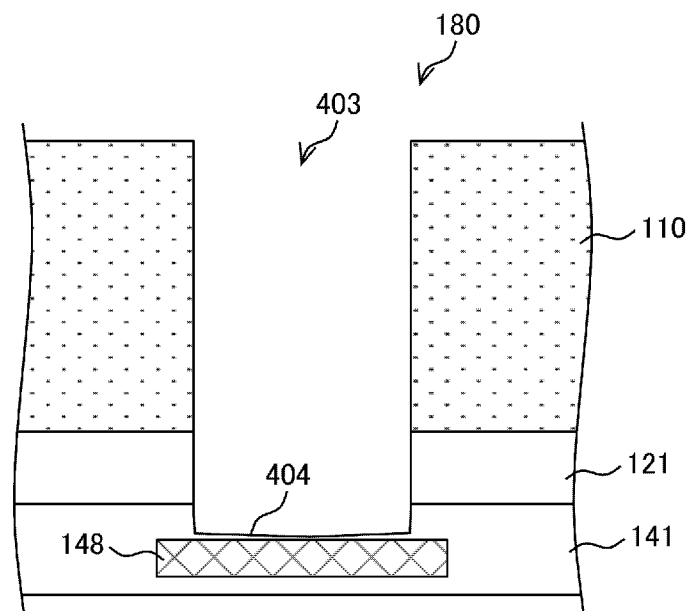
[図5]



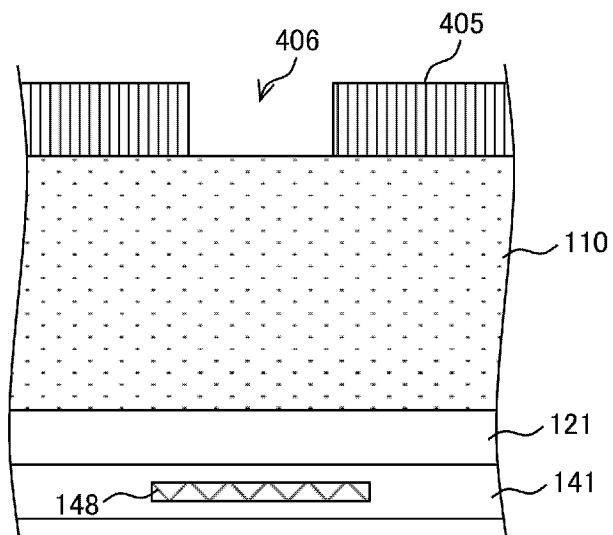
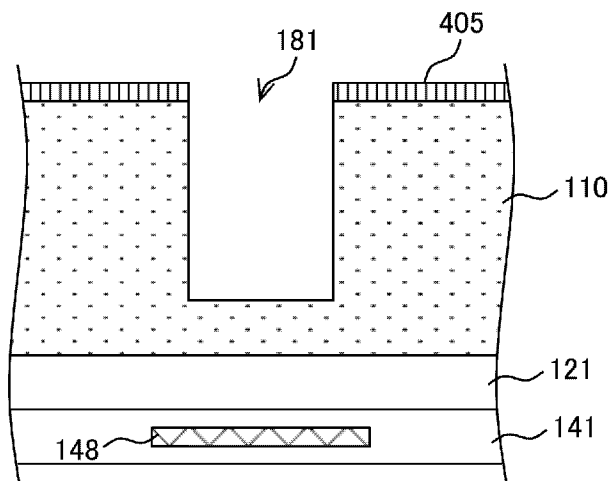
[図6]



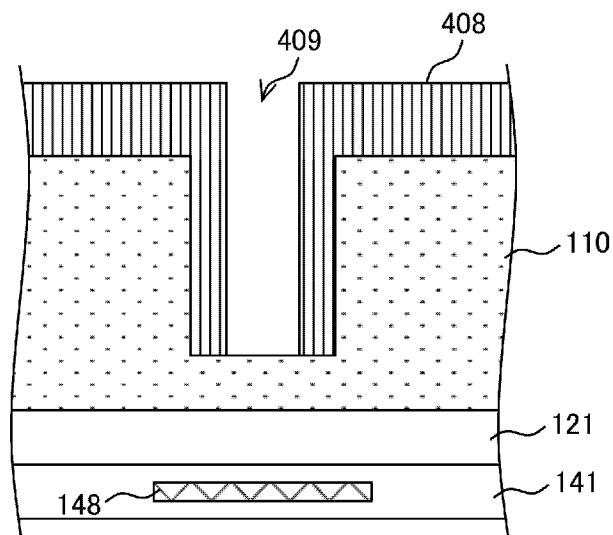
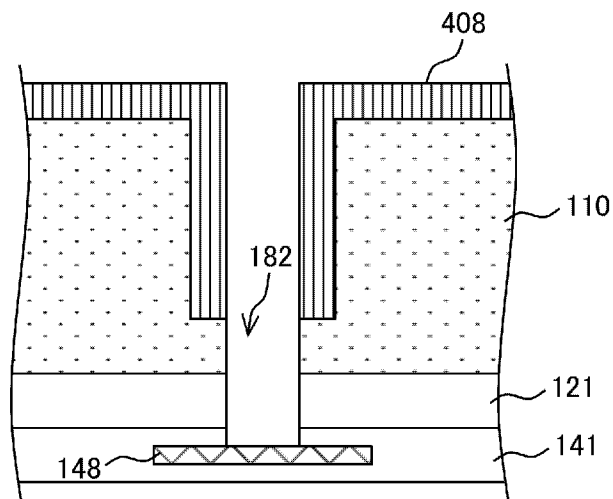
[図7]

AB

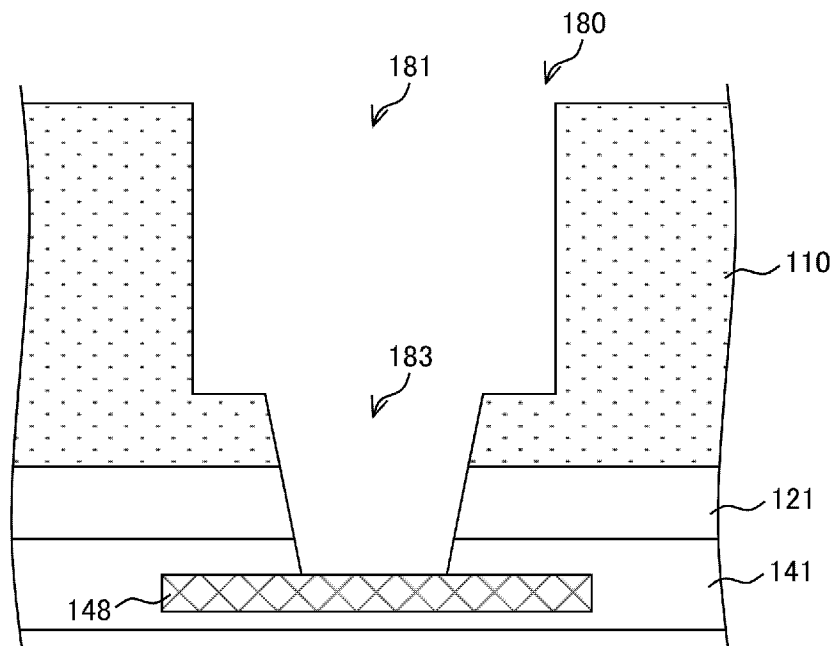
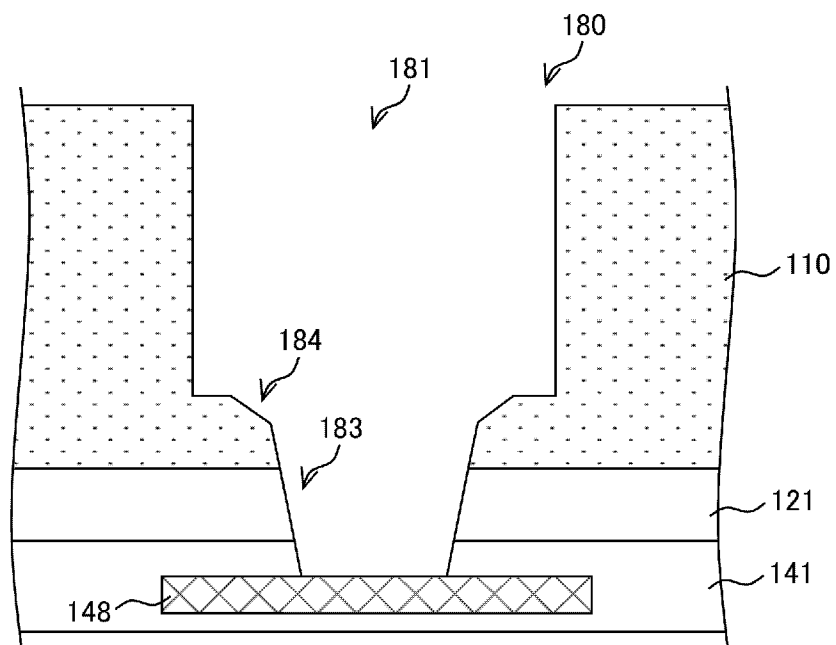
[図8]

AB

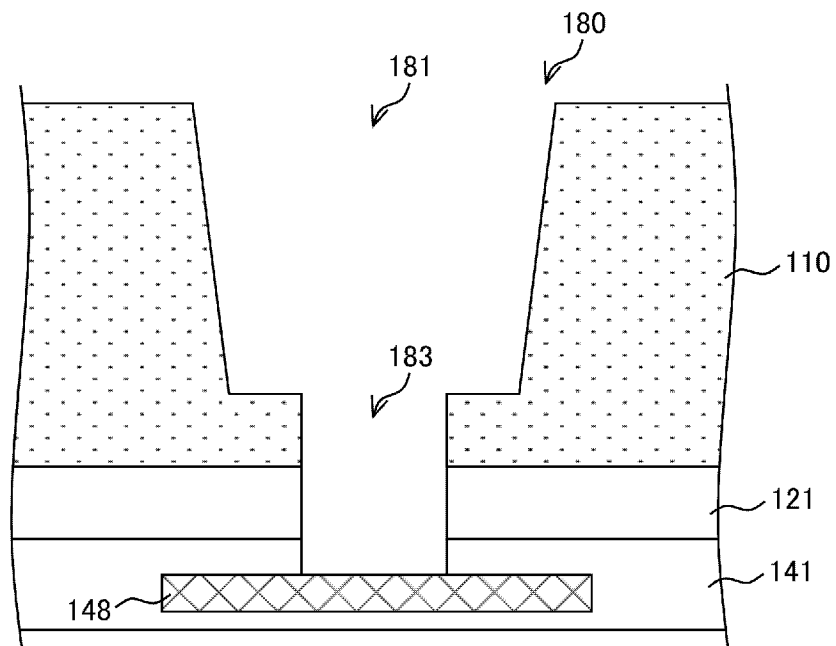
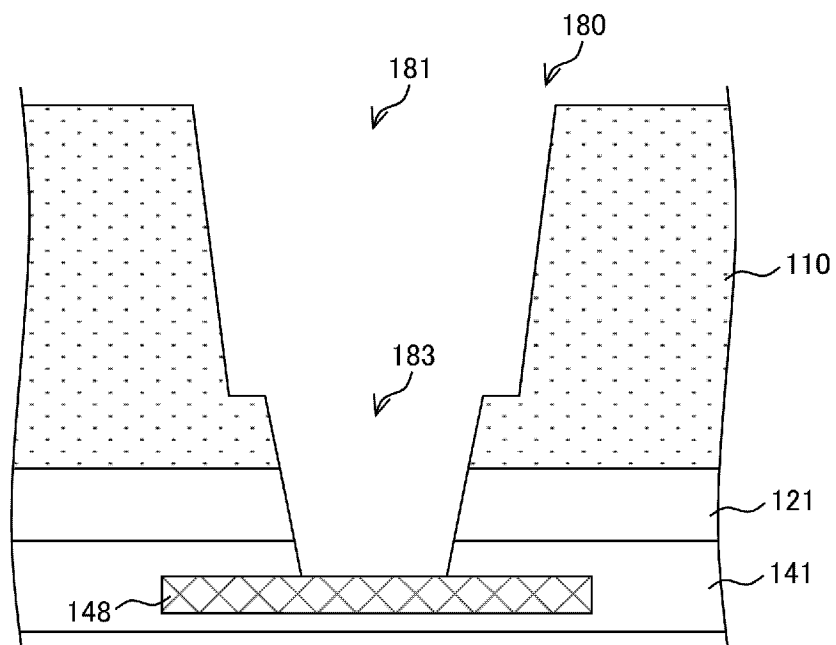
[図9]

CD

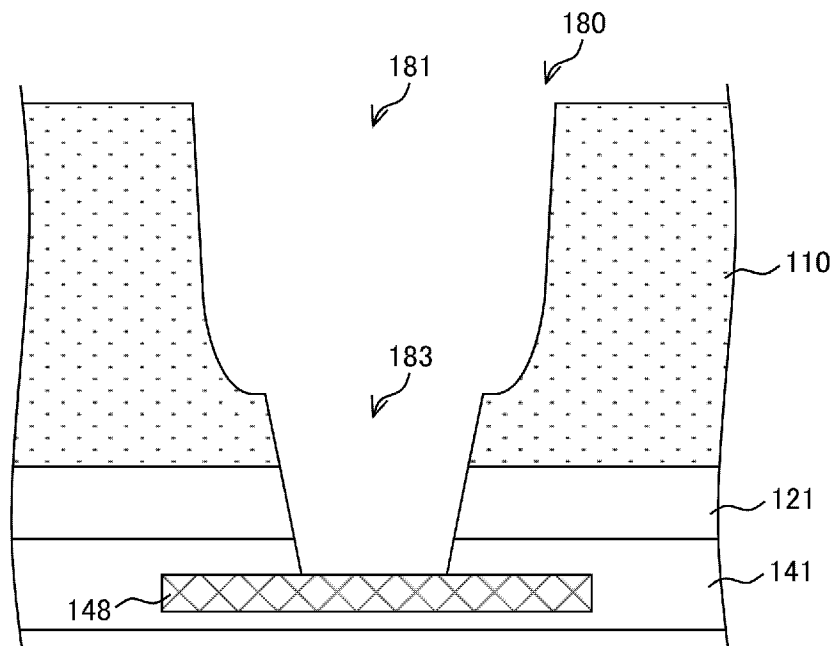
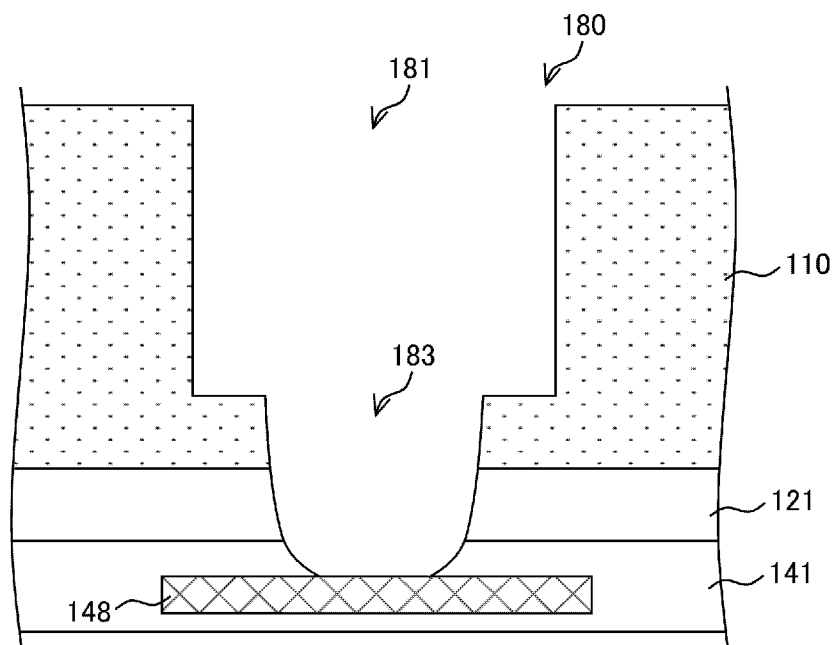
[図10]

AB

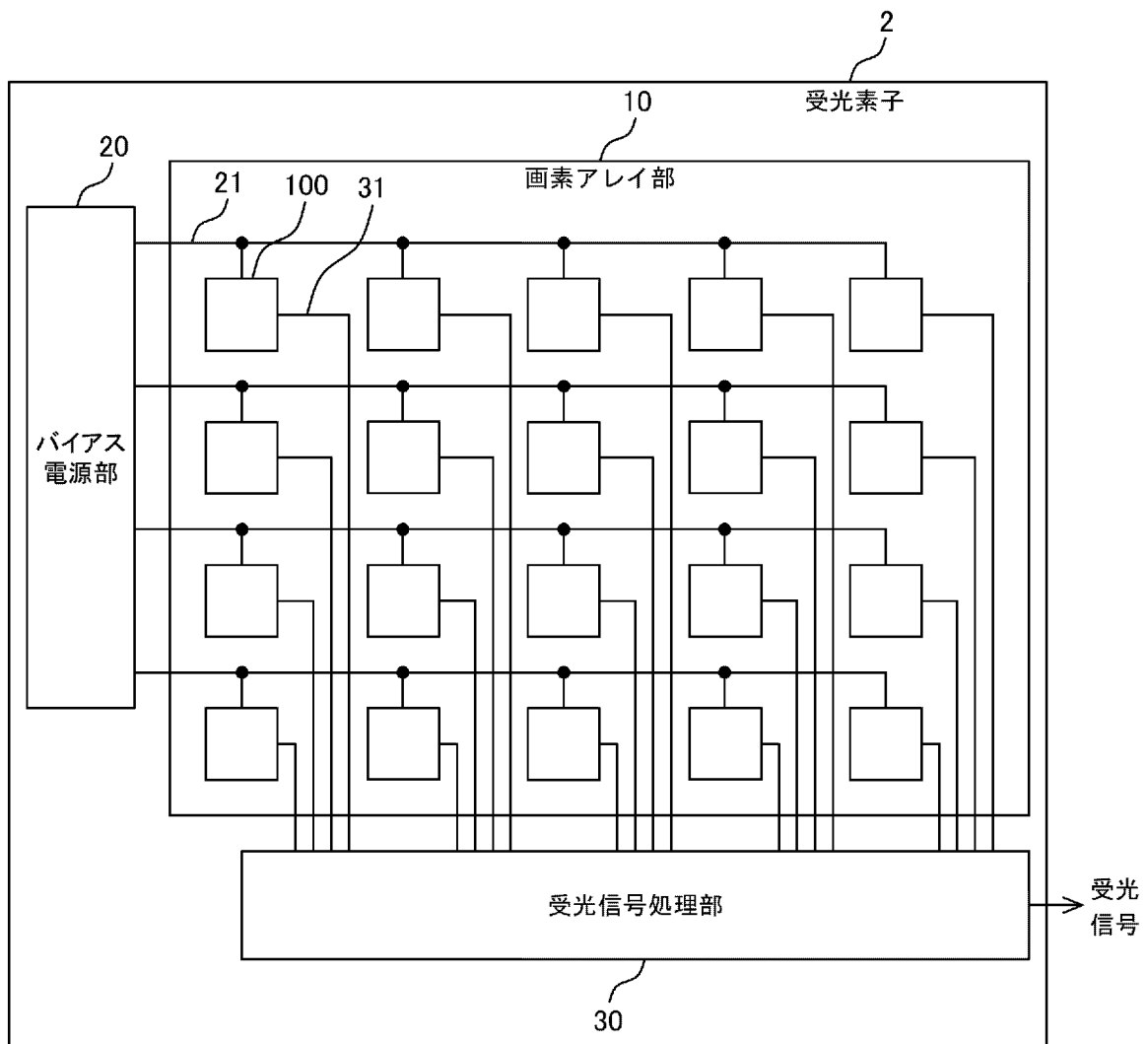
[図11]

AB

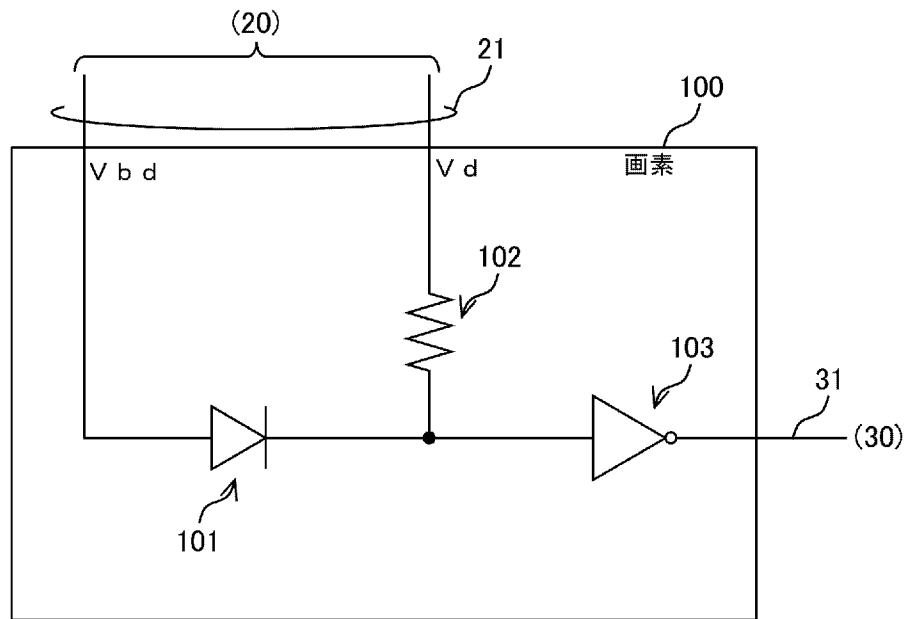
[図12]

AB

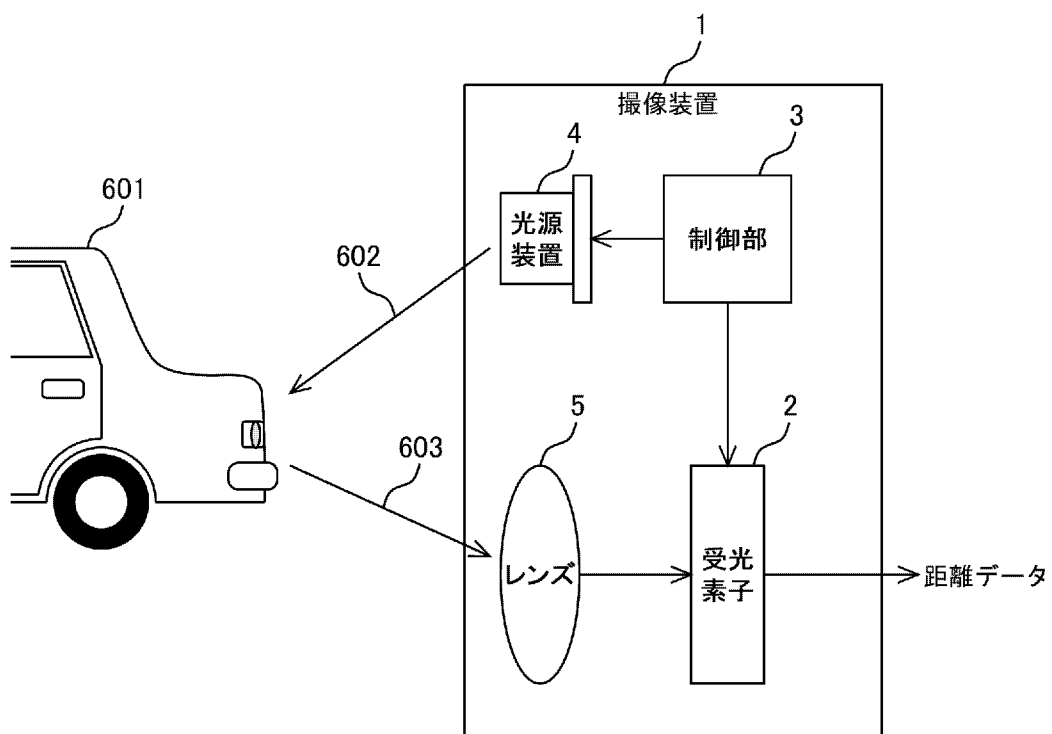
[図14]



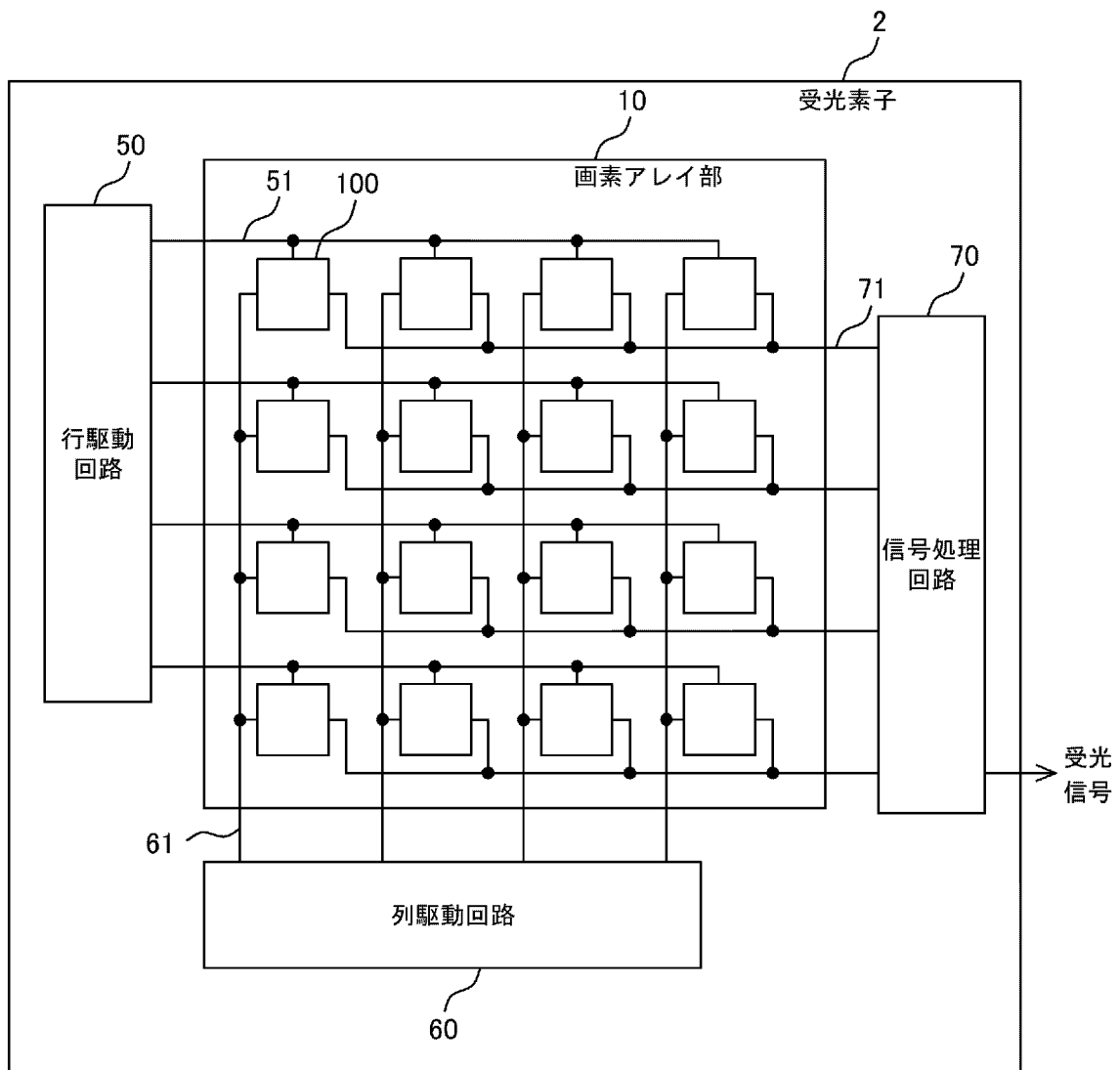
[図15]



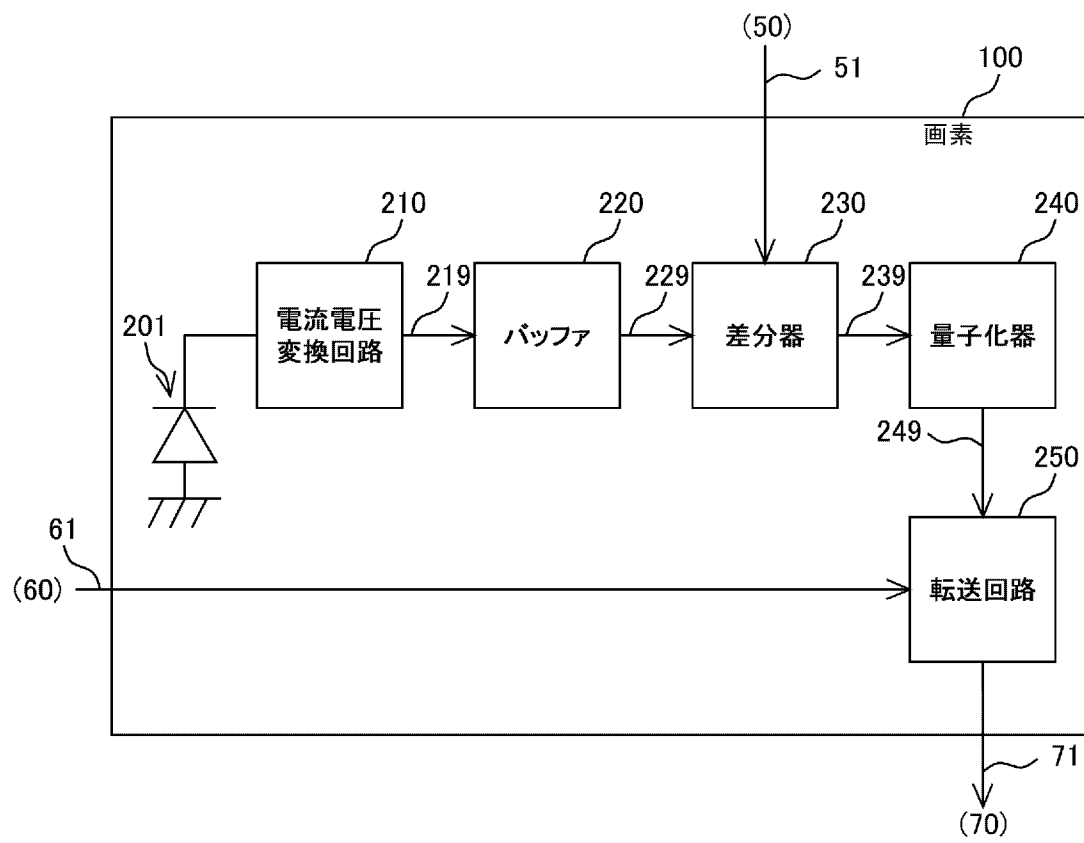
[図16]



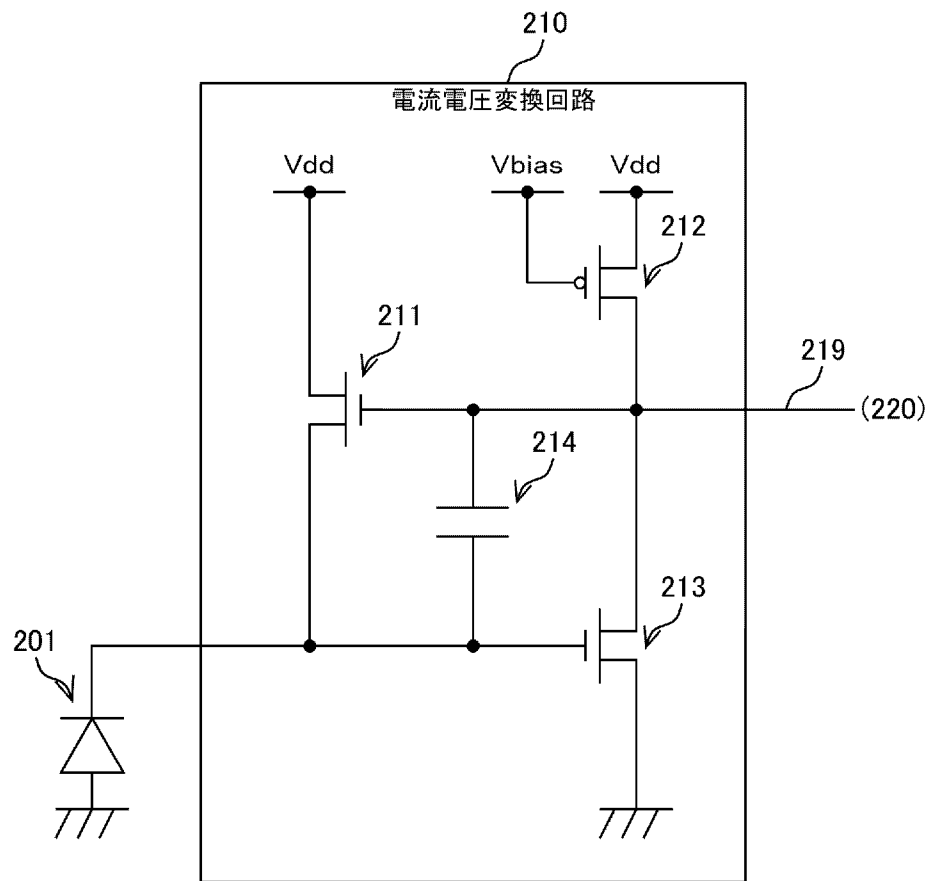
[図17]



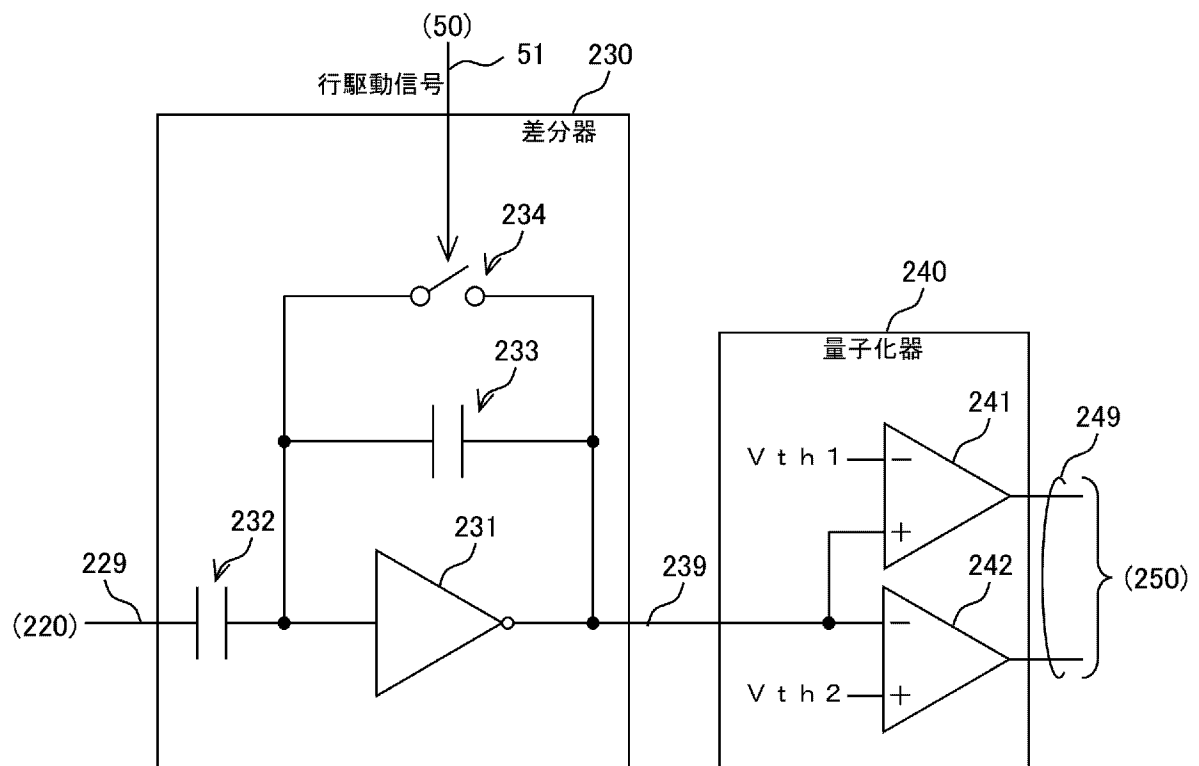
[図18]



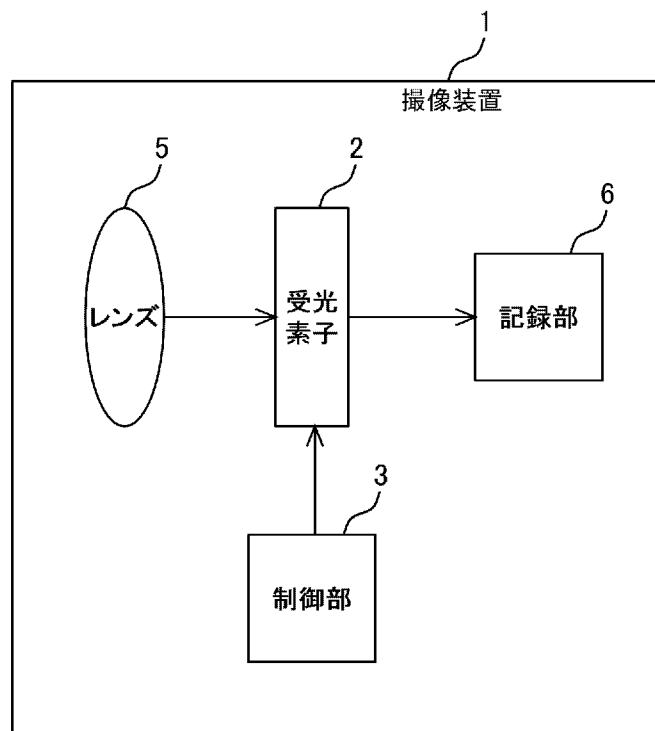
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/004520

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L31/107 (2006.01) i, H01L21/3205 (2006.01) i, H01L21/768 (2006.01) i, H01L23/522 (2006.01) i, H01L27/144 (2006.01) i, H01L27/146 (2006.01) i
FI: H01L27/146 D, H01L21/88 J, H01L27/146 F, H01L27/144 K, H01L21/90 P, H01L31/10 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L31/107, H01L21/3205, H01L21/768, H01L23/522, H01L27/144, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-44989 A (SONY CORP.) 13 March 2014, paragraphs [0042]-[0045], fig. 3	1-28
Y	JP 2013-84763 A (SONY CORP.) 09 May 2013, paragraphs [0018]-[0042], fig. 1, 2	1-28
Y	JP 2011-35399 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 17 February 2011, paragraphs [0028]-[0030], fig. 9	1-28
Y	JP 2010-267736 A (PANASONIC CORP.) 25 November 2010, paragraphs [0065]-[0076], fig. 3	5-11, 13, 15
Y	JP 2005-101268 A (SANYO ELECTRIC CO., LTD.) 14 April 2005, paragraphs [0019]-[0044], fig. 1-14	5-11, 13, 15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08.04.2021

Date of mailing of the international search report
20.04.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2021/004520

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-140916 A (TOPPAN PRINTING CO., LTD.) 18 July 2013, paragraphs [0021]-[0038], fig. 1	5-11, 13, 15
Y	JP 2010-89442 A (SONY CORP.) 22 April 2010, paragraphs [0039]-[0041], fig. 6	16
Y	JP 2019-33136 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 28 February 2019, paragraphs [0035]-[0075], fig. 2, 6	18-22
Y	JP 2018-201005 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 20 December 2018, paragraphs [0021]-[0023], fig. 2	18-22
Y	WO 2016/170833 A1 (SONY CORP.) 27 October 2016, paragraphs [0019]-[0037], [0112]-[0114], fig. 1, 2, 15	25-27
A	JP 2017-130660 A (SAMSUNG ELECTRONICS CO., LTD.) 27 July 2017, entire text, all drawings	1-28
A	JP 2015-76502 A (SONY CORP.) 20 April 2015, entire text, all drawings	1-28
A	US 2015/0221695 A1 (SAMSUNG ELECTRONICS CO., LTD.) 06 August 2015, entire text, all drawings	1-28
A	US 2014/0264709 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 18 September 2014, entire text, all drawings	1-28
A	JP 2013-80838 A (SONY CORP.) 02 May 2013, entire text, all drawings	1-28

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/004520

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-44989 A	13.03.2014	US 2014/0054739 A1 paragraphs [0055]- [0058], fig. 3	
JP 2013-84763 A	09.05.2013	CN 103633105 A US 2014/0217486 A1 paragraphs [0045]- [0082], fig. 1, 2	
JP 2011-35399 A	17.02.2011	EP 2747139 A1 TW 201320317 A CN 103797579 A KR 10-2014-0068951 A US 2011/0024867 A1 paragraphs [0029]- [0031], fig. 9	
JP 2010-267736 A	25.11.2010	CN 101989610 A KR 10-2011-0013222 A TW 201104851 A WO 2010/131462 A1	
JP 2005-101268 A	14.04.2005	(Family: none)	
JP 2013-140916 A	18.07.2013	US 2014/0312506 A1 paragraphs [0057]- [0074], fig. 1	
JP 2010-89442 A	22.04.2010	WO 2013/103136 A1 EP 2802005 A1 TW 201340272 A CN 104054164 A KR 10-2014-0099316 A (Family: none)	
JP 2019-33136 A	28.02.2019	US 2019/0181177 A1 paragraphs [0112]- [0153], fig. 2, 6	
JP 2018-201005 A	20.12.2018	EP 3507836 A1 TW 201919217 A CN 110168733 A KR 10-2020-0033789 A US 2019/0006399 A1 paragraphs [0087]- [0090], fig. 2	
WO 2016/170833 A1	27.10.2016	WO 2018/074530 A1 EP 3387676 A1 CN 108475689 A KR 10-2019-0067127 A US 2018/0109741 A1 paragraphs [0037]- [0055], [0130]- [0132], fig. 1, 2, 15	
JP 2017-130660 A	27.07.2017	EP 3288081 A1 CN 107534049 A KR 10-2017-0141661 A US 2017/0207158 A1 entire text, all drawings	
JP 2015-76502 A	20.04.2015	KR 10-2017-0086924 A CN 106992162 A US 2015/0097258 A1 entire text, all drawings	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/004520

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2015-76502 A	20.04.2015	US 2015/0097258 A1 entire text, all drawings CN 104576668 A KR 10-2015-0091714 A	
US 2015/0221695 A1	06.08.2015	DE 102014100564 A1 CN 104051424 A TW 201436153 A KR 10-2015-0071666 A	
US 2014/0264709 A1	18.09.2014	US 2014/0217486 A1 entire text, all drawings WO 2013/051462 A1 EP 2747139 A1 TW 201320317 A CN 103797579 A KR 10-2014-0068951 A	
JP 2013-80838 A	02.05.2013		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/144(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/146 D; H01L21/88 J; H01L27/146 F; H01L27/144 K; H01L21/90 P; H01L31/10 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/107; H01L21/3205; H01L21/768; H01L23/522; H01L27/144; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-44989 A (ソニー株式会社) 13.03.2014 (2014-03-13) [0042] - [0045], 図3	1-28
Y	JP 2013-84763 A (ソニー株式会社) 09.05.2013 (2013-05-09) [0018] - [0042], 図1, 2	1-28
Y	JP 2011-35399 A (台湾積體電路製造股▲ふん▼有限公司) 17.02.2011 (2011-02-17) [0028] - [0030], 図9	1-28
Y	JP 2010-267736 A (パナソニック株式会社) 25.11.2010 (2010-11-25) [0065] - [0076], 図3	5-11, 13, 15
Y	JP 2005-101268 A (三洋電機株式会社) 14.04.2005 (2005-04-14) [0019] - [0044], 図1-14	5-11, 13, 15
Y	JP 2013-140916 A (凸版印刷株式会社) 18.07.2013 (2013-07-18) [0021] - [0038], 図1	5-11, 13, 15
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日 08.04.2021	国際調査報告の発送日 20.04.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559	

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-89442 A (ソニー株式会社) 22.04.2010 (2010 - 04 - 22) [0039] - [0041], 図6	16
Y	JP 2019-33136 A (ソニーセミコンダクタソリューションズ株式会社) 28.02.2019 (2019 - 02 - 28) [0035] - [0075], 図2, 6	18-22
Y	JP 2018-201005 A (ソニーセミコンダクタソリューションズ株式会社) 20.12.2018 (2018 - 12 - 20) [0021] - [0023], 図2	18-22
Y	WO 2016/170833 A1 (ソニー株式会社) 27.10.2016 (2016 - 10 - 27) [0019] - [0037], [0112] - [0114], 図1, 2, 15	25-27
A	JP 2017-130660 A (三星電子株式会社) 27.07.2017 (2017 - 07 - 27) 全文, 全図	1-28
A	JP 2015-76502 A (ソニー株式会社) 20.04.2015 (2015 - 04 - 20) 全文, 全図	1-28
A	US 2015/0221695 A1 (SAMSUNG ELECTRONICS CO., LTD.) 06.08.2015 (2015 - 08 - 06) 全文, 全図	1-28
A	US 2014/0264709 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 18.09.2014 (2014 - 09 - 18) 全文, 全図	1-28
A	JP 2013-80838 A (ソニー株式会社) 02.05.2013 (2013 - 05 - 02) 全文, 全図	1-28

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/004520

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-44989	A	13.03.2014	US	2014/0054739	A1	
					[0055]-[0058], Fig.3		
				CN	103633105	A	
JP	2013-84763	A	09.05.2013	US	2014/0217486	A1	
					[0045]-[0082], Figs.1, 2		
				EP	2747139	A1	
				TW	201320317	A	
				CN	103797579	A	
				KR	10-2014-0068951	A	
JP	2011-35399	A	17.02.2011	US	2011/0024867	A1	
					[0029]-[0031], Fig.9		
				CN	101989610	A	
				KR	10-2011-0013222	A	
				TW	201104851	A	
JP	2010-267736	A	25.11.2010	WO	2010/131462	A1	
JP	2005-101268	A	14.04.2005	(ファミリーなし)			
JP	2013-140916	A	18.07.2013	US	2014/0312506	A1	
					[0057]-[0074], Fig.1		
				WO	2013/103136	A1	
				EP	2802005	A1	
				TW	201340272	A	
				CN	104054164	A	
				KR	10-2014-0099316	A	
JP	2010-89442	A	22.04.2010	(ファミリーなし)			
JP	2019-33136	A	28.02.2019	US	2019/0181177	A1	
					[0112]-[0153], Figs.2, 6		
				EP	3507836	A1	
				TW	201919217	A	
				CN	110168733	A	
				KR	10-2020-0033789	A	
JP	2018-201005	A	20.12.2018	US	2019/0006399	A1	
					[0087]-[0090], Fig.2		
				WO	2018/074530	A1	
				EP	3387676	A1	
				CN	108475689	A	
				KR	10-2019-0067127	A	
WO	2016/170833	A1	27.10.2016	US	2018/0109741	A1	
					[0037]-[0055], [0130]-[0132], Figs.1, 2, 15		
				EP	3288081	A1	
				CN	107534049	A	
				KR	10-2017-0141661	A	
JP	2017-130660	A	27.07.2017	US	2017/0207158	A1	
					全文, 全図		
				KR	10-2017-0086924	A	
				CN	106992162	A	
JP	2015-76502	A	20.04.2015	US	2015/0097258	A1	
					全文, 全図		
				CN	104576668	A	
US	2015/0221695	A1	06.08.2015	KR	10-2015-0091714	A	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/004520

引用文献			公表日	パテントファミリー文献			公表日
US	2014/0264709	A1	18.09.2014	DE	102014100564	A1	
				CN	104051424	A	
				TW	201436153	A	
				KR	10-2015-0071666	A	
JP	2013-80838	A	02.05.2013	US	2014/0217486	A1	
				全文, 全図			
				WO	2013/051462	A1	
				EP	2747139	A1	
				TW	201320317	A	
				CN	103797579	A	
				KR	10-2014-0068951	A	