

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4177759号
(P4177759)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int.Cl. F I
GO 1 R 31/28 (2006.01) GO 1 R 31/28 M
 GO 1 R 31/28 H

請求項の数 11 (全 9 頁)

(21) 出願番号	特願2003-514272 (P2003-514272)	(73) 特許権者	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(86) (22) 出願日	平成14年7月17日(2002.7.17)	(74) 代理人	100104156 弁理士 龍華 明裕
(86) 国際出願番号	PCT/JP2002/007259	(72) 発明者	関野 隆 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内
(87) 国際公開番号	W02003/008985	審査官	関根 洋之
(87) 国際公開日	平成15年1月30日(2003.1.30)		
審査請求日	平成17年5月6日(2005.5.6)		
(31) 優先権主張番号	特願2001-216792 (P2001-216792)		
(32) 優先日	平成13年7月17日(2001.7.17)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 入出力回路、及び試験装置

(57) 【特許請求の範囲】

【請求項1】

電子デバイスと信号の授受を行う入出力回路であって、
 前記電子デバイスに信号を供給するドライバと、
 前記ドライバと並列に設けられ、前記電子デバイスから信号を受け取るコンパレータと

、
 前記コンパレータと前記電子デバイスとの間に、前記コンパレータ及び前記電子デバイ
 スと直列に設けられた中継回路と、

前記コンパレータと前記中継回路とを電氣的に接続する第1伝送線路と、

前記第1伝送線路と前記電子デバイスとを短絡するか否かを選択する第1スイッチと、
 前記コンパレータと並列に設けられ、前記第1伝送線路とインピーダンスが略等しい終

端回路と、

を備え、

前記中継回路のインピーダンスは、前記第1伝送線路のインピーダンスより大きいこと
 を特徴とする入出力回路。

【請求項2】

前記終端回路は、前記第1伝送線路と接地電位との間に設けられることを特徴とする請
 求項1に記載の入出力回路。

【請求項3】

前記中継回路のインピーダンスは、前記電子デバイスの出力定格負荷より小さいことを

特徴とする請求項2に記載の入出力回路。

【請求項4】

前記中継回路のインピーダンスは、前記電子デバイスの出力内部インピーダンスより大きいことを特徴とする請求項3に記載の入出力回路。

【請求項5】

前記中継回路は、前記第1伝送線路よりインピーダンスの大きい抵抗を有することを特徴とする請求項4に記載の入出力回路。

【請求項6】

前記第1スイッチと並列に設けられ、前記第1伝送線路と前記電子デバイスとを短絡するか否かを選択する第2スイッチを更に備え、

前記第2スイッチを短絡した場合の前記第2スイッチの内部インピーダンスは、前記第1スイッチを短絡した場合の前記第1スイッチの内部インピーダンスより大きく、前記中継回路のインピーダンスより小さいことを特徴とする請求項5に記載の入出力回路。

【請求項7】

前記第2スイッチの寄生容量は、前記第1スイッチの寄生容量より小さいことを特徴とする請求項6に記載の入出力回路。

【請求項8】

前記ドライバが、前記電子デバイスに信号を供給する場合に、前記第1スイッチを短絡し、前記コンパレータが、前記電子デバイスから信号を受け取る場合に、前記第1スイッチを開放するスイッチ制御部を更に備えることを特徴とする請求項2から5のいずれかに記載の入出力回路。

【請求項9】

前記ドライバが、前記電子デバイスに直流信号を供給する場合に、前記第1スイッチを短絡、及び前記第2スイッチを開放し、

前記ドライバが、前記電子デバイスに交流信号を供給する場合に、前記第1スイッチを開放、及び前記第2スイッチを短絡し、

前記コンパレータが、前記電子デバイスから信号を受け取る場合に、前記第1スイッチ及び前記第2スイッチを開放するスイッチ制御部を更に備えることを特徴とする請求項6又は7に記載の入出力回路。

【請求項10】

前記第1スイッチ、前記第2スイッチ、及び前記中継回路と、前記電子デバイスとを電氣的に接続する第2伝送線路を更に備え、

前記第2伝送線路のインピーダンスは、前記第1伝送線路のインピーダンスと前記第2スイッチの内部インピーダンスとの和と略等しいことを特徴とする請求項9に記載の入出力回路。

【請求項11】

電子デバイスを試験する試験装置であって、

前記電子デバイスを試験するための試験パターンを発生するパターン発生部と、

前記試験パターンを整形する波形整形部と、

前記波形整形部が整形した前記試験パターンを前記電子デバイスに供給し、前記電子デバイスが前記試験パターンに基づいて出力する出力信号を受け取る入出力回路と、

前記出力信号に基づいて、前記電子デバイスの良否を判定する判定部とを備え、

前記入出力回路は、

前記電子デバイスに前記試験パターンを供給するドライバと、

前記ドライバと並列に設けられ、前記電子デバイスから出力信号を受け取るコンパレータと、

前記コンパレータと前記電子デバイスとの間に、前記コンパレータと前記電子デバイスと直列に設けられた中継回路と、

前記コンパレータと前記中継回路とを電氣的に接続する第1伝送線路と、

10

20

30

40

50

前記第 1 伝送線路と前記電子デバイスとを短絡するか否かを選択する第 1 スイッチと、
前記コンパレータと並列に設けられ、前記第 1 伝送線路とインピーダンスが略等しい終
端回路と、
を有し、

前記中継回路のインピーダンスは、前記第 1 伝送線路のインピーダンスより大きいこと
を特徴とする試験装置。

【発明の詳細な説明】

技術分野

本発明は、電子デバイスを試験する試験装置、及び電子デバイスと信号の授受を行う入出力回路に関する。特に、電子デバイスの直流特性と交流特性とを精度よく試験することのできる試験装置、及び直流信号と交流信号とを精度よく電子デバイスと授受できる入出力回路に関する。また本出願は、下記の日本特許出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願 2001-216792 出願日 2001年7月17日

背景技術

従来、電子デバイスの交流試験を行う試験装置は、一般にドライバコンパレータと、被試験デバイスとドライバコンパレータとを接続する伝送線路とを備えている。電子デバイスの試験を行う場合、ドライバから電子デバイスに、伝送線路を介して試験パターンを供給し、電子デバイスが試験パターンに基づいて出力する出力信号を、伝送線路を介してコンパレータで受け取り、当該出力信号に基づいて電子デバイスの良否を判定していた。また、直流試験を行う場合、電子デバイスと直流電源とを伝送線路を介して接続し、所望の直流電圧を電子デバイスに印加し、電子デバイスに伝送線路を介して供給される電源電流を検出し、当該電源電流に基づいて電子デバイスの良否を判定していた。

従来の試験装置において、伝送線路には寄生容量成分が存在する。近年、半導体デバイス等の電子デバイスにおいて、入出力ピン数が増大している。このため、試験装置は多数のドライバコンパレータを備える必要がある。そのため、ドライバコンパレータ等の回路規模が増大し、被試験デバイスの近くにドライバコンパレータ等を配置することが困難である。そこで、長い伝送線路を使用してドライバコンパレータと、被試験デバイスとを電氣的に接続しているが、伝送線路の寄生容量成分が増大する要因となっている。

電子デバイスの出力信号は伝送線路を介してコンパレータに与えられるが、伝送線路の容量成分により、出力信号に歪みが生じる場合がある。例えば、波形の立ち上がりに遅れが生じる等の歪みが生じてしまう。波形の立ち上がりに遅れが生じた場合、精度よく試験することが困難であり、また、高周波の試験パターンを用いてデバイスを試験することが困難となる。波形の立ち上がりの遅れの時定数は、被試験デバイスの出力内部抵抗と、伝送線路の寄生容量との積で与えられる。このため、伝送線路の寄生容量を低減することが望まれていた。

そこで本発明は、上記の課題を解決することのできる電源装置及び試験装置を提供することを目的とする。この目的は、請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

発明の開示

上記課題を解決するために、本発明の第 1 の形態においては、電子デバイスと信号の授受を行う入出力回路であって、電子デバイスに信号を供給するドライバと、ドライバと並列に設けられ、電子デバイスから信号を受け取るコンパレータと、コンパレータと電子デバイスとの間に、コンパレータ及び電子デバイスと直列に設けられた中継回路と、コンパレータと中継回路とを電氣的に接続する第 1 伝送線路とを備え、中継回路のインピーダンスは、第 1 伝送線路のインピーダンスより大きいことを特徴とする入出力回路を提供する。入出力回路は、コンパレータと並列に設けられ、第 1 伝送線路とインピーダンスが略等しい終端回路を更に備えてよい。また、終端回路は、第 1 伝送線路と接地電位との間に設けられてよい。また、第 1 伝送線路と電子デバイスとを短絡するか否かを選択する第 1 スイ

10

20

30

40

50

ッチを更に備えてよい。また、中継回路のインピーダンスは、電子デバイスの出力定格負荷より小さくてよい。

中継回路のインピーダンスは、電子デバイスの出力内部インピーダンスより大きくてよい。また、中継回路は、第1伝送線路よりインピーダンスの大きい抵抗を有してよい。また、入出力回路は、第1スイッチと並列に設けられ、第1伝送線路と電子デバイスとを短絡するか否かを選択する第2スイッチを更に備え、第2スイッチを短絡した場合の第2スイッチの内部インピーダンスは、第1スイッチを短絡した場合の第1スイッチの内部インピーダンスより大きく、中継回路のインピーダンスより小さくてよい。

また、第2スイッチの寄生容量は、第1スイッチの寄生容量より小さくてよい。また、ドライバが、電子デバイスに信号を供給する場合に、第1スイッチを短絡し、コンパレータが、電子デバイスから信号を受け取る場合に、第1スイッチを開放するスイッチ制御部を更に備えてよい。

また、ドライバが、電子デバイスに直流信号を供給する場合に、第1スイッチを短絡、及び第2スイッチを開放し、ドライバが、電子デバイスに交流信号を供給する場合に、第1スイッチを開放、及び第2スイッチを短絡し、コンパレータが、電子デバイスから信号を受け取る場合に、第1スイッチ及び第2スイッチを開放するスイッチ制御部を更に備えてよい。また、第1スイッチ、第2スイッチ、及び中継回路と、電子デバイスとを電氣的に接続する第2伝送線路を更に備え、第2伝送線路のインピーダンスは、第1伝送線路のインピーダンスと第2スイッチの内部インピーダンスとの積を、第1伝送線路のインピーダンスと第2スイッチの内部インピーダンスとの和で割ったインピーダンスと略等しくてよい。また、第2スイッチの内部インピーダンスは、実質的に零であってよい。

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを発生するパターン発生部と、試験パターンを整形する波形整形部と、波形整形部が整形した試験パターンを電子デバイスに供給し、電子デバイスが試験パターンに基づいて出力する出力信号を受け取る入出力回路と、出力信号に基づいて、電子デバイスの良否を判定する判定部とを備え、入出力回路は、電子デバイスに試験パターンを供給するドライバと、ドライバと並列に設けられ、電子デバイスから出力信号を受け取るコンパレータと、コンパレータと電子デバイスとの間に、コンパレータと電子デバイスと直列に設けられた中継回路と、コンパレータと中継回路とを電氣的に接続する第1伝送線路とを有し、中継回路のインピーダンスは、第1伝送線路のインピーダンスより大きいことを特徴とする試験装置を提供する。

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

発明を実施するための最良の形態

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

図1は、本発明に係る試験装置100の構成の一例を示す。試験装置100は、パターン発生部10、波形整形部20、入出力回路60、直流試験部50、及び判定部40を備える。パターン発生部10は、電子デバイスを試験するための試験パターンを発生し、波形整形部20に供給する。

波形整形部20は、受け取った試験パターンを整形し、整形した試験パターンを入出力回路60に供給する。波形整形部20は、例えば試験パターンを所望のタイミングで入出力回路に供給してよい。波形整形部20は、所望のタイミングを発生するタイミング発生器を有してよい。

入出力回路60は、電子デバイス30と信号の授受を行う。例えば、交流試験を行う場合、入出力回路60は、波形整形部20が整形した試験パターンを電子デバイス30に供給し、電子デバイス30が試験パターンに基づいて出力する出力信号を受け取る。入出力回路60は、試験パターンを電子デバイス30に供給するドライバと、出力信号を電子デバイス30から受け取るコンパレータを有してよい。入出力回路60は、当該出力信号を判

10

20

30

40

50

定部 40 に供給する。

判定部 40 は、当該出力信号に基づいて電子デバイス 30 の良否を判定する。判定部 40 は、例えば電子デバイス 30 が試験パターンに基づいて出力すべき期待値信号と、電子デバイス 30 が出力した出力信号とを比較して電子デバイス 30 の良否を判定してよい。この場合、パターン発生部 10 は、発生した試験パターンに基づいて当該期待値信号を生成し、判定部 40 に供給してよい。

直流試験部 50 は、電子デバイス 30 の直流試験を行う。直流試験部 50 は例えば、電子デバイス 30 に所望の直流電圧を印加する電圧源（図示せず）と、電子デバイス 30 に供給される電源電流を検出する電流検出部（図示せず）とを有してよい。当該電圧源は、所望の直流電圧を入出力回路 60 を介して電子デバイス 30 に印加する。当該電流検出部は、入出力回路 60 を介して電子デバイス 30 に供給される電源電流を検出する。当該電流検出部は、検出した電源電流に関する情報を判定部 40 に供給する。この場合、判定部 40 は、受け取った電源電流に関する情報に基づいて、電子デバイス 30 の良否を判定する。

図 2 は、入出力回路 60 の構成の一例を示す。入出力回路 60 は、ドライバ 62、コンパレータ 82、抵抗 64、スイッチ（66、68、72、84、80）、第 1 伝送線路 70、中継回路 76、終端回路 104、及び第 2 伝送線路 74 を有する

ドライバ 62 は、電子デバイス 30 に信号を供給する。本例において、ドライバ 62 は、波形整形部 20 から試験パターンを受け取り、受け取った試験パターンを第 1 伝送線路 70 及び第 2 伝送線路 74 を介して電子デバイス 30 に供給する。

コンパレータ 82 は、ドライバ 62 と並列に設けられ、電子デバイス 30 から信号を受け取る。本例において、コンパレータ 82 は、電子デバイス 30 から出力信号を受け取り、受け取った出力信号を判定部 40 に供給する。また、コンパレータ 82 は、所定の基準電圧が与えられ、当該出力信号と当該基準電圧とを比較し、比較結果を判定部 40 に供給してよい。本例において、抵抗 64 はコンパレータ 62 の出力負荷である。

中継回路 76 は、コンパレータ 82 と電子デバイス 30 との間に、コンパレータ 82 と電子デバイス 30 と直列に設けられる。中継回路 76 のインピーダンスは、第 1 伝送線路 70 のインピーダンスより大きい。中継回路 76 は一例として、第 1 伝送線路 70 よりインピーダンスの大きい抵抗 78 を有してよい。また、中継回路 76 のインピーダンスは、電子デバイス 30 の出力定格負荷より小さいことが好ましい。

第 1 伝送線路 70 は、コンパレータ 82 と中継回路 76 とを電氣的に接続する。また、第 2 伝送線路 74 は、中継回路 76 と電子デバイス 30 とを電氣的に接続する。第 1 伝送線路 70 及び第 2 伝送線路 74 は例えば同軸ケーブルである。

第 1 スイッチ 72 は、第 1 伝送線路 70 と電子デバイス 30 とを短絡するか否かを選択する。本例において、第 1 スイッチ 72 は、第 1 伝送線路と電子デバイス 30 とを第 2 伝送線路 74 を介して短絡するか否かを選択する。

終端回路 104 は、コンパレータ 84 と並列に、第 1 伝送線路 70 と設定電位との間に設けられる。終端回路 104 のインピーダンスは、第 1 伝送線路 70 のインピーダンスと略等しいことが好ましい。終端回路 104 は一例として、終端抵抗 86 と終端電圧源 88 を有する。第 1 伝送線路 70 のインピーダンスは、終端抵抗 86 のインピーダンスと実質的に等しくてよく、また、第 1 伝送線路 70 のインピーダンスは、終端抵抗 86 と終端電圧源 88 の内部抵抗との合成抵抗のインピーダンスと実質的に等しくてよい。終端回路 104 と第 1 伝送線路 70 とのインピーダンスのマッチングを取ることにより、コンパレータ 82 が伝送線路 70 を介して電子デバイス 30 から出力信号を受け取る場合に、伝送線路 70 の寄生容量成分の影響を受けずに出力信号を受け取ることができる。次に、交流試験及び直流試験を行う場合の各スイッチの動作について説明する。

まず、交流試験を行う場合について説明する。ドライバ 62 から電子デバイス 30 に試験パターンを供給する場合、スイッチ 66、スイッチ 68、及び第 1 スイッチ 72 を短絡し、スイッチ 84、及びスイッチ 80 を開放する。また、コンパレータが電子デバイス 30 から出力信号を受け取る場合、スイッチ 84、及びスイッチ 68 を短絡し、スイッチ 66

10

20

30

40

50

、スイッチ 80、及び第 1 スイッチ 72 を開放する。スイッチ 72 を開放することにより、出力信号は、第 2 伝送線路 74、中継回路 76、及び第 1 伝送線路 70 を介して、コンパレータ 82 に供給される。

本例において、第 1 伝送線路 70 のインピーダンスと終端回路 104 のインピーダンスは略等しい、すなわちインピーダンスのマッチングが取れているため、第 1 伝送線路 70 の容量成分は出力信号の波形に影響を与えない。そのため、電源装置 60 を高速に動作させることが可能となる。

本例において、出力信号の波形に影響を与える伝送線路の容量成分は、第 2 伝送線路における容量成分だけとなるため、従来と比べ出力信号の波形の歪みを低減することができる。また、中継回路 76 及び第 1 スイッチは微小な回路規模で構成することができるため、電子デバイス 30 の近辺に配置することができる。そのため第 2 伝送線路の寄生容量を少なくすることができる。また、第 1 スイッチ 72 を設けたことにより、電子デバイス 30 に信号を供給する場合に低抵抗の伝送線路を用いることができる。

次に直流試験を行う場合について説明する。直流試験を行う場合、スイッチ 80 及び第 1 スイッチ 72 を短絡し、スイッチ 68 を開放する。直流試験部 50 は、第 1 伝送線路 70 及び第 2 伝送線路 74 を介して、電子デバイス 30 に所望の電圧を印加する。このとき、直流試験部 50 は、電子デバイス 30 に供給される電源電流を検出する。以上説明した電源装置 60 によれば、直流試験性能を劣化させずに、交流試験における出力信号の波形の劣化を低減することができる。また、電源装置 60 は、上述したスイッチの制御を行うスイッチ制御部を更に備えてよい。

図 3 は、入出力回路 60 の構成の他の例を示す。入出力回路 60 は、ドライバ 62、コンパレータ 82、抵抗 64、スイッチ (66、68、72、84、80、90)、第 1 伝送線路 70、中継回路 76、終端回路 104、及び第 2 伝送線路 74 を有する。

図 3 において、ドライバ 62、コンパレータ 82、抵抗 64、スイッチ (66、68、84、80)、第 1 伝送線路 70、中継回路 76、終端回路 104、及び第 2 伝送線路 74 は、図 2 に関連して説明したドライバ 62、コンパレータ 82、抵抗 64、スイッチ (66、68、84、80)、第 1 伝送線路 70、中継回路 76、終端回路 104、及び第 2 伝送線路 74 と、同一又は同様の機能及び構成を有する。

第 1 スイッチ 72 は、図 3 に示すように寄生容量 102、開放端間容量 100、及び内部抵抗 98 を有する。第 1 スイッチ 72 は、図 2 における入出力回路 60 と同様に、第 1 伝送線路 70 と第 2 伝送線路 74 との間に設けられる。第 2 スイッチ 90 は、第 1 スイッチ 72 と並列に設けられ、第 1 伝送線路 70 と電子デバイス 30 とを短絡するか否かを選択する。第 2 スイッチ 90 は、図 3 に示すように寄生容量 96、開放端間容量 94、及び内部抵抗 92 を有する。

第 2 スイッチ 90 を短絡した場合の第 2 スイッチ 90 の内部インピーダンスは、第 1 スイッチ 72 を短絡した場合の第 1 スイッチ 72 の内部インピーダンスより大きく、中継回路 76 のインピーダンスより小さくてよい。本例において、内部抵抗 92 のインピーダンスは、内部抵抗 98 のインピーダンスより大きく、中継回路 76 のインピーダンスより小さい。また、第 2 スイッチの寄生容量 96 は、第 1 スイッチの寄生容量 102 より小さくてよい。

第 2 スイッチ 90 は、第 1 スイッチ 72 より高速で動作可能なスイッチであることが好ましい。一例として、第 1 スイッチ 72 は、機械的に短絡開放を切り換えるスイッチであってよく、第 2 スイッチ 90 は、CMOS FET 等の電界効果トランジスタ (FET) スイッチであってよい。第 1 スイッチ 72 の内部抵抗 92 のインピーダンスは数 程度であって、第 2 スイッチ 72 の内部抵抗 98 のインピーダンスは数 10 程度であってよい。また、第 1 スイッチ 72 の内部抵抗 92 及び第 2 スイッチ 72 の内部抵抗 98 のインピーダンスは、中継回路 76 のインピーダンスより小さいことが好ましい。次に、交流試験及び直流試験を行う場合の第 1 スイッチ 72 及び第 2 スイッチ 90 の動作を説明する。

まず、交流試験を行う場合について説明する。ドライバ 62 が電子デバイス 30 に試験パターンを供給する場合、第 1 スイッチ 72 を開放し、第 2 スイッチ 90 を短絡する。他の

10

20

30

40

50

スイッチ(66、68、80、84)は、図2に関連して説明したスイッチ(66、68、80、84)と同様に動作する。コンパレータ82が、電子デバイス30の出力信号を受け取る場合、第1スイッチ72及び第2スイッチ90を開放する。本例におけるスイッチ動作によれば、中継回路76よりインピーダンスの小さい第2スイッチ90を介して電子デバイス30に試験パターンを供給することができる。また、高速に動作可能な第2スイッチ90を開放及び短絡して電子デバイス30と信号の授受を行うため、電源装置60を高速に動作させることができる。

次に、直流試験を行う場合について説明する。直流試験を行う場合、第1スイッチ72を短絡し、第2スイッチ90を開放する。他のスイッチ(66、68、80、84)は、図2に関連して説明したスイッチ(66、68、80、84)と同様に動作する。本例におけるスイッチ動作によれば、直流試験部50が、第2スイッチより内部抵抗の小さい第1スイッチを介して電子デバイス30の試験を行うことができ、電子デバイス30の良否を精度よく判定することができる。また、電源装置60は、上述したスイッチの制御を行うスイッチ制御部を更に備えてよい。

また、第2伝送線路74のインピーダンスは、第1伝送線路70のインピーダンスと第2スイッチ90の内部インピーダンスとの和と略等しいことが好ましい。つまり、第1伝送線路70のインピーダンスを Z_1 、第2伝送線路74のインピーダンスを Z_2 、第2スイッチ90の内部インピーダンスを Z_3 とすると、

$$Z_2 = Z_1 + Z_3$$

であることが好ましい。第2伝送線路74のインピーダンスをこのような値にすることにより、電子デバイス30と第2伝送線路74との接点で発生する信号反射を吸収することができる。

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

上記説明から明らかなように、本発明によれば、高速に動作し、信号波形の歪みの少ない入出力回路及び試験装置を提供することができる。このため、効率よく且つ精度よく電子デバイスの試験を行うことができる。

【図面の簡単な説明】

図1は、本発明に係る試験装置100の構成の一例を示す図である。

図2は、本発明に係る入出力回路の構成の一例を示す図である。

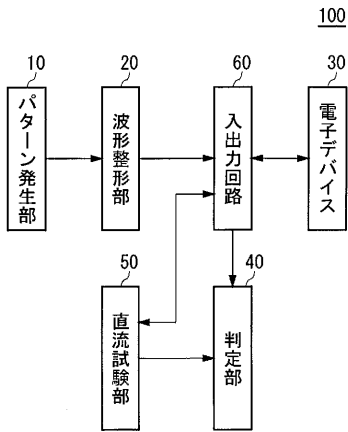
図3は、本発明に係る入出力回路の構成の他の例を示す図である。

10

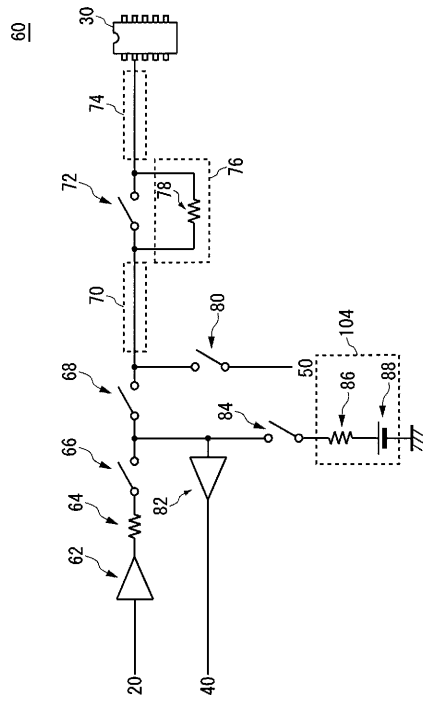
20

30

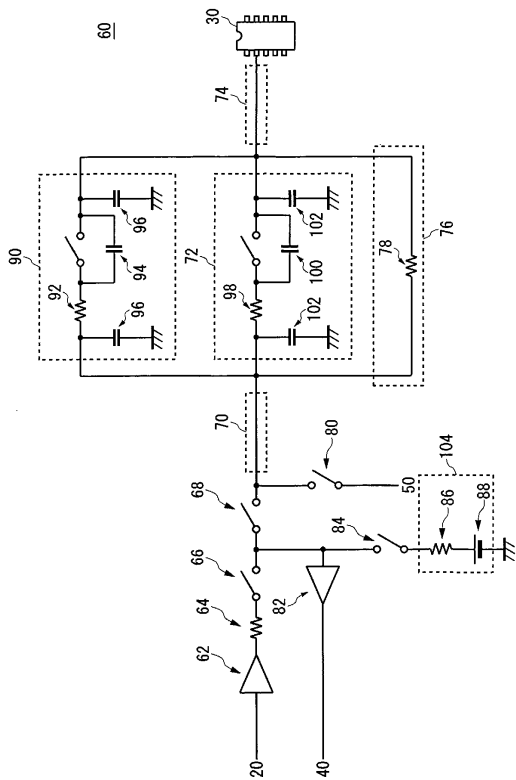
【図1】
図1



【図2】
図2



【図3】
図3



フロントページの続き

- (56)参考文献 特開平 1 1 - 3 1 1 6 6 1 (J P , A)
特許第 3 0 5 2 8 3 4 (J P , B 2)
実公平 0 4 - 0 4 2 7 8 1 (J P , Y 2)
特開平 1 1 - 0 6 4 4 3 6 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G01R 31/28-31/3193