

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：84137586

※申請日期：94-10-27

※IPC 分類：G11C8/08, 16/24

一、發明名稱：(中文/英文)

頁緩衝器以及包括此頁緩衝器的非揮發性半導體記憶體

PAGE-BUFFER AND NON-VOLATILE SEMICONDUCTOR
MEMORY INCLUDING PAGE BUFFER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

☐ 指定

為應受送達人

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

三、發明人：(共 4 人)

姓名：(中文/英文) ID :

1. 李城秀 / LEE, SUNG SOO

2. 林瀛湖 / LIM, YOUNG HO

3. 趙顯哲 / CHO, HYUN CHUL

4. 蔡東赫 / CHAE, DONG HYUK

國籍：(中文/英文) 1-4. 韓國/KR

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2004/10/28；10-2004-0086450

2. 韓國；2004/10/28；10-2004-0086451

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於一種半導體記憶體裝置，且更特定言之，本發明係關於用於非揮發性(non-volatile)半導體記憶體裝置中之頁緩衝器電路及其它電路。

【先前技術】

近幾年來對電可程式(electrically programmable)及電可擦除(electrically erasable)非揮發性記憶體裝置之要求已顯著增加。此等裝置之特徵至少部分地在於即使在不存在電源之情況下亦能維持儲存資料之能力。所謂的快閃記憶體之使用已變得尤其風行，特別地但不獨佔地是在諸如數位相機、行動電話(cell phone)、個人數位助理(PDA)及膝上型電腦之攜帶型裝置的情形下尤其如此。諸如NAND型快閃記憶體之快閃記憶體能夠在一相對小之區域中儲存大量的資料。

以下提供成為快閃記憶體單元及快閃記憶體裝置之基礎的基本操作原理以作為背景論述。然而，應清楚地瞭解，以下之論述僅為例示性的，且並不以任何方式來限制及/或界定本發明之範疇。

首先將參看圖1A至1C來描述一快閃記憶體單元之操作原理。圖1A說明一典型組態，其中一快閃記憶體單元電晶體連接至一記憶體裝置之字線及位元線，圖1B展示一快閃記憶體單元電晶體之電路符號，且圖1C展示一快閃記憶體單元電晶體之臨限電壓特徵。

共同參看圖 1A 至 1C，一快閃記憶體單元電晶體包括位於一基板 3 之表面處之一源極區域 4 及一汲極區域 5。在此實例中，該基板為 P 型，且源極區域 4 及汲極區域 5 為 N^+ 型。一閘極結構在一界定於源極區域 4 與汲極區域 5 之間的通道區域上被對準。該閘極結構包括一浮動閘極 1 及一控制閘極 2。儘管未圖示，但是一穿隧介電層插入於浮動閘極 1 與基板 Psub 之表面之間，且另一薄氧化層（或控制介電質）插入於浮動閘極 1 與控制閘極 2 之間。在所說明之實例中，汲極電壓 V_d 是自位元線 BL 被供應，控制閘極電壓 V_{cg} 是自字線 WL 被供應，且源極電壓 V_s 連接至一諸如地面之參考電位。

快閃記憶體單元電晶體之臨限電壓界定其儲存邏輯值。意即，如圖 1C 所示，當快閃記憶體單元電晶體處於其初始狀態（亦稱作“擦除”狀態）中時，臨限電壓 V_{th} 相對低。在此狀態中，單元電晶體經指定為具有一邏輯值“1”，其通常對應於一習知電晶體裝置之 ON 狀態。另一方面，當單元電晶體處於其“程式化”狀態（PGM）中時，臨限電壓 V_{th} 相對高。此高臨限狀態經指定為具有一邏輯值“0”，其通常對應於一習知電晶體裝置之 OFF 狀態。

為了將單元電晶體自其初始狀態改變（程式化）至其程式化狀態，利用一稱為富勒-諾得漢（Fowler-Nordheim）（FN）穿隧之處理。簡要地，一相對大之正電位差被產生於控制閘極 2 與基板 Psub 之間，且引起基板 Psub 之表面上之通道內的受激電子穿過浮動閘極 1 且在浮動閘極 1 中

被截留。此等帶負電之電子用作控制閘極 2 與基板 Psub 上之通道之間的障壁，因此增加了如圖 1C 中所表示之單元電晶體的臨限電壓。可藉由在控制閘極 2 與基板 Psub 之間形成大的負電位差而使單元電晶體恢復至其初始狀態，藉以所得之 FN 穿隧將所截留之電子拉回越過浮動閘極 1 與基板 Psub 之間的薄氧化層，因此移除了電子障壁且降低了臨限電壓 V_{th} 。

現轉向圖 2，在快閃記憶體裝置中所發現之大量快閃單元電晶體的 ON 及 OFF 臨限電壓 V_{th} 通常顯示鐘形曲線分佈（bell curve distribution）。舉例而言，擦除單元電晶體（具有邏輯值“1”）之臨限電壓 V_{th} 可分佈於 -3 V 與 -1 V 之間，而程式化單元電晶體（具有邏輯值“0”）之臨限電壓 V_{th} 可分佈於 +1 V 與 +3 V 之間。

現參看圖 3A，NAND 快閃記憶體之特徵在於快閃記憶體單元電晶體之串聯連接的“串”6，其中多個並聯串 6 構成快閃記憶體之一記憶體區塊 7。如圖所示，每一串 6 包含沿記憶體區塊 7 中之一位元線 B/L 而串聯連接之多個快閃記憶體單元電晶體。字線 W/L 連接至記憶體區塊 7 中之每一個別單元電晶體列的控制閘極。舉例而言，一快閃記憶體裝置在每一串 6 中可含有 16 或 32 個單元電晶體，且在每一記憶體區塊 7 中可含有 4224 個串（B/L0...B/L4223）。

在每一串 6 之相對末端處為具有接收一串選擇訊號 SSL 及一接地選擇訊號 GSL 之控制閘極的串選擇電晶體。

通常，選擇訊號 SSL 及 GSL 是用於單元電晶體之讀取及程式設計中。此外，在每一串之末端處為一共同源極線 CSL，其設定每一記憶體區塊 7 之單元電晶體串 6 之源極線電壓。

圖 3B 之表通常展示對於擦除、程式及讀取操作之每一者的在圖 3A 中所說明之訊號的各種電壓條件。在此表中，“Sel. W/L”表示待為執行程式或讀取操作的選定字線，且“Unsel. W/L”表示記憶體區塊之剩餘字線。對於擦除操作而言，“Sel. W/L”表示待為執行擦除操作之選定記憶體區塊的字線，且“Unsel. W/L”表示記憶體單元陣列中之剩餘記憶體區塊的字線。

現將參看圖 3B 及 4 來描述一 NAND 快閃程式設計操作。此處，將串選擇訊號 SSL 設定為 VDD，將接地選擇訊號 GSL 設定為 0 V，將共同源極線 CSL 電壓設定為 VSS 與 VDD 之間（例如，1.5 V），且將主體電壓（bulk voltage）設定為 0 V。通常，程式設計一次發生於一字線上，且因此，為每一程式設計操作選定每一記憶體區塊的一字線。此處，選定字線 W/L 接收一程式設計電壓 V_{pgm} ，而剩餘之未選定字線 W/L 接收一電壓 V_{pass} ，其中 V_{pgm} 大於 V_{pass} 。 V_{pgm} 為一充分高之電壓（例如，18 V），其在選定字線之任何單元電晶體之位元線 B/L 電壓為 0 V 時導致 FN 穿隧。換言之，當選定字線之任何單元電晶體之位元線 B/L 電壓為 0 V 時，程式電壓 V_{pgm} 產生一足以起始 FN 穿隧之電壓差（例如，18 V），因此將該單元電晶體置於

一程式化狀態中。另一方面，當任何單元電晶體之位元線 B/L 電壓為 VDD 時，FN 穿隧因不充分之電壓差（例如，10 V）而被抑制。如此，將該單元稱為“程式抑制的”（program inhibited）。同時，通過電壓（pass voltage） V_{pass} 充分高以將未選定之單元電晶體置於一導電狀態中，但是未高至引起 FN 穿隧的程度。

參看圖 3B 及 5，現將描述一讀取操作。在此情況下，將串選擇訊號 SSL 設定為 V_{read} ，將接地選擇訊號 GSL 設定為 V_{read} ，將共同源極線 CSL 電壓設定為 0 V，且將主體電壓設定為 0 V。如同程式設計一樣，讀取操作通常一次發生於一字線上，且因此，為每一讀取操作選定每一記憶體區塊的一字線。此處，將選定字線 W/L 設定為 0 V，而剩餘之未選定字線 W/L 接收一讀取電壓 V_{read} 。在此實例中， V_{read} 為 4.5 V，其超過“1”及“0”單元電晶體之臨限電壓分佈。因此，耦合至未選定字線的單元電晶體變得導電。另一方面，施加至選定字線之 0 V 電壓下降於“1”與“0”單元電晶體之臨限電壓分佈之間。如此，僅連接至選定字線之“1”單元電晶體變得導電，而選定字線之剩餘單元電晶體不導電。結果為記憶體區塊之位元線 B/L 中的電壓差。在圖 3B 之表中所給出的實例中，將約 1.2 V 之位元線 B/L 電壓讀取為在選定字線處具有“0”狀態單元電晶體，且將小於 0.8 V 之位元線電壓讀取為在選定字線處具有“1”狀態單元電晶體。

參看圖 3B 及 6，現描述一擦除操作。在此情況下，將

位元線 B/L、串選擇訊號 SSL、接地選擇訊號 GSL、共同源極線 CSL 及未選定記憶體區塊之字線皆設定為一浮動狀態。另一方面，將選定字線電壓設定為 0 V，且將主體電壓設定為 Verase（例如，19-21 V）。如此，一負電壓差形成於控制閘極與主體之間，從而引起越過浮動閘極與基板之間之閘極氧化物的 FN 穿隧。因此，臨限電壓分佈自程式化“0”狀態降低至擦除“1”狀態。注意到，在擦除操作之後，選定記憶體區塊之所有單元電晶體皆處於擦除“1”狀態中。

如先前所提及，記憶體區塊之讀取及程式設計是在該記憶體區塊內一次在一字線被執行。然而，在某些應用中，更正確地來說，此等操作是在記憶體區塊內“逐頁地”(page by page) 被執行。圖 7 中通常說明此概念。在所說明之實例中，位元線 $BL_{<k:0>}$ 被分為偶數位元線 $BL_E_{<k:0>}$ 及奇數位元線 $BL_O_{<k:0>}$ 。每一字線之單元電晶體構成記憶體區塊的頁，且在圖 7 之實例中，每一字線連接至該記憶體區塊之一偶數頁及一奇數頁。如以下將更詳細地解釋，利用一頁緩衝器區塊中所含有之頁緩衝器 $PB_{<k:0>}$ 來傳輸來自快閃記憶體區塊之讀取資料，且將程式資料傳輸至該快閃記憶體區塊。通常，為每一對奇數及偶數位元線提供一頁緩衝器 PB。

圖 8 為一說明 NAND 型快閃記憶體之一實例之核心元件的方塊圖，其中利用所謂的“Y-閘控”(Y-gating) 技術來存取該記憶體之位元線。如圖所示，多個頁緩衝器區塊

PBB <31 : 0>經由位元線 BL <255 : 0>而連接至一記憶體單元陣列 MCARR。每一頁緩衝器區塊 PBB 與八個位元線 BL 建立介面連接。儘管圖 8 中未圖示，但是每一位元線 BL 實際上是由如先前結合圖 7 而論述之一對奇數及偶數位元線所構成。

多個頁緩衝器解碼器 PBDE <31 : 0>操作性地耦合至個別頁緩衝器區塊 PBB <31 : 0>、y 位址線 Ya <7 : 0>、y 位址線 Yb <31 : 0>及全域資料匯流排 (global data bus) GDB。如以下將更詳細地解釋，y 位址線 Ya <7 : 0>通常施加至所有頁緩衝器解碼器 PBDE <31 : 0>，而個別 y 位址線 Yb <31 : 0>施加至個別頁緩衝器解碼器 PBDE <31 : 0>。換言之，頁緩衝器解碼器 PBDE0 接收 y 位址 Ya <7 : 0>及 Yb0，頁緩衝器解碼器 PBDE1 接收 y 位址 Ya <7 : 0>及 Yb1，等等。內部資料線 IDB <255 : 0>耦合於頁緩衝器區塊 PBB <31 : 0>與頁緩衝器解碼器 PBDE <31 : 0>之間。在圖 8 之實例中，8 個內部資料線被提供於每一相對應之頁緩衝器區塊 PBB 與頁緩衝器解碼器 PBDE 之間。

亦被施加至頁緩衝器區塊 PBB <31 : 0>的是資料輸入選擇訊號 DI 與 nDI 及鎖存訊號 LCH <7 : 0>，以下結合圖 9 來描述其功能。

圖 9 為一用於解釋圖 8 中所說明之頁緩衝器 PB 及頁緩衝器解碼器 PBDE 的示意性電路圖。為便於解釋，圖 9 說明以一並排排列 (意即，在字線方向中並列) 之頁緩衝器 PB <7 : 0>。然而，事實上，該等頁緩衝器是一者在另

一者上加以堆疊（意即，在位元線方向中並列）。

圖 9 之頁緩衝器解碼器 PBDE0 包括一連接於全域資料匯流排 GDB 與共同內部資料線 IDBC 之間的第一電晶體、及連接於共同內部資料線與頁緩衝器 PB <7:0>之個別內部線 IDB <7:0>之間的多個第二電晶體。如圖所示，第一電晶體之閘極接收 y 位址訊號 Yb0，而第二電晶體之個別閘極接收 y 位址訊號 Ya <7:0>。因此應顯而易見，y 位址 Yb <31:0>用於選擇任一頁緩衝器區塊 PBB <31:0>，且 y 位址 Ya <7:0>用於選擇該選定頁緩衝器區塊 PBB 內之一位元線 BL。

頁緩衝器 PB0 包括一具有一鎖存節點 CMNLA 及一反相鎖存節點 CMNLAn 之鎖存電路。頁緩衝器 PB0 之第一與第二電晶體分別是藉由資料輸入選擇訊號 DI 與 nDI 來控制，且此等電晶體分別連接於內部資料線 IDB0 與反相鎖存節點 CMNLAn 之間及內部資料線 IDB0 與鎖存節點 CMNLA 之間。另一電晶體是藉由頁緩衝器選擇訊號 PBSLT 來控制，且連接於鎖存節點 CMNLA 與感測節點 NSEN0 之間。連接至記憶體單元陣列之記憶體單元串之感測節點 NSEN0 藉由另一藉由一負載控制訊號 PLOAD 來控制之電晶體的操作而選擇性地連接至電壓 VDD。最後，另外兩個電晶體串聯連接於內部資料線 IDB 與參考電壓 VSS 之間。此等兩個電晶體之一者是藉由呈現於感測節點 NSEN0 上之電壓來控制，而另一者是藉由鎖存訊號 LCH<0>來控制。

簡要地，在一程式設計操作中，頁緩衝器 PB0 之鎖存電路儲存如由資料輸入選擇訊號 DI 與 nDI 及內部資料線 IDB 之電壓所指示的邏輯值，且此邏輯值（意即，呈現於鎖存節點 CMNLA 上之電壓）接著經轉移至記憶體單元串之位元線以用於程式化。同樣地，在一讀取操作中，呈現於感測節點 NSEN0 上之感測電壓臨時儲存於鎖存電路中，且接著經由內部資料線 IDB 而轉移至全域資料匯流排 GDB。注意到，內部資料線 IDB 用作一共用輸入及輸出線。

上述之習知非揮發性記憶體裝置具有許多缺點，特別是當各種電路之布局區域隨著記憶體裝置變得更加整合以滿足對更高記憶體容量之要求而被減小時。以下論述此等缺點之某些實例，而不意欲提供一詳盡清單。

如圖 10 中所說明，可導致內部資料線之間的寄生電容性耦合。如先前所提及，且如圖 10 中所示，每一頁緩衝器區塊 PBB 之頁緩衝器 <7:0> 在位元線方向中並列（堆疊），意即，在頁緩衝器解碼器 PBDE 與記憶體單元陣列 MCARR 之間並列（堆疊）。亦被說明的是許多電晶體，其是藉由一感測節點阻擋訊號 SOBLK 來控制，以便選擇性地將感測節點 SON <7:0> 分別耦合至位元線 BL <7:0>。

個別頁緩衝器 PB 之內部資料線 IDB 在頁緩衝器區塊 PBB 內皆互相平行地延伸。當頁緩衝器 PB 之布局區域被減小時，鄰近內部資料線 IDB 之間の間距 P 變得更小，且因此，增加鄰近內部資料線 IDB 之間的電容性耦合。鄰近內部資料線 IDB 之間的所得耦合雜訊可引起訊號失真及資

料誤差。

內部資料線 IDB 之大的寄生電容亦可利用每一頁緩衝器 PB 之鎖存電路之低電容性鎖存節點來產生一電荷共用條件。在某些情況下，此可導致資料被翻轉。此外，內部資料線 IDB 之重的輸出負載使得有必要增加頁緩衝器之輸出驅動性能，其在空間及動力資源有限時可成為問題。

又，再次參看圖 8，所說明之實例之匯流排區域包括 40 個 y 位址線。此相對大量之線必須伴隨有一用於裝置之匯流排區域之大的布局區域，因此佔用了缺乏之空間資源。

【發明內容】

根據本發明之一態樣，提供一種在一程式設計模式及一讀取模式中可操作之非揮發性記憶體裝置。該記憶體裝置包括一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線。該記憶體裝置更包括：一內部資料輸出線，其用於輸出自該記憶體陣列之該等位元線所讀取之資料；及一頁緩衝器，其操作性地連接於該記憶體單元陣列之一位元線與該內部資料輸出線之間。該頁緩衝器包括：一感測節點，其選擇性地連接至該位元線；一鎖存電路，其具有一選擇性地連接至該感測節點之鎖存節點；一鎖存輸入路徑，其設定該鎖存節點之一邏輯電壓；及一鎖存輸出路徑，其與該鎖存輸入路徑分離，且根據該鎖存節點之該邏輯電壓來設定該內部資料輸出線之一邏輯電壓。

根據本發明之另一態樣，提供一種非揮發性記憶體裝

置，其包括：一記憶體單元陣列，其包括多個非揮發性記憶體單元；一頁緩衝器，其包括一鎖存電路，該鎖存電路用於臨時儲存自該記憶體單元陣列之非揮發性記憶體單元所讀取及被程式化至該記憶體單元陣列之該等非揮發性記憶體單元中之資料；一內部資料輸出線，其輸出自該記憶體單元陣列所讀取及臨時儲存於該頁緩衝器中之資料；及一鎖存輸入路徑，其與該內部資料輸出線分離，且當資料待程式化至該記憶體單元陣列之非揮發性記憶體單元中時及當資料是自該記憶體單元陣列之非揮發性記憶體單元來讀取時，該鎖存輸入路徑設定該鎖存電路。

根據本發明之又一態樣，提供一種非揮發性記憶體裝置，其包括：一記憶體單元陣列，其包括多個非揮發性記憶體單元；一輸入資料匯流排，其輸入待程式化至該記憶體單元陣列之非揮發性記憶體單元中之資料；一輸出資料匯流排，其與該輸入資料匯流排分離，且輸出自該記憶體單元陣列之非揮發性記憶體單元所讀取之資料；一鎖存電路，其用於臨時儲存自該記憶體單元陣列之非揮發性記憶體單元所讀取及被程式化至該記憶體單元陣列之該等非揮發性記憶體單元中之資料；一內部資料輸出線，其連接至該輸出資料匯流排；一鎖存輸入路徑，其連接至該輸入資料匯流排，當資料待程式化至該記憶體單元陣列之非揮發性記憶體單元中時，該鎖存輸入路徑設定該鎖存電路；及一輸出驅動電路，其將臨時儲存於該鎖存電路中之讀取資料轉移至該內部資料輸出線。

根據本發明之再一態樣，提供一種包括一記憶體單元陣列之非揮發性記憶體裝置，該記憶體單元陣列包括多個非揮發性記憶體單元、多個字線及多個位元線。該記憶體裝置更包括：一內部資料輸出線；及多個頁緩衝器，其連接至該記憶體單元陣列及該內部資料輸出線。該等頁緩衝器相繼地排列以界定相應多個並列之頁緩衝器區域，其中該等頁緩衝器之每一者包括：一鎖存電路，其臨時儲存自該記憶體單元陣列所讀取之資料；及一位址閘極，其連接於該鎖存電路與該內部資料輸出線之間。該位址閘極回應於一位址訊號以選擇性地將來自每一頁緩衝器之鎖存電路之資料輸出至該內部資料輸出線。

根據本發明之另一態樣，提供一種包括一記憶體單元陣列之非揮發性記憶體裝置，該記憶體單元陣列包括多個非揮發性記憶體單元、多個字線及多個位元線，其中該等多個位元線在一第一方向中縱向地延伸。該記憶體裝置更包括：一共用內部資料輸出線，其輸出自該記憶體單元陣列所讀取之資料；多個內部資料輸入線；及多個頁緩衝器，其各操作性地連接於該記憶體單元陣列、該共用內部資料輸出線與該等多個內部資料輸入線之間。

根據本發明之又一態樣，提供一種非揮發性記憶體裝置，其包括：一記憶體單元陣列，其包括多個非揮發性記憶體單元；及一頁緩衝器，其包括一區域資料輸入線（local data input line）及一鎖存電路。該鎖存電路回應於該區域資料輸入線以臨時儲存自該記憶體單元陣列之非揮發性記

記憶體單元所讀取及被程式化至該記憶體單元陣列之該等非揮發性記憶體單元中的資料。該記憶體裝置更包括：一全域資料輸入線，其供應外部輸入訊號，其中該等外部輸入訊號包括用以程式化該記憶體單元陣列之程式設計訊號及用以讀取該記憶體單元陣列之控制訊號；及一閘極電路，其根據被供應至該閘極電路之一位址訊號來選擇性地將該等外部輸入訊號輸出至該區域資料輸入線。

根據本發明之再一態樣，提供一種包括一記憶體單元陣列之非揮發性記憶體裝置，該記憶體單元陣列包括多個非揮發性記憶體單元、多個字線及多個位元線。該記憶體裝置更包括：一內部資料輸出線，其輸出自該記憶體單元陣列所讀取之資料；多個頁緩衝器，其操作性地連接於該記憶體單元陣列與該內部資料輸出線之間；及多個位址線，其操作性地連接至該等多個頁緩衝器之至少一閘極電路。

根據本發明之另一態樣，提供一種用於一非揮發性記憶體裝置的頁緩衝器。該頁緩衝器包括：一鎖存電路，其包括一鎖存節點；一內部資料輸入線，其控制該鎖存節點之電壓；一內部資料輸出線，其與該鎖存節點電絕緣；及一輸出驅動電路，其根據該鎖存節點之電壓來控制該內部資料輸出線之電壓。

根據本發明之又一態樣，提供一種包括一記憶體單元陣列之非揮發性半導體記憶體裝置，該記憶體單元陣列具有多個電可程式且可擦除記憶體單元、多個字線及多個位

元線。該記憶體裝置更包括至少一頁緩衝器區塊，該至少一頁緩衝器區塊包括多個頁緩衝器及一內部資料輸出線。該等頁緩衝器分別連接至該等位元線，且各回應於多個緩衝器選擇位址之至少一者而加以啟用。該等頁緩衝器各將對應於其位元線上之資料的資料儲存至其鎖存節點上。該內部資料輸出線共用於該等多個頁緩衝器之間，且藉由一啟用之頁緩衝器之鎖存節點上之資料而加以驅動。該內部資料輸出線與該等頁緩衝器之鎖存節點電絕緣。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 11 為根據本發明之一實施例之非揮發性半導體記憶體裝置之示意性方塊圖。

參看圖 11，此實例之非揮發性半導體記憶體裝置包括：一記憶體單元陣列 MCARR；頁緩衝器區塊 NWPBB<63：0>；第一及第二全域輸入線 GDI 及 nGDI；一全域輸出線 GDOUT；y 位址訊號線 Yp<7：0>、Yq<7：0>及 Yr<7：0>；讀取鎖存訊號線 LCH<7：0>；以及頁緩衝器解碼器 NWDE<63：0>。

記憶體單元陣列 MCARR 包括一記憶體單元矩陣陣列、字線 WL（圖 11 中未圖示）及位元線 BL<511：0>。在此實施例之實例中，該等記憶體單元為快閃記憶體單元電晶體。

內部輸入線 $IDI<63:0>$ 及 $nIDI<63:0>$ 以及內部輸出線 $IDOUT<63:0>$ 連接於頁緩衝器解碼器 $NWDE<63:0>$ 與相應頁緩衝器區塊 $NWPBB<63:0>$ 之間。

第一全域輸入線 GDI 及第二全域輸入線 $nGDI$ 在預定操作間隔（諸如一讀取模式、一程式模式及一擦除模式）期間傳輸相對邏輯狀態之輸入資料。如稍後將更詳細地解釋，該等頁緩衝器解碼器 $NWDE<63:0>$ 之每一者將輸入資料 GDI 及 $nGDI$ 與 y 位址資料 $Yq<7:0>$ 及 $Yr<7:0>$ 一起解碼以輸出內部輸入線 $IDI<63:0>$ 及 $nIDI<63:0>$ 的資料。

又，該等頁緩衝器解碼器 $NWDE<63:0>$ 之每一者將對應於內部輸出線 $IDOUT<63:0>$ 上之資料的資料提供至全域輸出線 $GDOUT$ 。

頁緩衝器區塊 $NWPBB<63:0>$ 回應於鎖存訊號線 $LCH<7:0>$ 及 y 位址 $Yp<7:0>$ 。如本文稍後將解釋，頁緩衝器區塊 $NWPBB<63:0>$ 用以臨時儲存對應於內部輸入線 $IDI<63:0>$ 及 $nIDI<63:0>$ 上之資料的輸入資料且接著將其傳輸至位元線 $BL<511:0>$ ，且用以臨時儲存對應於位元線 $BL<511:0>$ 上之資料的輸出資料且接著將其傳輸至內部輸出線 $IDOUT<63:0>$ 。

圖 12 為根據此實施例之實例的圖 11 之記憶體單元陣列 $MCARR$ 之一部分的視圖。詳言之，圖 12 說明與圖 11 之第一位元線 $BL0$ 之記憶體單元串相關聯的電路。位元線 $BL<511:0>$ 被類似地組態。

如上文所論述，記憶體單元陣列 MCARR 通常包括一記憶體單元 MC 矩陣陣列、多個字線 $WL<n-1:0>$ 及多個位元線 $BL<511:0>$ 。該實施例之非揮發性半導體記憶體裝置之記憶體單元 MC 為 NAND 型快閃記憶體單元。

圖 12 說明連接至組成圖 11 之位元線 BL0 之偶數位元線 BLe0 及奇數位元線 BLo0 的第一串 STe0 及第二串 STo0。每一串 STe0 及 STo0 包括連接至選擇線 SSL 及 GSL 之在記憶體單元 MC 之相對末端處的電晶體。如圖所示，選擇線 SSL 及 GSL 與字線 $WL<n-1:0>$ 平行。又，每一串 STe0 及 STo0 終止於一共同源極線 CSL 處。

偶數及奇數位元線連接至一位元線控制區塊 BLCONBK。為了易於解釋且為了簡化先前所論述之圖 11，此處將位元線控制區塊 BLCONBK 描述為形成記憶體單元陣列 MCARR 之一部分。然而，亦可將位元線控制區塊 BLCONBK 視為一與記憶體單元陣列 MCARR 分離且不同於該記憶體單元陣列 MCARR 的電路。

在讀取、程式及擦除操作模式之每一者中，位元線控制區塊 BLCONBK 選擇偶數位元線 BLe0 及奇數位元線 BLo0 中之一者，且將選定位元線連接至位元線 BL0。此操作是藉由受感測節點阻擋訊號 SOBLK 控制之電晶體 515 且藉由分別受偶數位元線選擇訊號 BLSLTe 與奇數位元線選擇訊號 BSLTo 控制之電晶體 513 與 514 來執行。

此外，位元線控制區塊 BLCONBK 用以在讀取、程式模式及擦除操作模式中預充電或調節偶數位元線 BLe0 及

奇數位元線 BLo0 的電壓。為此目的而提供電晶體 511 及 512。意即，電晶體 511 回應於一偶數屏蔽訊號 SHLDe 以選擇性地將一位元線電源電壓 (power voltage) BLPWR 連接至偶數位元線 BLe0，且電晶體 512 回應於一奇數屏蔽訊號 SHLDo 以選擇性地將該位元線電源電壓 BLPWR 連接至奇數位元線 BLo0。

圖 13 說明圖 11 中所說明之頁緩衝器區塊 NWPBB0 的實例。剩餘之頁緩衝器區塊 NWPBB<63:1>具有類似之組態。

圖 13 之頁緩衝器區塊 NWPBB0 包括多個頁緩衝器 NWBUF<7:0>、一內部輸出線 IDOUT0、一第一內部輸入線 IDI0 及一第二內部輸入線 nIDI0。頁緩衝器 NWBUF<7:0>分別儲存經傳輸至位元線 BL<7:0>及自位元線 BL<7:0>所接收之資料。

內部輸出線 IDOUT0 為用於頁緩衝器區塊 NWPBB0 之共同內部輸出線，且傳輸對應於儲存於頁緩衝器 NWBUF<7:0>之任一者中之資料的輸出資料。

第一內部輸入線 IDI0 及第二內部輸入線 nIDI0 供應基於輸入資料而控制頁緩衝器 NWBUF<7:0>中資料之儲存的訊號。

為了使必需之布局區域最小化，包括在頁緩衝器區塊 NWPBB0 中之頁緩衝器 NWBUF<7:0>定位於一堆疊結構中，意即，並列於頁緩衝器解碼器 NWDE0 與記憶體單元陣列 MCARR 之間。

頁緩衝器區塊 NWPBB 之頁緩衝器 NWBUF<7:0>的
每一者連接於內部輸入線 IDI0 及 nIDI0 與位元線 BL<7:
0>之一相應位元線之間。此外，每一者配備有一電晶體
870a，其回應於一位元線關閉訊號 BLSHF 以將相應位元
線 BL<7:0>連接至個別感測節點 NSEN<7:0>。

此外，頁緩衝器 NWBUF<7:0>之每一者接收 y 位址
訊號 Yp<7:0>之一個別 y 位址訊號。與習知記憶體裝置
相反，在此實施例之實例中，此等位址訊號 Yp<7:0>直
接連接至個別頁緩衝器 NWBUF<7:0>（亦見圖 11）。如
稍後將解釋，此導致雙重優勢：減少了記憶體之匯流排區
域中存在之線的數目；及減少了該記憶體之 y 位址線的總
數目。本文中，Yp<7:0>位址訊號稱為緩衝器選擇位址訊
號。

如圖 13 中所示，內部輸出線 IDOUT0 較佳在頁緩衝
器 NWBUF<7:0>堆疊之方向中延伸。如此，使自個別頁
緩衝器 NWBUF<7:0>至內部輸出線 IDOUT0 之傳輸線距
離的變化最小化。此又在將資料自頁緩衝器 NWBUF<7:
0>負載至內部輸出線 IDOUT0 時增加了訊號均一性，因此
增強了非揮發性記憶體之感測裕度（sensing margin）。

此外，在本實施例之實例中，內部輸出線 IDOUT0 共
用於頁緩衝器 NWBUF<7:0>之間。由此組態引起之一優
勢在於：可避免與習知記憶體（見圖 10）之內部資料線
IDB<7:0>之寄生耦合相關聯的問題。

圖 14 說明圖 13 之頁緩衝器 NWBUF0 之實例。剩餘

的頁緩衝器 NWBUF<7:1>被類似地組態。

如圖 14 所示，頁緩衝器 NWBUF0 包括該感測節點 NSEN0、一鎖存單元 810、一鎖存傳輸單元 820、一鎖存驅動單元 825、一感測回應單元 830、一輸出驅動單元 840、一緩衝器選擇單元 850、一感測設定單元 860、一位元線關閉單元 870 及該內部輸出線 IDOUT0。感測節點 NSEN0 接收自位元線 BL0 所提供之資料，且經由位元線關閉單元 870 而連接至位元線 BL0。

位元線關閉單元 870 回應於一位元線關閉訊號 BLSHF 而控制位元線 BL0 至感測節點 NSEN0 的連接。較佳地，位元線關閉單元 870 是使用一位元線關閉電晶體 870a 來建構，該位元線關閉電晶體為一回應於位元線關閉訊號 BLSHF 而被閘控之低電壓 NMOS 電晶體。

鎖存單元 810 包括一鎖存節點 NLAT，其儲存對應於位元線 BL0 之資料的資料。

鎖存驅動單元 825 回應於緩衝器選擇位址 Yp0 而被啟用以提供一預定鎖存驅動電壓。在此實例中，該鎖存驅動電壓為接地電壓 VSS，且獨立於第一內部輸入線 IDI0 及第二內部輸入線 nIDI0 上之被提供至鎖存傳輸單元 820 的資料。此實例之鎖存驅動單元 825 包括一鎖存驅動電晶體 825a，且較佳地，鎖存驅動電晶體 825a 為一 NMOS 電晶體，其回應於緩衝器選擇位址 Yp0 而被閘控且具有一連接至接地電壓 VSS 之源極端子。

此實例之鎖存傳輸單元 820 包括第一鎖存傳輸電晶體

820a 及第二鎖存傳輸電晶體 820b。第一鎖存傳輸電晶體 820a 回應於第一內部輸入線 IDI0 而將自鎖存驅動電晶體 825a 所提供之鎖存驅動電壓提供至鎖存單元 810 之一節點 N810a。較佳地，第一鎖存傳輸電晶體 820a 連接至鎖存驅動電晶體 825a，且回應於第一內部輸入線 IDI0 上之資料而被閘控。因此，當緩衝器選擇位址 Yp0 處於邏輯“H”狀態中時，若將邏輯“H”狀態之資料施加至第一內部輸入線 IDI0，則第一鎖存傳輸電晶體 820a 將接地電壓 VSS 提供至鎖存單元 810 之節點 N810a。

此實例之第二鎖存傳輸電晶體 820b 回應於第二內部輸入線 nIDI0 而將自鎖存驅動電晶體 825a 所提供之鎖存驅動電壓提供至鎖存單元 810 之鎖存節點 NLAT。較佳地，第二鎖存傳輸電晶體 820b 與鎖存驅動電晶體 825a 串聯連接，且回應於第二內部輸入線 nIDI0 上之資料而被閘控。因此，當緩衝器選擇位址 Yp0 處於邏輯“H”狀態中時，若將邏輯“H”狀態之資料施加至第二內部輸入線 nIDI0，則第二鎖存傳輸電晶體 820b 將接地電壓 VSS 提供至鎖存單元 810 之鎖存節點 NLAT。

意即，在此實施例之實例中，當將第一鎖存傳輸電晶體 820a 轉向 ON 時，邏輯“H”狀態之資料儲存於鎖存節點 NLAT 上。另一方面，當將第二鎖存傳輸電晶體 820b 轉向 ON 時，邏輯“L”狀態之資料儲存於鎖存節點 NLAT 上。

在圖 14 中，RBIN1 及 RBIN2 表示緩衝器輸入路徑，經由該等路徑將鎖存驅動電壓傳輸至鎖存單元 810。意

即，經由鎖存驅動電晶體 825a 及第一鎖存傳輸電晶體 820a 至鎖存節點 NLAT 的傳輸路徑經指定為第一緩衝器輸入路徑 RBIN1，且經由鎖存驅動電晶體 825a 及第二鎖存傳輸電晶體 820b 至鎖存節點 NLAT 的傳輸路徑經指定為第二緩衝器輸入路徑 RBIN2。

此實例之感測回應單元 830 是藉由感測節點 NSEN0 來驅動以選擇性地將一感測回應電壓傳輸至鎖存傳輸單元 820，以藉此控制儲存於鎖存節點 NLAT 處之資料。較佳地，該感測回應電壓為接地電壓 VSS。舉例而言，感測回應單元 830 包括一感測回應電晶體 830a 及一輸出感測電晶體 830b。

較佳地，感測回應電晶體 830a 為一回應於感測節點 NSEN0 上之資料而被閘控的 NMOS 電晶體。輸出感測電晶體 830b 為一與感測回應電晶體 830a 串聯排列的 NMOS 電晶體，且具有一連接至接地電壓 VSS 之源極端子。當開啟感測回應電晶體 830a 時，輸出感測電晶體 830b 回應於一讀取鎖存訊號 LCH 以經由鎖存傳輸單元 820 而將感測回應電壓提供至鎖存單元 810。此外，鎖存節點 NLAT 回應於感測回應電壓而儲存對應於感測節點 NSEN0 的資料。

感測設定單元 860 將感測節點 NSEN0 設定在一預定設定電壓處。在此實例中，該設定電壓為供應電壓 VDD，且感測設定單元 860 包括一感測設定電晶體 860a。感測設定電晶體 860a 較佳為一 PMOS 電晶體，其具有一連接至供應電壓 VDD（例如，2.2 V）之源極端子，且回應於一

感測設定訊號/PLOAD 而被閘控。

輸出驅動單元 840 回應於緩衝器選擇位址 Yp0 而被啟用。當被啟用時，輸出驅動單元 840 回應於儲存於鎖存節點 NLAT 上之資料而將內部輸出線 IDOUT0 驅動至一預定驅動電壓。如在圖 14 中顯而易見，內部輸出線 IDOUT0 與鎖存節點 NLAT 以及緩衝器輸入路徑 RBIN1 及 RBIN2 分離且電絕緣。

舉例而言，輸出驅動單元 840 包括一第一輸出驅動電晶體 840a 及一第二輸出驅動電晶體 840b。第一輸出驅動電晶體 840a 是藉由儲存於鎖存單元 810 之鎖存節點 NLAT 上的資料來閘控。在此實例中，當儲存於鎖存單元 810 之鎖存節點 NLAT 上的資料為邏輯“H”時，開啟第一輸出驅動電晶體 840a。第二輸出驅動電晶體 840b 與第一輸出驅動電晶體 840a 串聯連接。第二輸出驅動電晶體 840b 回應於緩衝器選擇位址 Yp0 而被閘控以將內部輸出線 IDOUT0 驅動至驅動電壓。在該實例中，該驅動電壓為連接至第一輸出驅動電晶體 840a 之源極端子的接地電壓 VSS。因此，根據此實施例，當儲存於鎖存節點 NLAT 上之資料為邏輯“H”狀態時，回應於緩衝器選擇位址 Yp0 至邏輯“H”狀態之一轉變而將內部輸出線 IDOUT0 驅動至接地電壓 VSS。

此實例之緩衝器選擇單元 850 控制鎖存節點 NLAT 與感測節點 NSEN0 之連接。在此實例中，緩衝器選擇單元 850 包括一緩衝器選擇電晶體 850a，其為一回應於緩衝器選擇訊號 PBSLT 而被閘控之 NMOS 電晶體。當緩衝器選

擇訊號 PBSLT 之電壓位準改變至邏輯“H”狀態時，鎖存節點 NLAT 上之資料經由緩衝器選擇電晶體 850a 而傳輸至感測節點 NSEN0，其中該資料可接著傳輸至位元線 BL0。

圖 15 說明圖 11 中所示之頁緩衝器解碼器 NWDE0 之實例。剩餘之頁緩衝器解碼器 NWDE<63:1>可被類似地組態。

頁緩衝器解碼器 NWDE0 具有兩種主要功能。第一，頁緩衝器解碼器 NWDE0 選擇性地將對應於內部輸出線 IDOUT0 上之資料的輸出資料傳輸至全域輸出線 GDOUT。第二，頁緩衝器解碼器 NWDE0 分別將對應於第一全域輸入線 GDI 與第二全域輸入線 nGDI 上之輸入資料的資料傳輸至第一內部輸入線 IDI0 與第二內部輸入線 nIDI0。

圖 15 之實例中之頁緩衝器解碼器 NWDE0 包括第一至第三解碼器邏輯閘極 1201、1203 及 1205、一反相器 1206 以及一解碼器電晶體 1207。

本文中，y 位址訊號 $Yq<7:0>$ 稱作主選擇位址 (main selection address)，且 y 位址訊號 $Yr<7:0>$ 稱作子選擇位址 (sub-selection address) (見圖 11)。

第一解碼器邏輯閘極 1201 在主選擇位址 $Yq0$ 及子選擇位址 $Yr0$ 上執行一邏輯操作，且將邏輯操作結果作為一區塊解碼訊號/BLDEC 而輸出。在此實例中，第一解碼器邏輯閘極 1201 為一 NAND 閘極，其主選擇位址 $Yq0$ 及子選擇位址 $Yr0$ 上執行 NAND 操作，且將 NAND 操作結

果作為區塊解碼訊號/BLDEC 而輸出。在此情況下，當將主選擇位址 Yq0 與子選擇位址 Yr0 均啟動至邏輯“H”狀態時，將區塊解碼訊號/BLDEC 啟動至邏輯“L”狀態。

第二解碼器邏輯閘極 1203 回應於區塊解碼訊號/BLDEC 而被啟用，且根據第一全域輸入線 GDI 上之資料而將邏輯操作結果提供至第一內部輸入線 IDI0。在此實例中，第二解碼器邏輯閘極 1203 為一 NOR 閘極，其在區塊解碼訊號/BLDEC 及第一全域輸入線 GDI 上執行 NOR 操作。在此情況下，第二解碼器邏輯閘極 1203 將第一全域輸入線 GDI 上之資料反相，且當區塊解碼訊號/BLDEC 處於邏輯“L”狀態中時（意即，當主選擇位址 Yq0 與子選擇位址 Yr0 皆處於邏輯“H”狀態中時），該第二解碼器邏輯閘極將反相結果提供至第一內部輸入線 IDI0。

第三解碼器邏輯閘極 1205 回應於區塊解碼訊號/BLDEC 而被啟用，且根據第二全域輸入線 nGDI 上之資料而將邏輯操作結果提供至第二內部輸入線 nIDI0。在此實例中，第三解碼器邏輯閘極 1205 為一 NOR 閘極，其在區塊解碼訊號/BLDEC 及第二全域輸入線 nGDI 上執行 NOR 操作。在此情況下，第三解碼器邏輯閘極 1205 將第二全域輸入線 nGDI 上之資料反相，且當區塊解碼訊號/BLDEC 處於邏輯“L”狀態中時（意即，當主選擇位址 Yq0 與子選擇位址 Yr0 皆處於邏輯“H”狀態中時），該第三解碼器邏輯閘極將反相資料提供至其第二內部輸入線 nIDI0。

反相器 1206 將區塊解碼訊號/BLDEC 反相以閘控解碼器電晶體 1207。如此，在此實例中，當將區塊解碼訊號/BLDEC 啟動至邏輯“L”狀態時，解碼器電晶體 1207 將內部輸出線 IDOUT0 上之資料提供至全域輸出線 GDOUT。

在本實施例之實例中，非揮發性記憶體包括 64 個頁緩衝器解碼器 NWDE<63:0>。頁緩衝器解碼器 NWDE<63:0>是基於主選擇位址 Yq<7:0>與子選擇位址 Yr<7:0>之組合而被個別地選擇。主選擇位址 Yq<7:0>用於在 64 個頁緩衝器解碼器 NWDE<63:0>中選擇 8 個組（各具有 8 個緩衝器解碼器）之一組，且子選擇位址 Yr<7:0>用於選擇選定組中所含有之 8 個緩衝器解碼器之任一者。又，如先前所提及，緩衝器選擇位址 Yp<7:0>用於選擇與選定緩衝器解碼器相關聯之 8 個頁緩衝器的個別頁緩衝器。

如此，在本實施例之實例中，行位址匯流排線之總數目為 24，其極其有利地相當於圖 8 中所說明之習知記憶體裝置的 40 個行位址線。

又，如上文所述，內部輸出線 IDOUT0 與鎖存節點 NLAT 以及緩衝器輸入路徑 RBIN1 及 RBIN2 電絕緣。因此，可使儲存於一選定頁緩衝器（例如，NWBUF0）之鎖存節點 NLAT 上之資料的失真最小化，其中該失真另外可由儲存於其它頁緩衝器（例如，NWBUF<7:1>）中且在內部輸出線 IDOUT0 上被充電的資料引起。

現將描述上述實施例之讀取、程式及擦除操作模式的實例。在以下解釋之每一者中，亦應參考先前所論述之圖

11-15。

首先將參看圖 16A 及 16B 來描述一讀取操作模式。

圖 16A 為一用於描述操作一頁緩衝器 NWBUF 以輸出儲存於一選定記憶體單元 MCsel（見圖 12）中之資料之方法的流程圖。

在步驟 S910 處，將鎖存節點 NLAT 初始化至邏輯“H”狀態（“第一邏輯狀態”）或邏輯“L”狀態（“第二邏輯狀態”）的資料。鎖存節點 NLAT 之初始化可藉由第一內部輸入線 IDI0 及第二內部輸入線 nIDI0 之任一者來執行。

在此實施例之實例的一正常讀取操作模式中，將鎖存節點 NLAT 初始化至第二邏輯狀態的資料。為了將鎖存節點 NLAT 初始化至第二邏輯狀態，緩衝器選擇位址 Yp0 變成邏輯“H”脈衝，且第二內部輸入線 nIDI0 亦變成邏輯“H”脈衝。在此情況下，第一內部輸入線 IDI0 維持邏輯“L”狀態。接著，將鎖存節點 NLAT 初始化至邏輯“L”狀態（意即，第二邏輯狀態）的資料。

另一方面，在此實施例之實例的一擦除驗證讀取操作模式中，將鎖存節點 NLAT 初始化至第一邏輯狀態的資料。為了將鎖存節點 NLAT 初始化至第一邏輯狀態，緩衝器選擇位址 Yp0 變成邏輯“H”脈衝，且第一內部輸入線 IDI0 亦變成邏輯“H”脈衝。在此情況下，第二內部輸入線 nIDI0 維持邏輯“L”狀態。接著，將鎖存節點 NLAT 初始化至邏輯“H”狀態（意即，第一邏輯狀態）的資料。

在步驟 S950 處，對應於儲存於選定記憶體單元 MCsel

中之資料之在位元線 BL0 上所開發的資料儲存於鎖存節點 NLAT 上。

圖 16B 為一用於描述可如圖 16A 之步驟 S950 加以執行之步驟 S951、S953 及 S955 的流程圖。在此實例中，考慮到較佳執行步驟 S951a，但可將其省略。

在步驟 S951 處，藉由感測設定單元 860 之感測設定電晶體 860a 將感測節點 NSEN0 調整至供應電壓 VDD，意即，設定電壓。該設定電壓控制感測回應單元 830（回應於讀取鎖存訊號 LCH 而被啟用）以將感測回應電壓提供至鎖存傳輸單元 820。此外，將位元線關閉訊號 BLSHF 改變至邏輯“L”狀態。

在此實例中，步驟 S951 包括步驟 S951a 及 S951b。在步驟 S951a 處，將感測設定訊號/PLOAD 之電壓位準維持於一第一初步電壓 VPRE1 持續一預定時段，以防止供應電壓 VDD 之負向尖峰（undershooting）。在步驟 S951b 處，將感測設定訊號/PLOAD 改變至邏輯“L”狀態。

在步驟 S953 處，感測回應單元 830 回應於在位元線 BL0 上所開發之資料而將感測回應電壓提供至鎖存傳輸單元 820。在此實例中，步驟 S953 包括步驟 S953a、S953b 及 S953c。

在步驟 S953a 處，感測設定訊號/PLOAD 變成邏輯“H”狀態。如此，釋放了感測節點 NSEN0 之設定狀態，且將感測節點 NSEN0 改變至一浮動狀態。此外，在步驟 S953b 處，開啟位元線關閉電晶體 870a，使得浮動之感測節點

NSEN0 連接至位元線 BL0。因此，感測節點 NSEN0 接收在位元線 BL0 上所開發的資料。

因此，若選定記憶體單元 MCsel 為一 OFF 單元，則將感測節點 NSEN0 之電壓位準維持於約供應電壓 VDD。另一方面，若選定記憶體單元 MCsel 為一 ON 單元，則將感測節點 NSEN0 之電壓位準維持於約接地電壓 VSS。

在步驟 S953c 處，感測回應單元 830 選擇性地將一根據感測節點 NSEN0 之感測回應電壓提供至鎖存傳輸單元 820。意即，當選定記憶體單元 MCsel 為 OFF 單元且感測節點 NSEN0 之電壓位準維持於約供應電壓 VDD 時，若將讀取鎖存訊號 LCH 產生為“H”脈衝，則感測回應單元 830 將感測回應電壓（在此實例中為 VSS）提供至鎖存傳輸單元 820。另一方面，當選定記憶體單元 MCsel 為 ON 單元且感測節點 NSEN0 之電壓位準維持於約接地電壓 VSS 時，即使將讀取鎖存訊號 LCH 產生為“H”脈衝，亦未將感測回應電壓提供至鎖存傳輸單元 820。

在步驟 S955 處，回應於被供應至鎖存傳輸單元 820 之感測回應電壓而翻轉鎖存節點 NLAT。

如上文結合步驟 S910 所論述，在一正常讀取操作模式中，將鎖存節點 NLAT 初始化至第二邏輯狀態之資料。在此情況下，在步驟 S955 處，第一內部輸入線 IDI0 處於邏輯“H”狀態中，且第二內部輸入線 nIDI0 處於邏輯“L”狀態中。因此，當選定記憶體單元 MCsel 為一 OFF 單元（意即，程式化單元）時，鎖存節點 NLAT 自邏輯“L”狀態（第

二邏輯狀態) 翻轉至邏輯“H”狀態(第一邏輯狀態)。然而，當選定記憶體單元 MCsel 為一 ON 單元(意即，擦除單元)時，鎖存節點 NLAT 維持邏輯“L”狀態(第二邏輯狀態)。

另一方面，亦如上文結合步驟 S910 所描述，在擦除驗證讀取操作模式中，將鎖存節點 NLAT 初始化至第一邏輯狀態之資料。在此情況下，在步驟 S955 處，第一內部輸入線 IDI0 處於邏輯“L”狀態中，且第二內部輸入線 nIDI0 處於邏輯“H”狀態中。因此，若選定記憶體單元 MCsel 為一 OFF 單元(意即，未擦除單元)，則鎖存節點 NLAT 自邏輯“H”狀態(第一邏輯狀態)翻轉至邏輯“L”狀態(第二邏輯狀態)。另一方面，若選定記憶體單元 MCsel 為一 ON 單元(意即，擦除單元)，則鎖存節點 NLAT 維持邏輯“H”狀態(第一邏輯狀態)。

返回至圖 16A，在步驟 S970 處，輸出驅動單元 840 是藉由儲存於鎖存節點 NLAT 上之資料來控制。因此，將內部輸出線 IDOUT0 選擇性地驅動至一驅動電壓，意即，接地電壓 VSS。意即，若儲存於鎖存節點 NLAT 上之資料為邏輯“H”，則內部輸出線 IDOUT0 回應於緩衝器選擇位址 Yp0 而被驅動至接地電壓 VSS。然而，若儲存於鎖存節點 NLAT 上之資料為邏輯“L”，則即使當緩衝器選擇位址 Yp0 改變至邏輯“H”狀態時，內部輸出線 IDOUT0 亦維持其初始邏輯狀態，此為供應電壓 VDD。

以下參看圖 17 之時序圖來更詳細地描述正常讀取操

作模式的實例。

圖 17 為正常讀取操作模式（讀取模式）時序圖，其展示圖 11 至 15 之實例中所說明之非揮發性記憶體裝置的各種訊號電壓及節點電壓。此外，應在以下解釋中參看此等較早的圖。

在讀取模式中，提取寫入於選定記憶體單元 MCsel 中之資料，且接著輸出所提取之資料。

為解釋之目的，將圖 17 中所說明之讀取模式分為 6 個間隔，意即：一位元線放電及頁緩衝器重設間隔（在下文中稱作“READ1 間隔”）、一位元線預充電間隔（在下文中稱作“READ2 間隔”）、一位元線開發間隔（develop interval）（在下文中稱作“READ3 間隔”）、一感測間隔（在下文中稱作“READ4 間隔”）、一恢復間隔（在下文中稱作“READ5 間隔”）以及一資料提取間隔（在下文中稱作“READ6 間隔”）。

此外，為解釋之目的，將“READ1 間隔”分為一頁緩衝器重設間隔（在下文中稱作“READ1a 間隔”）及一位元線放電間隔（在下文中稱作“READ1b 間隔”）。在 READ1a 間隔期間，將頁緩衝器之鎖存節點 NLAT 重設至邏輯“L”狀態，意即，接地電壓 VSS。隨後，在 READ1b 間隔期間，將偶數位元線 BLe0、奇數位元線 BLo0 及位元線 BL0 放電至接地電壓 VSS，意即，邏輯“L”狀態之資料。

鎖存節點 NLAT 在 READ1a 間隔期間之重設如下發生。在 READ1a 間隔期間，因為緩衝器選擇位址 Yp0 處於

邏輯“H”狀態中，所以將鎖存驅動電晶體 825a 轉向 ON (tR1)。此外，因為主選擇位址 Yq0 與子選擇位址 Yr0 皆為邏輯“H”，所以將區塊解碼訊號/BLDEC 改變至邏輯“L”狀態 (tR2)。在此情況下，第一全域輸入線 GDI 為邏輯“H”，且第二全域輸入線 nGDI 為邏輯“L”。因此，第一內部輸入線 IDI0 為邏輯“L”，且第二內部輸入線 nIDI0 為邏輯“H” (tR3)。因此，將第一鎖存傳輸電晶體 820a 轉向 OFF，且將第二鎖存傳輸電晶體 820b 轉向 ON。因此，將鎖存單元 810 之節點 N810a 改變至邏輯“H”狀態，且將鎖存節點 NLAT 重設至邏輯“L”狀態。

現將描述位元線 BLe0、BLo0 及 BL0 在 READ1b 期間的放電。為方便起見，此處假定選擇左邊記憶體單元串 STe0 (圖 12) 中之最上的記憶體單元 MCsel。

在 READ1b 間隔期間，將一讀取電壓 VREAD (例如，5 V) 施加至未選定字線 $WL_{<n-2:0>}$ ，且將接地電壓 VSS 施加至選定字線 WL_{n-1} 。此外，將讀取電壓 VREAD 施加至串選擇線 SSL 與接地選擇線 GSL 兩者，且將接地電壓 VSS 施加至共同源極線 CSL。

此外，一位元線電壓線 BLPWR 維持接地電壓 VSS，且將偶數屏蔽訊號 SHLDe、奇數屏蔽訊號 SHLDo、偶數位元線選擇訊號 BLSLTe 及感測節點阻擋訊號 SOBLK 的電壓位準改變至供應電壓 VDD。因此，將位元線 BL0、BLe0 及 BLo0 放電至接地電壓 VSS，意即，邏輯“L”狀態之資料。

緊接著，在 READ2 間隔期間，將偶數位元線 BLe0 及位元線 BL0 預充電至一預定預充電電壓（例如，0.8 V）以感測選定記憶體單元 MCsel 中之資料值。

此外，在 READ2 間隔期間，將第一電壓施加至選定字線 WLn-1，且將第二電壓施加至剩餘之未選定字線 $WL < n-2 : 0 >$ 。在此實例中，該第一電壓為接地電壓 VSS，且該第二電壓為讀取電壓 VREAD。因此，選定記憶體單元 MCsel 之 ON/OFF 狀態是藉由儲存於其中之資料來控制。意即，若儲存於選定記憶體單元 MCsel 中之資料為邏輯“1”，則選定記憶體單元 MCsel 處於 ON 狀態中，而若儲存資料為邏輯“0”，則選定記憶體單元 MCsel 處於 OFF 狀態中。

在 READ2 間隔期間，將偶數屏蔽訊號 SHLDe 改變至邏輯“L”狀態以關閉用於將偶數位元線 BLe0 連接至位元線電壓線 BLPWR 的 NMOS 電晶體 511 (tR4)。因此，釋放了偶數位元線 BLe0 及位元線 BL0 的放電。此時，奇數屏蔽訊號 SHLDo 維持於供應電壓 VDD，使得 NMOS 電晶體 512 維持 ON 狀態。因此，奇數位元線 BLo0 維持於接地電壓 VSS，且用作偶數位元線 BLe0 之間的屏蔽線。

此外，感測設定訊號/PLOAD 之電壓自供應電壓 VDD 降至第一初步電壓 VPRE1 持續一預定時段，且接著降至接地電壓 VSS (tR5)。因此，開啟感測設定電晶體 860a，使得將感測節點 NSEN0 改變至為設定電壓之供應電壓 VDD。

根據此實施例之實例，感測設定訊號/PLOAD 之初步電壓 VPRE1 約為 1.0 V，其介於接地電壓 VSS 與供應電壓 VDD 之間。感測設定訊號/PLOAD 維持於第一初步電壓 VPRE1 持續預定時段，以便減少由負向尖峰引起之功率雜訊。

在此情況下，將位元線關閉訊號 BLSHF 改變至一第二初步電壓 VPRE2，其介於供應電壓 VDD 與接地電壓 VSS 之間。如此，感測節點 NSEN0 與位元線 BL0 變成互相電連接。如上文所述，位元線關閉訊號 BLSHF 以第二初步電壓 VPRE2 閘控位元線關閉電晶體 870a，因此歸因於自感測設定電晶體 860a 所提供之電流而允許將位元線 BL0 及 BLe0 預充電至一給定位準。此處，該給定位準比第二初步電壓 VPRE2 低了位元線關閉電晶體 870a 之臨限電壓。

此外，將偶數位元線選擇訊號 BLSLTe 及感測節點阻擋訊號 SOBLK 之電壓位準改變至讀取電壓 VREAD，使得足夠之電流流經位元線關閉電晶體 870a。

緊接著，執行 READ3 間隔，其中位元線 BL0 感測儲存於選定記憶體單元 MCsel 中之資料並開發該資料。

更準確而言，在 READ3 間隔期間，位元線關閉訊號 BLSHF 為接地電壓 VSS 以將位元線關閉電晶體 870a 轉向 OFF (t_{R6})。如此，位元線 BL0 變成與感測節點 NSEN0 電絕緣，且位元線 BL0 繼續進行開發資料。

若選定記憶體單元 MCsel 為 ON 單元，則將位元線 BL0 上之資料放電至共同源極線 CSL。因此，位元線 BL0 之電

壓位準近似接地電壓 VSS。另一方面，若選定記憶體單元為 OFF 單元，則位元線 BL0 之電壓位準大體上保持不變（除由洩漏電流引起之變化之外）。

感測設定電晶體 860a 在大部分之 READ3 間隔內維持 ON 狀態，但在 READ3 間隔結束之前立即轉向 OFF(t_{R8})。感測節點 NSEN0 因此維持供應電壓 VDD 且變成浮動狀態。

緊接著，執行 READ4，其中將在位元線 BL0 上所開發之資料（意即，對應於該位元線之電壓位準的資料）儲存於頁緩衝器 NWBUF0 之鎖存節點 NLAT 上。

此處，最初維持在 READ3 間隔期間所產生之感測節點 NSEN0 的浮動狀態，而將位元線關閉訊號 BLSHF 改變至第三初步電壓 VPRE3 以開啟位元線關閉電晶體 870a。

根據此實施例之實例，第三初步電壓 VPRE3 介於接地電壓 VSS 與供應電壓 VDD 之間，且比第二初步電壓 VPRE2 低了一對應於一感測裕度之預定電壓差。因此根據位元線 BL0 上所開發之電壓位準來判定感測節點 NSEN0 的電壓位準。

在此情況下，第一內部輸入線 IDI0 上之資料值改變至邏輯“H”狀態 (t_{R9})，使得將第一鎖存傳輸電晶體 820a 轉向 ON。

回應於讀取鎖存訊號 LCH，鎖存節點 NLAT 在如由位元線 BL0 之電壓位準所判定之感測節點 NSEN0 上儲存資料，此資料對應於儲存於選定記憶體單元 MCsel 中之資料。

意即，當選定記憶體單元 MCsel 為 ON 單元時，位元線 BL0 及感測節點 NSEN0 之電壓位準接近於接地電壓 VSS。因此，即使將讀取鎖存訊號 LCH 啟用至邏輯“H”狀態，鎖存節點 NLAT 上之資料亦維持邏輯“L”狀態。

另一方面，當選定記憶體單元 MCsel 為 OFF 單元時，而位元線 BL0 及感測節點 NSEN0 之電壓位準因洩漏電流之影響而可自預充電電壓位準稍微降低，該電壓位準維持於邏輯“H”狀態，因為歸因於第二初步電壓 VPRES2 與第三初步電壓 VPRES3 之間的差而不能開啟位元線關閉電晶體 870a。因此，若將讀取鎖存訊號 LCH 啟用至邏輯“H”狀態，則將鎖存節點 NLAT 上之資料翻轉至邏輯“H”狀態。

緊接著，執行 READ5 間隔，其中重設位元線 BL0 及感測節點 NSEN0。

在 READ5 間隔期間，將偶數屏蔽訊號 SHLDe 改變至供應電壓 VDD，且將偶數位元線選擇訊號 BLSLTe 與感測節點阻擋訊號 SOBLK 兩者自讀取電壓 VREAD 改變至供應電壓 VDD。因此，將位元線 BL0 及感測節點 NSEN0 重設至接地電壓 VSS (t_{R11})。

此外，將未選定字線 $WL_{<n-2:0>}$ 、串選擇線 SSL 及接地選擇線 GSL 皆自讀取電壓 VREAD 改變至接地電壓 VSS。

緊接著，執行 READ6 間隔，其中對應於鎖存節點 NLAT 之資料（在 READ4 間隔期間所儲存的）經由內部輸出線 IDOUT0 而輸出至全域輸出線 GDOUT。

在 READ6 間隔期間，緩衝器選擇位址 Yp0 及區塊解碼訊號/BLDEC 是以個別脈衝訊號之形式被啟動。因此，對應於鎖存節點 NLAT 之資料經由內部輸出線 IDOUT0 而傳輸至全域輸出線 GDOUT。

在此實施例之實例中，在啟動區塊解碼訊號/BLDEC 之前，藉由一輸出線預充電電路（未圖示）將全域輸出線 GDOUT 預充電至供應電壓 VDD。

若選定記憶體單元 MCsel 為 ON 單元，則鎖存節點 NLAT 上之資料為邏輯“L”，且因此，傳輸於全域輸出線 GDOUT 上之資料變成邏輯“H”狀態。另一方面，若選定記憶體單元 MCsel 為 OFF 單元，則鎖存節點 NLAT 上之資料為邏輯“H”狀態，且因此，將傳輸於全域輸出線 GDOUT 上之資料放電至邏輯“L”狀態。

現將參看圖 18 之流程圖來描述根據本發明之一實施例的程式操作模式（程式模式）。執行該程式模式以負載記憶體單元陣列之選定記憶體單元 MCsel 中的輸入資料。

在步驟 S1110 處，初始化鎖存節點 NLAT。鎖存節點 NLAT 是藉由第一內部輸入線 IDI0 或第二內部輸入線 nIDI0 而初始化至第一邏輯狀態（意即，邏輯“H”狀態）或第二邏輯狀態（意即，邏輯“L”狀態）的資料。在本實例中，鎖存節點 NLAT 是藉由第一內部輸入線 IDI0 而初始化至一程式抑制狀態，其為第一邏輯狀態（意即，邏輯“H”狀態）。

在步驟 S1130 處，鎖存傳輸單元 820 藉由第一內部輸

入線 IDI0 與第二內部輸入線 nIDI0 之任一者而將鎖存驅動電壓提供至鎖存單元 810，該鎖存驅動電壓為自鎖存驅動單元 825 所提供之接地電壓 VSS。此外，鎖存單元 810 使用鎖存驅動電壓而將第一邏輯狀態（意即，邏輯“H”狀態）或第二邏輯狀態（意即，邏輯“L”狀態）之資料負載至鎖存節點 NLAT 上。

更具體言之，若輸入資料為邏輯“H”，則緩衝器選擇位址 Yp0 變成邏輯“H”脈衝，且第一內部輸入線 IDI0 亦變成邏輯“H”脈衝。在此情況下，第二內部輸入線 nIDI0 維持邏輯“L”狀態。接著，鎖存節點 NLAT 維持程式抑制狀態，其為邏輯“H”狀態。

另一方面，若輸入資料為邏輯“L”，則緩衝器選擇位址 Yp0 變成邏輯“H”脈衝，且第二內部輸入線 nIDI0 亦變成邏輯“H”脈衝。在此情況下，第一內部輸入線 IDI0 維持邏輯“L”狀態。鎖存節點 NLAT 接著自邏輯“H”狀態改變至邏輯“L”狀態。

因此，在此實施例之實例中，當執行資料負載時，第一內部輸入線 IDI0 及第二內部輸入線 nIDI0 具有相對之邏輯狀態。當緩衝器選擇位址 Yp0 處於邏輯“H”狀態中時，若將邏輯“H”狀態之資料傳輸至第一內部輸入線 IDI0，則邏輯“H”狀態之資料儲存於鎖存單元 810 之鎖存節點 NLAT 上。若替代地將邏輯“H”狀態之資料傳輸至第二內部輸入線 nIDI0，則邏輯“L”狀態之資料儲存於鎖存單元 810 之鎖存節點 NLAT 上。

在步驟 S1150 處，將負載於鎖存節點 NLAT 上之資料傳輸至位元線 BL0。以下如步驟 S1151 及 S1153 更詳細地解釋此過程。

在步驟 S1151 處，控制緩衝器選擇單元 850 以將鎖存節點 NLAT 連接至感測節點 NSEN0，且最終，連接至位元線 BL0。意即，緩衝器選擇訊號 PBSLT 改變至邏輯“H”位準，以便將緩衝器選擇電晶體 850a 轉向 ON。接著將鎖存節點 NLAT 上之資料傳輸至感測節點 NSEN0。

在步驟 S1153 處，控制位元線關閉單元 870 以將感測節點 NSEN0 與位元線 BL0 相連接。更具體言之，在此實例中，位元線關閉訊號 BLSHF 改變至邏輯“H”位準，以便將位元線關閉電晶體 870a 轉向 ON。接著將感測節點 NSEN0 上之資料傳輸至位元線 BL0。

在步驟 S1170 處，程式化選定記憶體單元 MCsel 以對應於被傳輸至位元線 BL0 的資料。

以下參看圖 19 之時序圖來更詳細地描述程式模式的實例。

圖 19 為程式模式時序圖，其展示圖 11 至 15 之實例中所說明之非揮發性記憶體裝置的各種訊號電壓及節點電壓。此外，應在以下解釋中參看此等較早的圖。

為解釋之目的，將圖 19 之時序圖分為 8 個間隔，意即：一頁緩衝器設置間隔（在下文中稱作“PROG1 間隔”）、一資料負載間隔（在下文中稱作“PROG2 間隔”）、一高電壓啟用間隔（在下文中稱作“PROG3 間隔”）、一位元線設置

間隔（在下文中稱作“PROG4 間隔”）、一程式執行間隔（在下文中稱作“PROG5 間隔”）、一恢復間隔（在下文中稱作“PROG6 間隔”）、一驗證讀取間隔（在下文中稱作“PROG7 間隔”）及一 Y 掃描間隔（在下文中稱作“PROG8 間隔”）。

在 PROG1 間隔中，在負載外部施加之資料之前，將鎖存節點 NLAT 調整至一程式抑制狀態。在此實施例中，該程式抑制狀態表示以下一狀態：其中關於外部施加之特定資料，不需要單元程式設計的執行。在此實例中，當外部施加邏輯“H”狀態之資料時，不需要單元程式設計。

在本實例中，在 PROG1 間隔期間，緩衝器選擇位址 Yp0 處於邏輯“H”狀態中（tP1），以便將鎖存驅動電晶體 825a 轉向 ON。此外，因為主選擇位址 Yq0 與子選擇位址 Yr0 皆處於邏輯“H”狀態中，所以將區塊解碼訊號/BLDEC 啟動至邏輯“L”狀態。在此情況下，第一全域輸入線 GDI 為一具有邏輯“L”狀態的有效脈衝（active pulse），且第二全域輸入線 nGDI 處於邏輯“H”狀態中。因此，第一內部輸入線 IDI0 為一具有邏輯“H”狀態（tP2）的有效脈衝，且第二內部輸入線 nIDI0 處於邏輯“L”狀態中。因此將第一鎖存傳輸電晶體 820a 臨時轉向 ON，且第二鎖存傳輸電晶體 820b 處於 OFF 狀態中。以此方式，將鎖存節點 NLAT 設定至程式抑制狀態，意即，邏輯“H”狀態。

緊接著執行 PROG2 間隔，其中將外部施加之資料負載至頁緩衝器 NWBUF0 之鎖存節點 NLAT 上。

在 PROG2 間隔期間，回應於第一內部輸入線 IDI0 或

第二內部輸入線 nIDI0 而將對應於外部輸入資料的資料儲存於鎖存節點 NLAT 上。此外，儲存於鎖存節點 NLAT 上之資料是經由緩衝器輸入路徑 RBIN1 及 RBIN2 來提供。回應於第一內部輸入線 IDI0 而儲存於鎖存節點 NLAT 上之資料的邏輯狀態與回應於第二內部輸入線 nIDI0 而儲存於鎖存節點 NLAT 上之資料的邏輯狀態相反。意即，在此實例中，回應於第一內部輸入線 IDI0 而儲存於鎖存節點 NLAT 上之資料為邏輯“H”，且回應於第二內部輸入線 nIDI0 而儲存於鎖存節點 NLAT 上之資料為邏輯“L”。

在 PROG2 間隔中之時間 tP4 處，緩衝器選擇位址 Yp0 為邏輯“H”。因為主選擇位址 Yq0 與子選擇位址 Yr0 皆為邏輯“H”，所以區塊解碼訊號/BLDEC 為邏輯“L”。此時，第一全域輸入線 GDI 或第二全域輸入線 nGDI 改變至邏輯“H”狀態。

意即，若輸入資料為邏輯“L”，則第二全域輸入線 nGDI 改變至邏輯“L”狀態。更準確而言，第一內部輸入線 IDI0 改變至邏輯“L”狀態，且第二內部輸入線 nIDI0 改變至邏輯“H”狀態。因此，邏輯“L”狀態之資料儲存於鎖存節點 NLAT 上。

另一方面，若輸入資料為邏輯“H”，則第一全域輸入線 GDI 改變至邏輯“L”狀態。更準確而言，第二內部輸入線 nIDI0 改變至邏輯“L”狀態，且第一內部輸入線 IDI0 改變至邏輯“H”狀態。因此，邏輯“H”狀態之資料儲存於鎖存節點 NLAT 上。

緊接著執行 PROG3 間隔。此處，啟用包括在非揮發性記憶體裝置中之一組高電壓泵浦電路（未圖示）。通常，此等電路是用於產生一大於供應電壓 VDD 之電壓。在此實施例之實例中，高電壓泵浦電路組包括用於產生一程式電壓（VPGM，例如，5 V）、一通過電壓（VPASS，例如，7 至 9 V）、一讀取電壓（VREAD，例如，5 V）等等之電路。此外，高電壓泵浦電路組亦可包括一用於產生一由列解碼器（未圖示）所利用之升壓電壓 VPP（未圖示）的電路。為了參考，本實施例之實例中之供應電壓 VDD 約為 2.2 V。

在 PROG4 間隔期間，將連接至選定記憶體單元 MCsel 之偶數位元線 BLe0（意即，選定位元線）調整至一對應於儲存於鎖存節點 NLAT 上之資料的電壓位準。此外，將未連接至選定記憶體單元 MCsel 之奇數位元線 BLo0（意即，未選定位元線）調整至一程式抑制狀態。

亦在 PROG4 間隔期間，位元線電壓線 BLPWR 之電壓位準增加至供應電壓 VDD（tP5）。此外，偶數屏蔽訊號 SHLDe 及奇數屏蔽訊號 SHLDo 之電壓位準增加至讀取電壓 VREAD（tP6）。因此，在未引起一電壓降之情況下，將偶數位元線 BLe0 及奇數位元線 BLo0 之電壓位準改變至供應電壓 VDD，其為位元線電壓線 BLPWR 之電壓。

此外，偶數位元線選擇訊號 BLSLTe 及感測節點阻擋訊號 SOBLK 之電壓位準亦增加至讀取電壓 VREAD。位元線關閉訊號 BLSHF 之電壓位準增加至一電壓

“VDD+Vt1”。在本實例中，電壓“Vt1”是一約為 1.5 V 之預定電壓。

此外，在 PROG4 間隔之時間 tP7 處，在一預定時段之後，偶數屏蔽訊號 SHLDe 之電壓位準再次減少至接地電壓 VSS。此外，在緩衝器選擇訊號 PBSLT 改變至第一參考電壓 VREF1(tP8)之後，其再次改變至第五電壓(tP9)。在此實施例之實例中，第五電壓等於“VDD+Vt1”，且第一參考電壓 VREF1 約為 1.3 V，其介於接地電壓 VSS 與第五電壓之間。

將儲存於鎖存節點 NLAT 上之資料傳輸至連接至選定記憶體單元 MCsel 之偶數位元線 BLe0。意即，若儲存於鎖存節點 NLAT 上之資料為邏輯“L”，則偶數位元線 BLe0 之電壓變成“0 V”。此外，若儲存於鎖存節點 NLAT 上之資料為邏輯“H”，則偶數位元線 BLe0 維持供應電壓 VDD。

緊接著執行 PROG5 間隔，其中將傳輸至偶數位元線 BLe0 之資料儲存於選定記憶體單元 MCsel 中。

在將通過電壓 VPASS 施加至選定字線 WLn-1 持續一預定時段之後，將程式電壓 VPGM（其為第三電壓）施加至該選定字線（tP10）。程式電壓 VPGM 允許將對應於偶數位元線 BLe0（意即，位元線 BL0）之電壓位準的資料在選定記憶體單元 MCsel 中程式化。此外，將通過電壓 VPASS 施加至未選定字線 WL<n-2:0>（tP11）。因此，未選定記憶體單元 MC 維持其 ON 狀態而未經程式化。

若傳輸至偶數位元線 BLe0 之資料在 PROG5 間隔期間

為邏輯“H”，則維持程式抑制狀態。反之，若傳輸至偶數位元線 BLe0 之資料為邏輯“L”，則選定記憶體單元 MCsel 是藉由 F-N 穿隧來程式化。因此，在此實例中，儲存有邏輯“L”狀態之資料的記憶體單元 MCsel 可經指定為一“程式化單元”。

又，在 PROG5 間隔期間，串選擇線 SSL 改變至供應電壓 VDD，接地選擇線 GSL 為接地電壓 VSS，且共同源極線具有約 1.5 V 之電壓。

緊接著執行 PROG6 間隔，其中將字線 WL<n-1:0>、位元線 BL0、BLe0 及 BLo0 以及感測節點 NSEN0 放電至接地電壓 VSS。

意即，在 PROG6 間隔期間，位元線電壓線 BLPWR 維持接地電壓 VSS。又，偶數屏蔽訊號 SHLDe、奇數屏蔽訊號 SHLDo、偶數位元線選擇訊號 BLSLTe、感測節點阻擋訊號 SOBLK 及位元線關閉訊號 BLSHF 改變至供應電壓 VDD。因此，將字線 WL<n-1:0>、位元線 BL0、BLe0 及 BLo0 以及感測節點 NSEN0 放電至接地電壓 VSS。

此外，將緩衝器選擇訊號 PBSLT 改變至接地電壓 VSS 以將位元線 BL0 與鎖存節點 NLAT 電絕緣。

緊接著執行 PROG7 間隔以感測（驗證）在記憶體單元 MCsel 中所程式化之資料。

在 PROG7 間隔期間所執行之操作幾乎相同於在先前所描述之讀取操作中所執行的操作。然而，PROG7 間隔與讀取模式的不同之處在於：將一預定驗證讀取電壓施加至

選定字線 $WLn-1$ ，且可省略頁緩衝器 $NWBUF0$ 之重設。因為在 $PROG7$ 間隔期間所執行之剩餘操作類似於讀取模式之操作，所以此處省略其詳細描述以避免冗餘。

緊接著執行 $PROG8$ 間隔，其中作出關於是否已在 $PROG7$ 間隔期間使用儲存於鎖存節點 $NLAT$ 上之資料正確地程式化了選定記憶體單元 $MCsel$ 的判定。

意即，在 $PROG8$ 間隔期間，若儲存於鎖存節點 $NLAT$ 上之資料為邏輯“H”，則將邏輯“L”狀態之資料輸出至全域輸出線 $GDOUT$ ，使得產生一通過訊號。此外，若儲存於鎖存節點 $NLAT$ 上之資料為邏輯“L”，則將邏輯“H”狀態之資料輸出至全域輸出線 $GDOUT$ ，使得產生一失敗訊號(fail signal)。

當在 $PROG8$ 間隔期間產生失敗訊號時，重複自 $PROG4$ 間隔至 $PROG8$ 間隔的程式循環。因此，當產生通過訊號時，完成程式模式。

以下參看圖 20 之時序圖來描述一擦除操作模式(擦除模式)的實例。

圖 20 為擦除模式時序圖，其展示圖 11 至 15 之實例中所說明之非揮發性記憶體裝置的各種訊號電壓及節點電壓。如前文所述，應在以下解釋中參看此等較早的圖。

為解釋之目的，將圖 20 之擦除模式時序圖分為 6 個間隔，意即：一擦除執行間隔(在下文中稱作“ERS1 間隔”)、一第一恢復間隔(在下文中稱作“ERS2 間隔”)、一第二恢復間隔(在下文中稱作“ERS3 間隔”)、一第一驗證讀取間

隔(在下文中稱作“ERS4 間隔”)、一第二驗證讀取間隔(在下文中稱作“ERS5 間隔”)及一 Y 掃描間隔(在下文中稱作“ERS6 間隔”)。

在 ERS1 間隔中，將一擦除電壓 V_{ERS} 施加至記憶體單元 MC 之主體，且將一第六電壓施加至選定字線以擦除來自相應記憶體單元之資料。在此實例中，擦除電壓 V_{ERS} 約為 20 V，且第六電壓約為 0.3 V (t_{E1})。此外，將未選定字線調整至一浮動狀態。此等未選定字線之電壓因與主體之耦合而接近於擦除電壓 V_{ERS} (t_{E2})。因此，在連接至未選定字線之記憶體單元中不執行擦除操作。

亦在 ERS1 間隔中，偶數屏蔽訊號 $SHLDe$ 、奇數屏蔽訊號 $SHLDo$ 、偶數位元線選擇訊號 $BLSLTe$ 及奇數位元線選擇訊號 $BLSLTo$ 改變至一電壓“ $V_{ERS}-V_{t2}$ ” (t_{E3} 至 t_{E6})，而感測節點阻擋訊號 $SOBLK$ 維持供應電壓 V_{DD} (t_{E7})。在此情況下，電壓“ V_{t2} ”表示高電壓 NMOS 電晶體之臨限電壓。在此實例中， V_{t2} 約為 1.3 V。

緊接著執行 ERS2 及 ERS3 間隔，其中控制記憶體單元 MC 之主體及位元線 $BL0$ 之電壓以感測儲存於選定記憶體單元中之資料。

意即，在 ERS2 間隔期間，將共同源極線 CSL 放電。更準確而言，ERS2 間隔為以下一時期：在此期間，將記憶體單元 MC 之主體浮動，且將在共同源極線 CSL 上所充電之電壓“ $V_{ERS}-V_t$ ”放電至接地電壓 V_{SS} 。

此外，在 ERS3 間隔期間，將主體以及位元線 $BL0$ 、

BL_e0 及 BL_o0 放電。意即，位元線電壓線 BLPWR 改變至接地電壓 VSS (tE8)，且偶數屏蔽訊號 SHLD_e、奇數屏蔽訊號 SHLD_o、偶數位元線選擇訊號 BLSLT_e 及奇數位元線選擇訊號 BLSLT_o 改變至供應電壓 VDD (tE9)。因此，將位元線 BL₀、BL_e0 及 BL_o0 放電至接地電壓 VSS。

緊接著執行 ERS4 間隔及 ERS5 間隔，其中設定鎖存節點 NLAT 以感測記憶體單元 MC 之任何未擦除資料。如此，記憶體單元 MC 中之資料經感測且儲存於鎖存節點 NLAT 上。

意即，在 ERS4 間隔期間，在將鎖存節點 NLAT 設定至邏輯“H”狀態之後，記憶體單元 MC 之連接至偶數位元線 BL_e0 且在 ERS1 間隔期間未被擦除的資料被感測。在 ERS4 間隔期間所執行之操作類似於在正常讀取模式中所執行的操作。然而，如先前結合讀取操作所描述，ERS4 間隔與正常讀取模式關於鎖存節點 NLAT 上所重設之值是不同的。意即，在正常讀取模式中，將鎖存節點 NLAT 重設至邏輯“L”狀態，而在 ERS4 間隔期間所執行的操作將鎖存節點 NLAT 重設至邏輯“H”狀態。

在 ERS4 間隔期間所執行的操作與正常讀取模式進一步的不同之處在於：在 ERS4 間隔期間，讀取資料之感測是藉由第二內部輸入線 nIDI₀ 之啟動來執行。在 ERS4 間隔期間所執行的剩餘操作緊密地類似於讀取模式中所執行的操作，且因此，此處省略其詳細描述以避免冗餘。

ERS5 間隔為以下一時期：在此期間感測記憶體單元

MC 中在 ERS1 間隔期間未被擦除之連接至奇數位元線 BLo0 的資料。在 ERS5 間隔期間所執行之操作與在 ERS4 間隔期間所執行之操作的不同之處在於：未執行鎖存節點 NLAT 的設定。在 ERS5 間隔期間所執行的剩餘操作緊密地類似於在 ERS4 間隔期間所執行的操作，且因此，此處省略其詳細描述以避免冗餘。

緊接著執行 ERS6 間隔，其中作出關於是否已使用在 ERS4 及 ERS5 間隔期間所感測之資料正確地執行了用於記憶體單元 MC 之擦除操作的判定。

若鎖存節點 NLAT 在 ERS6 間隔期間為邏輯“H”，則將邏輯“L”狀態之資料輸出至全域輸出線 GDOUT，使得產生一通過訊號。反之，若鎖存節點 NLAT 為邏輯“L”，則將邏輯“H”狀態之資料輸出至全域輸出線 GDOUT，使得產生一失敗訊號。

因此，當產生通過訊號時，完成擦除模式。

在 ERS6 間隔期間，當關於 ERS4 與 ERS5 間隔兩者將記憶體單元感測為 ON 單元時，鎖存節點 NLAT 維持邏輯“H”狀態。若偶數位元線 BLe0 連接至 OFF 單元(未擦除)，則將鎖存節點 NLAT 在 ERS4 間隔期間放電至接地電壓 VSS。因此，即使在 ERS5 間隔期間將一連接至奇數位元線 BLo0 之記憶體單元 MC 偵測為 ON 單元，鎖存節點 NLAT 上之資料亦為邏輯“L”。

同樣，當奇數位元線 BLo0 連接至 OFF 單元時，即使連接至偶數位元線 BLe0 之記憶體單元 MC 為 ON 單元，

鎖存節點 NLAT 上之資料在 ERS5 間隔期間亦變成邏輯“L”。

因此，僅當將偶數位元線 BLe0 與奇數位元線 BLo0 皆感測為連接至 ON 單元時，才產生通過訊號。

儘管已為說明性目的而揭露了本發明之較佳實施例，但是熟習此項技術者應瞭解，在不脫離本發明之範疇及精神的情況下，可作出各種修改、添加及替代。僅作為一實例，儘管本說明書中展示並描述了 NAND 型非揮發性半導體記憶體裝置，但是熟習此項技術者將顯而易見，亦可將本發明之技術精神應用於諸如 AND 型半導體記憶體裝置之其它類型的非揮發性半導體記憶體裝置。因此，本發明保護之技術範疇必須藉由附加申請專利範圍之技術精神來界定。在此方面，不將用語“連接至”（connected to）及類似的此等用語解譯為需要元件之間的直接連接。

【圖式簡單說明】

圖 1A 至 1C 分別為快閃記憶體單元、快閃記憶體單元之電路符號及快閃記憶體單元之臨限電壓特徵圖的示意圖。

圖 2 說明快閃記憶體單元之臨限電壓分佈。

圖 3A 與 3B 分別為 NAND 快閃記憶體單元區塊的示意圖與展示 NAND 快閃記憶體單元區塊之擦除、程式及讀取電壓的表。

圖 4 為用於解釋圖 3A 中所示之 NAND 快閃記憶體單元區塊之程式設計的圖。

圖 5 為用於解釋圖 3A 中所示之 NAND 快閃記憶體單元區塊之讀取的圖。

圖 6 為用於解釋圖 3A 中所示之 NAND 快閃記憶體單元區塊之擦除的圖。

圖 7 為記憶體區塊及頁緩衝器區塊的示意圖。

圖 8 為習知非揮發性記憶體裝置的示意圖。

圖 9 為圖 8 之非揮發性記憶體裝置中所含有之頁緩衝器及頁緩衝器解碼器的示意圖。

圖 10 為說明圖 8 之非揮發性記憶體裝置中所含有之頁緩衝器區塊內之頁緩衝器之布局的圖。

圖 11 為根據本發明之一實施例之非揮發性半導體記憶體裝置的方塊圖。

圖 12 為圖 11 之非揮發性記憶體中所含有之記憶體陣列之一實例的示意圖。

圖 13 為圖 11 之非揮發性記憶體中所含有之頁緩衝器區塊之一實例的圖。

圖 14 為圖 13 之頁緩衝器區塊中所含有之頁緩衝器之一實例的示意圖。

圖 15 為圖 11 之非揮發性記憶體中所含有之頁緩衝器解碼器之一實例的示意圖。

圖 16A 及 16B 為用於描述根據本發明之一實施例之非揮發性記憶體之讀取模式的流程圖。

圖 17 為用於描述根據本發明之一實施例之非揮發性記憶體之讀取模式的時序圖。

圖 18 為用於描述根據本發明之一實施例之非揮發性記憶體之程式設計模式的流程圖。

圖 19 為用於描述根據本發明之一實施例之非揮發性記憶體之程式設計模式的時序圖。

圖 20 為用於描述根據本發明之一實施例之非揮發性記憶體之擦除模式的時序圖。

【主要元件符號說明】

/BLDEC：區塊解碼訊號

/PLOAD：感測設定訊號

1：浮動閘極

1201、1203、1205：解碼器邏輯閘極

1206：反相器

1207：解碼器電晶體

2：控制閘極

3：基板

4：源極區域

5：汲極區域

6、STe0、STo0：串

7：記憶體區塊

810：鎖存單元

820：鎖存傳輸單元

820a、820b：鎖存傳輸電晶體

825：鎖存驅動單元

825a：鎖存驅動電晶體

830：感測回應單元

830a：感測回應電晶體

830b：輸出感測電晶體

840：輸出驅動單元

840a、840b：輸出驅動電晶體

850：緩衝器選擇單元

850a：緩衝器選擇電晶體

860：感測設定單元

860a：感測設定電晶體

870：位元線關閉單元

870a：位元線關閉電晶體

BL、B/L、BL_E、BL_O、BL0、BLe0、BLo0：位元

線

BLCONBK：位元線控制區塊

BLPWR：位元線電壓線

BLSHF：位元線關閉訊號

BLSLTe、BLSLTo：位元線選擇訊號

CMNLA、NLAT：鎖存節點

CMNLAn：反相鎖存節點

CSL：共同源極線

DI、nDI：資料輸入選擇訊號

GDB：全域資料匯流排

GDI、nGDI：全域輸入線

GDOUT：全域輸出線

GSL：接地選擇線

IDB：內部資料線

IDBC：共同內部資料線

IDI、nIDI：內部輸入線

IDOUT：內部輸出線

LCH：鎖存訊號

MCARR：記憶體單元陣列

N810a：節點

NSEN0、SON：感測節點

PB、NWBUF：頁緩衝器

PBB、NWPBB：頁緩衝器區塊

PBDE、NWDE：頁緩衝器解碼器

PBSLT：緩衝器選擇訊號

PBSLT：頁緩衝器選擇訊號

PLOAD：負載控制訊號

Psub：基板

RBIN1、RBIN2：緩衝器輸入路徑

READ1、READ2、READ3、READ4、READ5、READ6、

READ1a、READ1b、PROG1、PROG2、PROG3、PROG4、

PROG5、PROG6、PROG7、PROG8、ERS1、ERS2、ERS3、

ERS4、ERS5、ERS6：間隔

SHLDe、SHLDo：屏蔽訊號

SOBLK：感測節點阻擋訊號

SSL：串選擇線

tP4、tP7：時間

Vcg：控制閘極電壓

Vd：汲極電壓

VDD：供應電壓

Verase、Vers：擦除電壓

Vpass：通過電壓

Vpgm：程式設計電壓

Vread：讀取電壓

VREF1：第一參考電位

Vs：源極電壓

VSS：接地電壓

Vth：臨限電壓

WL、W/L、WL<n-1：0>：字線

Ya、Yb：y 位址線

Yp、Yq、Yr：y 位址訊號線

五、中文發明摘要：

在一態樣中，本發明提供一種非揮發性記憶體裝置，其在一程式設計模式及一讀取模式中可操作。該記憶體裝置包括一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線。該記憶體裝置更包括：一內部資料輸出線，其用於輸出自該記憶體陣列之該等位元線所讀取之資料；及一頁緩衝器，其操作性地連接於該記憶體單元陣列之一位元線與該內部資料輸出線之間。該頁緩衝器包括：一感測節點，其選擇性地連接至該位元線；一鎖存電路，其具有一選擇性地連接至該感測節點之鎖存節點；一鎖存輸入路徑，其在該程式設計模式及該讀取模式中設定該鎖存節點之一邏輯電壓；及一鎖存輸出路徑，其與該鎖存輸入路徑分離，且根據該鎖存節點之該邏輯電壓來設定該內部資料輸出線之一邏輯電壓。

六、英文發明摘要：

In one aspect, a non-volatile memory device is provided which is operable in a programming mode and a read mode. The memory device includes a memory cell array which includes a plurality of non-volatile memory cells, a plurality of word lines, and a plurality of bit lines. The memory device further includes an internal data output line for outputting data read from the bit lines of the memory array, and a page buffer operatively connected between a bit line of the memory cell array and the internal data output line. The page buffer includes a sense node which is selectively connected to the bit line, a latch circuit having a latch node which is selectively connected to the sense node, a latch input path which sets a logic voltage of the latch node in the programming mode and the read mode, and a latch output path which is separate from the latch input path and which sets as logic voltage of the internal data output line according to the logic voltage of the latch node.

十、申請專利範圍：

1.一種在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線；

一內部資料輸出線，其用於輸出自前述記憶體陣列之前述位元線所讀取之資料；以及

一頁緩衝器，其操作性地連接於前述記憶體單元陣列之一位元線與前述內部資料輸出線之間，其中前述頁緩衝器包含：一感測節點，其選擇性地連接至前述位元線；一鎖存電路，其具有一選擇性地連接至前述感測節點之鎖存節點；一鎖存輸入路徑，其設定前述鎖存節點之一邏輯電壓；以及一鎖存輸出路徑，其與前述鎖存輸入路徑分離，且根據前述鎖存節點之前述邏輯電壓來設定前述內部資料輸出線之一邏輯電壓。

2.如申請專利範圍第 1 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述內部資料輸出線與前述鎖存節點電絕緣。

3.如申請專利範圍第 2 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述內部資料輸出線根據前述鎖存節點之前述邏輯電壓而選擇性地連接至一第一參考電位。

4.如申請專利範圍第 3 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，更包含一串聯連

接於前述第一參考電位與前述內部資料輸出線之間的第一電晶體，其中前述第一電晶體之一閘極連接至前述鎖存節點。

5.如申請專利範圍第 4 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，更包含一串聯連接於前述第一電晶體與前述內部資料輸出線之間的第二電晶體。

6.如申請專利範圍第 5 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，更包含一全域資料匯流排，其中前述內部資料輸出線經由一第三電晶體而選擇性地連接至一全域資料匯流排。

7.如申請專利範圍第 6 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述第二及第三電晶體之個別導電狀態是藉由位元線位址訊號來控制。

8.如申請專利範圍第 4 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述鎖存輸入路徑是藉由一串聯連接於前述鎖存節點與一第二參考電位之間的第二電晶體來至少部分地界定。

9.如申請專利範圍第 8 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述第二電晶體之一導電狀態是藉由一資料輸入訊號來控制。

10.如申請專利範圍第 9 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述資料

輸入訊號為一內部資料輸入訊號，且其中前述記憶體裝置更包含一解碼器電路，前述解碼器電路接收一位元線位址訊號及一外部資料輸入訊號，且輸出前述內部資料輸入訊號。

11.如申請專利範圍第 10 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，更包含一全域資料匯流排，其中前述內部資料輸出線經由一第三電晶體而選擇性地連接至一全域資料匯流排。

12.如申請專利範圍第 11 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述第三電晶體之一導電狀態是藉由前述解碼器電路之一輸出來控制。

13.如申請專利範圍第 10 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述內部資料輸入訊號是藉由前述解碼器電路而在一內部資料輸入線上輸出，且其中內部資料輸入線與前述內部資料輸出線電絕緣。

14.如申請專利範圍第 1 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述非揮發性記憶體單元為快閃記憶體單元。

15.如申請專利範圍第 1 項所述之在程式設計模式及讀取模式中可操作之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

16.一種非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元；

一頁緩衝器，其包括一鎖存電路，前述鎖存電路用於臨時儲存自前述記憶體單元陣列之前述非揮發性記憶體單元所讀取及被程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中之資料；

一內部資料輸出線，其輸出自前述記憶體單元陣列所讀取及臨時儲存於前述頁緩衝器中之資料；以及

一鎖存輸入路徑，其與前述內部資料輸出線分離，且當資料待程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中時及當資料是自前述記憶體單元陣列之前述非揮發性記憶體單元來讀取時，前述鎖存輸入路徑設定前述鎖存電路。

17.如申請專利範圍第 16 項所述之非揮發性記憶體裝置，其中前述鎖存輸入路徑與前述內部資料輸出線電絕緣。

18.如申請專利範圍第 16 項所述之非揮發性記憶體裝置，其中前述內部資料輸出線根據前述鎖存電路之一電壓而選擇性地連接至一第一參考電位。

19.如申請專利範圍第 18 項所述之非揮發性記憶體裝置，更包含一全域資料匯流排，其中前述內部資料輸出線根據一位址訊號而選擇性地連接至前述全域資料匯流排。

20.如申請專利範圍第 19 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列包含多個位元線，且其中前述位址訊號為一位元線位址訊號。

21.如申請專利範圍第 20 項所述之非揮發性記憶體裝

置，更包含一解碼器電路，前述解碼器電路接收前述位元線位址訊號，且控制前述全域資料匯流排至前述內部資料輸出線之前述選擇性連接。

22.如申請專利範圍第 21 項所述之非揮發性記憶體裝置，其中前述解碼器電路更接收一外部資料輸入訊號，且輸出一內部資料輸入訊號，且其中前述鎖存輸入路徑是藉由前述內部資料輸入訊號來控制。

23.如申請專利範圍第 16 項所述之非揮發性記憶體裝置，其中前述非揮發性記憶體單元為快閃記憶體單元。

24.如申請專利範圍第 16 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

25.一種非揮發性記憶體裝置，包含：

- 一記憶體單元陣列，其包括多個非揮發性記憶體單元；
- 一輸入資料匯流排，其輸入待程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中的資料；

- 一輸出資料匯流排，其與前述輸入資料匯流排分離，且輸出自前述記憶體單元陣列之前述非揮發性記憶體單元所讀取之資料；

- 一鎖存電路，其用於臨時儲存自前述記憶體單元陣列之前述非揮發性記憶體單元所讀取及被程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中之資料；

- 一內部資料輸出線，其連接至前述輸出資料匯流排；

- 一鎖存輸入路徑，其連接至前述輸入資料匯流排，當

資料待程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中時，前述鎖存輸入路徑設定前述鎖存電路；以及一輸出驅動電路，其將臨時儲存於前述鎖存電路中之讀取資料轉移至前述內部資料輸出線。

26.如申請專利範圍第 25 項所述之非揮發性記憶體裝置，其中前述輸出驅動電路包括一藉由前述鎖存電路之一鎖存節點而被閘控之開關電路。

27.如申請專利範圍第 26 項所述之非揮發性記憶體裝置，其中前述鎖存輸入路徑是藉由一內部資料輸入線之內部資料輸入訊號來控制，且其中前述內部資料輸入線與前述內部資料輸出線電絕緣。

28.如申請專利範圍第 25 項所述之非揮發性記憶體裝置，其中前述記憶體單元為快閃記憶體單元。

29.如申請專利範圍第 25 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

30.一種非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線；

一內部資料輸出線；以及

多個頁緩衝器，其連接至前述記憶體單元陣列及前述內部資料輸出線，其中前述多個頁緩衝器相繼地排列以界定多個並列之頁緩衝器，且其中前述頁緩衝器之每一者包括：一鎖存電路，其臨時儲存自前述記憶體單元陣列所讀

取之資料；及一位址閘極，其連接於前述鎖存電路與前述內部資料輸出線之間，且其中前述位址閘極回應於一位址訊號以選擇性地將來自每一頁緩衝器之前述鎖存電路之前述資料輸出至前述內部資料輸出線。

31.如申請專利範圍第 30 項所述之非揮發性記憶體裝置，其中頁緩衝器區域在一給定方向中相繼地並列，且其中前述內部資料輸出線在前述給定方向中縱向地延伸。

32.如申請專利範圍第 31 項所述之非揮發性記憶體裝置，其中前述位元線在前述給定方向中縱向地延伸。

33.如申請專利範圍第 31 項所述之非揮發性記憶體裝置，其中前述位址訊號被直接施加至前述頁緩衝器之前述位址閘極。

34.如申請專利範圍第 31 項所述之非揮發性記憶體裝置，更包含連接至前述頁緩衝器之多個內部資料輸入線，其中前述內部資料輸入線與前述內部資料輸出線電絕緣。

35.如申請專利範圍第 31 項所述之非揮發性記憶體裝置，其中前述記憶體單元為快閃記憶體單元。

36.如申請專利範圍第 31 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

37. 一種非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線，其中前述多個位元線在第一方向中縱向地延伸；

一共用內部資料輸出線，其輸出自前述記憶體單元陣列所讀取之資料；以及

多個頁緩衝器，其各操作性地連接於前述記憶體單元陣列與前述共用內部資料輸出線之間，

其中前述多個頁緩衝器相繼地排列以界定在一第一方向中並列之相應多個頁緩衝器區域，且其中前述內部資料輸出線在鄰近於前述多個頁緩衝器之前述第一方向中縱向地延伸。

38.如申請專利範圍第 37 項所述之非揮發性記憶體裝置，更包含一解碼器電路，前述解碼器電路連接至前述多個內部資料輸入線及前述共用內部資料輸出線。

39.如申請專利範圍第 38 項所述之非揮發性記憶體裝置，其中前述解碼器電路接收一位址訊號及一資料輸入訊號，且根據前述位址訊號及前述資料輸入訊號而輸出前述多個內部資料輸入線上之內部輸入資料。

40.如申請專利範圍第 39 項所述之非揮發性記憶體裝置，其中前述解碼器電路根據前述位址訊號而選擇性地將前述共用內部資料輸出線連接至一全域輸出線。

41.如申請專利範圍第 37 項所述之非揮發性記憶體裝置，其中前述記憶體單元為快閃記憶體單元。

42.如申請專利範圍第 37 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

43.一種非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元；

一頁緩衝器，其包括一區域資料輸入線及一鎖存電路，其中前述鎖存電路回應於前述區域資料輸入線以臨時儲存自前述記憶體單元陣列之前述非揮發性記憶體單元所讀取及被程式化至前述記憶體單元陣列之前述非揮發性記憶體單元中之資料；

一全域資料輸入線，其供應外部輸入訊號，其中前述外部輸入訊號包括用以程式化前述記憶體單元陣列之程式設計訊號及用以讀取前述記憶體單元陣列之控制訊號；以及

一閘極電路，其根據一被供應至前述閘極電路之位址訊號而選擇性地將前述外部輸入訊號輸出至前述區域資料輸入線。

44.如申請專利範圍第 43 項所述之非揮發性記憶體裝置，其中前述區域資料輸入線控制前述頁緩衝器之前述鎖存電路之一鎖存狀態。

45.如申請專利範圍第 44 項所述之非揮發性記憶體裝置，其中前述區域資料輸入線包括：一第一區域輸入線，其連接至一串聯連接於前述鎖存電路之一第一鎖存節點與一參考電位之間之第一電晶體的閘極；及一第二區域輸入線，其連接至一串聯連接於前述鎖存電路之一第二鎖存節點與前述參考電位之間之第二電晶體的閘極。

46.如申請專利範圍第 45 項所述之非揮發性記憶體裝置，更包含一第三電晶體，前述第三電晶體串聯連接於前

述參考電位與前述第一及第二電晶體之每一者之間，其中前述第三電晶體之閘極連接至一第一位址訊號線。

47.如申請專利範圍第 46 項所述之非揮發性記憶體裝置，其中前述閘極電路形成一連接至一第二位址訊號線之解碼器電路的一部分。

48.如申請專利範圍第 44 項所述之非揮發性記憶體裝置，其中前述記憶體單元為快閃記憶體單元。

49.如申請專利範圍第 44 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

50.一種非揮發性記憶體裝置，包含：

一記憶體單元陣列，其包括多個非揮發性記憶體單元、多個字線及多個位元線；

一內部資料輸出線，其輸出自前述記憶體單元陣列所讀取之資料；

多個頁緩衝器，其各操作性地連接於前述記憶體單元陣列與前述內部資料輸出線之間；以及

多個位址線，其操作性地連接至前述多個頁緩衝器之至少一閘極電路。

51.如申請專利範圍第 50 項所述之非揮發性記憶體裝置，其中前述至少一閘極電路包括一第一位址閘極，且其中前述頁緩衝器之每一者包括：一鎖存電路，其臨時儲存自前述記憶體單元陣列所讀取之資料；及一位址閘極，其連接於一第一參考電壓與前述內部資料輸出線之間，且其

中經由每一頁緩衝器延伸之前述位址線連接至前述每一頁緩衝器之前述第一位址閘極。

52.如申請專利範圍第 51 項所述之非揮發性記憶體裝置，其中前述至少一閘極電路更包括一連接於前述鎖存電路與一第二參考電位之間的第二位址閘極，其中經由每一頁緩衝器延伸之前述位址線更連接至前述每一頁緩衝器之前述第二位址閘極。

53.如申請專利範圍第 50 項所述之非揮發性記憶體裝置，其中前述頁緩衝器相繼地排列以界定在一第一方向中並列之相應多個頁緩衝器區域，且其中前述多個位址線在一垂直於前述第一方向之第二方向中縱向地延伸。

54.如申請專利範圍第 53 項所述之非揮發性記憶體裝置，其中前述多個頁緩衝器界定一第一頁緩衝器區塊，且其中前述記憶體裝置更包含一在前述第二方向中鄰近於前述第一頁緩衝器區塊之第二頁緩衝器區塊，且其中前述多個位址線更延伸越過且連接至前述第二頁緩衝器區塊之第二多個頁緩衝器之一個別閘極電路。

55.如申請專利範圍第 54 項所述之非揮發性記憶體裝置，其中前述內部資料輸出線在前述第一方向中縱向地延伸。

56.如申請專利範圍第 55 項所述之非揮發性記憶體裝置，更包含一第二內部資料輸出線，前述第二內部資料輸出線在鄰近於前述第二頁緩衝器區塊之前述第一方向中縱向地延伸。

57.如申請專利範圍第 50 項所述之非揮發性記憶體裝置，其中前述記憶體單元為快閃記憶體單元。

58.如申請專利範圍第 50 項所述之非揮發性記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

59.一種用於非揮發性記憶體裝置之頁緩衝器，前述頁緩衝器包含：一鎖存電路，其包括一鎖存節點；一內部資料輸入線，其控制前述鎖存節點之一電壓；一內部資料輸出線，其與前述鎖存節點電絕緣；以及一輸出驅動電路，其根據前述鎖存節點之前述電壓而控制前述內部資料輸出線之一電壓。

60.如申請專利範圍第 59 項所述之用於非揮發性記憶體裝置之頁緩衝器，其中前述輸出驅動電路根據前述鎖存節點之一電壓而選擇性地將前述內部資料輸出線連接至前述第一參考電位。

61.如申請專利範圍第 59 項所述之用於非揮發性記憶體裝置之頁緩衝器，更包含至少一電晶體，前述至少一電晶體串聯連接於前述鎖存節點與前述第二參考電位之間，且包括一連接至前述內部資料輸入線的閘極。

62.如申請專利範圍第 61 項所述之用於非揮發性記憶體裝置之頁緩衝器，其中前述至少一電晶體包括串聯連接於前述鎖存節點與前述第二參考電位之間的一第一電晶體及一第二電晶體，其中前述第一電晶體之一導電狀態是藉由前述內部資料輸入線來控制，且其中前述第二電晶體之

一導電狀態是藉由一位址線來控制。

63.一種非揮發性半導體記憶體裝置，包含：

一記憶體單元陣列，其具有多個電可程式且可擦除記憶體單元、多個字線及多個位元線；以及

至少一頁緩衝器區塊，其包括多個頁緩衝器及一內部資料輸出線，前述頁緩衝器分別連接至前述位元線且各回應於多個緩衝器選擇位址之至少一者而被啟用，前述頁緩衝器各將對應於其一位元線上之資料的資料儲存至其一鎖存節點上，前述內部資料輸出線共用於前述多個頁緩衝器之間且是藉由一啟用之頁緩衝器之一鎖存節點上之資料來驅動，前述內部資料輸出線與前述頁緩衝器之鎖存節點電絕緣。

64.如申請專利範圍第 63 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者包含：

一鎖存單元，其具有前述鎖存節點；以及

一輸出驅動單元，其回應於前述緩衝器選擇位址之前述至少一者而被啟用，前述輸出驅動單元驅動前述內部資料輸出線以對應於儲存於前述鎖存節點上之資料。

65.如申請專利範圍第 64 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含：

第一及第二內部資料輸入線；以及

一鎖存傳輸單元，其包括分別被閘控至前述第一及第二內部資料輸入線的第一及第二鎖存傳輸電晶體，其中前述第一及第二鎖存傳輸電晶體回應於前述第一及第二內部

資料輸入線以設定前述頁緩衝器之前述鎖存節點及一反相鎖存節點的個別電壓。

66.如申請專利範圍第 65 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含一鎖存驅動單元，前述鎖存驅動單元回應於前述緩衝器選擇位址而被閘控，且經調適成經由一預定緩衝器輸入路徑而將一獨立於外部施加之資料的鎖存驅動電壓提供至前述鎖存傳輸單元，其中前述緩衝器輸入路徑與前述內部資料輸出線電絕緣。

67.如申請專利範圍第 66 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含一感測回應單元，前述感測回應單元回應於前述位元線上之資料而將一預定感測回應電壓提供至前述鎖存傳輸單元，其中前述感測回應電壓足以引起儲存於前述鎖存節點上之資料的翻轉（flipping）。

68.如申請專利範圍第 67 項所述之非揮發性半導體記憶體裝置，其中前述鎖存傳輸單元包含：

一第一鎖存傳輸電晶體，其回應於前述第一內部資料輸入線上之前述資料而選擇性地將前述鎖存驅動電壓或前述感測回應電壓提供至前述鎖存單元；以及

一第二鎖存傳輸電晶體，其回應於前述第二內部資料輸入線上之資料而選擇性地將前述鎖存驅動電壓或前述感測回應電壓提供至前述鎖存單元。

69.如申請專利範圍第 68 項所述之非揮發性半導體記

憶體裝置，其中前述感測回應單元包含：

一感測回應電晶體，其回應於前述位元線上之前述資料而被閘控；以及

一輸出感測電晶體，其與前述感測回應電晶體串聯連接，其中前述輸出感測電晶體回應於一用於選擇前述頁緩衝器之讀取鎖存訊號而控制對應於前述位元線上之前述資料的待儲存於前述鎖存節點上之資料。

70.如申請專利範圍第 68 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含：

一感測節點，其連接至前述位元線，前述感測節點將對應於前述位元線上之前述資料的資料提供至前述感測回應單元；以及

一感測設定單元，其用於將前述感測節點調整至一設定電壓。

71.如申請專利範圍第 70 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含一位元線關閉單元，前述位元線關閉單元用於控制前述位元線至前述感測節點之連接。

72.如申請專利範圍第 71 項所述之非揮發性半導體記憶體裝置，其中前述位元線關閉單元包含一位元線關閉電晶體，前述位元線關閉電晶體回應於一位元線關閉訊號而被閘控以將前述位元線與前述感測節點相連接。

73.如申請專利範圍第 72 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器之每一者更包含一緩衝器選

擇單元，前述緩衝器選擇單元控制前述鎖存節點與前述感測節點之連接。

74.如申請專利範圍第 73 項所述之非揮發性半導體記憶體裝置，其中前述緩衝器選擇單元包含一緩衝器選擇電晶體，前述緩衝器選擇電晶體回應於一頁緩衝器選擇訊號而被閘控以控制前述鎖存節點與前述感測節點之連接。

75.如申請專利範圍第 63 項所述之非揮發性半導體記憶體裝置，其中包括在相同頁緩衝器區塊中之前述多個頁緩衝器於一第一方向中並列，且其中前述內部資料輸出線在前述第一方向中縱向地延伸。

76.如申請專利範圍第 63 項所述之非揮發性半導體記憶體裝置，更包含：

一第一全域輸入線；

一第二全域輸入線，其在一給定操作間隔期間具有一與前述第一全域輸入線之邏輯狀態相反的邏輯狀態；以及

一頁緩衝器解碼器，其回應於一主選擇位址及一子選擇位址而被啟用，其中前述頁緩衝器解碼器在被啟用時分別將對應於前述第一及第二全域輸入線上之前述資料的資料提供至前述第一及第二內部資料輸入線。

77.如申請專利範圍第 76 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器解碼器包含：

一第一解碼器邏輯閘極，其在前述主選擇位址及前述子選擇位址上執行一邏輯操作，且當前述主選擇位址與前述子選擇位址皆有效時，前述第一解碼器邏輯閘極輸出一

有效之區塊解碼訊號；

一第二解碼器邏輯閘極，其回應於前述區塊解碼訊號而被啟用，且經調適成回應於前述第一全域輸入線上之資料而將邏輯操作結果提供至前述第一內部資料輸入線；以及

一第三解碼器邏輯閘極，其回應於前述區塊解碼訊號而被啟用，且經調適成回應於前述第二全域輸入線上之資料而將邏輯操作結果提供至前述第二內部資料輸入線。

78.如申請專利範圍第 77 項所述之非揮發性半導體記憶體裝置，其中前述第一解碼器邏輯閘極為一 NAND 閘極，且前述第二及第三解碼器邏輯閘極為 NOR 閘極。

79.如申請專利範圍第 63 項所述之非揮發性半導體記憶體裝置，更包含：

一全域輸出線；以及

一頁緩衝器解碼器，其回應於一主選擇位址及一子選擇位址而被啟用，其中前述頁緩衝器解碼器在被啟用時將前述內部資料輸出線上之資料提供至前述全域輸出線。

80.如申請專利範圍第 79 項所述之非揮發性半導體記憶體裝置，其中前述頁緩衝器解碼器包含：

一第一解碼器邏輯閘極，其用於在前述主選擇位址及前述子選擇位址上執行一邏輯操作，且當前述主選擇位址與前述子選擇位址皆有效時，前述第一解碼器邏輯閘極輸出一有效之區塊解碼訊號；以及

一解碼器電晶體，其用於回應於前述區塊解碼訊號而

將前述內部資料輸出線上之資料提供至前述全域輸出線。

81.如申請專利範圍第 63 項所述之非揮發性半導體記憶體裝置，其中前述記憶體單元陣列為一 NAND 型快閃記憶體單元陣列。

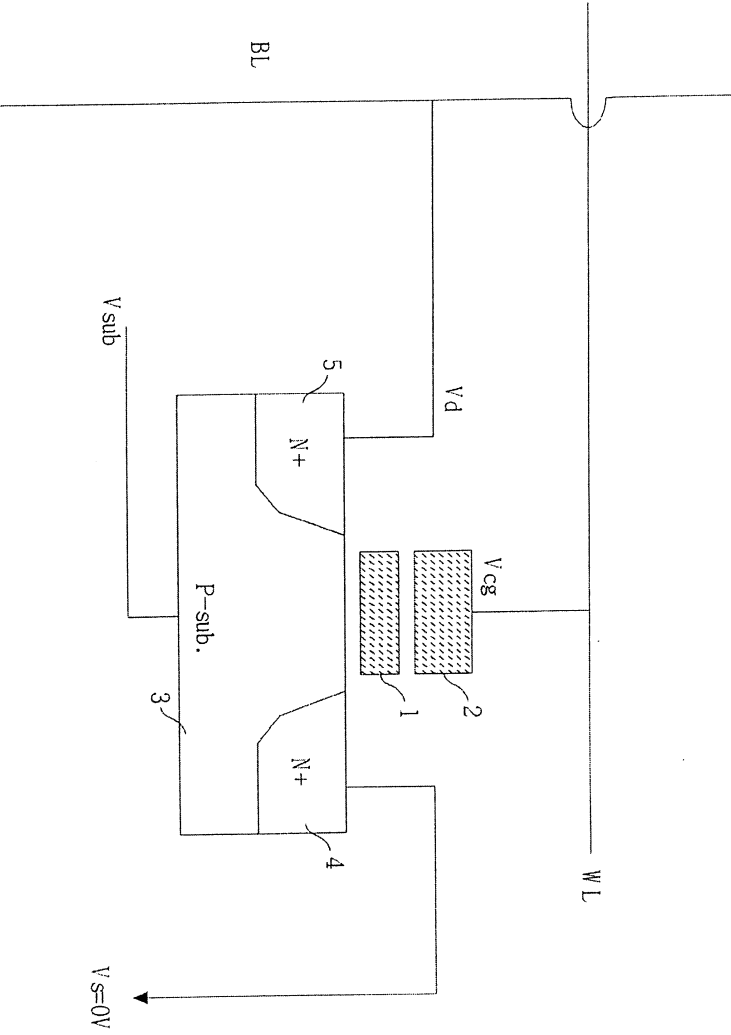
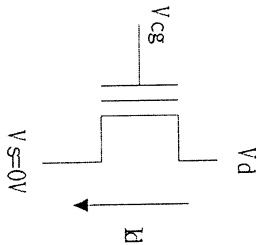


圖 1A

圖 1B



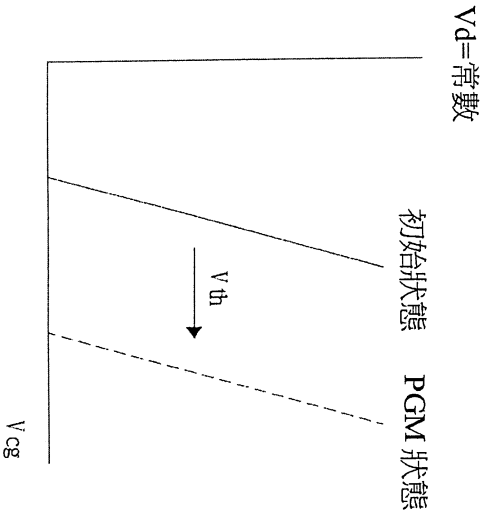


圖 1C

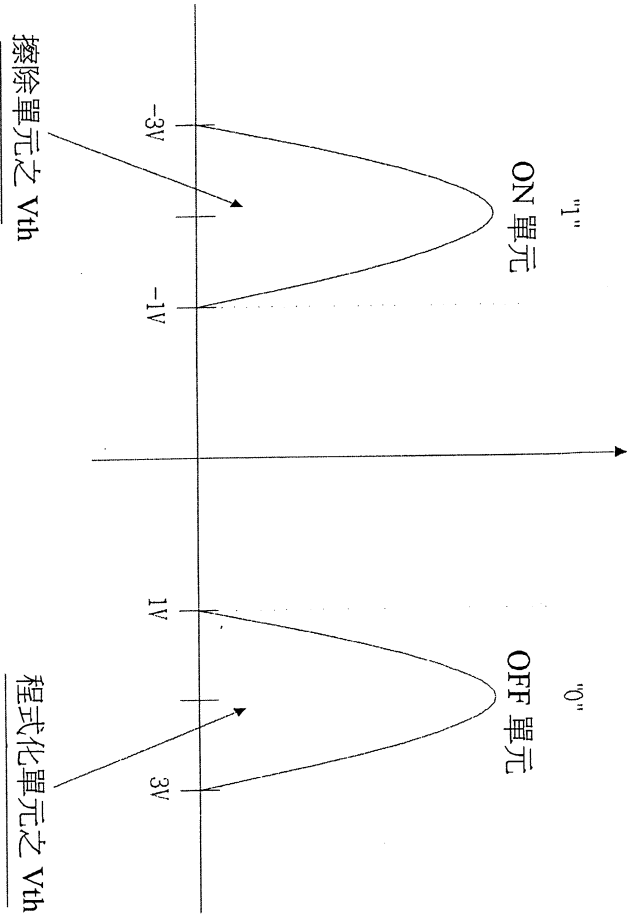


圖 2

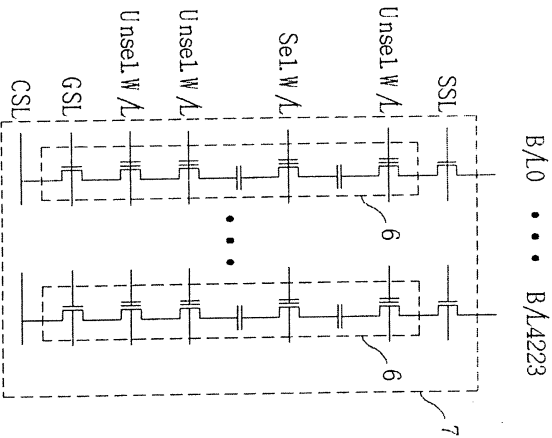


圖 3A

	擦除	程式	讀取
Sel W/L	0	V _{pgm}	0
Unsel W/L	浮動	V _{pass}	V _{READ}
SSL	浮動	V _{cc}	V _{READ}
GSL	浮動	0	V _{READ}
CSL	浮動	1.5	0
"0" B/L	浮動	0(程式)	1.2
"1" B/L	浮動	V _{cc} (抑制)	<0.8
Bulk	V _{erase}	0	0

單元 V_{th} -1 ~ -3V "ON"

1 ~ 3V "OFF"

圖 3B

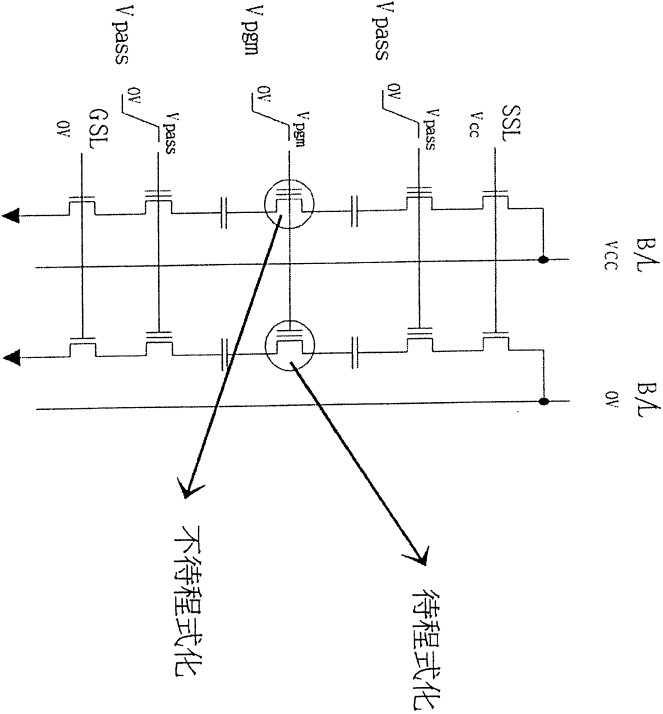


圖 4

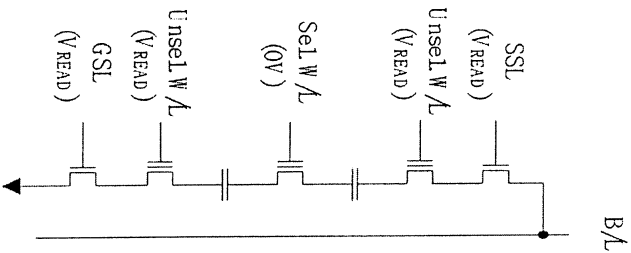


圖 5

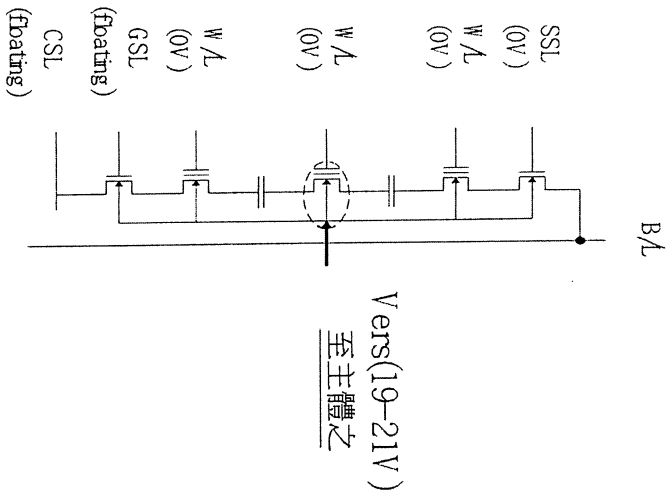


圖 6

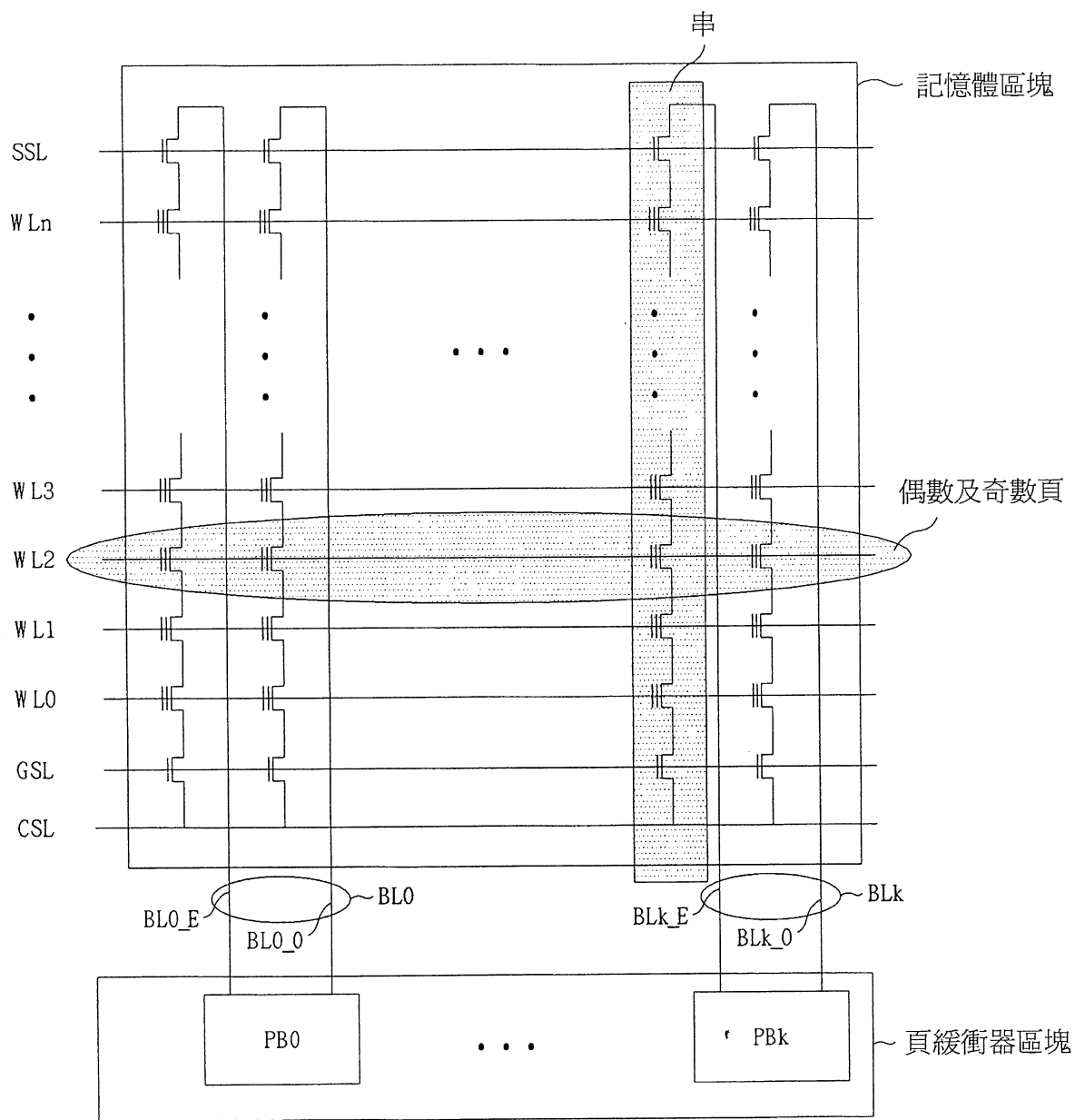


圖 7

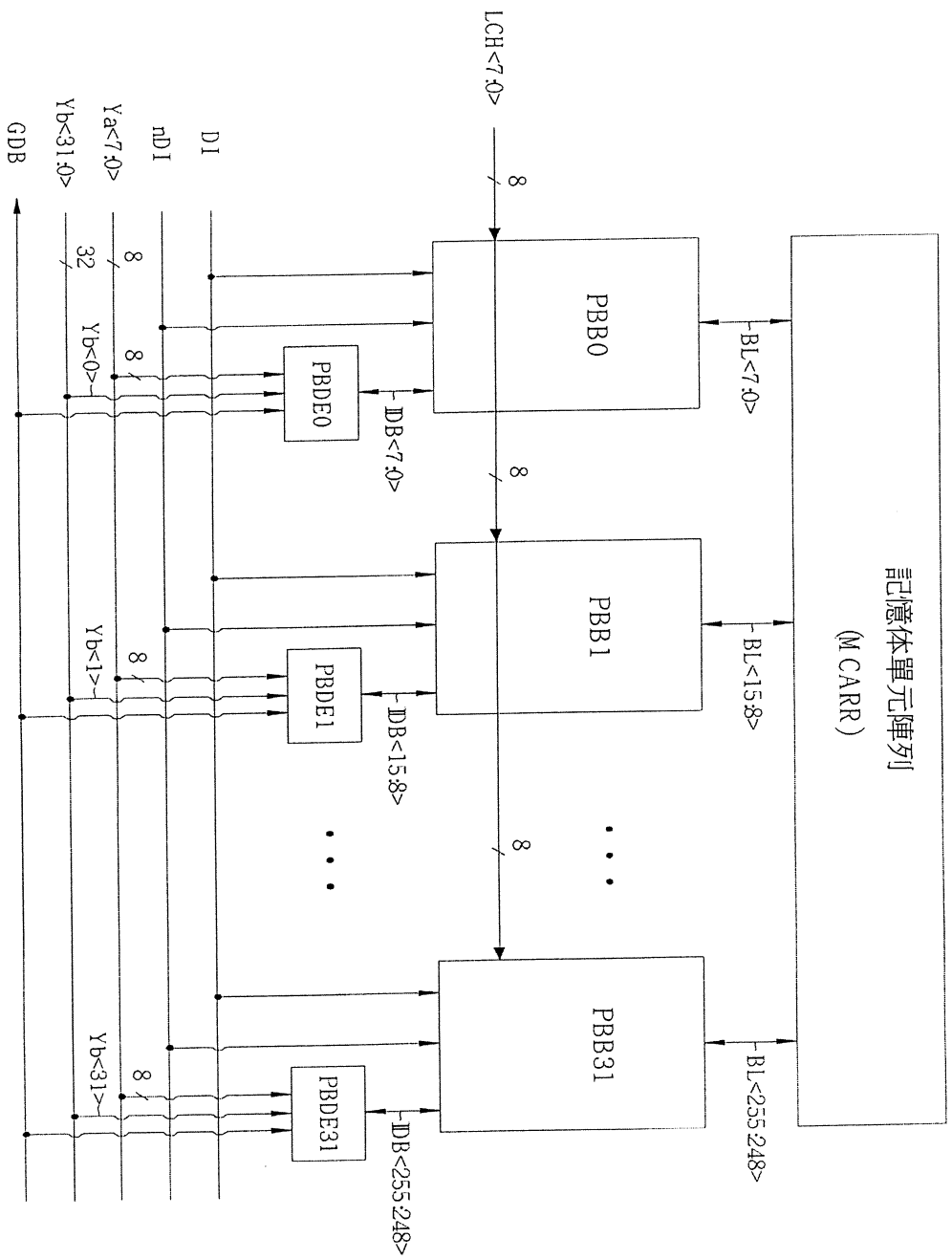


圖 8

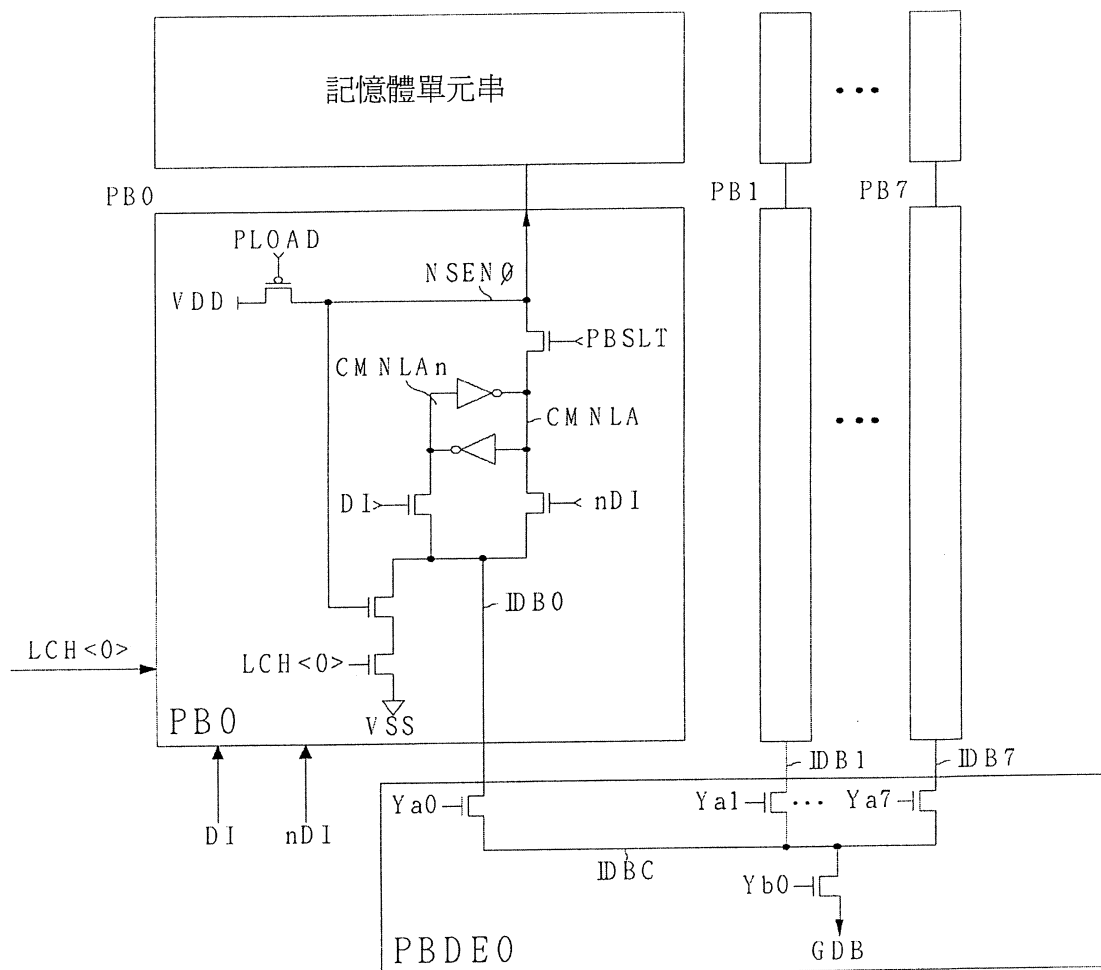


圖 9

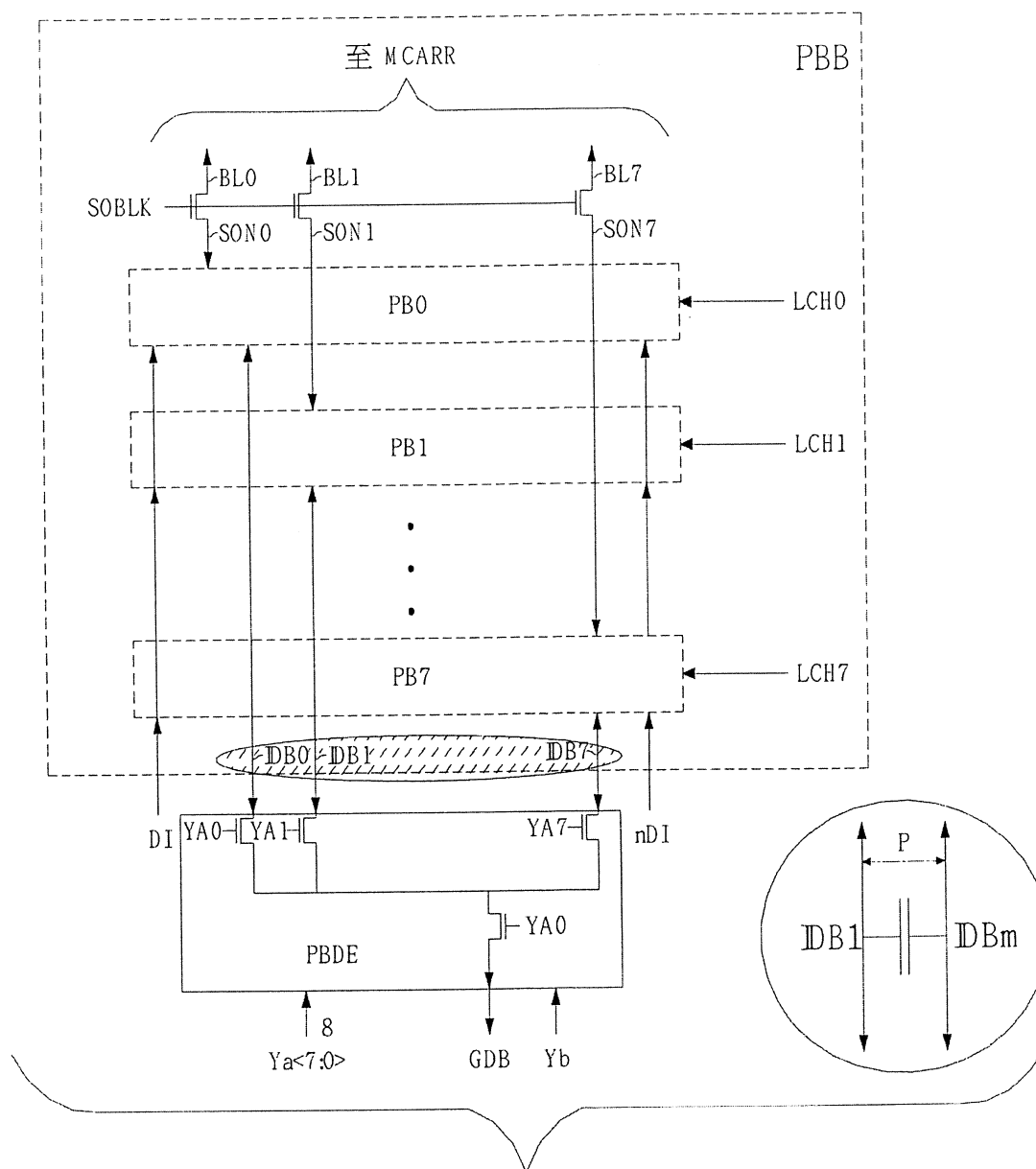


圖 10

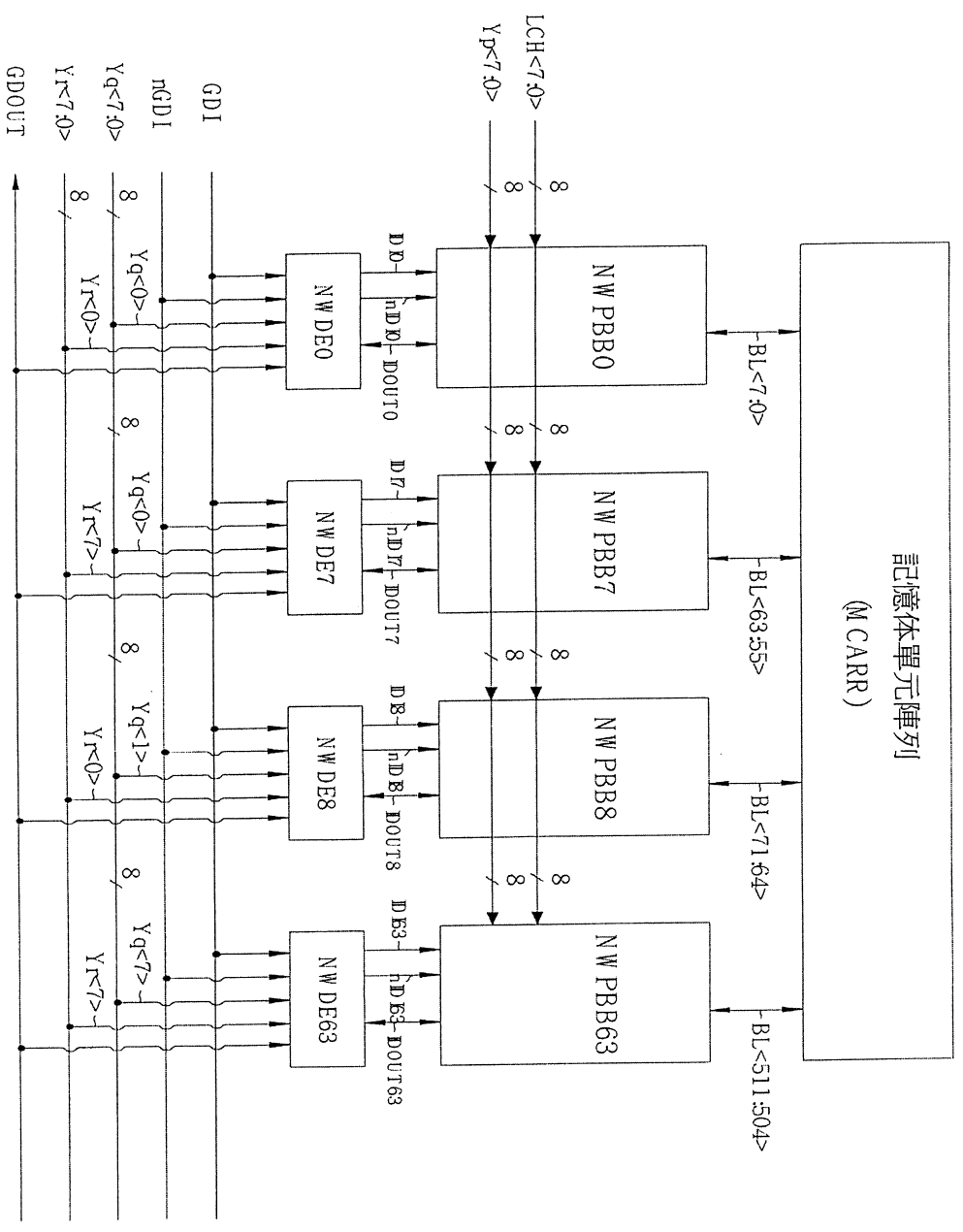


圖 11

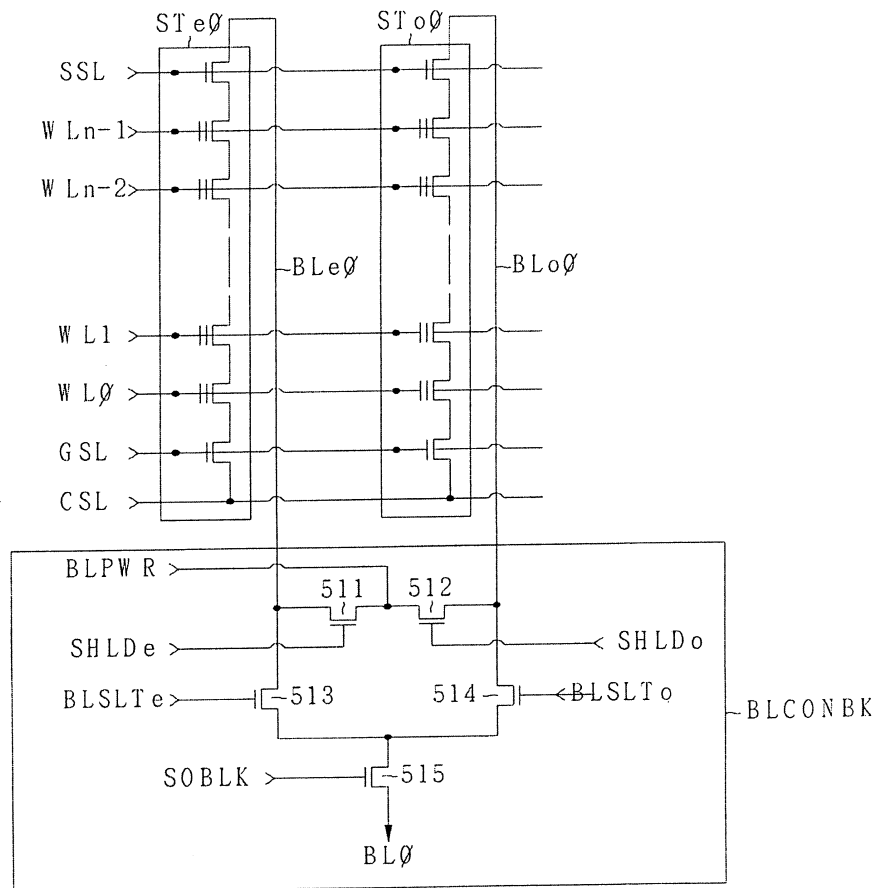


圖 12

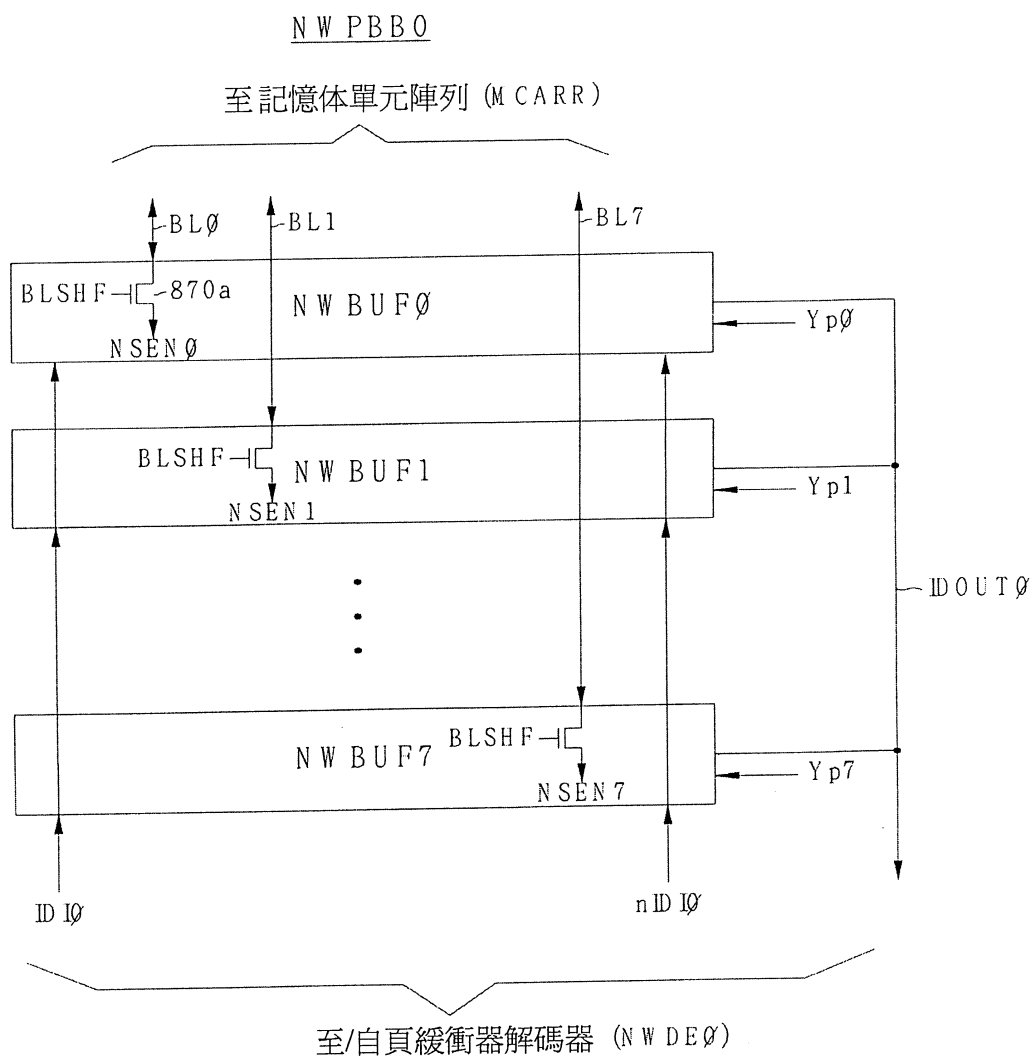


圖 13

NW BUF0

至記憶体單元陣列 (MCARR)

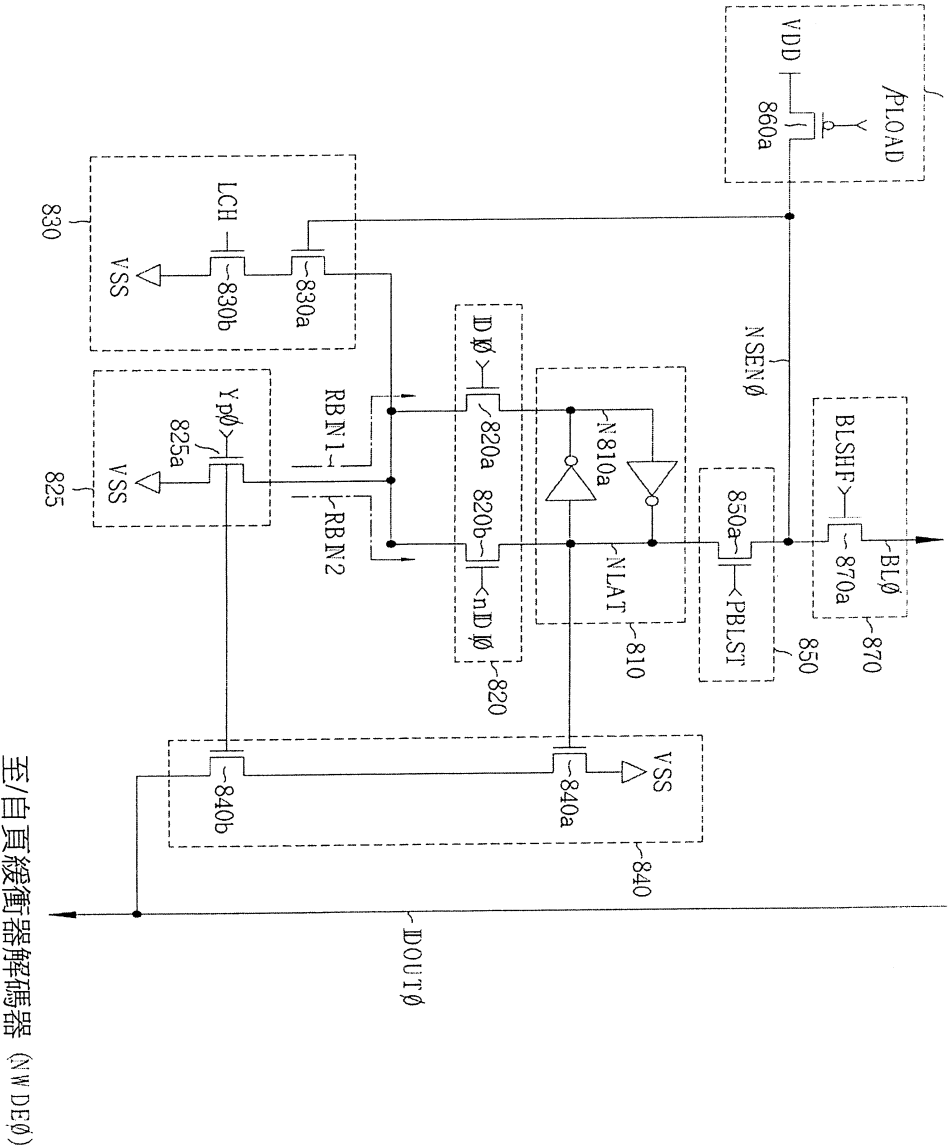


圖 14

至/自頁緩衝器解碼器 (NW DE0)

NWDE0

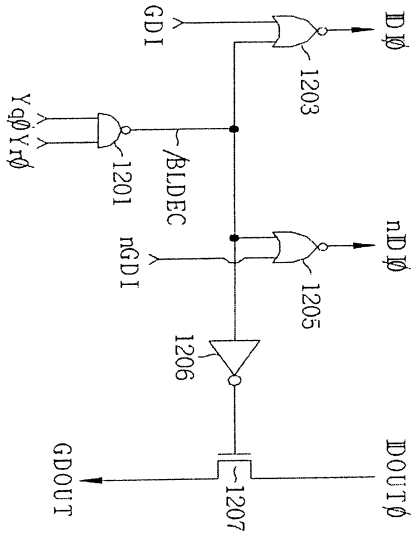


圖 15

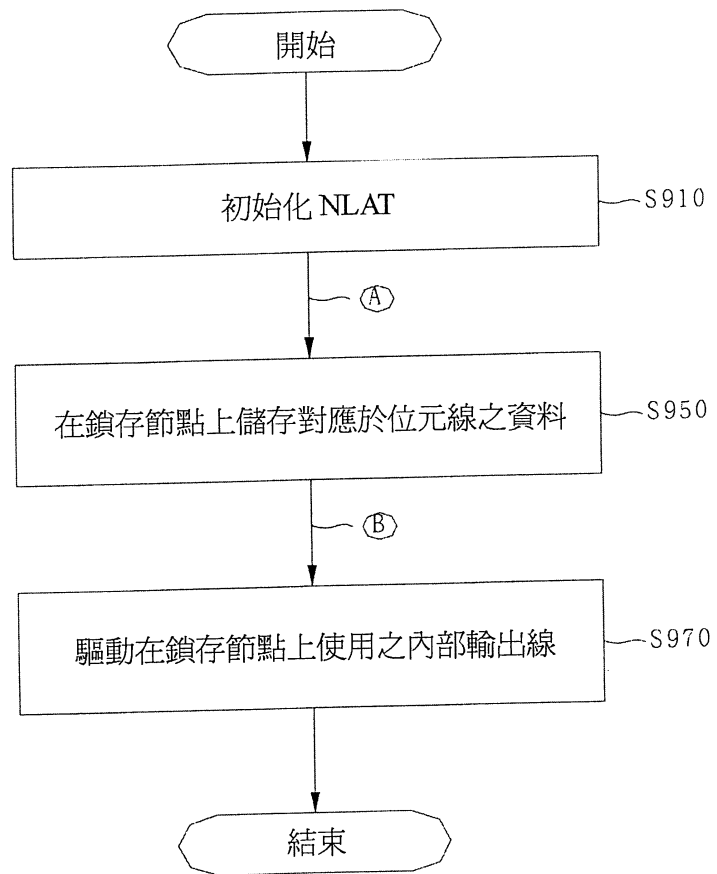


圖 16A

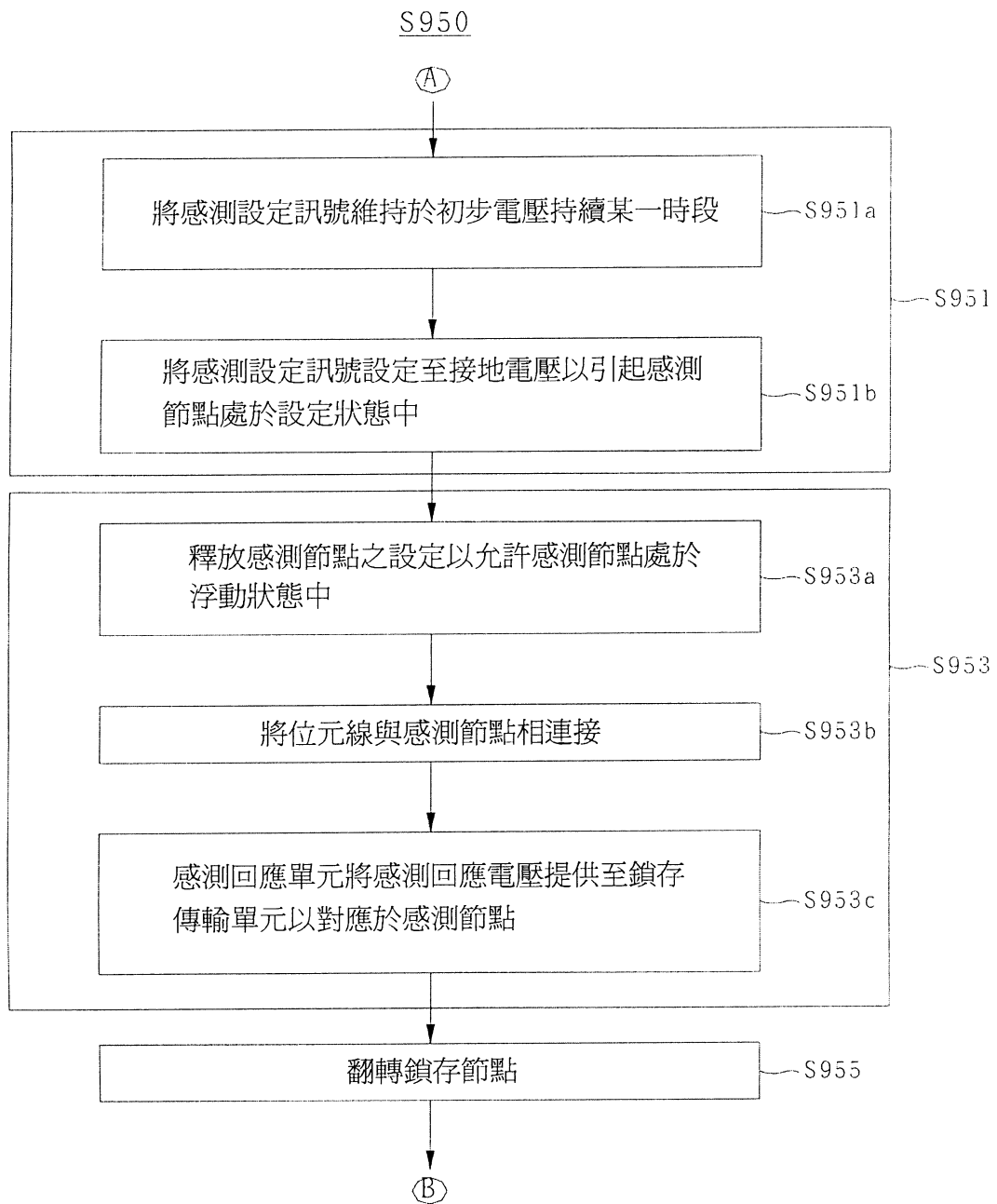


圖 16B

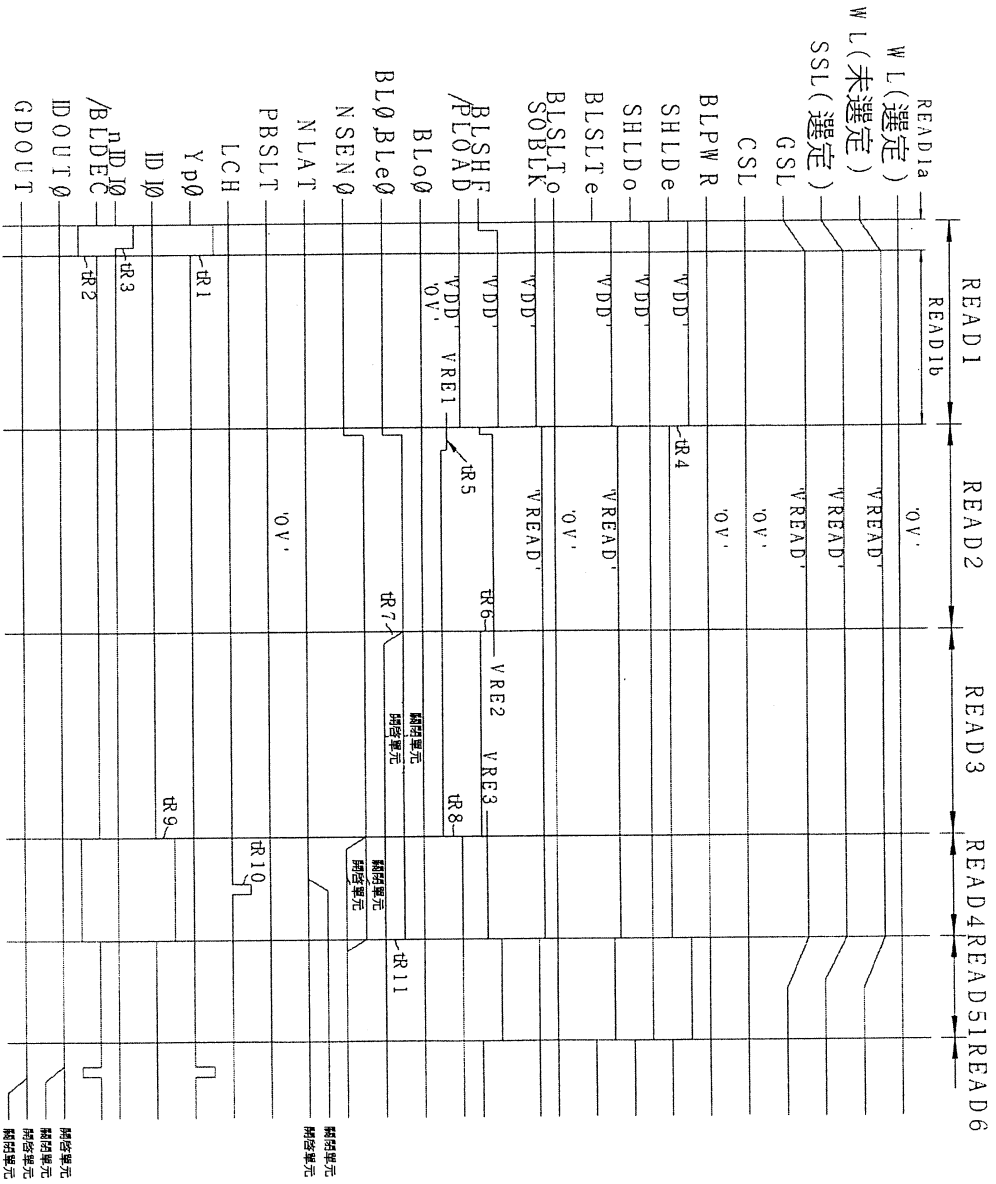


圖 17

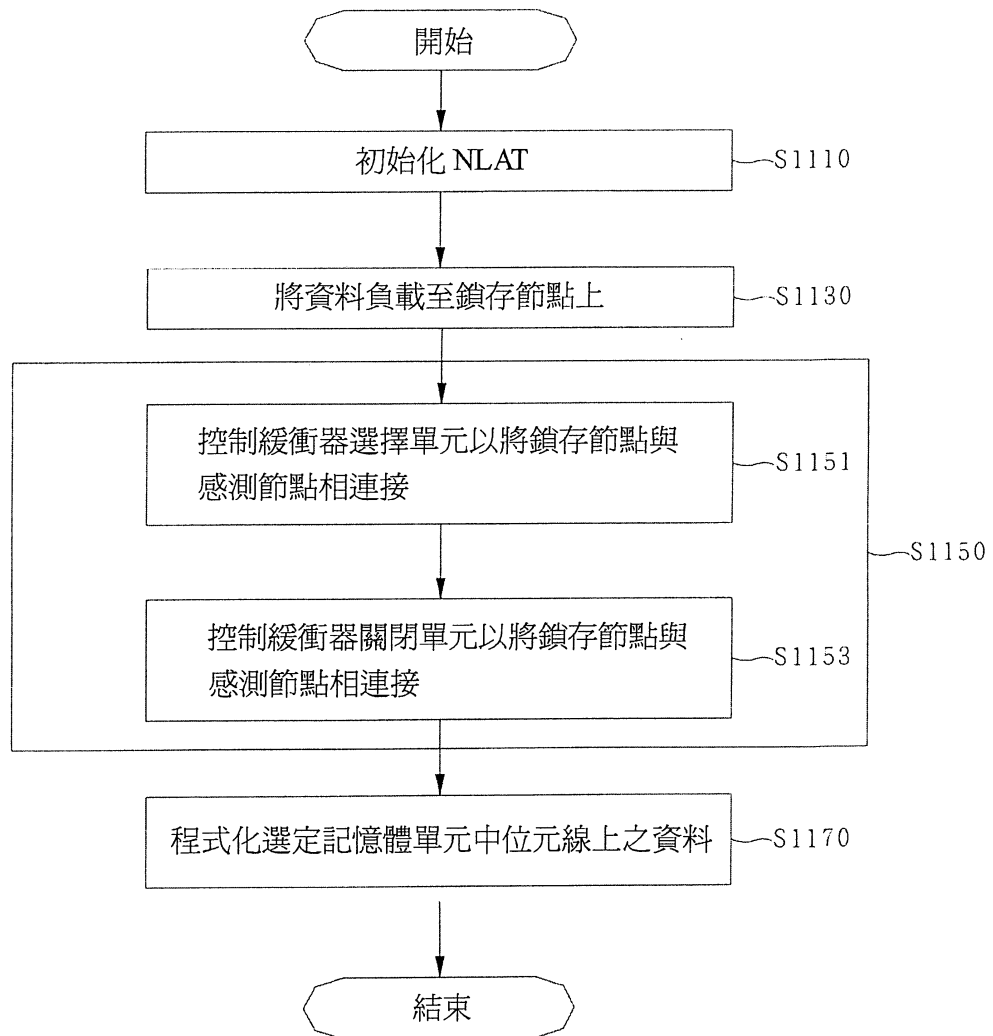


圖 18

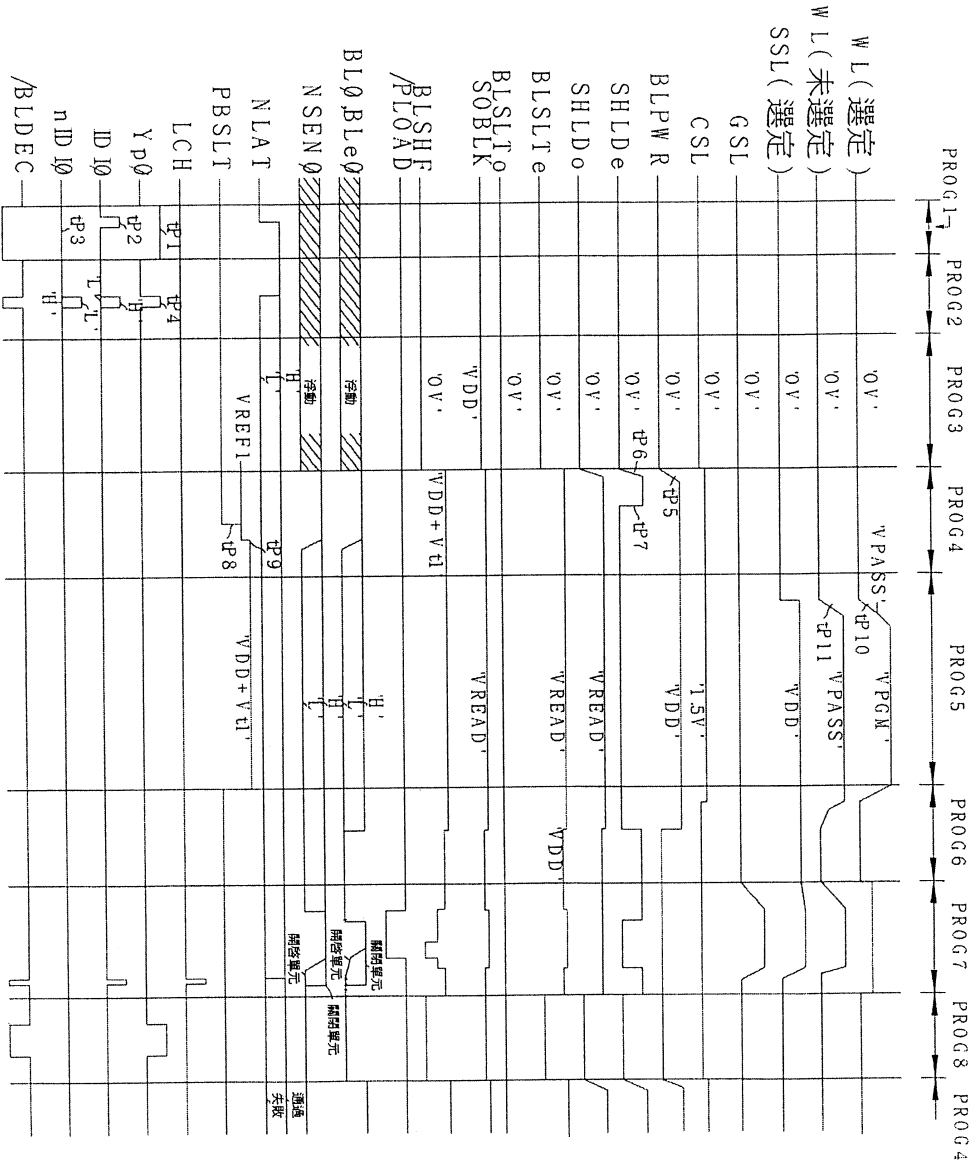


圖 19

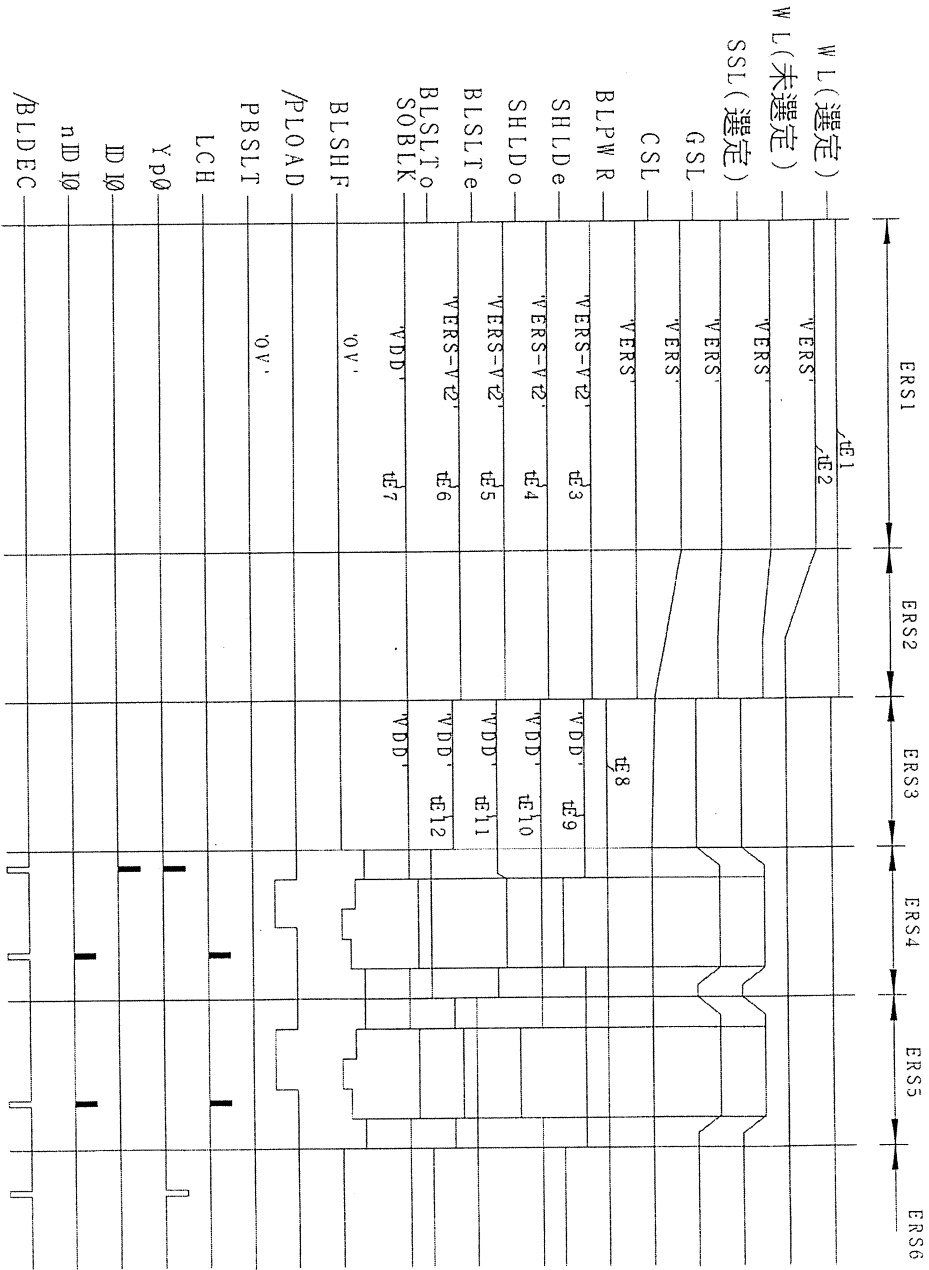


圖 20

七、指定代表圖：

(一)本案指定代表圖為：圖(14)。

(二)本代表圖之元件符號簡單說明：

N810a：節點

810：鎖存單元

820：鎖存傳輸單元

820a、820b：鎖存傳輸電晶體

825：鎖存驅動單元

825a：鎖存驅動電晶體

830：感測回應單元

830a：感測回應電晶體

830b：輸出感測電晶體

840：輸出驅動單元

840a、840b：輸出驅動電晶體

850：緩衝器選擇單元

850a：緩衝器選擇電晶體

860：感測設定單元

860a：感測設定電晶體

870：位元線關閉單元

870a：位元線關閉電晶體

/PLOAD：感測設定訊號

VDD：供應電壓

BLSHF：位元線關閉訊號

BL0：位元線

NSEN0：感測節點

PBSLT：頁緩衝器選擇訊號

NLAT：鎖存節點

VSS：接地電壓

IDIO、nIDIO：內部輸入線

RBIN1、RBIN2：緩衝器輸入路徑

LCH：鎖存訊號

Yp0：y 位址訊號線

IDOUT0：內部輸出線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無