

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/112

H01L 21/8246

[12] 发明专利说明书

[21] ZL 专利号 96192693.7

[45] 授权公告日 2002 年 2 月 27 日

[11] 授权公告号 CN 1079994C

[22] 申请日 1996.3.4 [24] 颁证日 2002.2.27

[21] 申请号 96192693.7

[30] 优先权

[32] 1995.3.20 [33] DE [31] 19510042.5

[86] 国际申请 PCT/DE96/00380 1996.3.4

[87] 国际公布 W096/29739 德 1996.9.26

[85] 进入国家阶段日期 1997.9.19

[73] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 W·克劳斯内德尔 L·里斯赫

F·霍夫曼

[56] 参考文献

US 5306941 1994.4.26 H01L2978

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

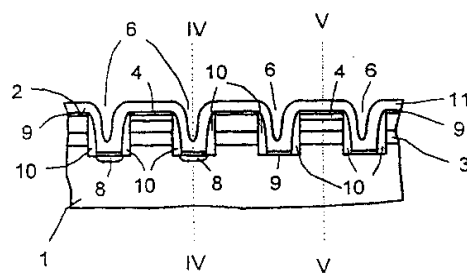
代理人 马铁良 萧掬昌

权利要求书 2 页 说明书 6 页 附图页数 3 页

[54] 发明名称 固定值存储单元装置及其制作方法

[57] 摘要

固定值存储单元装置包括很多单个的存储单元, 这些存储单元分别包括一个 MOS 晶体管并且设在平行伸展的行中。其中, 相邻的行分别交替地在纵向沟槽(6)的底部和在相邻的纵向沟槽(6)之间伸展并且是相互隔离的。通过自对准工艺步骤, 固定值存储单元装置是在每个存储单元的占用面积为 $2F^2$ (F : 最小的结构尺寸) 的情况下制作的。



权 利 要 求 书

1. 一种固定值存储单元装置, 其中,

- 在半导体衬底(1)中设有很多单个的存储单元,

- 存储单元分别设在平行伸展的行中,

5 - 在半导体衬底(1)的主面(2)内具有纵向沟槽(6), 这些纵向沟槽平行于行伸展,

- 这些行分别交替地处于相邻的纵向沟槽(6)之间的主面(2)上并处在纵向沟槽(6)的底部,

10 - 设有隔离结构(3、10), 相邻的行通过这些隔离结构(3、10)相互隔离,

- 存储单元分别包括至少一个 MOS 晶体管(12、11、12), 所述 MOS 晶体管的源/漏区制作为纵向沟槽底部上相关的掺杂区, 在源/漏区之间设置一个带有栅电极的栅极,

15 - 字线(11)横向于行伸展, 字线(11)分别与沿不同的行设置的 MOS 晶体管的栅极相连。

2. 按照权利要求 1 所述的固定值存储单元装置, 其中, 用于隔离相邻的行的隔离结构包括沿纵向沟槽(6)的侧壁设置的隔离侧墙(10)和分别设在纵向沟槽(6)之间的半导体衬底(1)中的掺杂层(3), 这些掺杂层(3)防止在相邻的行之间的半导体衬底(1)中
20 构成导电沟道。

3. 按照权利要求 1 或 2 所述的固定值存储单元装置, 其中,

- 沿一行设置的存储单元的 MOS 晶体管是串联的,

- 沿一行相邻的 MOS 晶体管的互连的源/漏区为半导体衬底中的关联掺杂区(12)结构,

25 - 每行具有两个接点, 在这两个接点之间, 设在行中的 MOS 晶体管是串联的。

4. 按照以上权利要求之一所述的固定值存储单元装置, 其中, 根据存入具体的存储单元中的信息, MOS 晶体管具有不同的阈值电压。

5. 用于制作固定值存储单元装置的方法, 其中,

30 - 在半导体衬底(1)的主面(2)内平行伸展的纵向沟槽(6)被腐蚀,

- 很多设在行中的、分别包括至少一个 MOS 晶体管的存储单元被

制造，其中，行交替地设在相邻的纵向沟槽（6）之间的主面（2）上和纵向沟槽（6）的底部，

- 在腐蚀纵向沟槽（6）之前，为了调整设在纵向沟槽（6）之间的主面（2）上的 MOS 晶体管的阈值电压，对沟道进行第一次离子注入，

5 入，

- 在腐蚀纵向沟槽（6）之后，为了调整设在纵向沟槽（6）的底部的晶体管的阈值电压，对沟道进行第二次离子注入，

- 相邻的纵向沟槽（6）之间的主面（2）是掩蔽的，

- 一个栅氧化层被生成，

10

- 横向于行伸展的字线（11）被生成，这些字线（11）分别与沿不同的行设置的 MOS 晶体管的栅极相连，

- 对 MOS 晶体管的源/漏区进行离子注入，此时，字线（11）被用作掩模，

15 - 隔离结构（3、10）被生成，这些隔离结构使相邻行的 MOS 晶体管相互隔离。

6. 按照权利要求 5 所述的方法，其中，

- 为了形成隔离结构，在进行第一次沟道离子注入之前，在半导体衬底中生成掺杂层（3），该掺杂层（3）在腐蚀纵向沟槽（6）时被腐蚀透，并且该掺杂层（3）防止在相邻的行之间的半导体衬底（1）中构成导电沟道，

20

- 此外，为了形成隔离结构（3、10）在腐蚀纵向沟之后，纵向沟（6）的侧壁上的隔离侧墙（10）被生成。

7. 按照权利要求 5 所述的方法，其中，

25 - 对纵向沟槽（6）的腐蚀是在把含有 SiO_2 的沟槽掩模（5）用作腐蚀掩模的情况下进行的，

- 在进行第二次沟道离子注入时，含有 SiO_2 的沟槽掩模（5）掩蔽相邻的纵向沟槽（6）之间的主面（2），

- 在对沟道进行离子注入后，沟槽掩模（5）被去除。

说 明 书

固定值存储单元装置 及其制作方法

5 许多电子系统都需要其内固定地写入有数据的存储器。此类存储器被称作固定值存储器，读存储器，或固定值存储器。

10 为了写入大量的数据，作为读存储器大多利用其上有铝敷层的塑料盘。这些塑料盘在其铝敷层中具有两种点式的凹陷，这些凹陷被赋予逻辑值零和 1。在这些凹陷的布局中，信息是数字式地存储的。此类盘被称作 CD 盘，并广泛地用于音乐的数字存储。

 为了读出存储在 CD 盘上的数据，采用一个阅读器，盘在该阅读器内机械地旋转。点式的凹陷经由一个激光二极管和一个光电二极管被扫描。其中，典型的扫描频率为 $2 \times 40\text{kHz}$ 。在一个 CD 盘上可存储 5 千兆位信息。

15 阅读器具有运动件，这些运动件受到机械磨损，所占的体积较大并且只能慢速地取数。此外，该阅读器还对振动敏感，并因此只可有限度地用在移动式系统中。

20 为了存储较少量的数据，公开了以半导体为基础的固定值存储器。此类存储器大多是作为平面型的、集成的、采用 MOS 晶体管的硅电路实现的。其中的 MOS 晶体管分别经由与字线相连的栅极被选择。MOS 晶体管的输入端与参考线相连，其输出端与位线相连。在读出过程中，按电流是否流过晶体管计数。存储的信息被相应地赋值。从技术上说，存储信息的完成措施大多在于，MOS 晶体管通过在沟道区内不同的离子注入具有不同的截止电压。

25 这些以半导体为基础的存储器可随机地访问存储的信息。读出信息所需的电功率大大小于在具有机械式传动机构的阅读器中读出信息所需的电功率。由于为了读出信息不需要机械式传动机构，所以不存在机械磨损和对振动的敏感性。因此，以半导体为基础的固定值存储器也可用于移动式系统。

30 所描述的硅存储器具有平面式结构。据此，每个存储单元需要占用最小的面积约 $6 \text{ 至 } 8F^2$ ，其中， F 为在具体的工艺中可制作的最小结构尺寸。据此，在 1 微米级工艺中，平面式硅存储器被限定的存储密度约

0.14 位/微米²。

已经公开的是，在平面型硅存储器中，通过成行地布置 MOS 晶体管来提高存储密度。在每一行中，MOS 晶体管是串联的。通过“与非”结构意义上的成行地选择，MOS 晶体管被读出。为此，每行只需两个接点。在这两个接点之间，设在该行中的 MOS 晶体管是串联的。相邻的 MOS 晶体管的互连的源/漏区可作为连在一起的掺杂区来实现。据此，每个存储单元所占的面积可减少到理论上 $4F^2$ (F 为在具体的工艺中可制作的最小结构尺寸)。譬如，H·Kawagoe 和 N·Tsuji 在 IEEE J. Solid-State Circuits, vol. SC-11, P.360, 1976 中公开了这种存储单元装置。

本发明的任务在于提供一种在半导体基础上的固定值存储单元装置，其中，存储器密度得以增加，并且这种固定值存储单元装置可用很少几个工序制作，且其产出率很高。另外，还应提供一种用于制作这种存储单元装置的方法。

在本发明的固定值存储单元装置中，存储单元分别设在半导体衬底的主面内的平行伸展的行中。在半导体衬底的主面内具有纵向的沟槽。这些纵向的沟槽平行于上述行伸展。这些纵向沟槽至少与行一样长。这些行分别交替地处于相邻的纵向沟槽之间和处于沟槽的底部。半导体衬底的主面是通过纵向沟槽被结构化的。行中的每个第二行处在纵向沟槽的底部，处在纵向沟槽之间的行位于限定这些纵向沟槽的材料上。

相邻的行是通过一个隔离结构相互隔离的。该隔离结构沿垂直方向隔离相邻的行。下列情况在发明的范畴之中，即隔离结构是通过沿纵向沟槽的侧壁设置的隔离侧墙，和分别设在半导体衬底中的相邻的纵向沟槽之间的、防止在相邻的行之间的半导体衬底中形成导通沟道的掺杂层，即所谓的沟道截止层构成的。掺杂层有利地是在分别处于相邻的纵向沟槽之间的半导体衬底材料中构成的，并且其在半导体衬底中的深度小于纵向沟槽的深度。这种隔离在相邻的行之间不占用面积。平行于半导体衬底的主面，相邻的行是直接相互毗邻的。垂直于半导体的主面，

相邻的行有一个相当于纵向沟槽深度的间距。

有利的是，沿一行设置的存储单元的 MOS 晶体管是串联的。其中，沿一行相邻的 MOS 晶体管的互连的源/漏区为连在一起的掺杂区结构。每行具有两个接点，设在该行中的 MOS 晶体管在这两个接点之间是串联的。经由这两个接点，处在具体的行中的 MOS 晶体管可在“与非”结构的意义上被选择。

本发明的固定值存储单元装置是有利地由一个隔离结构，即隔离用侧墙和防止在相邻的行之间的半导体衬底中形成导电的沟道的掺杂层，以及由在每行中串联的、其内分别互连的源/漏区作为半导体衬底中的连在一起的掺杂区结构的 MOS 晶体管构成的。如果在该实施形式中，纵向沟槽的宽度、相邻的纵向沟槽的间距、连在一起的掺杂区的尺寸和字线的宽度相当于一个在具体的工艺中的最小结构尺寸 F ，则每个存储单元所占的面积为 $2F^2$ 。如果以其可制作的最小结构宽度 F 为 0.4 微米的工艺作为基础，则可使存储密度达到 6.25 位/微米²。

以下情况是在本发明的范畴之内，即根据存入具体的存储单元中的信息，MOS 晶体管具有不同的阈值电压。为了以数字的形式存储数据，MOS 晶体管具有两个不同的阈值电压。如果固定值存储单元装置被用于多值逻辑，则 MOS 晶体管根据存入的信息具有多于两个不同的阈值电压。

本发明的固定值存储单元装置的制作是采用自对准的工艺步骤实现的，据此，可减少每个存储单元的占用面积。

为了制作固定值存储单元装置，首先进行第一次沟道离子注入，以便调整沿位于相邻的纵向沟槽之间的行设置的 MOS 晶体管的阈值电压。然后，对纵向沟槽进行腐蚀。在对纵向沟槽进行腐蚀后，为了调整设在纵向沟槽的底部的 MOS 晶体管的阈值电压，进行第二次沟道离子注入。在进行第二次沟道离子注入时，相邻的纵向沟槽之间的范围是掩蔽的。在为所有的 MOS 晶体管制作了栅氧化层之后，垂直于行伸展的字线被建立，这些字线分别构成沿不同的行设置的 MOS 晶体管的栅极。最后，对源/漏进行离子注入，此时，字线被用作掩模，并且同时为设在纵向沟槽的底部的 MOS 晶体管和设在相邻的纵向沟槽之间的 MOS 晶体管形成源/漏区。

在把含有二氧化硅的沟槽掩模用作腐蚀掩模的情况下，纵向沟槽首

先被腐蚀。随后，在进行第二次沟道离子注入时，沟槽掩模被用于掩蔽相邻的纵向沟槽之间的范围。在进行第二次沟道离子注入以后，沟槽掩模被去除。

下面借助一个实施例和附图详细说明本发明。附图所示为：

- 5 图 1 进行第一次沟道离子注入后的硅衬底，
- 图 2 对沟槽进行腐蚀和进行第二次沟道离子注入后的硅衬底，
- 图 3 形成字线后的硅衬底，
- 图 4 图 3 中的 IV - IV 断面的硅衬底视图；
- 图 5 图 3 中的 V - V 断面的硅衬底视图，
- 10 图 6 图 3 所示的硅衬底的俯视图。

附图所示不是按实际比例绘制的。

- 为了制作一个本发明的、在一个譬如由单晶硅构成的衬底 1 内的固定值存储单元装置，首先在衬底 1 的主面 2 上建立一个限定固定值存储单元装置范围的隔离结构（图中未示出）。衬底 1 譬如为 P 型掺杂的，
- 15 其掺杂浓度为 10^{15}cm^{-3} 。

随后进行硼离子注入，以便形成沟道截止层 3。硼离子注入是用譬如 $6 \times 10^{13}\text{cm}^{-2}$ 的剂量和譬如 120keV 的能量进行的。据此，其深度在主面 2 以下譬如 $0.3\mu\text{m}$ ，其厚度为 $0.3\mu\text{m}$ 的沟道截止层 3 被建立（见图 1）。

- 20 然后，借助光刻方法确定 MOS 晶体管的耗尽沟道的范围。借助于 50keV 的能量和 $4 \times 10^{12}\text{cm}^{-2}$ 的剂量的砷进行的第一次沟道离子注入，形成耗尽沟道 4。在采用 $0.4\mu\text{m}$ 级工艺的情况下，平行于主面 2 的耗尽沟道 4 的面积譬如为 $0.6\mu\text{m} \times 0.6\mu\text{m}$ 。

- 通过用 TEOS 方法淀积一个其厚度譬如为 200nm 的 SiO_2 层，借助
- 25 于光刻方法使 SiO_2 层结构化从而形成一个沟槽掩模 5（见图 2）。

- 通过譬如用氯气进行各向异性的腐蚀，在沟槽掩模 5 用作腐蚀掩模的情况下，纵向沟槽 6 被腐蚀。纵向沟槽 6 的深度譬如为 $0.6\mu\text{m}$ 。纵向沟槽 6 伸展到衬底 1 之内，并把沟道截止层 3 分割。在对纵向沟槽 6 进行腐蚀时，耗尽沟道 4 的宽度被调整。因此，相对于耗尽沟道 4 沟槽掩模 5 的调整是不苛刻的。
- 30

在应用 $0.4\mu\text{m}$ 级工艺的情况下，纵向沟槽 6 的宽度为 $0.4\mu\text{m}$ ，相邻的纵向沟道 6 的间距也为 $0.4\mu\text{m}$ 。纵向沟槽 6 的长度取决于存储单元装

置的尺寸规格，譬如为 $130\mu\text{m}$ 。

通过用 TEOS 方法淀积另一个 SiO_2 层，并通过随后的各向异性的腐蚀，在纵向沟槽 6 的侧壁上形成由 SiO_2 构成的隔离侧墙 7。随后，借助光刻方法确定用于后来被建立在纵向沟槽底部制造的 MOS 晶体管耗尽沟道的范围。通过用譬如 50keV 的能量和譬如 $4 \times 10^{12}\text{cm}^{-2}$ 剂量的砷进行第二次沟道离子注入，在纵向沟槽的底部制造耗尽沟道 8。此时，相邻的纵向沟槽 6 之间的范围是通过沟槽掩模 5 和隔离侧墙 7 掩蔽的。因此，在确定耗尽沟道 8 时的调整是不苛刻的。就纵向沟槽 6 的侧壁而言，第二次沟道的离子注入是自对准的。

随后，用湿化学方法，譬如用 $\text{NH}_4\text{F}/\text{HF}$ 去除沟槽掩模 5。隔离侧墙 7 同时也被去除。在牺牲层氧化物生长和被腐蚀掉之后，生长一其厚度譬如为 10nm 的栅氧化层 9。该栅氧化层 9 在纵向沟槽 6 的底部和纵向沟槽 6 之间处于主面 2 上（见图 3、示出图 3 中的 IV - IV 断面的图 4 和示出图 3 中的 V - V 断面的图 5。在图 3 中所示的断面在图 4 和图 5 中分别以 III - III 表示。

借助 TEOS 方法淀积出另一 SiO_2 层，从该 SiO_2 层中，通过各向异性的干腐蚀，在纵向沟槽 6 的侧壁上再形成由 SiO_2 构成的侧墙 10。该 SiO_2 层以譬如 60nm 的厚度被淀积。接着譬如用 CF_4 进行再腐蚀。

在整个面上淀积出其厚度譬如为 400nm 的多晶硅层。通过一个光刻工艺步骤使该多晶硅层结构化，字线 11 得以形成，这些字线 11 沿主面 2 譬如垂直于纵向沟槽 6 伸展。字线 11 的宽度为 $0.4\mu\text{m}$ 。相邻的字线 11 的间距为 $0.4\mu\text{m}$ 。字线 11 的宽度和间距分别相当于最小的结构尺寸 F 。字线 11 的伸展准则在于，在纵向沟槽 6 的底部形成的耗尽沟道 8 分别处于字线 11 的下方。

随后，用譬如 25Kev 的能量和譬如 $5 \times 10^{15}\text{cm}^{-2}$ 的剂量对源/漏进行砷离子注入。在对源/漏进行离子注入时，掺杂区 12 在纵向沟槽 6 的底部以及在纵向沟槽 6 之间的面 2 中被建立。掺杂区 12 其作用是分别作为两个沿一行设置的相邻 MOS 晶体管的公共的源/漏区。在对源/漏进行离子注入的同时，字线 11 也被掺杂。

通过另一 SiO_2 层的淀积和各向异性的再腐蚀，具有侧墙 13 的字线 11 的侧面被覆盖。涉及字线 11，对源/漏的离子注入是自对准地进行的。由于掺杂区 12 与耗尽沟道 4、8 是被同一导电类型掺杂，所以在沿平

行于纵向沟槽 6 走向的方向确定耗尽沟道时进行调整要求是不严格的。根据相邻的字线 11 的间距、相邻的纵向沟槽 6 的间距以及纵向沟槽 6 的尺寸，平行于主面 2 的掺杂区 12 的面积最大为 $F \times F$ ，即 $0.4\mu\text{m} \times 0.4\mu\text{m}$ 。每两个相邻的掺杂区 12 和设在其间的字线 11 分别构成一个

5 MOS 晶体管。在纵向沟槽 6 的底部以及在纵向沟槽 6 之间各设有一行串联的 MOS 晶体管，这些 MOS 晶体管分别由两个掺杂区 12 和设在其间的字线 11 构成。设在纵向沟槽 6 的底部的 MOS 晶体管通过侧墙 10 和沟道截止层 3 与相邻的、设在纵向沟槽 6 之间的 MOS 晶体管隔离。用譬如为 $3 \times 10^{18}\text{cm}^{-3}$ 的杂质浓度对沟道截止层 3 的掺杂连同侧墙 10，

10 可保证在纵向沟槽 6 的侧面上形成的寄生 MOS 晶体管的阈值电压高到足以阻止漏电流。

每行在固定值存储单元装置的边缘上具有两个接点，在这两个接点之间，设在该行中的 MOS 晶体管是串联的（未示出）。如果人们考虑，掺杂区 12 中的每一个是用于两个相邻的 MOS 晶体管的源/漏区的，则

15 每个平行于纵向沟槽 6 走向的 MOS 晶体管的长度为 $2F$ 。MOS 晶体管的宽度分别为 F 。因此，根据制作工艺，一个由单个晶体管构成的存储单元的面积 $2F^2$ 。在向主面 2 的投影中，沿一条字线 11 相邻的、其轮廓 $Z1$ 、 $Z2$ 在图 6 的俯视图中用粗线示出的存储单元直接相互毗邻。存储单元 $Z1$ 设在纵向沟槽 6 之一的底部，而存储单元 $Z2$ 则设在两个相邻

20 的纵向沟槽 6 之间的主面 2 上。通过相邻的存储单元在高度上交错的设置，排列密度增大，而同时又不使相邻的存储单元之间的隔离变坏。

固定值存储单元装置的编程是在进行第一次和第二次沟道离子注入时进行的。耗尽沟道 4、8 是只为那些被分配一个第一逻辑值的 MOS 晶体管形成的。一个第二逻辑值被分配给其它的 MOS 晶体管。

25 固定值存储单元装置通过一个中间氧化物的淀积、接触窗口的腐蚀和金属层的蒸发及结构化被制成。图中没示出这些已公开的工艺步骤。

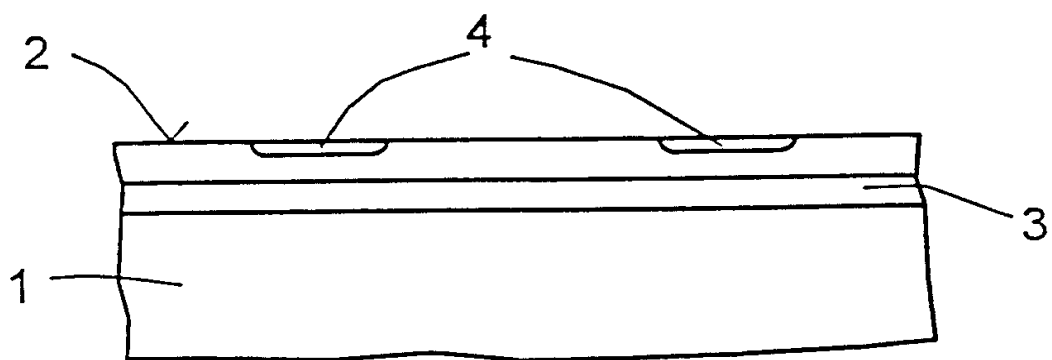


图 1

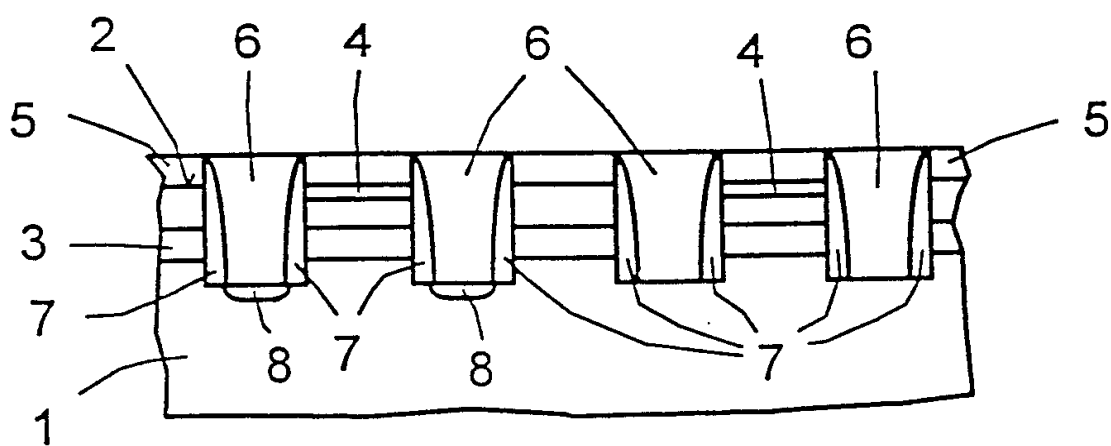


图 2

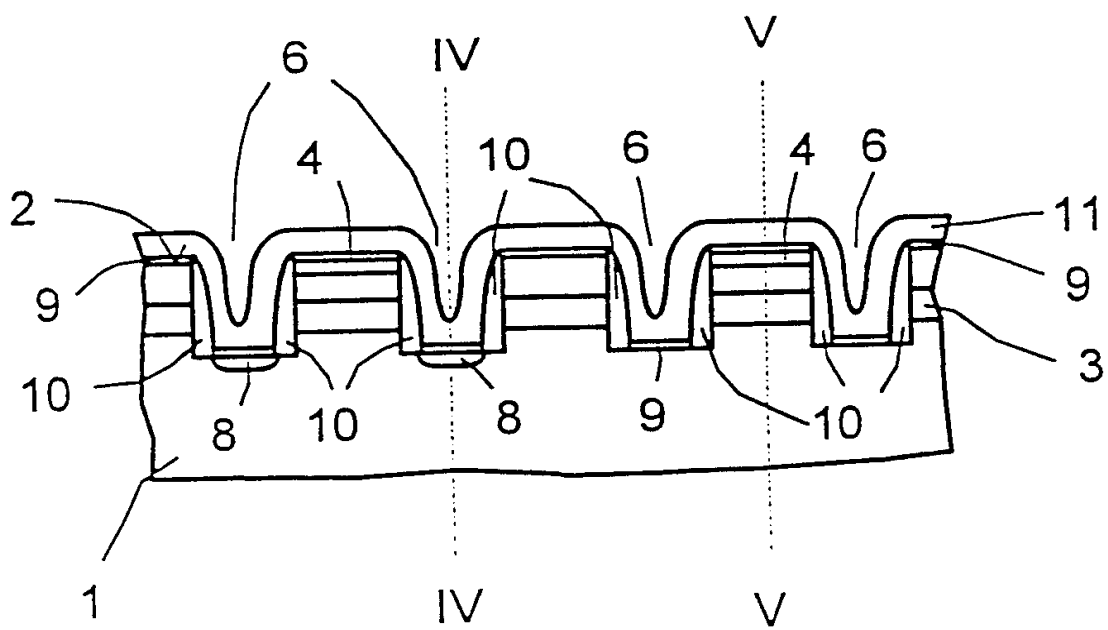


图 3

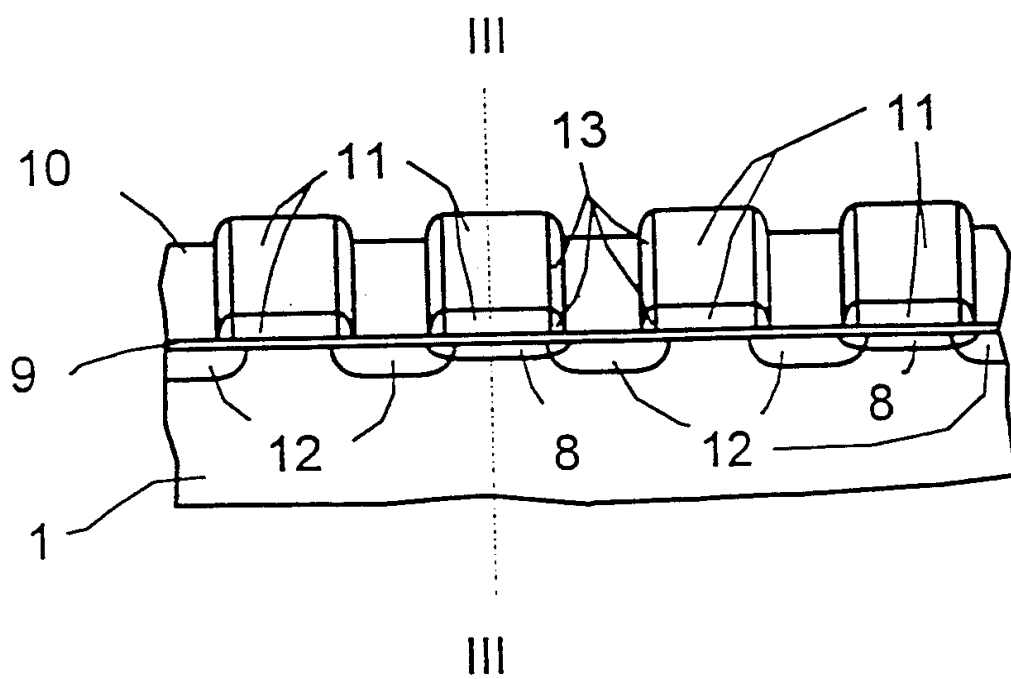


图 4

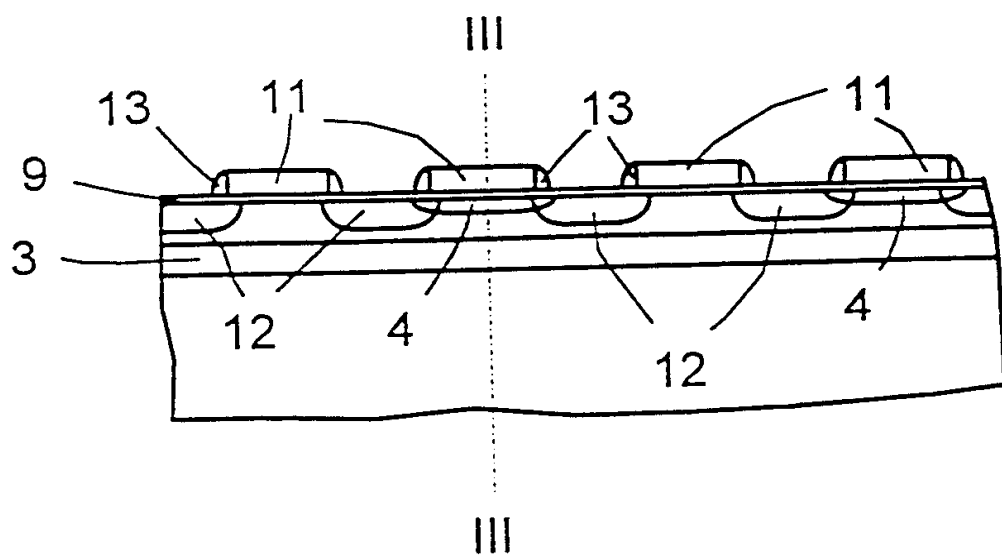


图 5

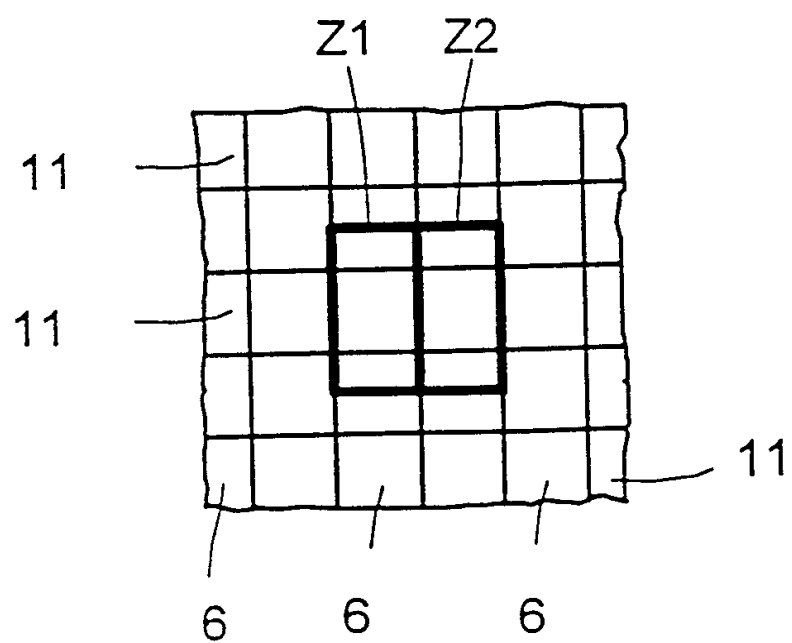


图 6