



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I545721 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：100100854

(22)申請日：中華民國 100 (2011) 年 01 月 10 日

(51)Int. Cl. : H01L25/04 (2014.01)

H01L23/58 (2006.01)

H02M3/155 (2006.01)

(30)優先權：2010/01/08 美國

12/684,838

(71)申請人：全斯法姆公司 (美國) TRANSPHORM INC. (US)

美國

(72)發明人：吳毅鋒 WU, YIFENG (CN)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 2006/0261473A1

US 2007/0007547A1

US 2008/0203430A1

US 2010/0117095A1

審查人員：林士淵

申請專利範圍項數：36 項 圖式數：15 共 50 頁

(54)名稱

用於高效能電源電路之電子裝置及元件

ELECTRONIC DEVICES AND COMPONENTS FOR HIGH EFFICIENCY POWER CIRCUITS

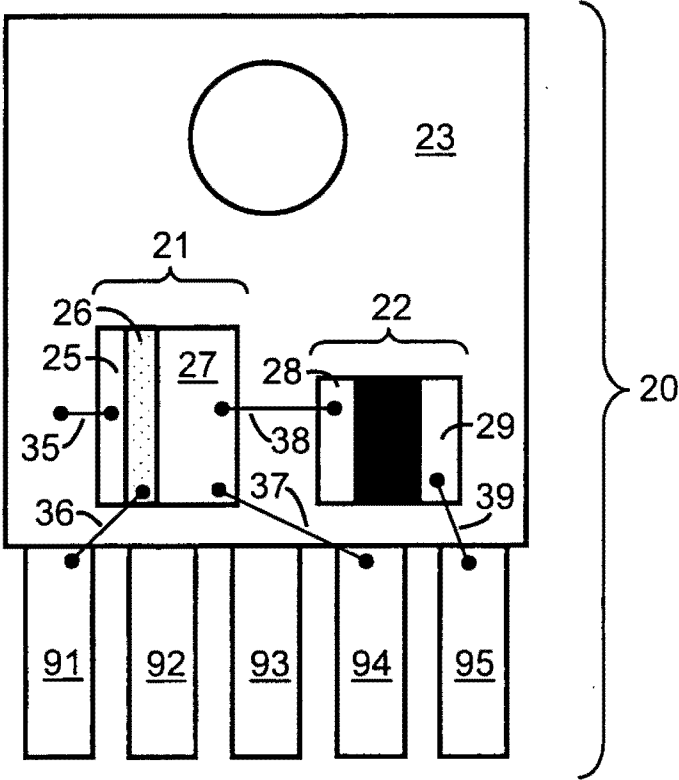
(57)摘要

本文揭露：一種電子元件，其包含：封入一單一封裝的一 III-N 電晶體和一 III-N 整流裝置二者。III-N 電晶體的閘極電極係電連接至單一封裝的一第一引線、或電連接至單一封裝的一傳導結構部份，III-N 電晶體的汲極電極電連接至該單一封裝的一第二引線和電連接至 III-N 整流裝置的一第一電極，及 III-N 整流裝置的一第二電極電連接至該單一封裝的一第三引線。

An electronic component includes a III-N transistor and a III-N rectifying device both encased in a single package. A gate electrode of the III-N transistor is electrically connected to a first lead of the single package or to a conductive structural portion of the single package, a drain electrode of the III-N transistor is electrically connected to a second lead of the single package and to a first electrode of the III-N rectifying device, and a second electrode of the III-N rectifying device is electrically connected to a third lead of the single package.

指定代表圖：

- 符號簡單說明：
- 20 . . . 電子元件
 - 21 . . . III-N 電晶體
 - 22 . . . 整流裝置
 - 23 . . . 封裝基部
 - 25 . . . 源極電極
 - 26 . . . 閘極電極
 - 27 . . . 汲極電極
 - 28 . . . 陽極接點
 - 29 . . . 陰極接點
 - 35-39 . . . 電連接器
 - 91-95 . . . 引線



第 5 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100100854

※ 申請日期：2011 年 1 月 10 日

※IPC 分類：

H01L 2510X 2006.01

H01L 23158 2006.01

H02M 31155 2006.01

一、發明名稱：(中文/英文)

用於高效能電源電路之電子裝置及元件

ELECTRONIC DEVICES AND COMPONENTS FOR HIGH EFFICIENCY
POWER CIRCUITS

二、中文發明摘要：

本文揭露：一種電子元件，其包含：封入一單一封裝的一 III-N 電晶體和一 III-N 整流裝置二者。III-N 電晶體的閘極電極係電連接至單一封裝的一第一引線、或電連接至單一封裝的一傳導結構部份，III-N 電晶體的汲極電極電連接至該單一封裝的一第二引線和電連接至 III-N 整流裝置的一第一電極，及 III-N 整流裝置的一第二電極電連接至該單一封裝的一第三引線。

三、英文發明摘要：

An electronic component includes a III-N transistor and a III-N rectifying device both encased in a single package. A gate electrode of the III-N transistor is electrically connected to a first lead of the single package or to a conductive structural portion of the single package, a drain electrode of the III-N transistor is electrically connected to a second lead of the single package and to a first

electrode of the III-N rectifying device, and a second electrode of the III-N rectifying device is electrically connected to a third lead of the single package.

四、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

20 電子元件	27 汲極電極
21 III-N 電晶體	28 陽極接點
22 整流裝置	29 陰極接點
23 封裝基部	35-39 電連接器
25 源極電極	91-95 引線
26 閘極電極	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

描述可使用於功率切換電路應用以實現具有非常高效率的功率電路之功率切換電路和元件。

【先前技術】

隨著全世界電功率消耗量持續地增加，功率供應器和功率轉換器在我們的社會中變得日益重要。升壓模式 DC 至 DC 功率轉換器（在此意指為「升壓轉換器」）的主要元件之電路圖顯示於第 1 圖。該升壓轉換器電路包含：電感器 10 和 14、一切換裝置（例如電晶體 11）、一整流裝置（例如二極體 12）、和充電儲存裝置（例如電容器 13 和 15）。在該電晶體 11 開啟期間，當電能量以電磁能量儲存在該電感器 10 中時，該電感器 10 維持整個輸入電壓、和流經該電感器 10 和電晶體 11 的輸入電流。同時，該二極體 12 避免該電容器 13 藉由電晶體 11 放電。當電晶體 11 關閉時，橫跨於該電感器 10 的電位反轉，及流經該電感器 10 的輸入電流亦流經該二極體 12，藉此充電該電容器 13 和供應能量至具有相較在輸入線上的電壓準位為較高的電壓準位的輸出負載。

目前使用於功率電路（例如第 1 圖的升壓轉換器電路）的二極體和電晶體一般使用矽（Si）半導體材料來製造。用於功率應用的常見二極體和電晶體裝置包含：矽（Si）

Schottky 二極體、Si 功率 MOSFETs (例如 CoolMOS)、和 Si 絕緣柵雙極電晶體 (IGBTs)。雖然 Si 功率裝置不昂貴，它們受限於數個缺點，此些缺點包含：相對為低的切換速度和高準位的電雜訊，其常意指為電磁干擾或 EMI。對較多的緊密功率供應具有增加切換頻率的一致趨勢，其要求使用於功率供應的裝置具有較高的切換速度，和經改善以適當地壓抑較高的頻率操作所導致增加的電雜訊之電路架構。最近，由於相較於 Si 裝置具有較佳的電特性和熱特性，已進行碳化矽 (SiC) 功率裝置的研究。目前 III-氮化物 (III-N) 的半導體裝置已興起作為用於功率電路應用上具吸引力的候選者。

當 III-N 裝置的使用已顯示為在功率應用上係有益的，需要進一步的改善以適當地壓抑 EMI，而同時當進一步增加電路切換頻率和切換速度時維持高效率。

【發明內容】

在一態樣中，其描述具有一 III-N 電晶體和一 III-N 整流裝置的電子元件。單一封裝封入 III-N 電晶體和 III-N 整流裝置二者。III-N 電晶體的閘極電極係電連接至該單一封裝的一第一引線、或電連接至該單一封裝的一傳導結構部份，III-N 電晶體的汲極電極電連接至該單一封裝的一第二引線和電連接至 III-N 整流裝置的一第一電極，及 III-N 整流裝置的一第二電極電連接至該單一封裝

的一第三引線。

在另一態樣中，其描述：當操作於至少 100KHz 的頻率和 1:2 的轉換率時，一電壓轉換器具有：大於 97.8% 的效率和低於 1 Volt 的峰值輸出電壓雜訊。

在又另一態樣中，其描述：用於操作在一功率切換電路中的一切換電晶體的方法。該方法包含以下步驟：相對於該切換電晶體的源極，切換在該切換電晶體的閘極上之電壓從高於電晶體臨界電壓的值至低於電晶體臨界電壓的值，或從低於電晶體臨界電壓的值至高於電晶體臨界電壓的值。此電壓以大約 150volts/nanosecond 或更高的速率切換。

在實施中，包含或促使後續的特徵。該 III-N 電晶體可為一場效電晶體。該 III-N 電晶體可為一高電壓切換電晶體。該 III-N 電晶體可為一增強模式 (enhancement-mode) 裝置。該 III-N 整流裝置可為一 III-N 二極體，該第一電極可為一陽極電極，及該第二電極可為一陰極電極。該 III-N 電晶體或該 III-N 二極體可為包含絕緣或半絕緣部份的橫向裝置，及該絕緣或半絕緣部份可直接裝設於該單一封裝的傳導結構部份，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部份之間、或在該 III-N 二極體和該單一封裝的該傳導結構部份之間的一絕緣墊片。該絕緣和半絕緣部份可為一絕緣或半絕緣基材。該 III-N 電晶體或該 III-N 二極體可為包含一傳導或半傳導基材的一橫向裝置，及一絕緣或半絕緣 III-N 層可在傳導或半傳

導基材和該 III-N 電晶體或該 III-N 二極體的通道之間，其中該傳導或半傳導基材可直接裝設於該單一封裝的傳導結構部份，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部份之間、或在該 III-N 二極體和該單一封裝的該傳導結構部份之間的一絕緣墊片。該傳導或半傳導基材可為一矽基材。該 III-N 電晶體和該 III-N 二極體可位在共同的基材上。該 III-N 電晶體可為一第一 III-N 電晶體，而該 III-N 整流裝置可為一第二 III-N 電晶體。該第一 III-N 電晶體和該第二 III-N 電晶體可為包含一絕緣或半絕緣部份的一橫向裝置，及該絕緣或半絕緣部份可直接裝設於該單一封裝置的傳導結構部份，而不具有在該第一 III-N 電晶體和該單一封裝的該傳導結構部份之間、或在該第二 III-N 電晶體和該單一封裝的該傳導結構部份之間的一絕緣墊片。該絕緣或半絕緣部份可為絕緣或半絕緣基材。該第一 III-N 電晶體、或該第二 III-N 電晶體可為一橫向裝置，其包含：一傳導或半傳導基材、及在該傳導或半傳導基材和該第一 III-N 電晶體或該第二 III-N 電晶體的通道之間的一絕緣或半絕緣 III-N 層，其中該傳導或半傳導基材可直接裝設於該單一封裝的傳導結構部份，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部份之間、或在該 III-N 二極體和該單一封裝的該傳導結構部份之間的一絕緣墊片。該第一 III-N 電晶體和該第二 III-N 電晶體可形成於一共同的基材上。該 III-N 電晶體的源極電極可電連接至該單一封裝的一傳

導結構部份，或電連接至該單一封裝的一源極引線。該 III-N 電晶體可為 III-N 空乏模式的電晶體，及該電子元件可進一步包含：封入該單一封裝中的一增強模式電晶體，該增強模式電晶體包含：一增強模式電晶體源極電極、一增強模式電晶體閘極電極、及一增強模式電晶體汲極電極，其中該增強模式電晶體源極電極可電連接至該單一封裝的該傳導結構部份，或電連接至該單一封裝的一源極引線，該增強模式電晶體汲極電極可電連接至該 III-N 空乏模式電晶體的一源極電極，及該增強模式電晶體閘極電極可電連接至該單一封裝的該第一引線。該 III-N 空乏模式電晶體可為一高電壓切換電晶體，及該增強模式電晶體可為一低電壓電晶體。該增強模式電晶體可為一 Si MOS 裝置。電壓轉換器可包含在此所描述的電子元件之一者。當該電壓轉換器操作於至少 1MHz 的頻率時，該電壓轉換器具有：大於 97.8% 的效率和低於 1 Volt 的峰值輸出電壓雜訊。該電壓轉換器可包含：能夠操作為一般為關閉的開關之裝置。該電壓轉換器的裝置可為一增強模式 III-N 電晶體。該電壓轉換器的裝置可為：包含一低電壓增強模式電晶體和一高電壓空乏模式電晶體的一組件。該低電壓增強模式電晶體可為一 Si MOS 電晶體，及該高電壓空乏模式電晶體可為一 III-N 電晶體。該功率切換電路的峰值輸出電壓雜訊可低於 1V。

【實施方式】

在高功率切換電路中，例如在第 1 圖的升壓轉換器，在每次電晶體 11 從 OFF 切換至 ON 或從 ON 切換至 OFF 時會導致切換損失。切換損失包含：RC 充電損失和交越損失二者。如同顯示於第 2 圖中的電晶體源極-汲極電流對時間和源極-汲極電壓對時間的代表示圖所觀察到者，在該電晶體從 ON 切換到 OFF 的時間 t_{switch} 期間，當流經該電晶體的電流 16 減少時，橫跨於該電晶體的電壓 17 增加（反之，當在電晶體從 OFF 切換至 ON 的時間期間流經該電晶體的電流增加時，橫跨於該電晶體的電壓減少）。在切換期間的瞬時交越功率損失係由經過該電晶體的電流和橫跨於該電晶體的電壓之乘積給定，及在切換期間總能量損失係由該功率損失對整個切換時間的時間積分決定。降低該電晶體切換時間 t_{switch} （例如增加切換速度）可減少在切換期間的總交越能量損失，及可藉此減少功率損失和增加電路的效率。因此，其有益於在電路操作期間以較高的切換速度切換該電晶體，因為此可增加電路的效率。

在電路操作期間一切換電晶體可切換的最大速度主要係由電晶體的物理特性（例如在電晶體中的通道電荷密度、通道電荷遷移率、和通道電荷飽和速度、和任何本質或寄生電容或電阻）所限制。以超過設計電晶體的最大值或額定之切換速度的電晶體之操作會導致可靠度問

題及/或電磁干擾 (EMI)。目前使用於傳統的功率切換電路(例如升壓轉換器)的切換電晶體,如基於矽(Si-based)的 CoolMOS 電晶體,典型地額定至以 50 Volts/nanosecond 的最大操切換速度來操作。III-氮化物(III-N)電晶體,例如 III-N HEMT 或 HFET,典型地具有相較於經設計以操作在類似的電壓和電流的基於矽的電晶體之較佳的本質電子特性和較小的電容,及因而能夠操作在較高的切換速度,例如大約 150 Volts/nanosecond 或更高、大約 200 Volts/nanosecond 或更高、或大約 250 Volts/nanosecond 或更高。如同在此所使用者,詞彙 III-氮化物或 III-N 材料、層、裝置等等,意指包含根據化學計量公式 $Al_xIn_yGa_zN$ 的混合物半導體材料之材料或裝置,其中 $x+y+z$ 大約為 1。

第 3 圖顯示在電路操作期間由申請人在第 1 圖的該升壓轉換器電路的輸出節點 5 所測量的輸出電壓雜訊對時間的示圖,其中 III-N HEMT 可用作為電晶體 11,和 III-N 二極體可用作為二極體 12,及電晶體 11 以 200 Volts/nanosecond 的切換速度切換。如同所示者,電壓變動的大數量(例如「振鈴(ringing)」6),其為 EMI 的指示,可隨即在每次切換 III-N HEMT 電晶體之後在節點 5 觀察到。如同第 3 圖可觀察到者,峰值輸出電壓雜訊大於 10V。因此,需要進一步的改善以壓抑在較高切換速度下操作的 EMI。

當申請人置入第 1 圖的升壓轉換器電路的 III-N HEMT

和 III-N 二極體本身固有地能以較高的電路切換速度操作，而不產生大的 EMI，其它的電路寄生效應仍然產生 EMI、或對在電路內的 EMI 產生作出貢獻。因此，減少或消除此些寄生效應的佈局配置係必需的，以為了使該電路以較高的切換速度操作，而不產生大的 EMI。

第 4 圖和第 5 圖個別顯示一單一電子元件 20 的一透視圖和一顯露的平面視圖，該單一電子元件可用於取代在第 1 圖的升壓轉換器電路中的電晶體 11 和二極體 12。使用電子元件 20 取代在升壓轉換器電路的電晶體 11 和二極體 12，即使在當操作期間增加電晶體切換速度時，可導致由該電路產生減少或可忽略的 EMI，其中電晶體 11 和二極體 12 每一者個別地封裝。第 4 圖的透視圖僅顯示該電子元件的封裝，而第 5 圖的平面視圖示例說明該封裝的部份、和封入或封進該封裝的電子裝置。該電子裝置 20 包含：一 III-N 電晶體 21 和 III-N 整流裝置 22，其皆封入、或包入、封進一單一封裝中。

該單一封裝包含：封進的結構部份，例如一外殼 24 和一封裝基部 23、和非結構部份，例如引線 91-95。如同在此所使用者，一封裝的「結構部份」係形成該封裝的基本形狀或製模的部份，和提供必需保護包入的裝置之封裝的結構剛度。在很多情況中，當包含一封裝的一電子元件使用於一離散電路時，該封裝的一結構部份直接裝設於電路或電路板。在第 4 圖的單一封裝中，該封裝基部 23 係由電傳導材料形成，例如該封裝基部 23 係該

封裝的電傳導結構部份，及外殼 24 係由絕緣材料組成。該單一封裝包含：至少三條引線、一閘極引線 91、一源極引線 94、和一陰極引線 95，可選擇性地包含：至少二條額外的引線，例如開放引線（open lead）92 和源極引線 93。引線 91-95 每一者係由電傳導材料形成。源極引線（當被包含時）可電連接至封裝基部 23、或從封裝基部 23 電隔離，和所有其它的引線從封裝基部電隔離。如同在此所使用者，二或多個接點或其它物項若其藉由足以導通以確保在接點或其它物項的每一者之電位所欲為相同（例如在任何偏壓條件下在所有時間點大約相同）的材料連接，可被視為「電連接」。

如同在此所使用者，「單一封裝」係包含包入的、封進的、封入的一或多個電子裝置或元件（例如 III-N 電晶體 21 和 III-N 整流裝置 22）的一封裝，其並不每一者分離於另一者個別地封入或封進一封裝中。意即，單一封裝可具有一或多個電子裝置所位於其內的周圍，和不具有在該單一封裝內分離或在該等電子裝置中的一者和另一者之間的空間之封裝。單一封裝包含：結構部份，例如第 4 圖中的封裝基部 23 和外殼 24，其可形成包入電子裝置或元件的單一凹處。或者，包含在該封裝中的電子裝置或元件可由該封裝基部支撐，及單一外殼 24 可在包入的電子裝置或元件周圍模製，以使得該單一封裝不包含任何凹處或數個凹處（例如該單一封裝不具有任何凹處或數個凹處），及外殼材料接觸包入的電子裝置或元

件。外殼 24 的底面積（例如平行於該封裝基部 23 的主表面測量的外殼之面積）可低於 900 平方毫米（square millimeter）、低於 400 平方毫米、或低於 100 平方毫米。所包入的電子裝置或元件可由該封裝基部 23 支撐。不具有在該等電子裝置的任何者之間的封裝基部材料或外殼材料，例如若具有由外殼 24 所形成的一凹處，該凹處可為一連續的凹處。在包入該單一封裝中的各種電子裝置或元件之間的連接可為打線接合（wire bonding）、或可由打線接合形成。在各種包入的電子裝置或元件之間的連接、及其對另一者或該封裝的部份之連接並不由在一電路板上的電路線路形成。意即，在該單一封裝中的凹處之內部不具有電路線路（例如沉積在電路板上的傳導電路線路）。單一封裝具有機械完整性，而不包含任何額外的外殼。

如同第 6 圖所示者，在一些具體實施例中，封裝基部 23 和外殼 24 可由傳導外殼 123 取代，例如電傳導結構部份，其完全地圍繞在封入的電晶體周圍，在其外殼中源極引線 93（當包含時）電連接至傳導外殼，或從傳導外殼電隔離，及所有其它引線從傳導外殼電隔離。

III-N 電晶體 21 可為場效電晶體（FET），例如高電子遷移率電晶體（HEMT）、異質接面電晶體（HFET）、POLFET、JFET、MESFET、CAVET、或任何其它適合於功率切換應用的 III-N 電晶體結構。適合於功率切換應用的 III-N 電晶體的實例可見於美國公開號

2009-0072272，其於 2009 年 3 月 19 日公開、美國公開號 2009-0072240，其於 2009 年 3 月 19 日公開、美國公開號 2009-0146185，其於 2009 年 6 月 11 日公開、美國專利申請號 12/108,449，其於 2008 年 4 月 23 日提出申請、美國專利申請號 12/332,284，其於 2008 年 12 月 10 日提出申請、美國專利申請號 12/368,248，其於 2009 年 2 月 9 日提出申請、及美國公開號 2009-0072269，其於 2009 年 3 月 19 日公開，全部在此藉由參考方式併入。

在一些實施中，III-N 電晶體 21 係一增強模式 (E-mode) 裝置 (例如一般性地為關閉的裝置)，以使得臨界電壓高於 0V，例如大約 1.5V-2V，或大於 2V。在其它實施中，III-N 電晶體係空乏模式 (D-mode) 裝置 (例如一般性地為開啟的裝置)，以使得臨界電壓低於 0V。在功率切換應用中增強模式裝置為較佳的，以為了避免一旦裝置或電路固障時，裝置突然地開啟。在一些實施中，III-N 電晶體 21 係高電壓切換電晶體。如同在此所使用者，高電壓切換電晶體係最佳地用於高電壓切換應用的電晶體。意即，當電晶體關閉時，其能夠阻絕高電壓，例如大約 300V 或更高、大約 600V 或更高、及大約 1200V 或更高，及當電晶體開啟時，其對所使用在的應用中具有足夠低的開啟電阻 (on-resistance, R_{ON})，例如當大量電流流經該裝置時，其承受足夠低的導通損失。

III-N 電晶體 21 可為一橫向裝置，其在從所有電極的半導體本體的對側上具有絕緣或半絕緣部份，例如在第

7 圖所示例說明的 III-N HEMT。在一些實施中，半絕緣層係藉由摻雜半導體層以提供該層電絕緣來形成，雖然並不如同一些絕緣材料般的絕緣。第 7 圖的 III-N HEMT 包含：絕緣或半絕緣部份 61、含有 III-N 緩衝層 63 的半導體本體 62，例如 GaN 層和 III-N 層載子層 64，如 AlGaN 層、二維電子氣（2DEG）通道 65、源極電極 25、閘極電極 26、和汲極電極 27。III-N HEMT 可選擇性地包含一傳導或半傳導部份 66，例如矽基材。

在一些實施中，並不包含傳導或半傳導部份 66，及絕緣或半絕緣部份 61 係絕緣或半絕緣基材或載體晶圓。在其它實施中，傳導或半傳導部份 66 被包含及其係一矽基材或一電傳導載體晶圓，和絕緣或半絕緣部份 61 係絕緣或半絕緣 III-N 層。如在此所使用者，「基材」係半導體裝置的半導體材料層磊晶生長的頂部之材料層，以使得接觸或相鄰於該基材的半導體材料的部份之晶體結構至少部份地符合或至少部份地由基材的晶體結構決定。在一些實施中，該基材並不對流經該半導體裝置的電流的導通作出任何貢獻。III-N 電晶體 21 為在從所有電極的半導體本體 62 的對側上具有絕緣或半絕緣部份之橫向裝置係有益的，因為當裝設 III-N 電晶體 21 在該封裝內時，在相對電極的一側上的裝置之表面（例如表面 68）可直接裝設於封裝基部 23，而無需絕緣墊片，例如在 III-N 電晶體 21 和封裝基部 23 之間的「墊片（shim）」。

舉例而言，當不包含傳導或半傳導部份 66 時，絕緣或半

絕緣部份 61 可直接裝設於封裝基部 23，而無需在 III-N 電晶體 21 和封裝基部 23 之間的絕緣墊片，及當包含傳導或半傳導部份 66 時，該傳導或半傳導部份 66 可直接裝設於該封裝基部 23，而無需在 III-N 電晶體 21 和封裝基部 23 之間的絕緣墊片。目前使用於傳統功率切換電路中的電晶體（例如 Si CoolMOS 電晶體）典型地為具有在半導體本體的二側的電極之垂直裝置，因而需要在電晶體和封裝基部之間的絕緣墊片，其會導致在電晶體操作期間產生的熱的較差的散逸，及在一些情況中會導致在電路操作期間產生更多的 EMI。

III-N 電晶體 21 亦可包含用於功率切換應用的額外特徵。此些可包含（但不限於）在閘極和半導體本體之間的絕緣層、表面鈍化層、場效電板、在閘極下面半導體本體中的凹處、和額外的半導體層，例如在 III-N 緩衝層 63 和 III-N 載體層 64 之間的 AlN 層，或在 2DEG 65 和絕緣或半絕緣部份 61 之間、或在 2DEG 65 和傳導或半傳導部份 66 之間的 III-N 載體層 64、或 III-N 背載體層（back-barrier layer）。

III-N 整流裝置 22 可為 III-N 二極體。所使用的 III-N 二極體的實例可見於美國專利申請號 12/332,284，其在 2008 年 12 月 10 日提出申請，及在美國公開號 2009-0072269，其在 2009 年 3 月 19 日公開，其二者藉由全文參考方式在此併入。III-N 整流裝置 22 可為橫向 III-N 二極體，其在從所有電極的半導體本體的對側上具

有絕緣或半絕緣部份，例如示例說明於第 8 圖的 III-N 二極體。第 8 圖的 III-N 二極體包含：絕緣或半絕緣部份 61、半導體本體 62，其包含：III-N 緩衝層 63，例如 GaN、和 III-N 載體層 64，例如 AlGaN、及二維電子氣 (2DEG) 通道 65、陽極接點 28，其接觸在相對絕緣或半絕緣部份 61 的一側上的半導體本體 62 和形成與半導體本體 62 的半導體材料之 Schottky 接觸、及陰極接點 29，其形成與 2DEG 通道 65 的歐姆接觸。III-N 二極體可選擇性地包含：傳導或半傳導部份 66，例如矽基材。

在一些實施中，並不包含傳導或半傳導部份 66，及絕緣或半絕緣部份 61 係絕緣或半絕緣基材或載體晶圓。在其它實施中，包含傳導或半傳導部份 66，及其為矽基材或電傳導載體晶圓，及絕緣或半絕緣部份係絕緣或半絕緣 III-N 層。使得 III-N 整流裝置 22 為在從所有電極的半導體本體 62 的對側上具有絕緣或半絕緣部份的一橫向二極體係有益的。當裝設 III-N 二極體在該封裝內時，在相對電極的一側上的裝置之表面（例如表面 69）可直接裝設於封裝基部 23，而無需絕緣墊片，例如在 III-N 二極體 22 和封裝基部 23 之間的「墊片 (shim)」。舉例而言，當不包含傳導或半傳導部份 66 時，絕緣或半絕緣部份 61 可直接裝設於封裝基部 23，而無需在 III-N 二極體 22 和封裝基部 23 之間的絕緣墊片，及當包含傳導或半傳導部份 66 時，傳導或半傳導部 66 可直接裝設於封裝基部 23，而無需在 III-N 二極體 22 和封裝基部 23 之

間的絕緣墊片。目前使用於傳統功率切換電路中的二極體（例如 SiC 二極體）典型地為具有在半導體本體的二側的電極之垂直裝置，因而需要在二極體和封裝基部之間的絕緣墊片，其會導致在二極體操作期間產生的熱之較差的散逸，及在一些情況中會導致在電路操作期間產生更多的 EMI。

使用作為 III-N 整流裝置 22 的 III-N 二極體亦可包含用於功率切換應用的額外特徵。此些可包含（但不限於）表面鈍化層、場效電板、在陽極下面半導體本體中的凹處、和額外的半導體層，例如在 III-N 緩衝層 63 和 III-N 載體層 64 之間的 AlN 層，或在 2DEG 65 和絕緣或半絕緣部份 61 之間的 III-N 載體層 64、或 III-N 背載體層（back-barrier layer）。

在一些實施中，III-N 電晶體 21 係由下者形成（或包含）：相同於 III-N 整流裝置 22 的 III-N 材料層結構（見第 7 圖和第 8 圖）。在一些實施中，III-N 電晶體 21 和 III-N 整流裝置 22 共有一共同的基材，或形成於該共同的基材上。在共同的基材上形成裝置係有益的，因為裝置皆整合進入單一裸晶，及在電極之間的電接觸可為微影定義的（lithographically defined），而並非以打線接合形成，藉此簡化電路和減少生產成本。可由相同 III-N 材料層結構形成（或包含相同 III-N 材料層結構）、及/或共有一共同的基材之 III-N 電晶體和二極體的實例可見於美國專利申請號 12/332,284，其於 2008 年 12 月 10 提出申請。

在一些實施中，III-N 整流裝置係第二 III-N 電晶體，如同第 9 圖所示。III-N 整流裝置藉此當其係由第二 III-N 電晶體形成時，意指為 III-N 整流裝置 22' 或第二 III-N 電晶體 22'。舉例而言，III-N 整流裝置 22' 可由類似於或相同於 III-N 電晶體 21 的結構的 III-N 電晶體所形成。III-N 電晶體係 22' 可為高電壓切換電晶體。III-N 電晶體可使用作為電路中（例如升壓轉換器）的整流裝置的描述方法可見於美國專利申請號 12/556,438，其於 2009 年 9 月 9 日提出申請，在此藉由參考方式全文併入。

當 III-N 二極體係用於 III-N 整流裝置 22，III-N 電晶體 21 和 III-N 二極體裝設於單一封裝內，和以下列方式連接。返回參考至第 6 圖，電連接器 35-39，其可為單一或多個打線接合，可使用以電連接該封裝的部份、III-N 電晶體、和 III-N 二極體至另一者。III-N 電晶體 21 和 III-N 二極體 22 可裝設在具有個別與該封裝基部 23 接觸的絕緣或半絕緣基材的封裝內。III-N 電晶體 21 的源極電極 25 電連接至該封裝的導通結構部份，例如封裝基部 23，或可替代性地電連接至該封裝的源極引線 93，例如藉由傳導連接器 35。III-N 電晶體 21 的閘極電極 26 電連接至該封裝的閘極引線 91，例如藉由傳導連接器 36。III-N 電晶體 21 的汲極電極 27 電連接至 III-N 二極體的陽極接觸 28，例如藉由傳導連接器 38。汲極電極 27 和陽極接觸 28 皆電連接至該封裝的汲極引線 94，例如藉由打線接合此些接觸/電極的一或二者至汲極引線 94，其

如同所示者係藉由傳導連接器 37。III-N 二極體的陰極接觸 29 電連接至該封裝的陰極引線 95，例如藉由傳導連接器 39。

當第二 III-N 電晶體係使用於 III-N 整流裝置 22'，第一 III-N 電晶體 21 和第二 III-N 電晶體 22' 可裝設在單一封裝內和以下列方式連接。參照至第 9 圖，III-N 電晶體 21 和第二電晶體 22' 可裝設在具有個別與該封裝基部 23 接觸的絕緣或半絕緣基材的封裝內。III-N 電晶體 21 的源極電極 25 電連接至該封裝的導通結構部份，例如封裝基部 23，或可替代性地電連接至該封裝的源極引線 93，例如藉由傳導連接器 35。III-N 電晶體 21 的閘極電極 26 電連接至該封裝的閘極引線 91，例如藉由傳導連接器 91。III-N 電晶體 21 的汲極電極 27 電連接至第二 III-N 電晶體 22' 的源極電極 28'，例如藉由傳導連接器 38。第一電晶體的汲極電極 27 和第二電晶體的源極電極 28' 二者電連接至該封裝的汲極引線 94，例如藉由打線接合此些電極的一或二者至汲極引線，例如藉由傳導連接器 37。第二 III-N 電晶體 22' 的汲極電極 29' 電連接至該封裝的陰極引線 95，例如藉由傳導連接器 39。第二 III-N 電晶體 22' 的閘極電極 58' 可電連接至該封裝的引線 92，例如藉由傳導連接器 59。

當第 6 圖的電子元件使用於升壓轉換器電路或在許多其它電路中時，III-N 電晶體 21 的源極電極 25 電連接至 DC 接地、AC 接地、或電路接地。如同在此所使用者，

節點、裝置、層或元件若其在操作期間於所有的時間點維持在固定的 DC 電位，可被視為「AC 接地 (AC grounded)」。AC 和 DC 接地可共同意指為「電路接地 (circuit grounded)」。當源極電極 25 電連接至封裝基部 23 時，源極電極 25 可藉由裝設封裝基部 23 至電路的接地面，而為 DC 或 AC 接地。在此情況中，可忽略封裝引線 92 和 93，導致封裝僅具有 3 條引線，其具有例如閘極引線 91 的一引線，其連接至電晶體閘極電極 26、例如汲極引線 94 的一引線，其連接至電晶體汲極電極 27、及例如陰極引線 95 的一引線，其連接至二極體陰極接觸 29。形成僅具有三條引線的裝置係有益的，因為具有許多僅可用於 3 條引線的標準商業可獲用的封裝。當該封包含有：源極引線 93，及該源極電極 25 電連接至源極引線 93，該源極電極 25 藉由連接源極引線 93 至電路接地，或另外地使源極引線 93 電連接至封裝基部 23 和連接封裝基部至電路接地，而可為 DC 或 AC 接地。無關於在封裝上引線的數目，引線可從該封裝的一側到另一側以任何所欲次序排序，此次序並不限於顯示於第 6 圖的實例。理想上，可排序此些引線以使得所有電連接器的總長度及/或電晶體、二極體、封裝引線網絡的總底面積 (footprint) 最小化，藉此減小寄生效應和潛在性地減小在電路操作期間所產生的 EMI。

雖然所欲者為使得第 6 圖和第 9 圖的 III-N 電晶體 21 為增強模式裝置，在實施上其難以製造具有足夠大於 0V

而又具有使用於高功率切換應用的所欲特性之臨界電壓的 III-N 電晶體。此問題可藉由下列方式解決：使用一高電壓 III-N 空乏模式 (D-mode) 電晶體 21'，其在此為 III-N 空乏模式電晶體 21'，及一低電壓增強模式電晶體，41 其在此為增強模式電晶體 (E-mode) 電晶體 41，來取代第 6 圖中的 III-N 電晶體 21，其如同第 10 圖所示連接。

第 10 圖顯示可用於取代第 1 圖的升壓轉換器電路的電晶體 11 和二極體 12 二者的另外單一電子元件 40 的平面視圖。使用電子元件 40 取代在升壓轉換器電路中的電晶體 11 和二極體 12，其中電晶體 11 和二極體 12 每一者個別地封裝，其可導致即使當電晶體在電路操作期間以較高的切換速度操作時減少或可忽略的由該電路所產生的 EMI。第 10 圖中的顯露平面視圖示例說明封裝的部份和封入該封裝中的電子裝置（並未顯示全部）。電子裝置 40 包含：全部封入一單一封裝的一高電壓 III-N 空乏模式電晶體 21'、一低電壓增強模式電晶體 41、和一 III-N 整流裝置 22。使用於第 10 圖的單一電子元件 40 的封裝與個別使用於第 6 圖和第 9 圖的單一電子元件 20 和 20' 相同，例如用於單一電子元件 40 的封裝可為第 4 圖的封裝。III-N 整流裝置 22 可為 III-N 二極體，如同第 6 圖者，或替代性地為一第二 III-N 電晶體，如第 9 圖者，及具有與第 6 圖或第 9 圖中的單一電子元件中的 III-N 整流裝置 22 相同的需求和結構。

III-N 空乏模式 (D-mode) 電晶體 21' 係一高電壓裝置，

及藉此至少能夠隔絕橫跨於第 1 圖的傳統升壓轉換器電路中的電晶體 11 的降落的最大壓降，其用於高電壓應用可為 300V、600V、1200V，或其它應用上所需的其它適當隔絕電壓。換言之，III-N 空乏模式 (D-mode) 電晶體 21' 可隔絕 0V 和至少 V_{max} 之間的任何電壓，其中 V_{max} 係橫跨於電晶體 11 降落的最大電壓。在一些實施中，III-N 空乏模式電晶體 21' 可隔絕在 0V 和至少 $2 * V_{max}$ 之間的任何電壓。典型的用於高電壓裝置的 III-N 空乏模式 (D-mode) 電晶體臨界電壓 V_{th} 大約為 -5V 至 -10V ($D-mode = \text{負 } V_{th}$)。增強模式 (E-mode) 電晶體 41 可隔絕 0V 和至少 $|V_{th}|$ 之間的任何電壓，其中 $|V_{th}|$ 係 III-N 空乏模式 (D-mode) 電晶體 21' 的臨界電壓之大小 (絕對值)。在一些實施中，增強模式 (E-mode) 電晶體 41 可隔絕在 0V 和至少大約 $2 * |V_{th}|$ 之間的任何電壓。因此，當必須能夠隔絕的電壓實質地低於電路高電壓時，增強模式電晶體 41 係低電壓裝置。在一些實施中，III-N 空乏模式 (D-mode) 電晶體 21' 可隔絕 0V 和至少大約 1200V 之間的任何電壓，和具有大約為 -5V 的臨界電壓，及增強模式 (E-mode) 電晶體 41 可隔絕在 0V 和至少大約 5V 之間的任何電壓，例如至少大約 10V。在一些實施中，III-N 空乏模式 (D-mode) 電晶體 21' 係高電壓 III-N HEMT 裝置，而增強模式 (E-mode) 電晶體 41 係 Si MOS 裝置或 III-N HEMT 裝置。在其它實施中，增強模式 (E-mode) 電晶體 41 係氮面 (nitrogen-face) III-N 裝置，而 III-N

空乏模式 (D-mode) 電晶體 21' 係 III-面 (III-face) III-N 裝置。

當 III-N 二極體係用於 III-N 整流裝置 22，及 Si MOS 裝置係用於增強模式 (E-mode) 電晶體 41，III-N 空乏模式 (D-mode) 電晶體 21'、增強模式 (E-mode) 電晶體 41、和 III-N 二極體 22 裝設於單一封裝內部，及如同下列方式連接。參照至第 10 圖，電連接器 37'、38'、39 和 52-55，其可為單一或多打線接合，可用於電連接該封裝的部份、III-N 空乏模式 (D-mode) 電晶體 21'、增強模式 (E-mode) 電晶體 41、及 III-N 二極體 22 至另一者。III-N 空乏模式 (D-mode) 電晶體 21' 和 III-N 二極體 22 二者可裝設於具有個別與封裝基部 23 接觸的絕緣或半絕緣基材、或個別傳導或半傳導基材的封裝內，而增強模式 (E-mode) 電晶體 41 裝設於絕緣層上，及相對增強模式 (E-mode) 電晶體 41 的墊片之側部接觸封裝基部 23。對傳統 Si MOS 裝置需在 Si MOS 裝置和封裝基部 23 之間置入絕緣墊片，因為傳統 Si MOS 裝置傾向為：在從其源極電極 42 的半導體本體的相對端上具有汲極接觸的垂直裝置。III-N 空乏模式 (D-mode) 電晶體 21' 的閘極電極 26' 和增強模式 (E-mode) 電晶體源極電極 42 (Si MOS 裝置的源極電極) 皆電連接至該封裝的傳導結構部份，例如封裝基部 23，或替代性地電連接至該封裝的源極引線 93。傳導連接器 55 可使用於電連接增強模式 (E-mode) 電晶體源極電極 42 至該封裝基部 53，或

電連接至源極引線 93。增強模式 (E-mode) 電晶體閘極電極 43 (Si MOS 裝置的閘極電極) 電連接至該封裝的閘極引線 91，例如藉由傳導連接器 54。增強模式 (E-mode) 電晶體汲極電極 44 (Si MOS 裝置的汲極電極) 電連接至 III-N 空乏模式 (D-mode) 電晶體 21' 的源極接觸 25'，例如藉由傳導連接器 52。III-N 空乏模式 (D-mode) 電晶體 21' 的汲極電極 27' 電連接至 III-N 二極體的陽極接觸 28，例如藉由傳導連接器 53。汲極電極 27' 和陽極接觸 28 皆電連接至該封裝的汲極引線 94，例如藉由打線接合此些接觸/電極的一或二者至汲極引線 94。III-N 二極體的陰極接觸 29 電連接至該封裝的陰極引線 95，例如藉由傳導連接器 39。

當低電壓 III-N 增強模式裝置使用於增強模式 (E-mode) 電晶體 41，電連接與第 10 圖所示者相同。然而，低電壓 III-N 增強模式裝置可包含：絕緣或半絕緣部份，例如絕緣和半絕緣基材，在其中 III-N 增強模式裝置可直接裝設於具有與該封裝基部接觸或在該封裝基部 23 和裝置通道之間的絕緣或半絕緣部份的該封裝基部 23。

在第 10 圖中的組件 60，其包含：如同所示連接的高電壓 III-N 空乏模式 (D-mode) 電晶體 21' 和低電壓增強模式 (E-mode) 電晶體 41，可類似或相同於單一高電壓 III-N 增強模式 (E-mode) 電晶體來操作，例如一般性地為關閉的開關，其具有和增強模式 (E-mode) 電晶體 41

大約相同的臨界電壓和類似於 III-N 空乏模式 (D-mode) 電晶體 21' 的崩潰電壓。意即，施用至相對於該封裝基部 23 的閘極引線 91 或源極引線 93 的輸入電壓訊號可在汲極引線 94 處產生：相同於當單一高電壓 III-N 增強模式 (E-mode) 電晶體取代組件 60 和如第 6 圖和第 9 圖所示連接時所產生的輸出訊號。高電壓 III-N 空乏模式 (D-mode) 電晶體和低電壓增強模式 (E-mode) 電晶體皆可較輕易地製造，及相對於高電壓 III-N 增強模式 (E-mode) 裝置可再生產地製造，故第 10 圖的電子元件 40 個別相對於第 6 圖和第 9 圖的電子元件 20 和 20' 較容易製造。

使用第 6 圖的電子元件 20 的升壓轉換器電路的電路示意圖顯示於第 11 圖中，而第 12 圖顯示使用第 10 圖的電子元件 40 的升壓轉換器電路的電路示意圖。在第 11 圖和第 12 圖中，節點 191 電連接至電子元件 20 或 40 的封裝引線 91、節點 194 電連接至電子元件 20 或 40 的封裝引線 94、節點 195 電連接至電子元件 20 或 40 的封裝引線 95，及節點 193 電連接至封裝引線 93 或電連接至電子元件 20 或 40 的封裝基部 23。

第 13 圖顯示由申請人在電路操作期間在第 12 圖的升壓轉換器電路的輸出節點 5 所測量的輸出電壓雜訊對時間的示圖。對此測量而言，高電壓 III-N 空乏模式 (D-mode) 異質接面場效電晶體可用於 III-N 空乏模式 (D-mode) 電晶體 21'，低電壓 Si MOS 增強模式

(E-mode)裝置可使用於增強模式(E-mode)電晶體 41，III-N 二極體可使用於二極體 22，及電路操作條件與第 3 圖者相同。電晶體以 200Volts/nanosecond 的切換速度切換。如同所觀察者，在輸出節點 5 所測量的振鈴 9 相較於在第 3 圖中在輸出節點測量的振鈴小得多。峰值輸出電壓雜訊低於 1V，其小於在第 3 圖中測量的峰值輸出電壓雜訊 10 倍以上。若個別使用第 6 圖和第 9 圖的電子元件 20 或 20'以取代電子元件 40，如同第 11 圖的電路，即使使用進一步的及/或更高的切換速度，亦可減少 EMI 而不產生較高準位的 EMI。

在第 12 圖的電路中所觀察到的 EMI 的減少，其相較於在第 3 圖中包含小數量的離散裝置而其中個別地封裝電晶體和二極體的升壓轉換器電路所示例說明者，可歸因於寄生電阻、電容、及/或電感的減少，此些減少可藉由使用封入所有二極體和電晶體的單一封裝來促進。在第 1 圖的電路中，其中電晶體 11 和二極體 12 個別地封裝，電路底面積的面積和電連接的長度係由個別的封裝所限制而太大，因此導致不能容忍的高寄生效應和產生大的 EMI，即使係當 III-N 裝置係使用於電晶體 11 和電晶體 12。使用封入或封進在第 12 圖的電路中的整流裝置和電晶體的單一封裝可允許較小的電路底面積和較短的電連接器，例如在電極和元件之間的打線接合，藉此減小寄生電阻、電容、及/或電感。因此，個別的第 6 圖、第 9 圖、和第 10 圖的電子元件 20、20'需經組態以使得

寄生電阻、電容和電感最小化，例如其需經組態以使得底面積的面積和電連接器的長度最小化。對第 10 圖的電子元件 40 而言，當 Si MOS 裝置使用於增強模式（E-mode）電晶體 41 時，對 Si MOS 裝置具有儘可能小的汲極面積（如平行於該封裝基部 23 的主表面所測量者）亦為較佳的，因為大的汲極對接地電容（其導因於僅藉由絕緣墊片從封裝基部 23 分離的汲極）可進一步在電路產生 EMI。再者，因為第 6 圖和第 9 圖的電子元件 20 和 20' 相較於第 10 圖中的電子元件 40，個別地包含較少數量的離散裝置，及在電子元件 20 和 20' 中的所有二極體和電晶體可裝設於封包基部 23，而無需絕緣墊片，由使用電子元件 20 或 20' 的電路所產生的 EMI 甚至小於將電子元件 20 或 20' 以電子元件 40 取代的相同電路所產生的 EMI，及/或可使用較高的切換速度，而不產生較高準位的 EMI。

第 14 圖和第 15 圖顯示第 12 圖的升壓轉換器的效率 121 和功率損失 122 對輸出功率的示圖，其包含第 10 圖的電子元件 40。電子元件 40 包含：一高電壓 III-N 空乏模式 HEMT、一低電壓增強模式 Si MOS 電晶體、及一 III-N 二極體。就第 14 圖和第 15 圖二者的測量，電壓從 200V 轉換至 400V，例如轉換率為 1:2。就第 14 圖的測量，電路操作於 100kHz 的頻率，而就第 15 圖的測量，電路操作於 1MHz 的頻率。如在第 14 圖所觀察到者，在 100kHz 時升壓轉換器在大約 50W 和 700W 之間的所有輸

出功率呈現大於 97.8%的效率，其具有大於約 99%的峰值效率。如同第 15 圖所觀察者，在 1MHz 時升壓轉換器在大約 50W 和 700W 之間的所有輸出功率呈現大於 91.8%的效率，其具有大於約 97.8%的峰值效率。

已描述了數個實施。然而，將可了解到可作出各種修正，而不偏離在此描述的技術和裝置的精神和範圍。從而，其它實施係在接續的申請專利範圍的範疇中。

【圖式簡單說明】

第 1 圖係習知技術的電壓轉換器電路之電路示意圖。

第 2 圖係在第 1 圖中的電路之電晶體的電晶體源極-汲極電流對時間和源極-汲極電壓對時間的代表圖。

第 3 圖係在第 1 圖中的電壓轉換器電路之輸出節點上暫態電壓雜訊對時間之示圖。

第 4 圖和第 5 圖個別係電子元件的透視視圖和顯露平面視圖。

第 6 圖係電子元件的透視圖。

第 7 圖係 III-N HEMT 裝置的示意性橫截面視圖。

第 8 圖係 III-N 二極體的示意性橫截面視圖。

第 9 圖和第 10 圖係電子元件的顯露平面視圖。

第 11 圖和第 12 圖係電壓轉換器電路的電路示意圖。

第 13 圖係在第 12 圖的電壓轉換器電路的輸出節點上暫態電壓雜訊對時間之示圖。

第 14 圖和第 15 圖係第 12 圖的升壓轉換器電路的效率和功率損失對輸出功率之示圖。

在不同的圖式中相同的參考符號代表相同的元件。

【主要元件符號說明】

5 輸出節點	41 增強模式電晶體
10 電感器	42 增強模式電晶體源極電極
11 電晶體	43 增強模式電晶體閘極電極
12 二極體	44 增強模式電晶體汲極電極
13 電容器	52-55 電連接器
14 整流裝置	59 傳導連接器
15 電容器	60 組件
20、20' 電子元件	61 絕緣或半絕緣部份
21、21' III-N 電晶體	62 半導體本體
22、22' III-N 整流裝置	63 III-N 緩衝層
23 封裝基部	64 III-N 載體層
24 外殼	65 二維電子氣 (2DEG) 通道
25 源極電極	66 傳導或半傳導部份
25' 源極接觸	68、69 表面
26、26' 閘極電極	91-95 引線
27、27' 汲極電極	123 傳導外殼
28、28' 陽極接點	191、193、194、195 節點
29 陰極接點	

29' 汲極電極

35-39 電連接器

37'、38' 電連接器

40 電子元件

七、申請專利範圍：

1. 一種電子元件，該電子元件包含：

一 III-N 電晶體；

一 III-N 整流裝置；及

一單一封裝，該單一封裝封入該 III-N 電晶體和該 III-N 整流裝置二者，其中

該 III-N 電晶體的一閘極電極電連接至該單一封裝的一第一引線，或電連接至該單一封裝的一傳導結構部分，

該 III-N 電晶體的一汲極電極電連接至該單一封裝的一第二引線，以及電連接至該 III-N 整流裝置的一第一電極，以及

該 III-N 整流裝置的一第二電極電連接至該單一封裝的一第三引線。

2. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體係一場效電晶體。

3. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體係一高電壓切換電晶體。

4. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體係一增強模式裝置。

5. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 整流裝置係一 III-N 二極體，該第一電極係一陽極電極，及該第二電極係一陰極電極。

6. 如申請專利範圍第 5 項所述之電子元件，其中該 III-N 電晶體係一橫向裝置，該橫向裝置包含：一絕緣或半絕緣部分，及該絕緣或半絕緣部分直接裝設於該單一封裝的該傳導結構部份，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

7. 如申請專利範圍第 6 項所述之電子元件，其中該絕緣或半絕緣部分係一絕緣或半絕緣基材。

8. 如申請專利範圍第 5 項所述之電子元件，其中該 III-N 電晶體係一橫向裝置，該橫向裝置包含：一傳導或半傳導基材，而且一絕緣或半絕緣 III-N 層係在該傳導或半傳導基材和該 III-N 電晶體的一通道之間，其中該傳導或半傳導基材直接裝設於該單一封裝的該傳導結構部分，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

9. 如申請專利範圍第 8 項所述之電子元件，其中該傳導或半傳導基材係一半傳導矽基材。

10. 如申請專利範圍第 5 項所述之電子元件，其中該 III-N 電晶體和該 III-N 二極體位於一共同的基材上。

11. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體係一第一 III-N 電晶體，及該 III-N 整流裝置係一第二 III-N 電晶體。

12. 如申請專利範圍第 11 項所述之電子元件，其中該第一 III-N 電晶體或該第二 III-N 電晶體係一橫向裝置，該橫向裝置包含：一絕緣或半絕緣部分，而且該絕緣或半絕緣部分直接裝設於該單一封裝的該傳導結構部分，而不具有在該第一 III-N 電晶體和該單一封裝的該傳導結構部分之間或在該第二 III-N 電晶體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

13. 如申請專利範圍第 12 項所述之電子元件，其中該絕緣或半絕緣部分係一絕緣或半絕緣基材。

14. 如申請專利範圍第 11 項所述之電子元件，其中該第一 III-N 電晶體或該第二 III-N 電晶體係一橫向裝置，該橫向裝置包含：一傳導或半傳導基材以及在該傳導或半傳導基材和該第一 III-N 電晶體或該第二 III-N 電晶體的一通道之間的一絕緣或半絕緣 III-N 層，其中

該傳導或半傳導基材直接裝設於該單一封裝的該傳導

結構部分，而不具有在該 III-N 電晶體和該單一封裝的該傳導結構部分之間或在該 III-N 二極體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

15. 如申請專利範圍第 14 項所述之電子元件，其中該傳導或半傳導基材係一矽基材。

16. 如申請專利範圍第 11 項所述之電子元件，其中該第一 III-N 電晶體和該第二 III-N 電晶體形成於一共同的基材上。

17. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體的一源極電極電連接至該單一封裝的一傳導結構部分，或電連接至該單一封裝的一源極引線。

18. 如申請專利範圍第 1 項所述之電子元件，其中該 III-N 電晶體係一 III-N 空乏模式電晶體，及該電子元件進一步包含：封入該單一封裝的一增強模式電晶體，該增強模式電晶體包含：一增強模式電晶體源極電極、一增強模式電晶體閘極電極及一增強模式電晶體汲極電極，其中

該增強模式電晶體源極電極電連接至該單一封裝的該傳導結構部分，或電連接至該單一封裝的一源極引線，該增強模式電晶體汲極電極電連接至該 III-N 空乏模式

電晶體的一源極電極，以及該增強模式電晶體閘極電極電連接至該單一封裝的該第一引線。

19. 如申請專利範圍第 18 項所述之電子元件，其中該 III-N 空乏模式電晶體係一高電壓切換電晶體，及該增強模式電晶體係一低電壓電晶體。

20. 如申請專利範圍第 19 項所述之電子元件，其中該增強模式電晶體係一 Si MOS 裝置。

21. 如申請專利範圍第 1 項所述之電子元件，其中該電子元件係一電壓轉換器的一部分。

22. 如申請專利範圍第 5 項所述之電子元件，其中該 III-N 二極體係一橫向裝置，該橫向裝置包含：一傳導或半傳導基材，而且一絕緣或半絕緣 III-N 層係在傳導或半傳導基材和該 III-N 二極體的一通道之間，其中

該傳導或半傳導基材直接裝設於該單一封裝的該傳導結構部分，而不具有在該 III-N 二極體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

23. 如申請專利範圍第 22 項所述之電子元件，其中該傳導或半傳導基材係一半傳導矽基材。

24. 如申請專利範圍第 5 項所述之電子元件，其中該 III-N 二極體係一橫向裝置，該橫向裝置包含：一絕緣或半絕緣部分，該絕緣或半絕緣部分直接裝設於該單一封裝的該傳導結構部分，而不具有在該 III-N 二極體和該單一封裝的該傳導結構部分之間的一絕緣墊片。

25. 如申請專利範圍第 24 項所述之電子元件，其中該絕緣或半絕緣部分係一絕緣或半絕緣基材。

26. 一種電子元件，該電子元件包含：

- 一 III-N 空乏模式電晶體；

- 一增強模式電晶體；

- 一 III-N 整流裝置；及

- 一單一封裝，該單一封裝封入：該 III-N 空乏模式電晶體、該增強模式電晶體及該 III-N 整流裝置中的每一者；其中

該 III-N 空乏模式電晶體的一閘極電極電連接至該增強模式電晶體的一源極電極，該 III-N 空乏模式電晶體的一源極電極電連接至該增強模式電晶體的一汲極電極，該 III-N 空乏模式電晶體的一汲極電極電連接至該單一封裝的一第二引線和電連接至該 III-N 整流裝置的一第一電極，及該 III-N 整流裝置的一第二電極電連接至該單一封裝的一第一引線。

27. 如申請專利範圍第 26 項所述之電子元件，其中該增強模式電晶體係一 Si MOS 裝置。

28. 如申請專利範圍第 26 項所述之電子元件，其中該 III-N 整流裝置係一 III-N 二極體，該第一電極係一陽極電極，及該第二電極係一陰極電極。

29. 如申請專利範圍第 26 項所述之電子元件，其中該電子元件係一電壓轉換器的一部分。

30. 如申請專利範圍第 26 項所述之電子元件，其中該 III-N 空乏模式電晶體和該 III-N 整流裝置位在一共同的基材上。

31. 一種電子元件，該電子元件包含：

- 一 III-N 空乏模式電晶體；

- 一增強模式電晶體；

- 一 III-N 整流裝置；及

- 一單一封裝，該單一封裝封入：該 III-N 空乏模式電晶體、該增強模式電晶體及該 III-N 整流裝置中的每一者，該單一封裝包含：一第一引線和一第二引線；其中該 III-N 空乏模式電晶體的一閘極電極電連接至該單一封裝的該第一引線，或電連接至該單一封裝的一傳導結構部分，該 III-N 空乏模式電晶體的一源極電極電連接

至該增強模式電晶體的一汲極電極，該 III-N 空乏模式電晶體的一汲極電極電連接至該 III-N 整流裝置的一第一電極，以及該 III-N 整流裝置的一第二電極電連接至該單一封裝的該第二引線。

32. 如申請專利範圍第 31 項所述之電子元件，其中該 III-N 空乏模式電晶體的該汲極電極亦電連接至該單一封裝的一第三引線。

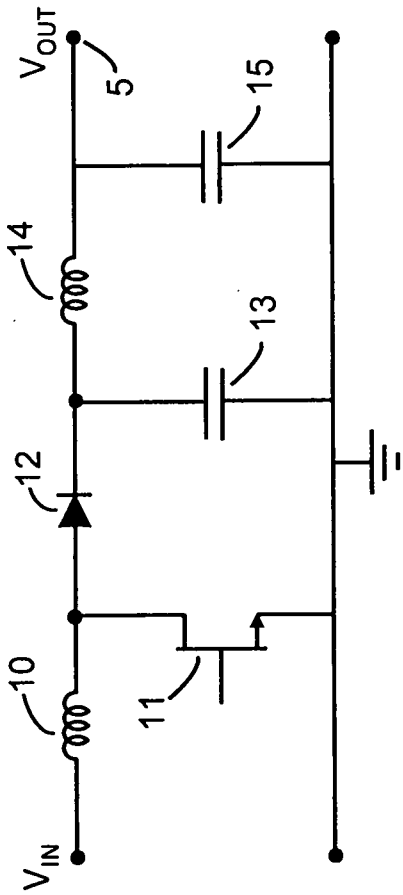
33. 如申請專利範圍第 31 項所述之電子元件，其中該 III-N 整流裝置包含：一二極體，及該 III-N 整流裝置的該第一電極包含：一陽極。

34. 如申請專利範圍第 31 項所述之電子元件，其中該電子元件係一電壓轉換器的一部分。

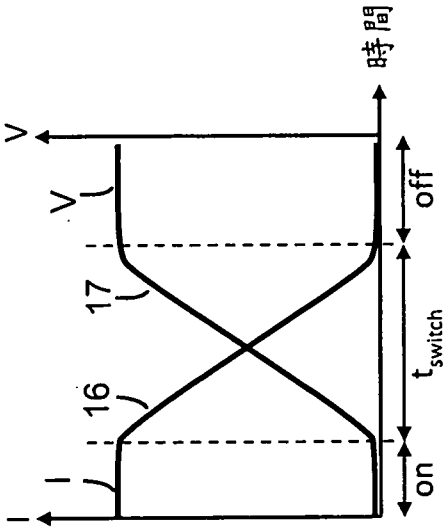
35. 如申請專利範圍第 31 項所述之電子元件，其中該 III-N 空乏模式電晶體和該 III-N 整流裝置位在一共同的基材上。

36. 如申請專利範圍第 31 項所述之電子元件，其中該 III-N 空乏模式電晶體的該汲極電極電連接至該單一封裝的該第二引線。

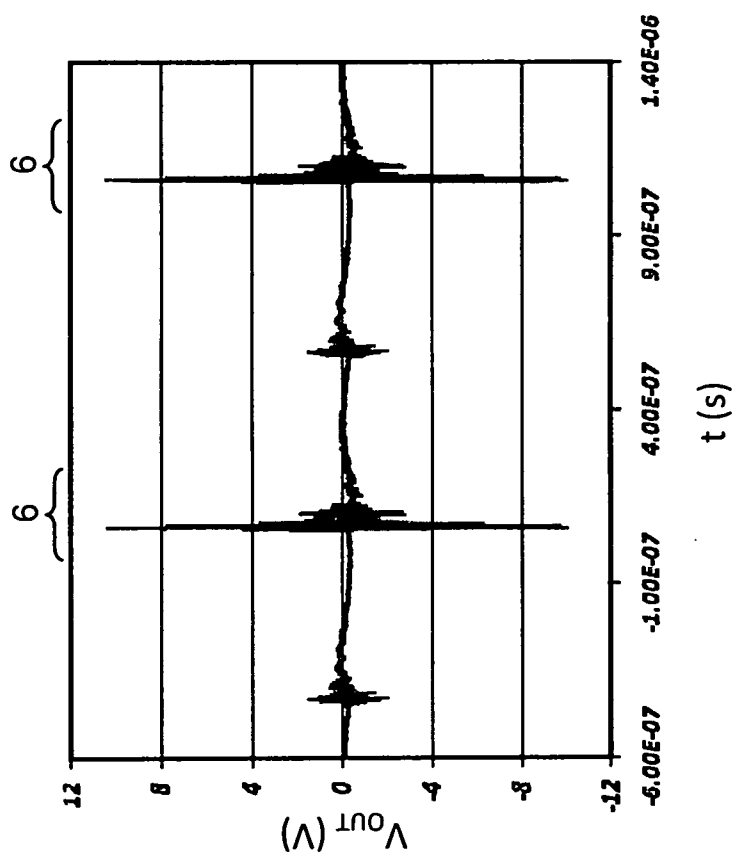
八、圖式：



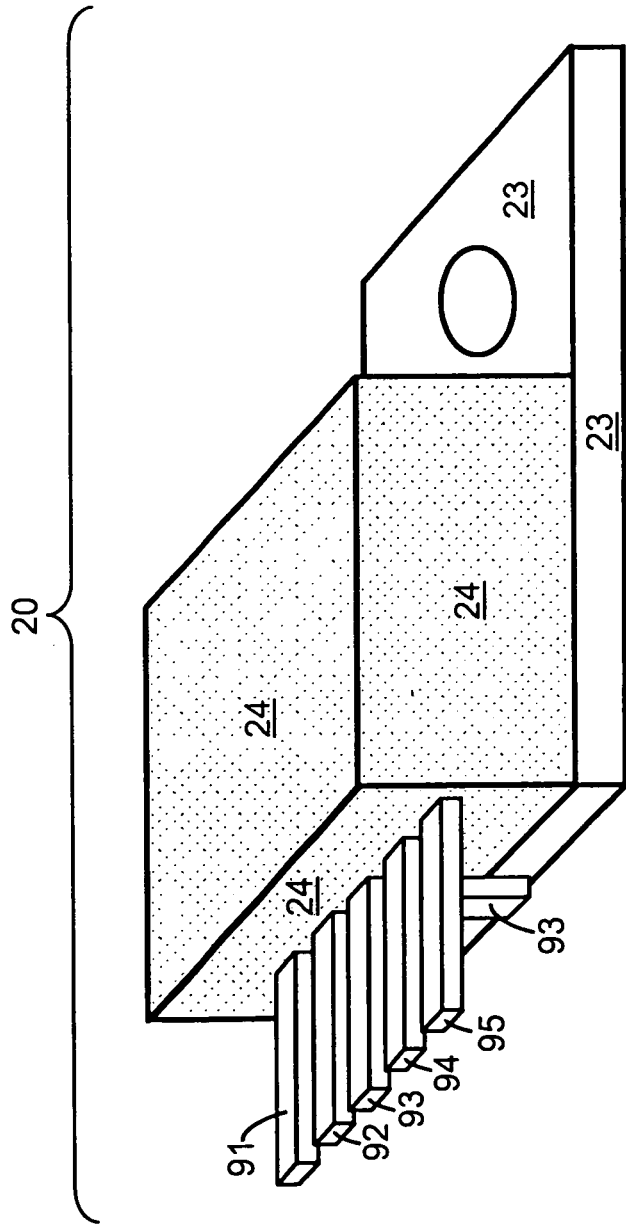
第 1 圖(先前技術)



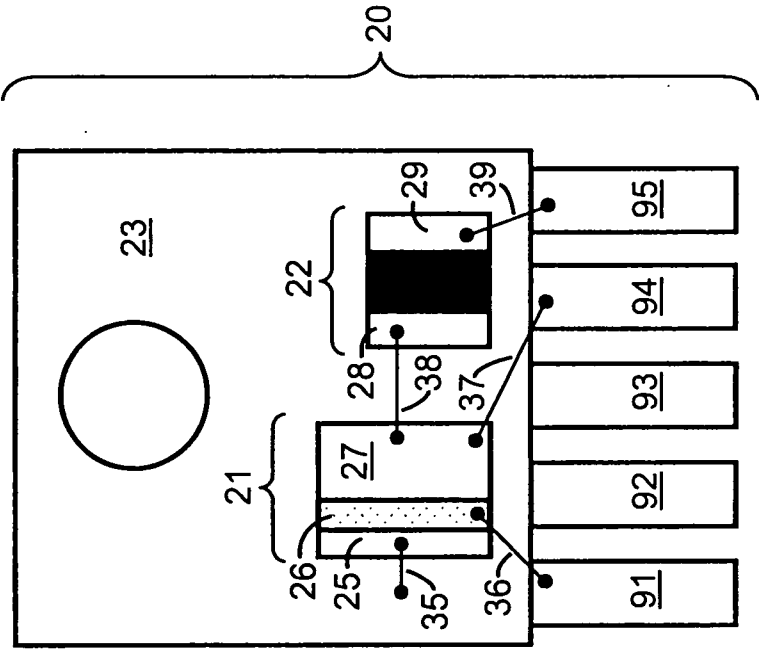
第 2 圖



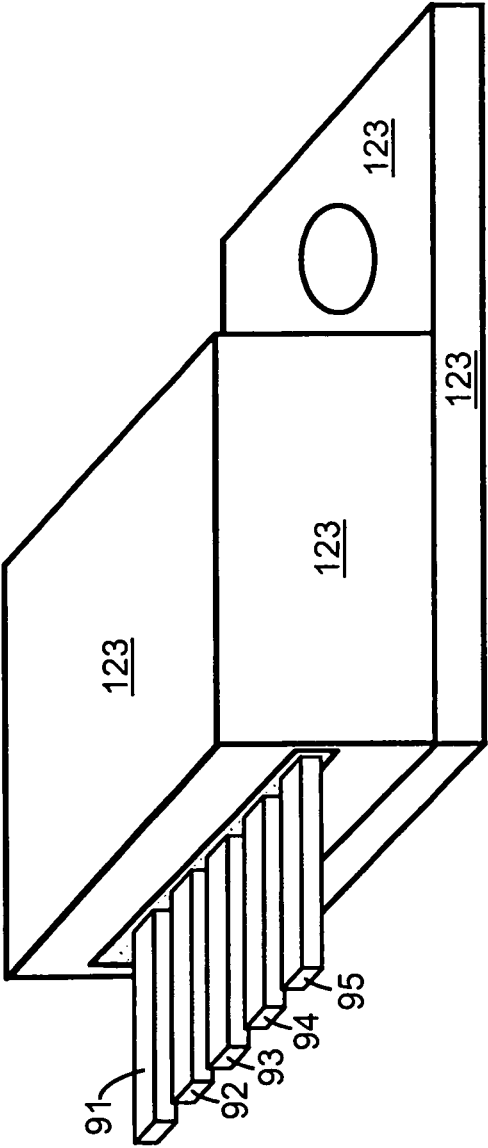
第 3 圖



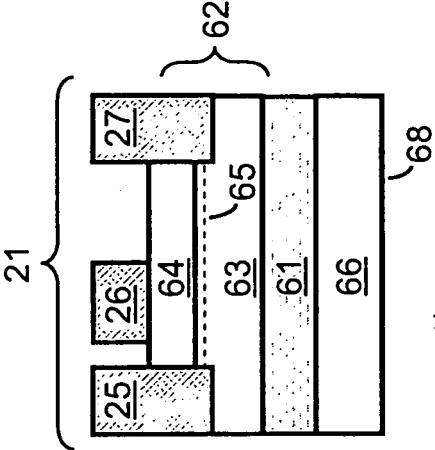
第 4 圖



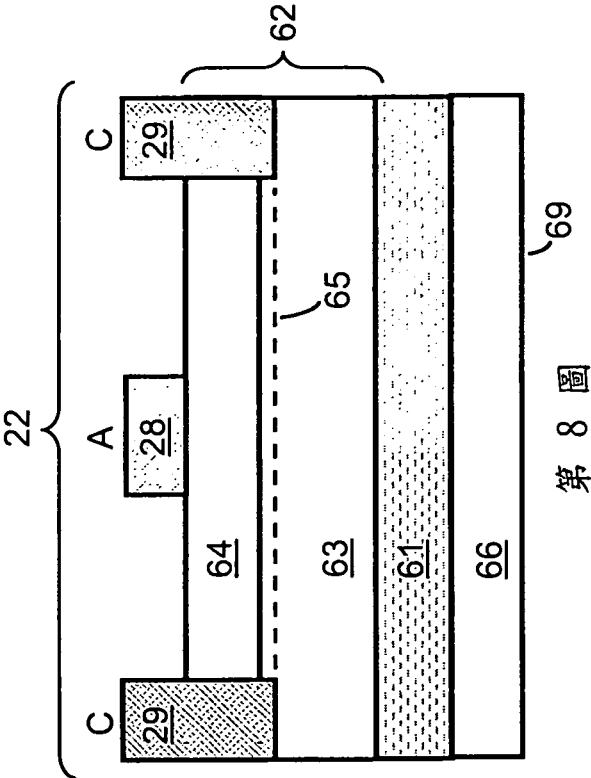
第 5 圖



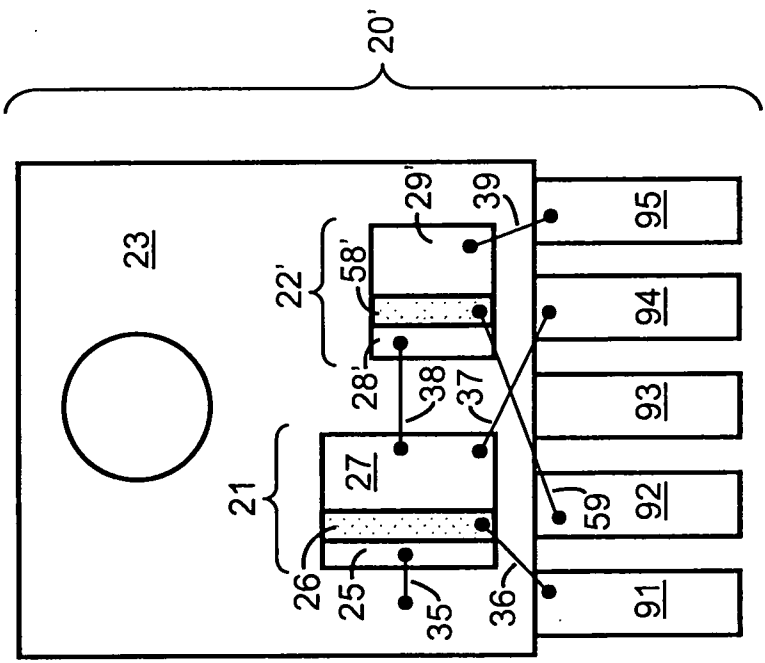
第 6 圖



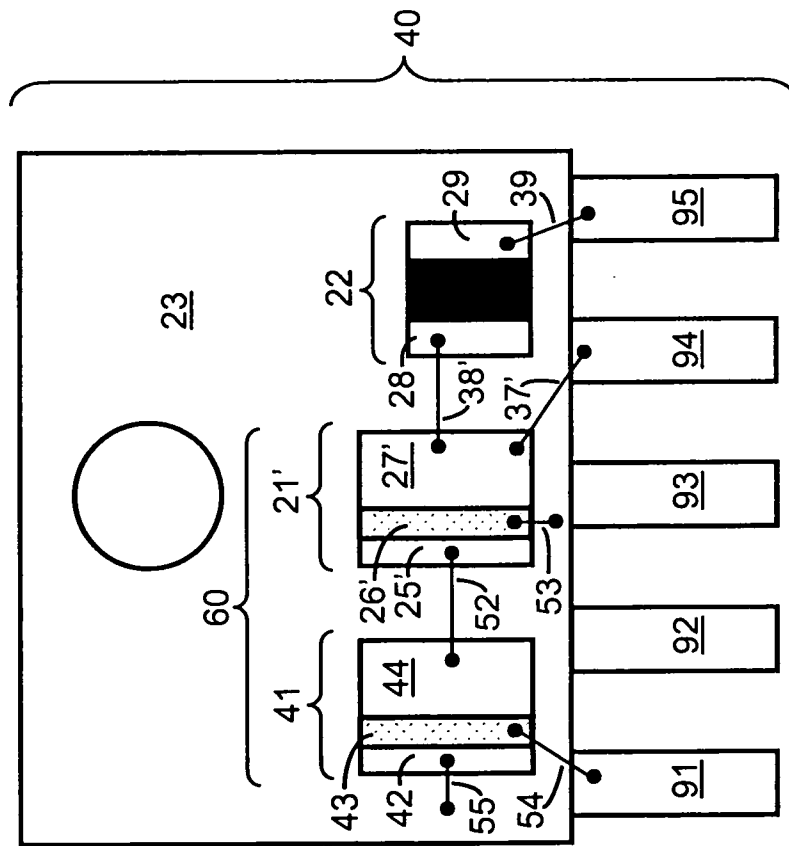
第 7 圖



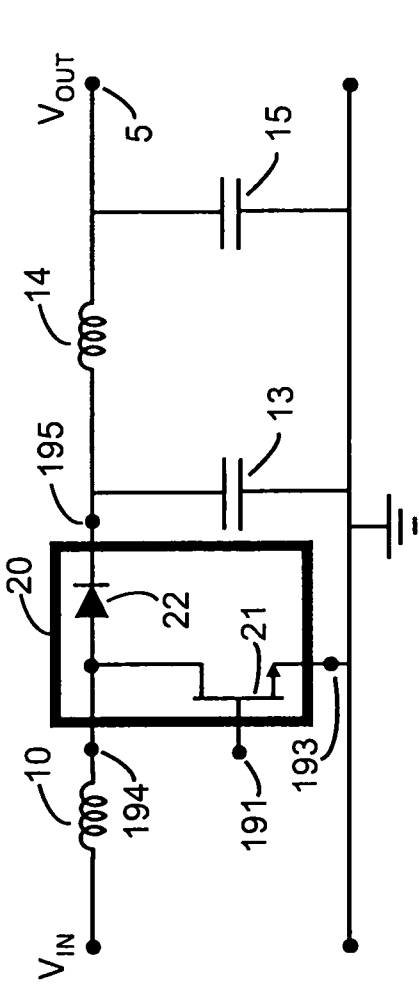
第 8 圖



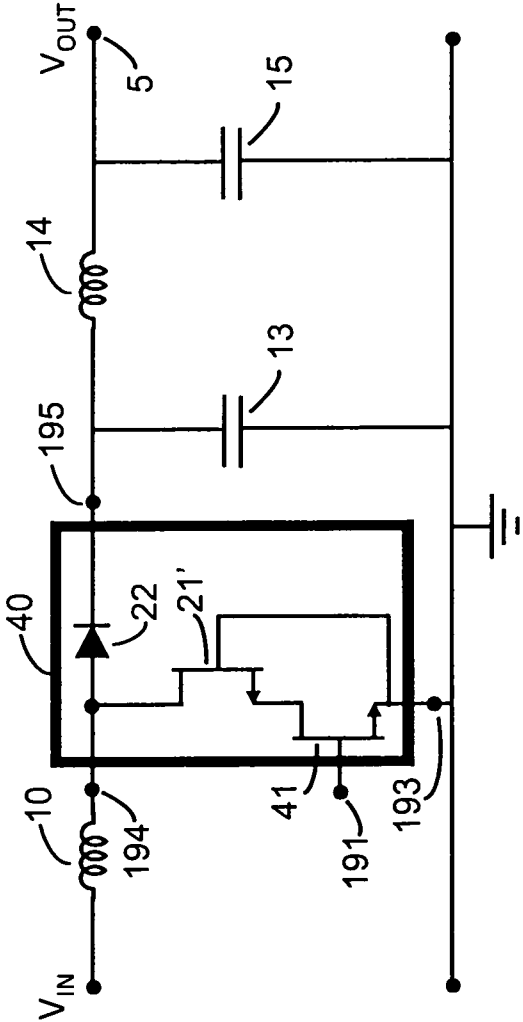
第 9 圖



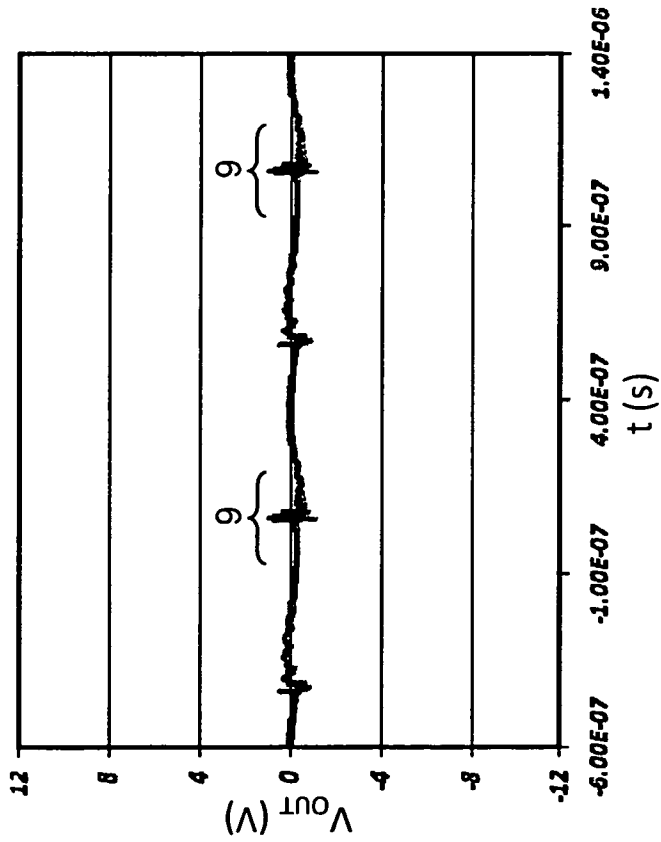
第 10 圖



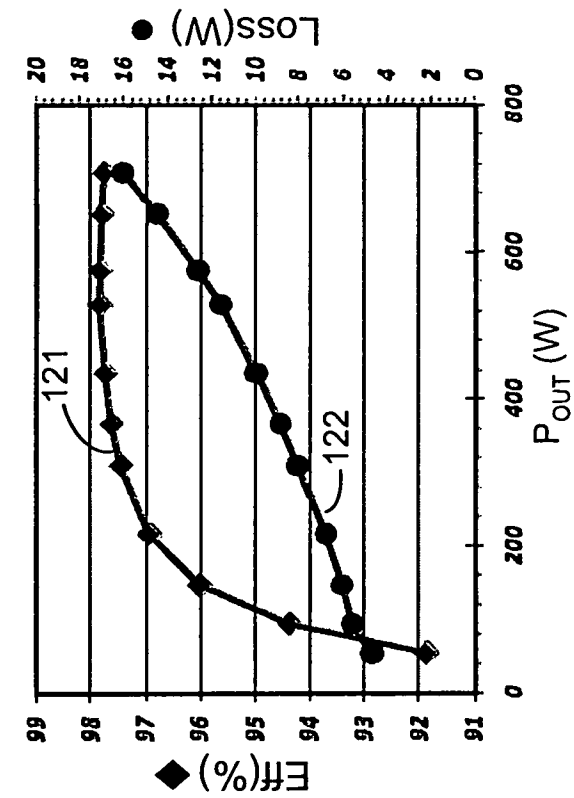
第 11 圖



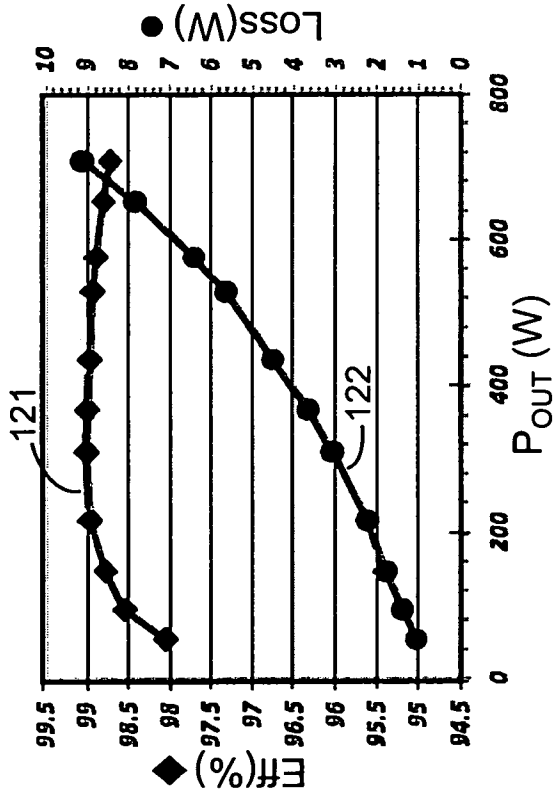
第 12 圖



第 13 圖



第 14 圖



第 15 圖