

1. 一种熔丝读出电路,其特征在于,

具有:

多个熔丝电路,其中信息可被改写,并且具有多个数据位和 1 个极性位;

选择电路,其与上述多个熔丝电路连接;

读出电路,其与上述选择电路连接,读出上述多个熔丝电路的信息;

多个保持电路,其用于存储由上述读出电路所读出的信息;

极性反转电路,其根据上述极性位的值,将存储上述多个数据位的上述保持电路的输出进行反转,

上述选择电路依次选择上述多个熔丝电路,并且通过上述读出电路读出上述多个熔丝电路的信息,由上述读出电路依次读出的信息从上述多个保持电路以并行的方式输出,

并且上述极性反转电路中,设置多个异或逻辑电路,且向各异或逻辑电路输入来自上述多个保持电路的输出中的一个和上述极性位。

2. 根据权利要求 1 所述的熔丝读出电路,其特征在于,

上述选择电路依次选择上述多个熔丝电路中的一个。

3. 根据权利要求 1 所述的熔丝读出电路,其特征在于,

具有:

与上述多个熔丝电路连接的一个上述选择电路;和

与上述选择电路连接的一个读出电路。

4. 根据权利要求 2 所述的熔丝读出电路,其特征在于,

具有:

与上述多个熔丝电路连接的一个上述选择电路;和

与上述选择电路连接的一个读出电路。

5. 根据权利要求 1 至 4 中任一项所述的熔丝读出电路,其特征在于,

根据上述多个熔丝电路中的一个熔丝电路具有的所述 1 个极性位,将所述多个数据位的极性进行反转。

熔丝读出电路

技术领域

[0001] 本发明涉及读出由微调 (trimming) 可使信息改写的多个熔丝 (fuse) 电路中的数据的熔丝读出电路。

背景技术

[0002] 迄今,公知有熔丝电路,其利用于在半导体集成电路 (IC 等) 中制造后变更内部的设定数据的情况等。即,在 IC 表面预先形成熔丝电路,通过激光或大电流等来微调该熔丝电路,并且切断熔丝而写入信息。在 IC 中,在系统预处理的情况等下,能够读取熔丝电路的微调状态,并且根据其结果来变更设定数据。

[0003] 例如,在专利文献 1 中示出了将构成电阻分压电路的电阻与熔丝并联连接并且以激光切断熔丝,来调整分压电阻电路的电阻值的技术。

[0004] 专利文献 1:特开 2006-72860 号公报

[0005] 在此,熔丝电路能够通过是进行切断、还是不进行切断,来写入“0”、“1”的数据。因此,还通过熔丝电路来进行各种数字数据的设定。例如,设置两个熔丝电路,并且对各个熔丝电路设置通过向其一端施加电压是否使电流流过从而读出数据的读出电路,通过这样,能够读出 2 位数据。

[0006] 当通过熔丝电路所设定的位数小的情况下,在这种结构中不存在问题,但是如果位数增大,则不仅熔丝电路的数目增多,而且读出电路的数目也会增多。

[0007] 另一方面,在存储大量的设定数据时还广泛利用非易失性存储器,但是,为了存储数十位的数据而准备非易失性存储器的方案是并非有效的方案。

发明内容

[0008] 本发明提供一种有效地读出基于熔丝电路的信息的熔丝读出电路。

[0009] 本发明其特征在于,具有:信息可改写的多个熔丝电路;与上述多个熔丝电路连接的选择电路;和读出电路,其与上述选择电路连接,读出上述多个熔丝电路的信息。上述选择电路依次选择上述多个熔丝电路,并且通过上述读出电路读出上述多个熔丝电路的信息。

[0010] 另外,在上述熔丝读出电路中,上述选择电路优选依次选择上述多个熔丝电路中的一个。

[0011] 另外,上述熔丝读出电路优选具有:与上述多个熔丝电路连接的、一个上述选择电路;和与上述选择电路连接的、一个读出电路。

[0012] 另外,在上述熔丝读出电路中,还优选具有多个保持电路,用于存储由上述读出电路所读出的信息,由上述读出电路依次读出的信息优选从上述多个保持电路以并行的方式输出。

[0013] 根据本发明,能够通过一个读出电路来读出多个熔丝电路的设定,因此能够减小电路规模。

附图说明

[0014] 图 1 是表示实施方式的结构图。

[0015] 图 2 是表示实施方式的详细结构图。

[0016] 图 3 是表示其他实施方式的结构图。

[0017] 图 4 是表示基于补正数据的补正的结构图。

[0018] 图 5 是表示熔丝电路中使用的补正的结构图。

[0019] 图 6 是说明熔丝电路的读出的图。

[0020] 图中：10、22- 电阻串；12、24- 选择器；14- 缓冲放大器；16-D/A 转换器；20、26- 开关；30- 补正用寄存器；32- 补正用开关；50- 熔丝电路；52、56- 选择电路；54- 读出电路；58- 保持电路；60- 极性反转电路。

具体实施方式

[0021] 以下, 根据附图, 对本发明的实施方式进行说明。

[0022] (实施方式的构成)

[0023] 在熔丝电路中能够设定各种信息, 而在本实施方式中设定与液晶显示面板的源驱动器中的 D/A 转换器相关的补正数据。

[0024] 由熔丝设定的补正数据在系统的预处理时被保存于补正用寄存器。因此, D/A 转换器在系统的预处理后参照该补正用寄存器的补正数据来进行动作。

[0025] 图 5 示出了使用熔丝的补正数据设定用电路的结构。在此, 液晶显示面板一般被分割为多个通道 (channel), 并且针对各通道准备各自的补正数据。例如, 在补正数据为 2 位且液晶显示面板被分割为 13 通道的情况下, 通过熔丝就可设定 26 位补正数据。

[0026] 在图示的例子中, 补正数据为 q 位, 但是设定有 $q+1$ 个熔丝电路 50 (50-1 ~ 50- $q+1$)。熔丝电路 50 通过利用激光等是否烧断熔丝, 来设定 0、1 数据。另外, 熔丝电路 50 中的熔丝电路 50- $q+1$ 是极性反转用的位。通过该极性反转位, 来决定是否反转 q 位熔丝电路 50-1 ~ 50- q 的内容。

[0027] 熔丝电路 50-1 ~ 50- q 经由选择电路 52 与读出电路 54 连接。读出电路 54 读出由选择电路 52 所选择的熔丝电路 50 的数据, 因此对熔丝电路 50 的读出为时分 (time division) 读出。

[0028] 读出电路 54 经由选择电路 56 与 $q+1$ 个保持电路 58-1 ~ 58- $q+1$ 连接。从而, 由读出电路 54 所读出的来自熔丝电路 50-1 ~ 50- $q+1$ 的读出数据分别保存于对应的保持电路 58-1 ~ 58- $q+1$ 。

[0029] 保持电路 58 的输出被输入到极性反转电路 60。该极性反转电路 60, 根据极性反转位的内容, 直接或反转输出来自 q 位熔丝电路 50-1 ~ 50- q 的读出数据。该极性反转电路 60 被构成为: 例如设置 q 个异或逻辑电路 (EX-OR), 并且向各异或逻辑电路输入来自 q 位保持电路 58-1 ~ 58- q 的输出的一个和极性反转位。由此, 根据极性反转位的状态, 来决定 q 位熔丝电路 50-1 ~ 50- q 的读出数据是被反转输出、还是直接输出。

[0030] 并且, 将极性反转电路 60 的输出作为 q 位补正数据进行输出。

[0031] 在图 6 中示出了读出电路 54 中的读出定时。依次切换选择器 52、56, 将从熔丝电

路 50 以时分方式读出的 $q+1$ 位数据保存在保持电路 58。

[0032] 接下来,对补正数据进行说明。例如,假设熔丝的未切断状态为“1”,切断状态为“0”,补正数据的位数为 20 位。以接下来的 3 种情况为例,进行说明。

[0033] (情况 1)

[0034] 补正数据:11111111110011110011

[0035] 1 的数目 = 16、0 的数目 = 4、极性反转位切断 = 无。由此,切断的位数成为 4 个。

[0036] (情况 2)

[0037] 补正数据:00010110000011101000

[0038] 1 的数目 = 7、0 的数目 = 13、极性反转位切断 = 有。由此,切断的位数成为 8 个。此外,当无极性反转位时,切断的位数 13。

[0039] (情况 3)

[0040] 补正数据:00000000000000000000

[0041] 1 的数目 = 0、0 的数目 = 20、极性反转位切断 = 有。由此,切断的位数成为 1 个。此外,当无极性反转位时,切断的位数 20。

[0042] 这样,根据本实施方式,针对 q 位补正数据的设定,准备 $q+1$ 个熔丝电路,根据补正数据的内容能够大幅减少熔丝切断作业,从而能够实现有效的作业。

[0043] (D/A 转换器的结构)

[0044] 图 1 是表示利用上述补正数据的 D/A 转换器的概略结构的图。该 D/A 转换器是将 10 位数字信号转换为模拟信号的装置,具有多个 (n) 通道的输入输出。

[0045] 首先,将 10 位输入数字信号以上位 10 位、下位 2 位来分割而输入。

[0046] 电阻串 10 由 256 个电阻串联连接而构成,其一端与电源连接,另一端接地。从而,从电阻串 10 的各电阻的端部即 0 ~ 256 的 257 个电压取出点得到 256 种 V_H 和 V_L 电压的组合。该电阻串 10 的 257 个电压取出点,与 n 个选择器 12 (12-1 ~ 12- n) 连接。

[0047] 并且,各选择器 12 被输入了输入数字信号的上位 8 位,通过该输入信号来决定输出来自哪两个电压取出点的电压。各选择器 12 选择输出由输入数字信号决定的一个电阻的两端电压。即,以输入数字信号的上位 8 位来决定的电压取出点及其一个上的电压取出点所得到的电压为所选择的两端电压。此外,如后所述,也可输出规定的多个电阻的串连接的两端电压。

[0048] 各选择器 12 的一对输出 V_H 、 V_L 分别在缓冲放大器 14H、14L 中加以稳定后被提供给 2 位 D/A 转换器 16 (16-1 ~ 16- n)。该 2 位 D/A 转换器 16 被输入了输入数字信号的下位 2 位,并且根据所输入的 V_H 、 V_L 生成 4 个电压,而且根据下位 2 位输入信号来选择输出其中一个电压。因而, D/A 转换器 16 具有 4 个电阻,并且对包含 V_H 、 V_L 的任一个的 4 种电压中的一个进行选择。在本实施方式中选择了 V_L ,但是也可选择 V_H 。

[0049] 在图 2 中还示出了选择器 12 及 2 位 D/A 转换器 16 的结构。在电阻串 10 的各电阻的两端的电压取出点,分别连接有 H 用及 L 用的两个开关 20H、20L。另外,在电阻串 10 的最上位的电阻的上侧仅连接有 H 用开关 20H,在最下位的下侧仅连接有 L 用的开关 20L。并且,通过被输入的上位 8 位数据,来选择一个 L 用开关 20L 和其之上的 H 用开关 20H,通过这样,针对上位 8 位数据,输出用于表示以其上位位所确定的范围的输出即 V_L 、 V_H 。

[0050] 另外,2 位 D/A 转换器 16 包括由四个电阻的串联连接构成的电阻串 22 和选择器

24, VL 及 4 个电阻彼此间的连接点分别与选择器 24 的开关 26 连接, 并且经由 4 个开关 26 与输出端连接。并且, 通过下位 2 位来控制开关 26 的接通断开。即, 通过下位 2 位数据的 0 ~ 3 来选择接通开关 26 中的 1 个, 而输出与下位 2 位所对应的电压。

[0051] 如上所述, 对 2 位 D/A 转换器 16 供给与上位 8 位所对应的电压 VH、VL, 而输出由其电压 VH、VL 间的下位 2 位所确定的电压。从而, 整体上输出对应 10 位数据的模拟电压, 进行 10 位 D/A 转换。

[0052] 这样, 在本结构中, 通过利用 8 位电阻串 10 和 2 位电阻串 22, 能够进行 10 位 D/A 转换, 并且通过 $256+4 = 260$ 个电阻, 能够进行 10 位数字数据的 D/A 转换。这样, 通过减少使用于电阻串的电数, 能够减小 D/A 转换器的宽度。

[0053] (其他 D/A 转换器的结构)

[0054] 在图 3 中示出了其他 D/A 转换器的结构例。在该示例中, 在电阻串 10 的选择器 12 中选择各自隔开 8 个的部分。即, 选择从以上位 8 位决定的电压取出点起往上隔开 8 个的取出点的开关及往下隔开 8 个的取出点的开关, 并将所选择的电压分别设为 VH、VL。

[0055] 并且, 2 位 D/A 转换器 16 具有由 64 个电阻构成的电阻串 22。该电阻串 22。在该电阻串 22 中, 在下面 32 个电阻的下侧连接点连接有 NMOS 开关 26N, 在上面 28 个电阻的下侧连接点连接有 PMOS 开关 26P。并且, 在中间 4 个电阻的下侧连接点连接有 CMOS 开关 26C。

[0056] 在此, 当 10 位输入数字数据在 0 ~ 31 的范围内时, 在电阻串 10 中作为 L 用开关 20L, 不能选择比应当部分往下隔开 8 个的取出点的开关 20L。因此, 在这种数据的情况下, 选择与 10 位输入数字数据为 32 的情况同样的 L 用开关 20L、H 用开关 20H, 并且与该数据对应地选择下面的 32 个 NMOS 开关 26N 的任一个。另外, 对 10 位输入数字数据为 992 ~ 1023 而言, 选择与 10 位输入数字数据为 991 的情况同样的 L 用开关 20L、H 用开关 20H, 并且与该数据对应地选择下面的 4 个 CMOS 开关 26C 及上面的 28 个 PMOS 开关 26P 的任一个。

[0057] 另一方面, 当 10 位输入数字数据为 32 ~ 991 时, 与一般情况一样, 选择 4 个 CMOS 开关 26C 的任一个。即, 一般通过输入数据的下位 2 位, 来选择 CMOS 开关 26C 的任一个, 并且进行针对下位 2 位的 D/A 转换, 而作为输出可得到针对 10 位数字数据的 D/A 转换输出。

[0058] 这样, 作为电阻串 10 的输出, 不是相邻的开关 20H、20L, 而是通过扩大其范围, 使得输出 VH、VL 中的误差变得较小, 来进行高精度的 D/A 转换。另外, 在电阻串 22 中一般利用中央的 4 个电阻, 而在此通过采用 CMOS 开关 26C 来进行高精度的电压取出。

[0059] 另外, 上侧 28 个及下侧 32 个输出, 与中央的 4 个输出相比 D/A 转换的精度差。因此, 在本结构例中, 将上侧及下侧的输出分配在 10 位 D/A 转换中的一般动作保证范围外。当然, 也可将上侧的 28 个及下侧的 32 个输出也作为 CMOS 开关。

[0060] 另外, 构成为在上侧追加 28 个电阻、在下侧追加 32 个电阻, 但是也可采用 16、8、4 个等。

[0061] (利用补正数据的构成)

[0062] 在图 4 中示出了利用实施方式的补正数据的 D/A 转换器的结构。在该示例中设置有 4 个补正用寄存器 30。在该补正用寄存器 30 中加载由上述熔丝所设定的补正数据。

[0063] 电阻串 22 具有 16 个通过输入数据的下位 2 位所选择的开关 26C。即, 在上述的图 3 的示例中, 在 10 位数字数据为 32 ~ 995 时, 通过输入数据的下位 2 位所选择的是与 4 个电阻连接的 4 个 CMOS 开关 26C 的一个, 但是在该实施例中将 PMOS 开关 26P 及 NMOS 开关

26N 中的在中央部分的一部分作为 CMOS 开关 26C。

[0064] 例如,在电阻串 22 中,在下 24 个电阻的下侧连接点连接有 NMOS 开关 26N,在上 24 个电阻的下侧连接点连接有 PMOS 开关 26P。并且,在中间 16 个电阻的下侧连接点连接有 CMOS 开关 26C。

[0065] 在该实施例中,通过输入数据的下位 2 位来选择 16 个 CMOS 开关 26C 内的以 4 个为一组的任一组。即,输入数据的下位位为“00”时,将 V_{01} 、 V_{02} 、 V_{03} 、 V_{04} 选择为取出电压,当输入数据的下位位为“01”时,将 V_{11} 、 V_{12} 、 V_{13} 、 V_{14} 选择为取出电压,当输入数据的下位位为“10”时,将 V_{21} 、 V_{22} 、 V_{23} 、 V_{24} 选择为取出电压,当输入数据的下位位为“11”时,将 V_{31} 、 V_{32} 、 V_{33} 、 V_{34} 选择为取出电压。另外,通过补正用寄存器 30 选择补正用开关 32-1、32-2、32-3、32-4 的任一个。由此,将由输入数据的下位 2 位所选择的 4 个取出电压之中的一个,用补正用开关选择输出。具体而言,输入数据的下位 2 位为“00”且选择了开关 32-1 时,输出 V_{01} 。

[0066] 这样,在本结构例中,通过输入数据的下位 2 位,来选择串联连接的 16 个电阻中每隔 4 个电阻而所连接的 4 个开关 26C,该 4 个开关 26C 的输出内的一个由被补正数据所控制的补正用开关 32 所选择。从而,通过 2 位补正用数据,能够使针对输入数据的 LSB 的输出能够分别以下位 2 位量移位。

[0067] 此外,在本实施方式中,通过将下位 2 位数据分别以每 4 位量移位(即移位 4 位),来补正所输出的数据,但是也可通过将上位 8 位数据分别移位 1 位,来进行相同程度的补正。此时,只要在构成 2 位 D/A 转换器 16 的 64 个电阻中的中央的电阻连接 CMOS 开关 26 即可。

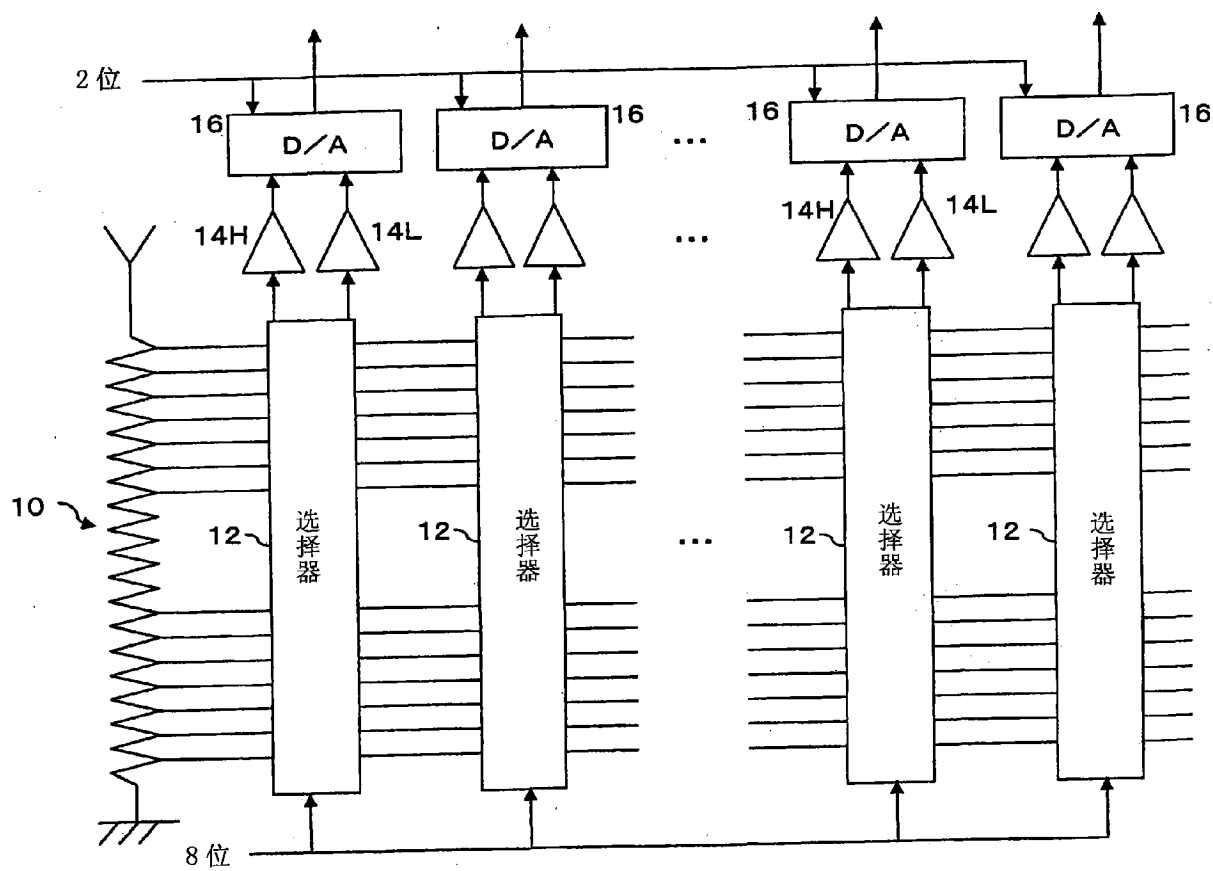


图 1

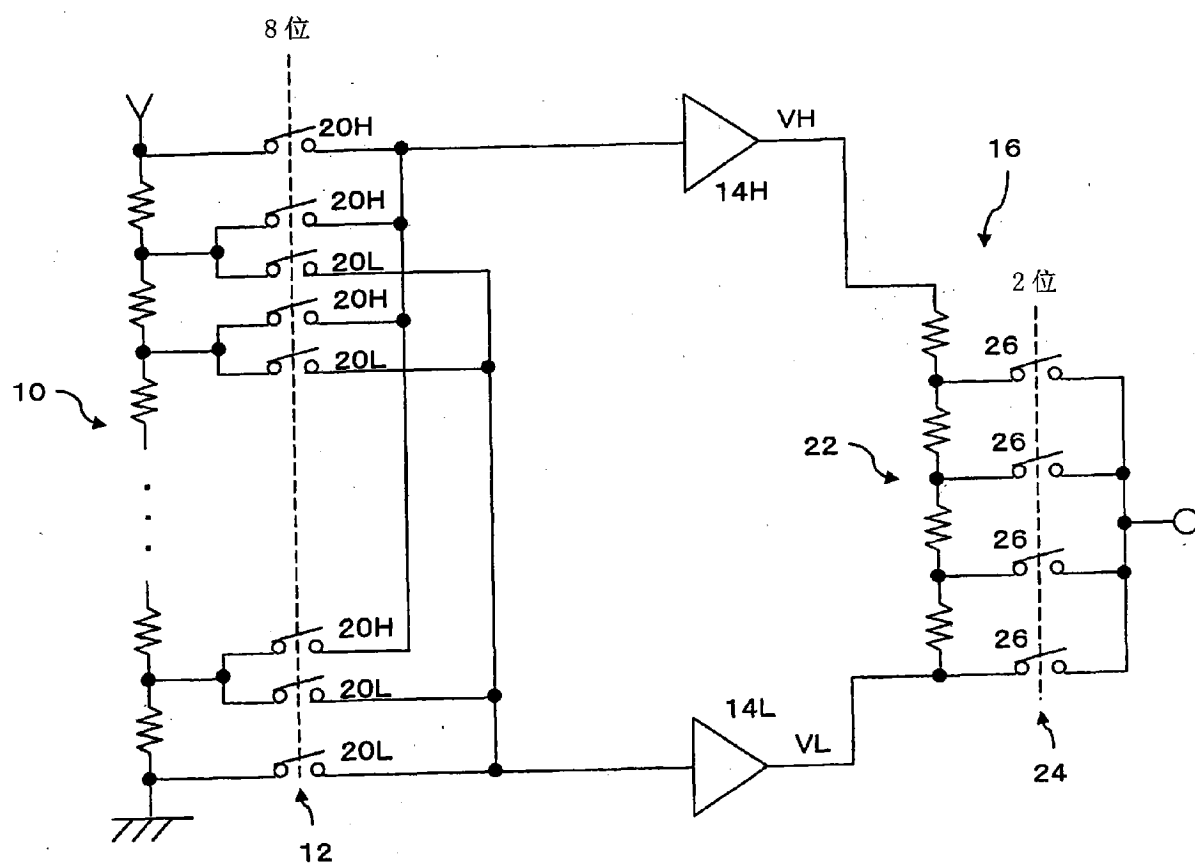


图 2

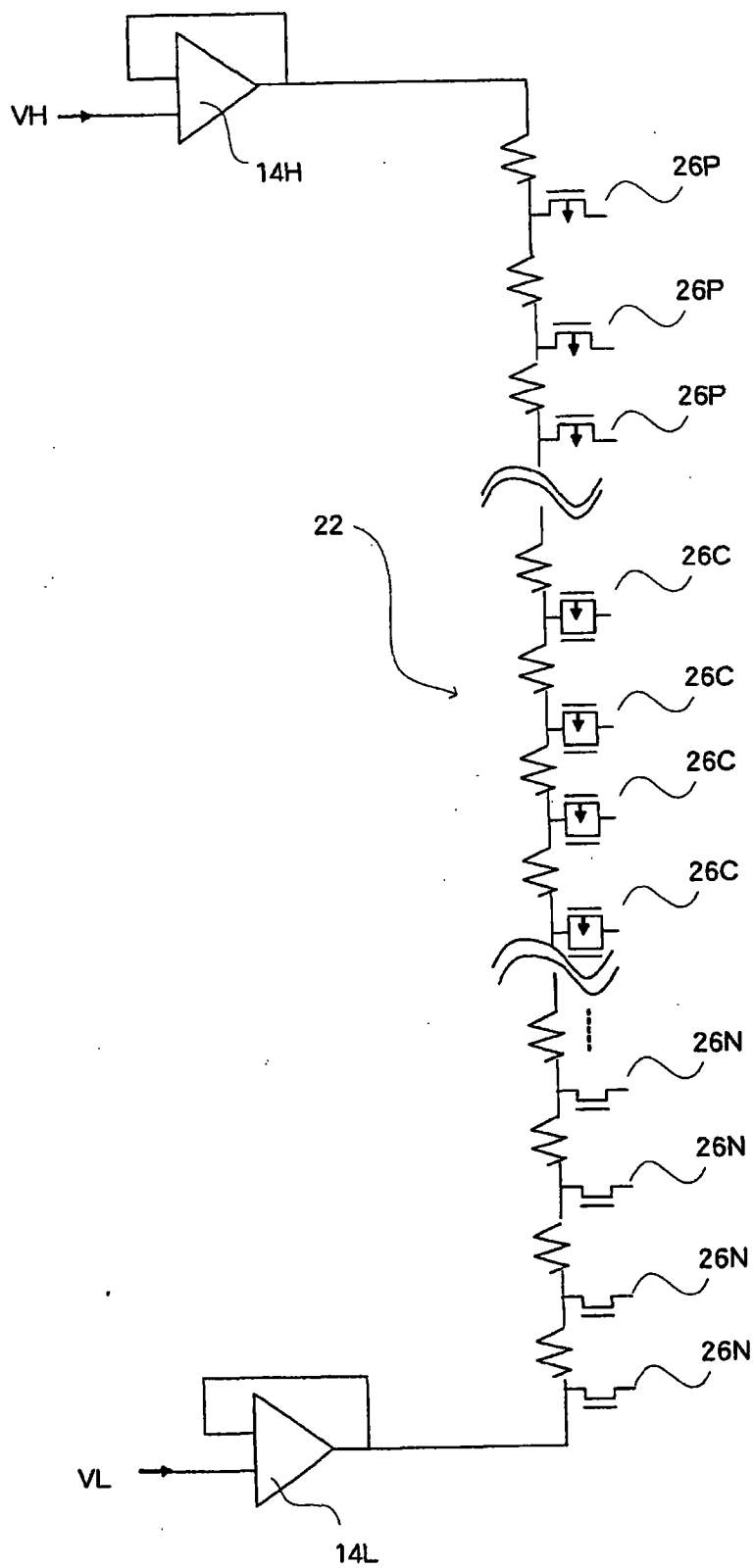


图 3

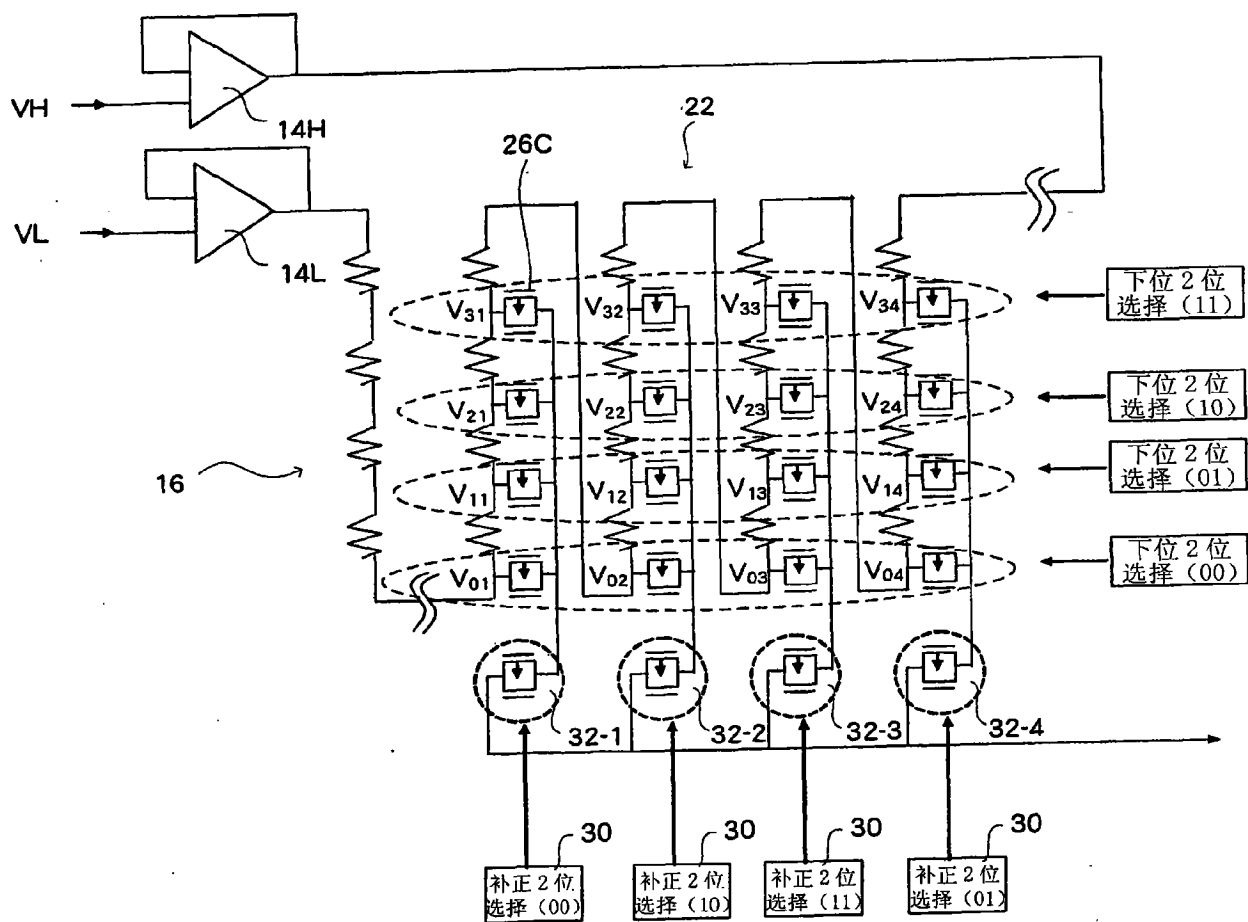


图 4

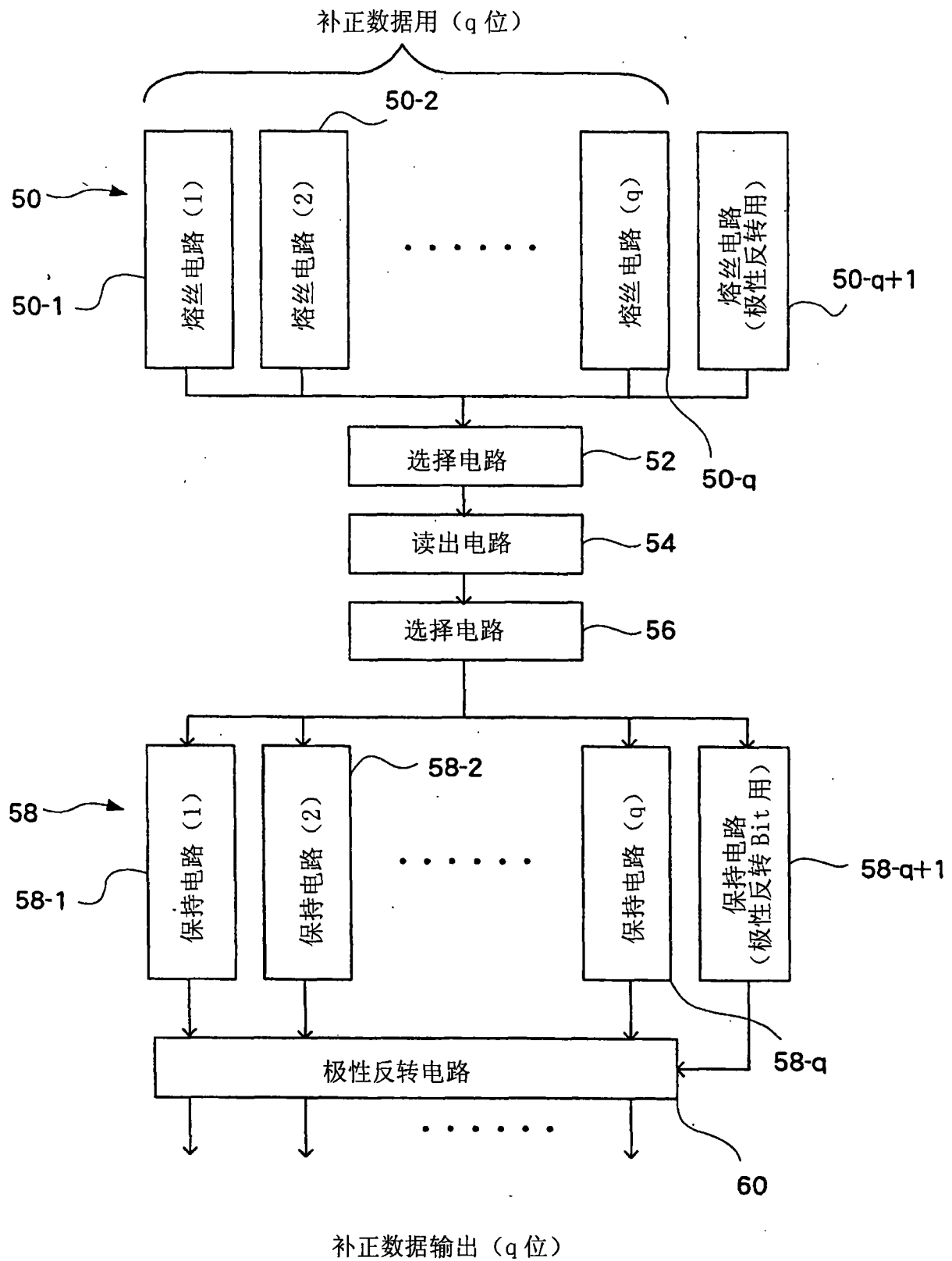


图 5

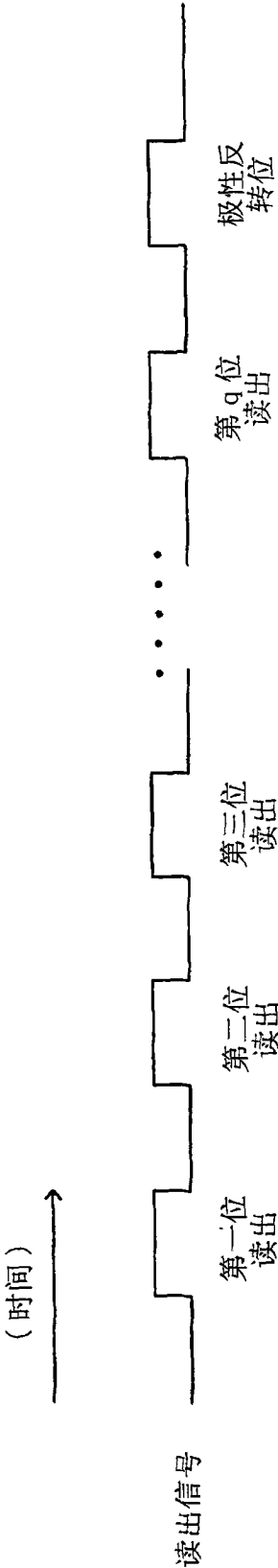


图 6