

公告本

申請日期	85. 8. 30
案 號	85110587
類·CI別	H01K 21 / D238

A4
C4

312840

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	關閉狀態時COMS(互補型金屬氧化物半導體)中之 開極氧化物電場之降低
	英 文	OFF-STATE GATE-OXIDE FIELD REDUCTION IN CMOS
二、發明 創作人	姓 名	1. 優狄歐史卡瓦克 Udo Schwalke 2. 威爾弗瑞德漢斯克 Wilfried Hansch
	國 籍	1. 德國 2. 德國
	住、居所	1. 德國格威貝斯特22漢丹斯田54431號 2. 德國VT05403南布爾林頓艾瑞斯3號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑80333威田巴黎廣場2號
	代 表 人 姓 名	納特布斯克(Natebusch) 歐姆克(Ohmke)

裝 訂 線

經濟部中央標準局員工消費合作社印製

312840

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

1995年8月25日 SN 08/519,669

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明有關一種半導體元件，且較特別地，有關一種具有改良元件可靠性之金屬氧化物半導體場效電晶體(MOSFET)。

發明背景

大致地，CMOS(互補型金屬氧化物半導體)電路之應用可提供很低的預備功率，只有當狀態之轉移發生時，電流方流通於電路中，此特性使得在CMOS設計中極容易處理功率消耗。用於一n通道MOS(金屬氧化物半導體)元件之電流載體係電子，而用於一p通道MOS元件之載體則為電洞。四種不同地區或端子存在於一MOS電體中：源極，汲極，閘極與基體。用於一般作業，相對於基體所量度之此源極，汲極與閘極之電壓係正值以用於一n通道元件而係負值以用於一p通道元件。輸出總是連接於電源供應線之一，因為在任何所得之狀態處只有一電晶體導通(on)而另一則關閉(off)。此確保了邏輯振幅(Swing)將只由電源供應電壓確定而非由諸元件之等效阻抗之比例來確定，如具備有靜態nMOS設計之情形。

於半導體技術中，多結晶矽(多晶矽)較常使用為一閘極電極，事實上，由於多晶矽於自行排齊之MOS製程(self-registering MOS processes)中係特別適用之物質，其中閘極電極與源極/汲極區域係由相同之光罩步驟所確定，故多晶性之遍及率係相當大的。於積體電路中，多晶矽被使用於電路配線與閘極電極。

五、發明說明(2)

於實現閘極氧化物厚度(T_{ox})減低之次微米MOSFETs中，橫跨於薄電介質之相對應增加之電場係一主要之考量。具備10nm(奈米)與較小之閘極氧化物厚度，則供應電壓必須自5V(伏特)降低至3.3V以便降低橫跨於該電介質之電場至一低於4MV/cm(毫伏/公分)之安全準位。然而，由 n^+ 閘極與 p^+ 接面，或 p^+ 閘極與 n^+ 接面間之作業功效(workfunction)之差異所導致之電場加強則變得相當重要。維持恆常之1.1eV(電子伏特)之作業功效之差異及減低供應電壓，此氧化物電場(E_{ox})可利用方程式1中所示之公式計算，其中 V_{gate} 表示閘極電壓， V_{fb} 表示平坦帶(flatband)電壓，以及 T_{ox} 表示氧化物厚度，

$$E_{ox} = [(\pm V_{gate}) + (\pm V_{fb})] / T_{ox} \dots \text{方程式 1.}$$

平坦帶電壓(V_{fb})可利用方程式2中所示之公式計算，其中 ϕ_{ms} 表示作業功效之差異， Q_{ox} 表示氧化物之電荷以及 C_{ox} 表示氧化物之電容，

$$V_{fb} = \phi_{ms} + Q_{ox} / C_{ox} \dots \text{方程式 2.}$$

如方程式1所證實，根據閘極與源極之偏壓，作業功效之差異(ϕ_{ms})將增加或減少閘極/接面地區中之電場，第1圖描繪一MOSFET 10之閘極至接面之區域，此MOSFET 10具有一 n^+ 閘極12， n^- 基體14及具備一閘極氧化物厚度(T_{ox})18之 p^+ 接面16。根據方程式1，氧化物電場20係由作業功效之差異(ϕ_{ms})所影響。

參照第2圖，所示為被開啓之導通狀態中之 n^+ PMOS元件與 p^+ PMOS元件之源極與汲極間氧化物電場上閘極

五、發明說明 (3)

極性之效應。第3圖顯示沿著供被關閉之非導通狀態中之 n^+ PMOS元件與 p^+ PMOS元件之通道之模擬氧化物電場，大約 $1\text{MV}/\text{cm}$ 供 n^+ PMOSFETs之電場加強係由於增加之作業功效之差異。第2與3圖中所示之結果係以利用MINIMOS之兩度空間電腦模擬所獲得。於非導通之關閉狀態中，當假設一表面上為 10nm 之氧化物厚度時，此氧化物電場於 n^+ 閘極PMOS之汲極側由作業功效之差異而增加至 $4.6\text{MV}/\text{cm}$ 。當以10%之 T_{ox} 之製程變化來說明時，將造成 $5\text{MV}/\text{cm}$ 之最大氧化物電場，此加強之氧化物電場將增加諸如，氧化物崩潰與元件不穩定性之元件不良之危機。

具有相同閘極與接面摻雜物形式之MOSFETs，亦即， p^+ 閘極PMOS與 n^+ 閘極NMOS，已被提出以避免上述之高氧化物電場。參照第2與3圖，可見到 p^+ 閘極PMOS元件之氧化物電場保持低於 $3.6\text{MV}/\text{cm}$ 。然而，在CMOS技術中，此一對稱元件設計之實際施行會實質地使製程複雜，乃因需有雙作業功效閘極之技術。於製作雙閘極CMOS元件之可行性之資訊可由參考C.Y. Wong等人之論文，名稱為“雙閘極CMOS製程中 n^+ 與 p^+ 多晶矽之摻雜法”，1988年由IEEE出版之IEDM技術文摘238號中取得，一多晶矽之空乏發生於反轉偏壓處，此反轉偏壓造成元件電流降低，此效應於閘極氧化物厚度(T_{ox})呈較小時會變得較嚴重，可參考H. Iwase等人之出版於Ext.摘要SSDM271(1990)之雙閘極對稱之CMOS結構用於藉元件

五、發明說明(4)

上之空乏閘極所執行之次微米之集成與降級之資訊其論文名稱為 "MOSFET性能之空乏多晶矽閘極之效應" 來達成。

因此，降低有關高氧化物電場之作業功效以用於諸如，只供 n^+ 閘極與只供 p^+ 閘極之單一作業功效閘極之技術來用於 CMOS 係高度地可予以期待的。一種解決方式係透過閘極鳥嘴形之控制形式，而此閘極鳥嘴形具有在閘極邊緣處增加氧化物之傾向。然而，此種解決方式會導致電導降低而造成性能損失。

本發明之目的在於減低整個接面區域之氧化物電場。

發明概述

本發明係一種 MOSFET 元件，其利用閘極之空乏效應以降低整個接面區域之氧化物電場。由於閘極空乏效應存在於 n^+ 閘極 PMOS 元件與 p^- 閘極 NMOS 元件之非導通關閉狀態中，所以克服了性能之劣化，而重要的是閘極摻雜之準位。為防止導通開啓狀態中之閘極空乏，NMOSFET 必須利用高度摻雜之 n^+ 閘極，PMOSFET n^+ 閘極必須為非退化性摻雜以便利利用閘極空乏於非導通關閉狀態中之優點，此可由植入不同劑量之相同形成摻雜物於不同之閘極中予以達成。而 n^+ 閘極 PMOS 元件與 p^+ 閘極 NMOS 元件之 MOSFET 元件均可良好對等地被施行。

圖式簡述

本發明上述目的及進一步之特性與優點將結合附圖詳述如下，其中：

第 1 圖顯示一 MOSFET 元件之閘極一接面之區域；

五、發明說明 (5)

第 2 圖顯示在氧化物電場上閘極極性之效應；

第 3 圖顯示 n^+ 與 p^+ PMOSFETs 之氧化物電場；

第 4 圖顯示本發明之基本原理；

第 5 圖顯示本發明之一種帶圖形；

第 6 圖顯示閘極堆疊；

第 7 圖顯示在 p^+ 植入期間之帽狀層保護；以及

第 8 圖顯示在 n^+ 植入期間之帽狀層保護。

較佳實施例詳述

本發明於文中所描述之習知 n^+ 摻雜閘極 PMOSFET，亦同樣適用於 p^+ 閘極 NMOSFET。本發明可使用於掩埋與表面通道元件，雖然本發明特別適用於“單作業功效”CMOS 閘極技術，但亦可使用於“雙作業功效”CMOS 閘極技術。

本發明使用閘極空乏效應以降低整個接面區域之氧化物電場，由於此閘極空乏效應只存在 n^+ 閘極 PMOS 元件與 p^+ 閘極 NMOS 元件之非導通關閉狀態中，故性能之劣化可予以克服。

第 4 圖描繪本發明之基本原理，所示係一具有一 n^+ 閘極 32， n^- 基體 34， p^+ 接面與一具備有閘極氧化物厚度 (T_{ox}) 40 之空乏區 38 之 MOSFET 元件 30 之閘極至接面之區域。對於一非退化性摻雜之多晶矽閘極，當 MOSFET 元件 30 於非導通之關閉狀態時，一具備厚度 W_{poly} 之空乏區 38 形成於閘極中之整個接面，而空乏區 38 中之電位降落會降低氧化物電場 (E_{ox})。

參照第 4 與 5 圖，可見到橫跨於閘極空乏寬度之電位

五、發明說明 (b)

降落將減低橫跨於氧化物之電場。模擬顯示對於一閘極中 10^{19} cm^{-3} 之活化載體濃度而言，於 p^+ 地區中之氧化物電場會降低 0.6 MV/cm 。

當 PMOS 元件於導通之開啓狀態時，閘極被驅動於累積。因此，當此元件於導通之開啓狀態時，不會有閘極空乏效應發生且不會有相對應之性能劣化。進一步地，此作業功效之差異 (ϕ_{ms}) 係有益的，其與第 2 圖中所示之 p^+ 閘極 PMOS 相比較，則具有一相反之符號可降低氧化物電場。

於本發明實施例之 CMOSFET 元件中，閘極之摻雜準位係重要的，現將予以解說。為了防止於導通開啓狀態中之閘極空乏，NMOSFET 必須使用高摻雜 (n^+) 閘極，PMOSFET 之 (n^-) 閘極必須為非退化性摻雜以利用非導通關閉狀態中閘極空乏之優點，此係由植入不同劑量之相同摻雜物形式於不同閘極而達成，此將導致一種額外光罩之需求。

為避免額外之光罩，CMOS 製程須作修飾。於生長 n -阱， p -阱，場氧化物與閘極氧化物之後，澱積閘極多晶矽與帽狀氧化物層。此多晶矽係非退化性 n 摻雜，例如 $1.8 \text{ Phos}(\text{磷})/\text{cm}^{-3}$ 。

參照第 6 圖，係描繪一 MOSFET 40，具有一具備一 p -阱區 44 與一 n -阱區 46 之基體 42， n 摻雜區，以及界定此 MOSFET 閘極堆疊之帽狀層 50。

五、發明說明(7)

參照第7圖，顯示一可適用於對齊之第一光罩60，可見到帽狀層50保護著閘極多晶矽以抵擋界定 p^+ 源極/汲極區52之 p^+ 植入物源54之植入，此非退化性 n 摻雜多晶矽保持供PMOSFET。

參照第8圖，顯示一可適用於對齊之第二光罩62。對於NMOSFET，在去除帽狀層之後， n 摻雜多晶矽藉由來自界定 n^+ 源極/汲極接面61之 n^+ 植入物源之植入而被轉換為退化性摻雜之 n^+ 多晶矽49。

供植入 p^+ 與 n^+ 不純物之來源包含硼與伸之離子植入物，而其他用以植入不純物之來源則熟知於一般研習此技術者。為了提供良好之電氣接觸於高阻性之閘極且使閘極之延遲呈最小，在電氣上，此閘極須伴以閘極表面導電性之加強，因而降低閘極表面之閘極電阻。此可藉由例如，閘極矽氧化處理(亦即，鈦-SALICIDE製程)或選擇性金屬澱積(例如，CVD-鎢)來達成。

然後，完成製作過程。剩下步驟包含內部金屬電介質，接觸孔，金屬化以及其他熟知於是項技術者之步驟。

應理解的是，文中所述之實施例只為解說用，而熟習於是項技術者可予以變化與修飾而不會背離本發明之精神與範疇。所有之此種變化與修飾均被視為包含在界定於附錄之申請專利範圍中之本發明之領域內。

四、中文發明摘要(發明之名稱：關閉狀態時COMS(互補型金屬氧化物半導體)中之閘極氧化物電場之降低

一種MOSFET(金屬氧化物半導體)元件利用閘極空乏效應以降低整個接面區域之氧化物電場，由於此閘極空乏效應係存在於 n^+ 閘極PMOS元件與 p^+ 閘極NMOS元件之非導通關閉狀態之中，所以可克服性能之劣化，此閘極之摻雜準位係重要的。為了防止在導通開啓狀態中閘極空乏，NMOSFET必須使用一高度摻雜之 p^+ 閘極，PMOSFET之 n^+ 閘極必須為非退化性摻雜以便利用在非導通關閉狀態中閘極空乏之優點，此可由植入不同劑量之相同摻雜物形式於不同閘極之中。此MOSFET元件可良好對等施行於 n^+ 閘極PMOSFET元件與 p^+ 閘極NMOSFET元件。

英文發明摘要(發明之名稱：OFF-STATE GATE-OXIDE FIELD REDUCTION IN CMOS)

A MOSFET device utilizes the gate depletion effect to reduce the oxide field over the junction area. Since the gate depletion effect is present in the non-conducting off state for n^+ gate PMOS devices and p^+ gate NMOS devices, performance degradation is overcome. The level of doping of the gate is critical. In order to prevent gate depletion in the conducting, on state, the NMOS FET must use a highly doped n^+ gate. The PMOS FET n^+ gate must be non-degeneratively doped in order to utilize the advantage of the gate depletion in the non-conducting, off state. This is accomplished by implanting different doses of the same dopant type into the different gates. The MOSFET device can be implemented equally well for n^+ gate PMOS FET devices as well as for p^+ gate NMOS FET devices.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種改良之次微米 MOSFET (金屬氧化物半導體) 半導體元件，其特徵為：
 - 半導體本體，具有一頂表面；
 - 相當薄之電介質層，形成一閘極電介質之元件於該頂表面上；
 - 摻雜半導體物質之閘極電極於該薄電介質層之上，其中在該半導體本體上之一表面電位係響應該閘極電極；以及
 - 用於電氣隔離該閘極電極於該半導體本體之裝置，該裝置含有一毗鄰該閘極電介質之該閘極電極之高電阻部分，該高電阻部分具有一充分摻雜之濃度與一導電性形式，其中在該元件之作業期間，一空乏層被形成為延伸自該閘極電介質至該閘極電極之高電阻部分。
2. 如申請專利範圍第 1 項之元件，其中該相當薄之電介質層少於 10 nm (奈米)。
3. 如申請專利範圍第 1 項之元件，其中該閘極電極包含一 n^+ 非退化性摻雜之閘極。
4. 如申請專利範圍第 1 項之元件，其中該閘極電極包含一 p^+ 非退化性摻雜之閘極。
5. 如申請專利範圍第 1 項之元件，其中該摻雜濃度係足以降低一 p^+ 區中之氧化物電場，而係非退化性於一 n^+ 區之中。
6. 一種製造改良之次微米 MOSFET 半導體元件之方法，其特徵為下列步驟：

六、申請專利範圍

生長 n-阱， p-阱， 場氧化物與閘極氧化物於一基體上；

澱積閘極多晶矽於該生長之基體上；

摻雜該閘極多晶矽；

澱積一帽狀層於該摻雜之閘極多晶矽上；

植入一第一不純物；

去除該帽狀層；以及

植入一第二不純物。

7. 如申請專利範圍第 6 項之方法，尚包括下列步驟：

於植入該第一不純物之前，定位一第一光罩；以及

於植入該第一不純物之後，去除該第一光罩。

8. 如申請專利範圍第 7 項之方法，尚包括下列步驟：

於植入該第二不純物之前，定位一第二光罩；以及

於植入該第二不純物之後，去除該第二光罩。

9. 如申請專利範圍第 8 項之方法，尚包括下列步驟：

活化摻雜物；以及

降低閘極電阻性。

10. 如申請專利範圍第 9 項之方法，其中降低閘極電阻

性包括下一步驟：

執行閘極矽氧化。

11. 如申請專利範圍第 6 項之方法，其中所植入之該第

一不純物係一 p⁺ 植入物。

12. 如申請專利範圍第 7 項之方法，其中該第二植入物

係一 n⁺ 植入物。

六、申請專利範圍

13.如申請專利範圍第6項之方法，其中該帽狀層係一氧化物層。

14.如申請專利範圍第11項之方法，其中該 p^+ 植入物係由離子植入法所配置。

15.如申請專利範圍第12項之方法，其中該 n^+ 植入物係由離子植入法所配置。

16.如申請專利範圍第14項之方法，其中該離子植入法係硼離子植入法。

17.如申請專利範圍第15項之方法，其中該離子植入法係砷離子植入法。

18.一種次微米MOSFET(金屬氧化物半導體)半導體元件，其特徵為：

一半導體本體，具有一頂表面；

一少於10nm(奈米)厚度之薄電介質層形成一開極電介質元件於該頂表面上；

一摻雜半導體物質之開極電極於該薄電介質層之上，其中在該半導體本體上之一表面電位係響應該開極電極；以及

用於電氣隔離該開極電極於該半導體本體之裝置，該裝置含有一毗鄰該開極電介質之該開極電極之高電阻部分，該高電阻部分具有一充分摻雜之濃度與一導電性形式，其中在該元件之作業期間，一空乏層被形成為延伸自該開極電介質至該開極電極之高電阻部分；

其中該摻雜濃度係足以降低一 p^+ 區中之氧化物電

六、申請專利範圍

場，而係非退化性於一 n^+ 區之中。

19. 如申請專利範圍第 18 項之元件，其中該閘極電極包含一 n^+ 非退化性摻雜之閘極。

20. 如申請專利範圍第 18 項之元件，其中該閘極電極包含一 p^+ 非退化性摻雜之閘極。

(請先閱讀背面之注意事項再填寫本頁)

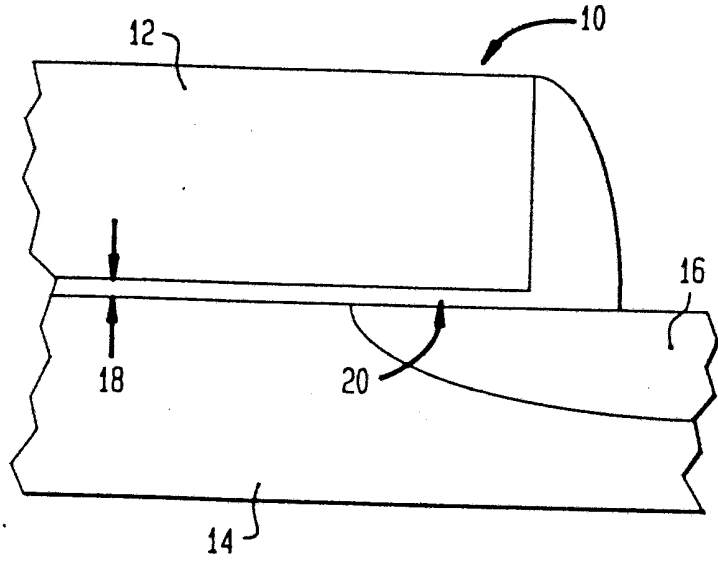
裝

訂

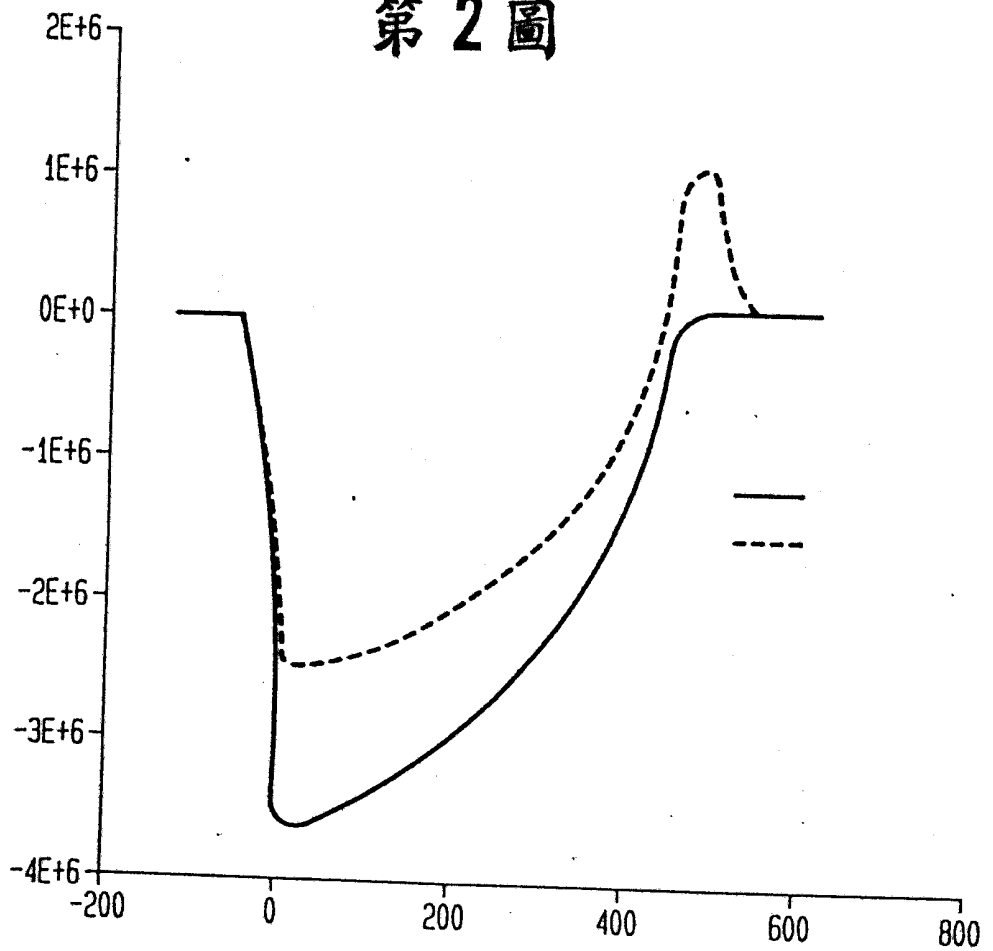
線

85110587

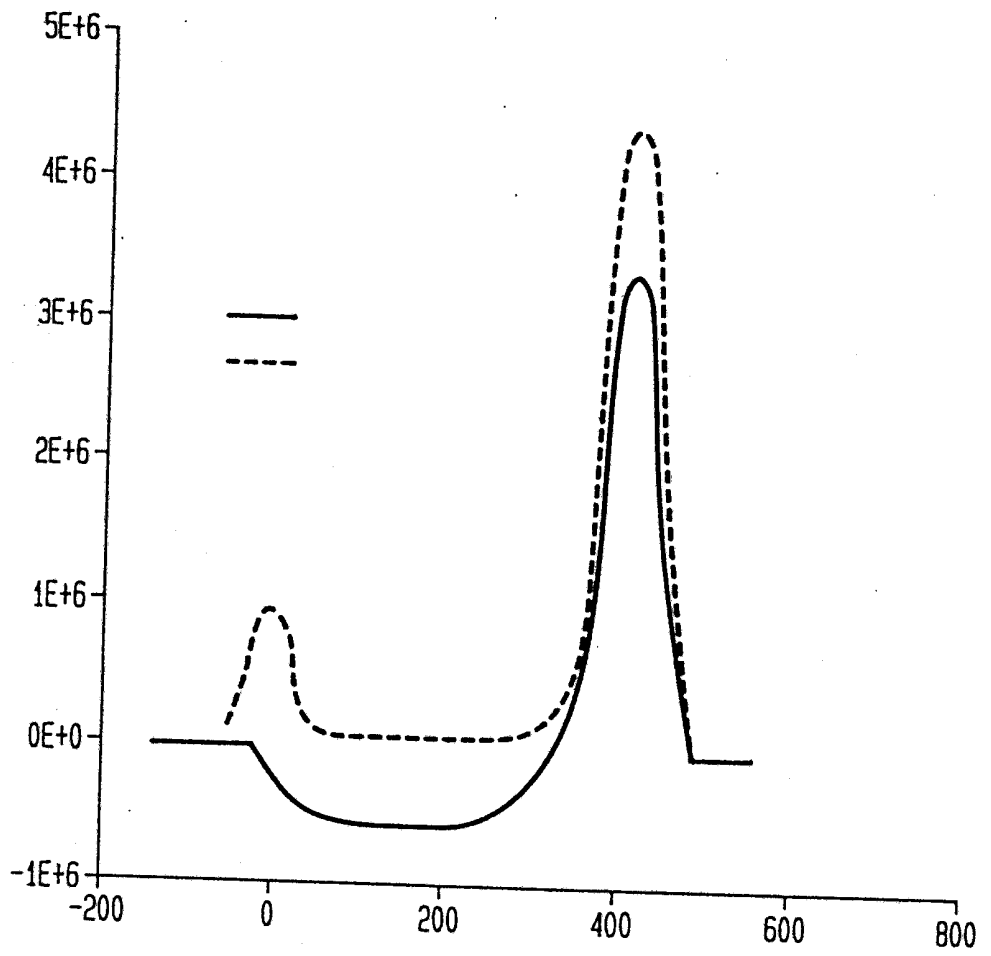
第 1 圖



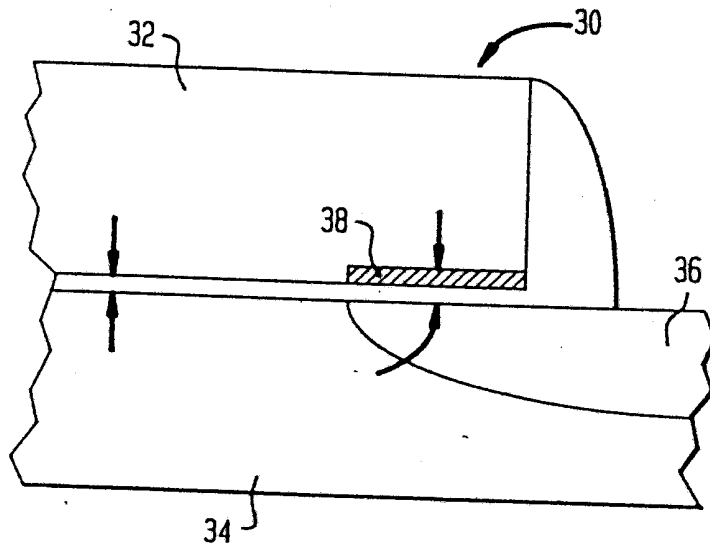
第 2 圖



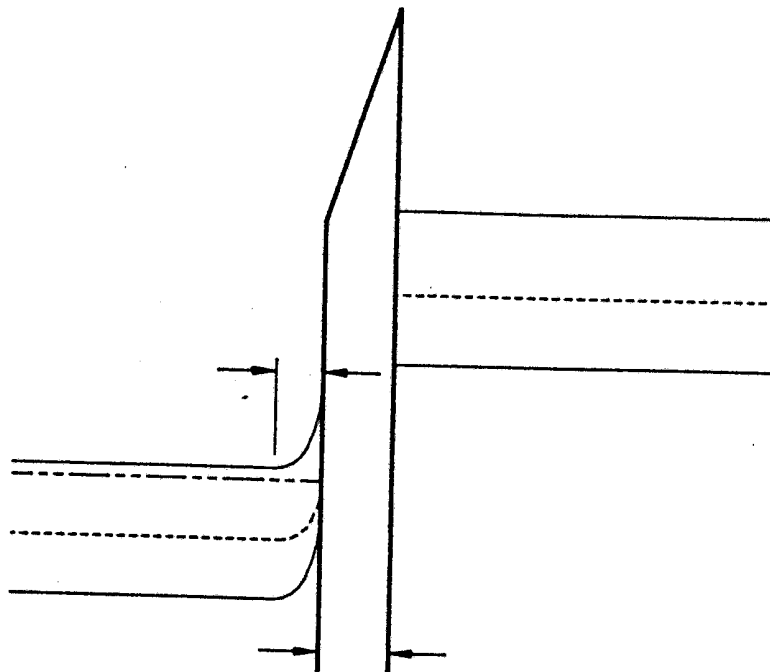
第 3 圖



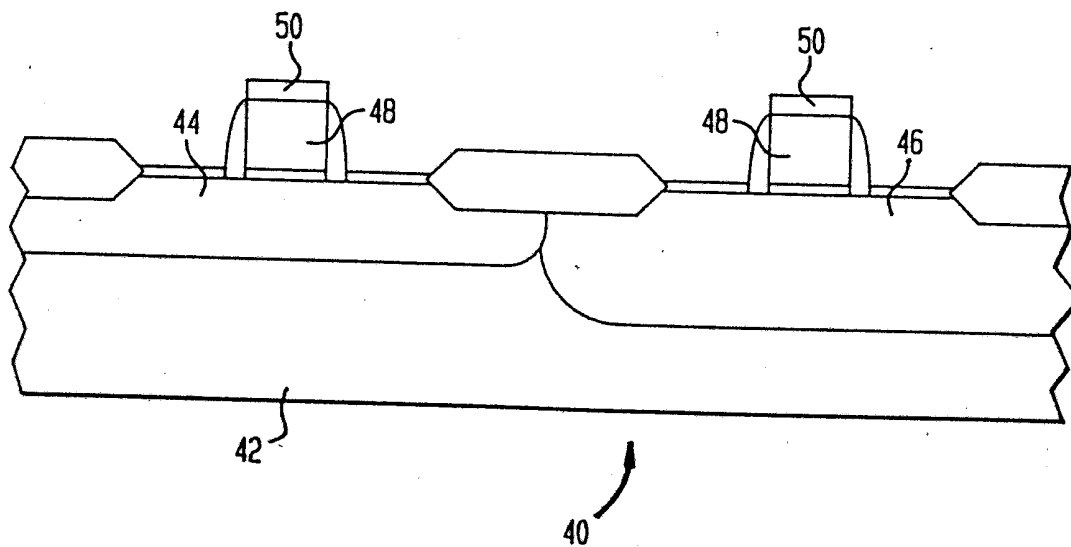
第 4 圖



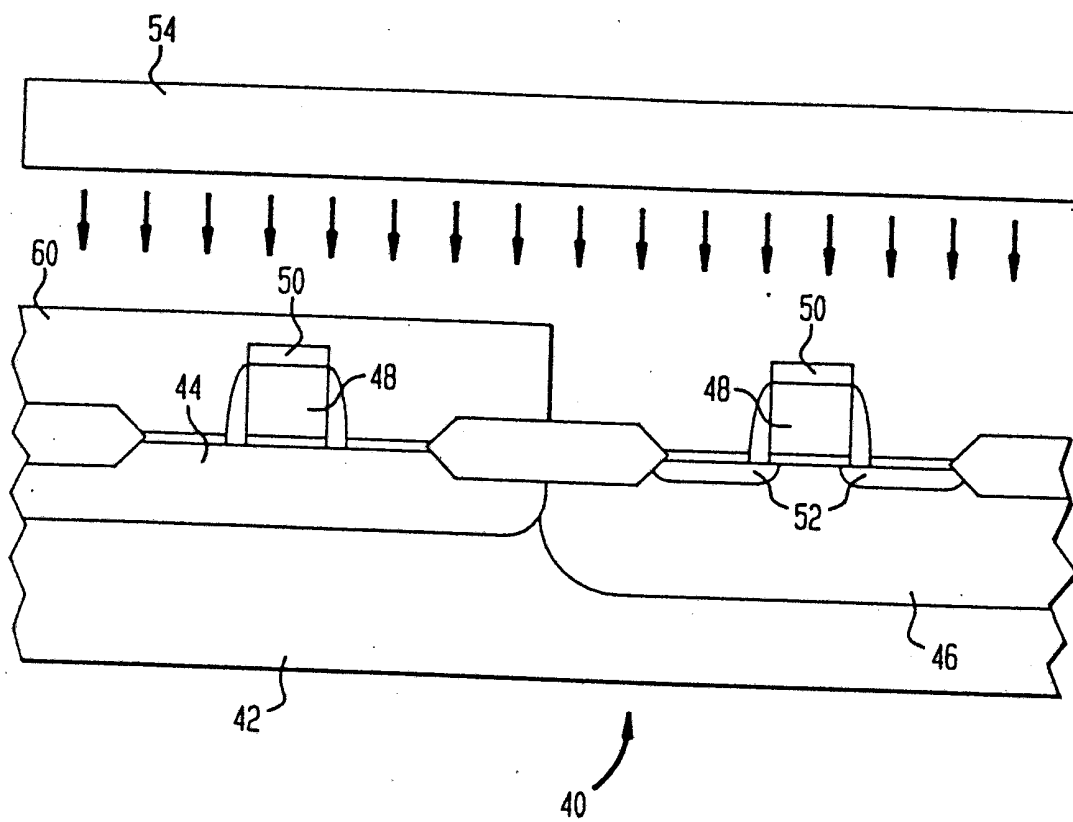
第 5 圖



第 6 圖



第 7 圖



第 8 圖

