

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 3 月 3 日 (2011.3.3)

【公開番号】特開 2010-166102 (P2010-166102A)

【公開日】平成 22 年 7 月 29 日 (2010.7.29)

【年通号数】公開・登録公報 2010-030

【出願番号】特願 2010-107427 (P2010-107427)

【国際特許分類】

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成 23 年 1 月 18 日 (2011.1.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

【0 0 1 8】

請求項 2 に記載の半導体記憶装置は、半導体基板上行列状に配置され、各々第 1 導電型のウェル領域に形成された一対のアクセストランジスタ及び一対のドライプトランジスタと、各々第 2 導電型のウェル領域に形成された一対のロードトランジスタとで構成され、半導体基板上で 2 つの第 1 導電型のウェル領域の間に第 2 導電型のウェル領域が挟まれるようにウェル領域が行方向に並んで形成され、2 つの第 1 導電型のウェル領域のそれぞれに 1 つずつのアクセストランジスタとドライプトランジスタとが形成された行方向に長い形状の C M O S 型 S R A M セルを複数備え、C M O S 型 S R A M セルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、複数のうちの 1 つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記 C M O S 型 S R A M セルに接続され、行方向に並んで配置された複数の対をなすビット線と、前記ビット線と同層の前記配線層で形成され、それぞれ前記対をなすビット線の間に配置され同一列の前記 C M O S 型 S R A M セルに接続される複数の V D D 電源配線と、前記ビット線より 1 層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記 C M O S 型 S R A M セルに接続され、列方向に並んで配置された複数のワード線と、前記ワード線より 1 層上の前記配線層で形成され、前記 C M O S 型 S R A M セルに接続される V S S 電源配線とを設け、V S S 電源配線が行方向に並んで複数配置され、かつビット線を覆うように配置されたことを特徴とする。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上行列状に配置され、各々第 1 導電型のウェル領域に形成された一対のアクセストランジスタ及び一対のドライプトランジスタと、各々第 2 導電型のウェル領域に形成された一対のロードトランジスタとで構成され、前記半導体基板上で 2 つの前記第 1 導電型のウェル領域の間に前記第 2 導電型のウェル領域が挟まれるようにウェル領域が行

方向に並んで形成され、2つの前記第1導電型のウェル領域のそれぞれに1つずつの前記アクセストランジスタと前記ドライフトランジスタとが形成された行方向に長い形状のCMOS型SRAMセルを複数備え、前記CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの1つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記CMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線と同層の前記配線層で形成され、それぞれ前記対をなすビット線の間に配置され同一列の前記CMOS型SRAMセルに接続される複数のVDD電源配線と、

前記ビット線より1層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記CMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より1層上の前記配線層で形成され、前記CMOS型SRAMセルに接続されるVSS電源配線とを設け、

前記VSS電源配線は、前記VSS電源配線より1層下の配線層で形成されたVSS電源接続用パターンを介して前記CMOS型SRAMセルと接続されており、前記VSS電源配線と前記VSS電源接続用パターンとの接続が1つの前記VSS電源接続用パターンあたり複数のビア部の配置によってなされたことを特徴とする半導体記憶装置。

【請求項2】

半導体基板上行列状に配置され、各々第1導電型のウェル領域に形成された一対のアクセストランジスタ及び一対のドライフトランジスタと、各々第2導電型のウェル領域に形成された一対のロードトランジスタとで構成され、前記半導体基板上で2つの前記第1導電型のウェル領域の間に前記第2導電型のウェル領域が挟まれるようにウェル領域が行方向に並んで形成され、2つの前記第1導電型のウェル領域のそれぞれに1つずつの前記アクセストランジスタと前記ドライフトランジスタとが形成された行方向に長い形状のCMOS型SRAMセルを複数備え、前記CMOS型SRAMセルを構成するトランジスタの上部に複数の配線層を備えた半導体記憶装置であって、

複数のうちの1つの前記配線層で形成され、それぞれ列方向に延びて同一列の前記CMOS型SRAMセルに接続され、行方向に並んで配置された複数の対をなすビット線と、

前記ビット線と同層の前記配線層で形成され、それぞれ前記対をなすビット線の間に配置され同一列の前記CMOS型SRAMセルに接続される複数のVDD電源配線と、

前記ビット線より1層上の前記配線層で形成され、それぞれ行方向に延びて同一行の前記CMOS型SRAMセルに接続され、列方向に並んで配置された複数のワード線と、

前記ワード線より1層上の前記配線層で形成され、前記CMOS型SRAMセルに接続されるVSS電源配線とを設け、

前記VSS電源配線が行方向に並んで複数配置され、かつビット線を覆うように配置されたことを特徴とする半導体記憶装置。

【請求項3】

前記CMOS型SRAMセルの各々の領域は、行方向の幅が列方向の幅の2倍以上である請求項1または2に記載の半導体記憶装置。

【請求項4】

前記ワード線を屈曲させたことを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項5】

前記VSS電源配線と同層の配線層で形成され、前記VDD電源配線と接続されるVDD補強配線を設けたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】

前記VDD補強配線と前記VDD電源配線との接続を、前記CMOS型SRAMセルを構成するトランジスタの基板電位確保用基板コンタクトセル領域で行なったことを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】

前記CMOS型SRAMセルを構成するトランジスタの基板電位確保用基板コンタクト

セル領域内で前記ワード線と同層の配線層で形成され、行方向に延びた電源補強配線を設け、前記電源補強配線を前記VDD電源配線または前記VSS電源配線との交差部において前記VDD電源配線または前記VSS電源配線と接続したことを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項8】

前記VSS電源配線がメッシュ形状であることを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項9】

前記VSS電源配線を形成する配線層の膜厚が、前記VSS電源配線より下層の配線層の膜厚よりも厚いことを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項10】

カラム冗長回路を持たず、ロウ冗長回路のみを有することを特徴とする請求項1または2に記載の半導体記憶装置。