I357147

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96151478

※ 申請日期：96.12.31　　※IPC 分類：H01L 27/04 (2006.01)
H01L 21/822 (2006.01)

一、發明名稱：(中文/英文)

具有兩種解耦合電容器之積體電路及方法

INTEGRATED CIRCUITS AND METHODS WITH TWO TYPES OF DECOUPLING CAPACITORS

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

麗莎　K　托斯

TOTH, LIZA K.

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國　籍：(中文/英文)

美國　U.S.A.

三、發明人：(共 2 人)

姓　名：(中文/英文)

1. 布萊恩　陳
CHEUNG, BRIAN

2. 艾曼紐　德　幕易森
DE MUIZON, EMMANUEL

國　籍：(中文/英文)

1. 美國　U.S.A.

2. 法國　FRANCE

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年1月1日；60/921,508

2. 美國；2007年1月1日；60/934,937

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本申請案係關於使用電源島之低功率積體電路，且更特定言之係關於該等電路中之解耦合電容之實施。

【先前技術】

經常將解耦合電容器用於晶片設計中以減少切換期間之雜訊。在邏輯區域中，通常使用包括連接在電源與接地端之間的電容器之填補單元。隨著電壓調整(voltage scaling)進展且設備變得對瞬時過電壓越來越敏感，切換雜訊之控制變得越來越需要。

然而，一個衝突趨勢為對較低的截止狀態洩漏之需要。解耦合電容器通常被實施為簡單的累積電容器。雖然藉由深調整過程提供之閘極氧化物允許非常高的比電容，但其亦提供相對較高的漏電流密度。

閘極氧化物之洩漏密度當前不利地發生調整。因此，隨著製程繼續調整至較小尺寸，解耦合電容器之傳統方法提供不可接受之漏電流密度。

許多攜帶型電子系統決定性地受電池組壽命限制。舉例而言，使用者不喜歡重的行動電話，但使用者亦不喜歡其行動電話電能耗盡並關閉。一改良電池組壽命之方式為增加攜帶型系統中之電子組件之能效。隨著低功率積體電路之約束不斷地變得更嚴，電源島之技術變得更重要。在此技術中，積體電路之一些部分僅"按需要"而通電。

已證明電源島技術產生一些驚人的困難。如以下描述展

示，其亦可產生一些驚人的優點。

【發明內容】

本發明者已認識到，可藉由考慮晶片之始終通電區域與晶片之有時通電區段之間的區別來改良解耦合電容器之最佳化。

本申請案揭示解耦合電容器之新方法，其尤其可應用於其中使用兩個(或兩個以上)之氧化物厚度之積體電路(如通常之高度調整之產品)。舉例而言，較薄的有效閘極氧化物通常被用於核心邏輯而不用於周邊電路；此允許核心邏輯得以最佳地調整，同時為周邊電路增加一定穩健性。

本申請案教示，電源島架構為解耦合電容器開創了新可能性。根據一類實施例，將最薄的閘極氧化物使用於解耦合電容器，在最低電壓域內，其僅在有條件地供電之位置中，且不在始終供電之位置中。根據另一類實施例，密度最佳化在有條件地供電之位置中的解耦合電容器之一些或全部，而洩漏最佳化在始終供電之位置中的解耦合電容器。根據另一類實施例，有條件地供電之位置中的解耦合電容器之一些或全部係由最低電壓閘極氧化物層形成，而始終供電之位置中的解耦合電容器係由一較高電壓之閘極氧化物層形成。

核心閘極氧化物厚度通常比IO閘極氧化物厚度更薄且因此提供一比IO厚度更好的電容面積比。然而，對於深次微米技術而言，大量的電流可流經閘極氧化物(直接穿隧)。較厚的IO閘極氧化物具有較低的電容面積比但亦使用更加

小的閘極電流。對於次微米技術，閘極洩漏電流之若干數量級的差異並非不常見。

總而言之，具核心厚度之電容器具有較佳電容面積比，但具有較高的閘極洩漏電流。以IO厚度建構之電容器具有較低的電容面積比，但具有一更佳低的閘極洩漏電流。

該揭示案中所涉及之設計使用電源島。電源島之用途之一為藉由僅維持向在睡眠或待命操作期間所需之電路區段供電來減小待命電流。

在各種實施例中，所揭示之創新提供至少下列優點中之一或多者：

- 減小的功率消耗；
- 較大密度；
- 較佳雜訊抑制；
- 仍可使用累積電容器；
- 較佳可靠性。

【實施方式】

將特定參考目前較佳實施例(舉例說明，但不限於)描述本申請案之眾多創新教示。

經常將解耦合電容器用於晶片設計中以減少切換期間之雜訊。在邏輯區域中，通常使用包括連接在電源與接地端之間的電容器之填補單元。

通常將至少兩個氧化物厚度用於製造次微米產品；一個厚度用於核心且一個厚度用於IO電路。解耦合電容器可由任一氧化物厚度形成，從而產生不同特性。

核心閘極氧化物厚度通常比IO閘極氧化物厚度薄，且因此提供一比IO厚度好的電容面積比。然而，對於深次微米技術，大量的電流可流經閘極氧化物(直接穿隧)。

重要的是，應注意，穿隧電流隨著障壁厚度減小而指數增加，而與障壁高度無關。因此，隨著進一步調整，閘極電流密度可變得不成比例地惡化。

IO電路中所使用的較厚閘極氧化物具有較低的電容面積比，但亦使用小得多的閘極電流。對於次微米技術而言，閘極洩漏電流之若干數量級的差異並非不常見。

許多現代低功率設計使用電源島。電源島之用途之一為藉由僅維持向在睡眠或待命操作期間所需之電路區段供電來減小待命電流。

為了最小化閘極電流且因此最小化使用電源島之給定產品之待命電流，使用較厚的閘極氧化物以在電路之在待命操作期間通電之區段中形成解耦合電容器。較薄的閘極氧化物電容器可用於電路之在待命期間斷電的區段中。此策略允許ASIC設計者最小化在待命期間通電之區段中的漏電流，同時最有效地利用在待命期間斷電之區段中的單位晶片面積電容。

在使用0.13 μm電晶體技術之Tripoli實施例中，使用N井累積電容器(n井內的N+摻雜多晶矽及源極及汲極)。

對於I/O氧化物電容器，1 nF可使用約300K μm^2之面積，並且僅有5.1 nA之閘極洩漏電流。對於核心氧化物電容器，1 nF可使用約150K μm^2之面積，同時使用2.25 μA之

閘極洩漏電流。請注意，儘管面積僅減少一半，但漏電流增加為原來的約400倍！

形成具有內建電容的各種面積之填補單元。核心及I/O氧化物電容器設計皆係在此等填補單元內形成。接著使用CAD軟體將解耦合電容填補單元分布在晶片周圍。

未說明具體的填補單元位置，因為設計者對其位置不感興趣。亦即，以低層級之規格插入填補單元，且其與人類設計者之決策無密切關係。出於類似原因，對任何個別電容器之裝置層級細節亦無特別興趣，因為任何一個電容器與習知累積電容器相同。類似地，沒有一個個別填補單元與習知單元顯著不同；如上所述，單元類型與單元位置之間的關聯才產生該等驚人的優點。

圖1(唯一圖)展示根據較佳實施例之積體電路之實例，其含有使用不同種類之累積電容器之不同區域。在此圖中，將不詳細論述個別區塊之電路操作，但電源連接有助於展示所揭示之概念的應用。

在此圖中，標記為"密碼引擎"之最右上部區塊為一僅有條件地通電之低壓核心區塊之一實例。在所說明之ASIC中，密碼引擎耗費大量區域，且亦包括大量閘極以允許快速計算。因為此區塊僅按需要通電，且因為此區塊耗費晶片總面積的一大部分，因此此區塊使用最密集之耦合電容器。

頂部中心之區塊(標記為"USB PHY")為一IO(周邊)區塊，其不使用最薄的閘極氧化物。因此，此區塊在任何情

況下都不適合最薄的耦合電容器。

下部中心處的小白色區塊(其嵌於一較大灰色區塊內且標記為"NVM加密用1")為一始終通電的低壓核心區塊之一實例。因為此區塊不是有條件地供電，因此該區塊不容納較薄氧化物(經密度最佳化)之電容器，該區塊反而係容納較厚氧化物的經洩漏最佳化之電容器。

因此，根據較佳實施例，此等三個區塊一起說明用以選擇適當電容之方式。

根據各種實施例，提供一種積體電路，其包含：主動電路區域之僅有條件地通電之第一部分，及主動電路區域之在晶片通電時就通電之其他部分；其中該等第一部分，而非該等其他部分，包括主要為一第一類型之解耦合電容器；且其中該等其他部分，而非該等第一部分，包括主要為一第二類型之解耦合電容器；其中該第一類型之該等電容器具有比該第二類型之該等電容器高的比電容及單位面積漏電流。

根據各種實施例，提供一種積體電路，其包含：主動電路區域之僅有條件地通電之第一部分，及主動電路區域之在晶片通電時就通電之其他部分；其中該等第一部分，而非該等其他部分，包括主要經面積最佳化之解耦合電容器；且其中該等其他部分，而非該等第一部分，主要包括經洩漏最佳化之解耦合電容器。

根據各種實施例，提供一種積體電路，其包含：僅有條件地通電之第一部分，及主動電路區域之在晶片自一斷電

狀態通電時就通電之其他部分；其中該等第一部分及該等其他部分含有具有大體上相同的閘極結構之相應場效電晶體；且其中該等第一部分，而非該等其他部分，包括主要為累積電容器且使用與該等閘極結構大體上相同的薄膜層之解耦合電容器。

根據各種實施例，提供一種積體電路，其包含：包括第一絕緣閘電晶體之第一區域，該等第一區域經最佳化以適合於閘極電壓之一第一範圍；包括第二絕緣閘電晶體之第二絕緣區域，該等第二區域經最佳化以適合於操作電壓之一第二範圍，該第二範圍包括比該第一範圍之任何部分高的一些電壓；該等第一區域包括僅有條件地通電之一些部分及在該第一區域通電時就通電之其他部分；其中該等有條件地通電之部分包括主要為一第一類型且藉由與該等第一電晶體相同的製程形成之解耦合電容器，且該等其他部分主要包括不為該第一類型之解耦合電容器。

根據各種實施例，提供一種用於減少一積體電路中之電雜訊之方法，其包含以下動作：為電源線裝上位於晶片內之可用位置處的複數個電容器；其中該等電容器中之位於最低電壓域中之數個電容器經洩漏最佳化，除非該電容器位於一僅有條件地供電之域中。

根據各種實施例，提供一種用於減少一積體電路中之電雜訊之方法，其包含以下動作：為電源線裝上位於晶片內之可用位置處的複數個電容器；其中該等電容器中之位於最低電壓域中之數個電容器不使用最薄的閘極氧化物，除

非該電容器位於一僅有條件地供電之域中；且其中該等電容器中之位於最低電壓域中之至少一些電容器使用與晶片上之最低電壓絕緣閘電晶體相同的閘極氧化物。

根據各種實施例，提供用於雙電壓電源島架構中之最佳化解耦合電容之方法及系統。在晶片之低壓區域中，視電容器是位於一始終通電之區域中還是位於一有條件地供電之區域中，將兩種不同類型之累積電容器用於解耦合。

修改及變化

如熟習此項技術者將認識到，本申請案中所描述之創新概念可在一極大的應用範圍內加以修改及變化，且因此，專利之標的之範疇不受所給出的具體例示性教示中之任一者限制。意欲涵蓋在附加之申請專利範圍之精神及寬廣範疇內的所有該等替代、修改及變化。

舉例而言，所揭示之發明在可利用兩個以上之閘極氧化物厚度之製程中可能更為有利；在此等狀況下，上述折衷可得以指數地改進。

此方法並不侷限於邏輯，而在混合信號積體電路設計中亦係有利的，若使用了電源島。

亦參考以下共同擁有之美國專利申請案，該等申請案中之每一者及每個係以全文引用方式併入本文中：2006年12月31日申請之60/934,936；2006年12月31日申請之60/921,507；2006年12月31日申請之60/934,918；2006年12月31日申請之60/934,917；2006年12月31日申請之60/999,760；2006年12月31日申請之60/934,923；2007年01

月01日申請之60/934,937；2007年1月1日申請之60/921,508；2006年12月31日申請之11/618,849；2006年12月31日申請之11/618,852；2006年12月31日申請之11/618,865；2006年12月31日申請之11/618,867；2006年12月31日申請之11/649,325；及2006年12月31日申請之11/649,326。此等申請案不一定與本申請案相關，但此等申請案幫助展示設計於與上述理念相同的系統中及/或與彼等理念協作組合之特徵。

不應將本申請案之描述當作暗示任何特定元件、步驟或功能為必須包括於申請專利範圍中之必需要素：專利之標的之範疇僅由容許之申請專利範圍界定。此外，除非準確詞"用於…之構件(means for)"後跟隨分詞(participle)，否則此等請求項沒有一者意欲援引35 USC第112條第六段。

所申請之申請專利範圍意欲儘可能地全面，且無標的被故意出讓、獻出或放棄。

【圖式簡單說明】

圖1(唯一圖)展示根據較佳實施例之積體電路之實例，其含有使用不同種類之累積電容器之不同區域。

五、中文發明摘要：

本發明揭示用於雙電壓電源島架構中之最佳化解耦合電容之方法及系統。在晶片之低壓區域中，視電容器是位於一始終通電之區域中還是位於一有條件地供電之區域中，將兩種不同類型之累積電容器用於解耦合。

六、英文發明摘要：

Methods and systems for optimal decoupling capacitance in a dual-voltage power-island architecture. In low-voltage areas of the chip, accumulation capacitors of two different types are used for decoupling, depending on whether the capacitor is located in an area which is always-on or an area which is conditionally powered.

十一、圖式：

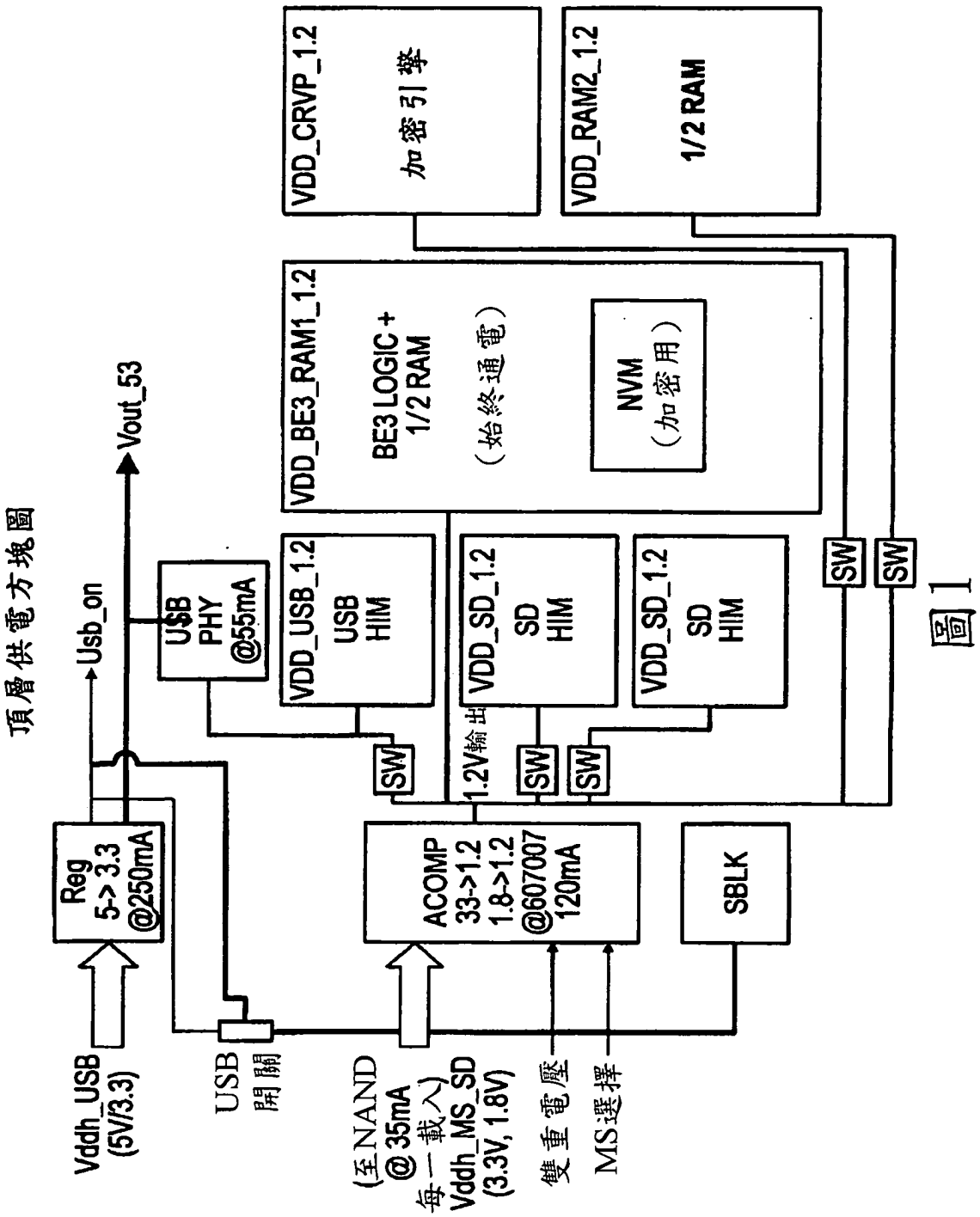
頂層供電方塊圖
Vout_53
Usb_on
VDD_CRVP_1.2
加密引擎
VDD_RAM2_1.2
1/2 RAM
VDD_BE3_RAM1_1.2
BE3 LOGIC +
1/2 RAM
（始終通電）
NVM
（加密用）
USB
PHY
@55mA
VDD_USB_1.2
USB
HIM
VDD_SD_1.2
SD
HIM
VDD_SD_1.2
SD
HIM
SW
SW
SW
SW
SW
1.2V輸出
Reg
5->3.3
@250mA
ACOMP
33->1.2
1.8->1.2
@607007
120mA
SBLK
Vddh_USB
(5V/3.3)
USB
開關
(至NAND
@35mA
每一載入)
Vddh_MS_SD
(3.3V, 1.8V)
雙重電壓
MS選擇

圖 1

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種積體電路，其包含：

主動電路區域之多個第一部分，其僅有條件地通電，及

主動電路區域之多個其他部分，其在每當該積體電路通電時通電；

其中該等第一部分，而非該等其他部分，包括主要為一第一類型之多個解耦合電容器；

且其中該等其他部分，而非該等第一部分，包括主要為一第二類型之多個解耦合電容器；

其中該等第一類型之電容器比該等第二類型之電容器具有更高的一特定電容及更高的一單位面積漏電流。

2. 如請求項1之積體電路，其中該等第一類型之電容器及該等第二類型之電容器皆具有覆於一半導體區域上之導體層及絕緣體層，且其中該等第一類型電容器比該等第二類型電容器具有更薄的絕緣體層。

3. 如請求項1之積體電路，其中該等第一類型之電容器及該等第二類型之電容器皆為MOS電容器。

4. 如請求項1之積體電路，其中該等第一類型之電容器及該等第二類型之電容器皆為累積電容器。

5. 如請求項1之積體電路，其中該等第一類型之電容器及該等第二類型之電容器皆為屬於N井之MOS電容器。

6. 一種積體電路，其包含：

主動電路區域之多個第一部分，其僅有條件地通電，

及

主動電路區域之多個其他部分，其在每當該積體電路通電時通電；

其中該等第一部分，而非該等其他部分，包括多個主要經面積最佳化之解耦合電容器；

且其中該等其他部分，而非該等第一部分，主要包括多個經洩漏最佳化之解耦合電容器。

7. 如請求項6之積體電路，其中該等經面積最佳化之電容器及該等經洩漏最佳化之電容器皆具有覆於一半導體區域上之導體層及絕緣體層，且其中該等經面積最佳化之電容器比該等經洩漏最佳化之電容器具有更薄的絕緣體層。

8. 如請求項6之積體電路，其中該等經面積最佳化之電容器及該等經洩漏最佳化之電容器皆為MOS電容器。

9. 如請求項6之積體電路，其中該等經面積最佳化電容器及該等經洩漏最佳化之電容器皆為屬於N井之MOS電容器。

10. 一種積體電路，其包含：

多個第一部分，其僅有條件地通電，及

主動電路區域之多個其他部分，其在每當晶片自一斷電狀態通電時通電；

其中該等第一部分及該等其他部分含有具有實質上相同的閘極結構之多個相應場效電晶體；

且其中該等第一部分，而非該等其他部分，包括多個

主要為累積電容器且使用與該等閘極結構實質上相同的多個薄膜層之解耦合電容器；

其中該等其他部分，而非該等第一部分，包括多個主要為累積電容器且不使用與該等閘極結構相同的該等薄膜層之解耦合電容器。

11. 一種積體電路，其包含：

包括多個第一絕緣閘電晶體之多個第一區域，該等第一絕緣閘電晶體經最佳化以適合於閘極電壓之一第一範圍；

包括多個第二絕緣閘電晶體之多個第二區域，該等第二絕緣閘電晶體經最佳化以適合於操作電壓之一第二範圍，其包括比該第一範圍之任何部分為高的一些電壓；

該等第一區域包括僅有條件地通電之一些部分及在每當該第一區域通電時通電之其他部分；

其中該等有條件地通電之部分包括主要為一第一類型且藉由與該等第一電晶體相同的製程形成之多個解耦合電容器，且該等其他部分主要包括多個不為該第一類型之解耦合電容器。

12. 如請求項11之積體電路，其中該等有條件地通電之部分，而非該等其他部分，包括主要為一第一類型且藉由與該等第一電晶體相同的製程形成之多個解耦合電容器；且該等其他部分主要包括藉由與該等第二電晶體相同的製程形成之多個解耦合電容器。

13. 如請求項11之積體電路，其中該等其他部分，而非該等有條件地通電之部分，包括主要為累積電容器且不使用

與該等閘極結構相同的該等薄膜層之多個解耦合電容器。

14. 如請求項11之積體電路，其中該等第二區域包括外部I/O電路，且該等第一區域不包括該外部I/O電路。