



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ³ : H03F 3/24	A1	(11) Numéro de publication internationale: WO 82/ 04166 (43) Date de publication internationale: 25 novembre 1982 (25.11.82)
(21) Numéro de la demande internationale: PCT/FR82/00083 (22) Date de dépôt international: 18 mai 1982 (18.05.82) (31) Numéro de la demande prioritaire: 81/10255 (32) Date de priorité: 22 mai 1981 (22.05.81) (33) Pays de priorité: FR (71) Déposant (pour tous les Etats désignés sauf US): THOMSON-CSF [FR/FR]; 173, Bl. Haussmann, F-75008 Paris (FR). (72) Inventeur; et (75) Inventeur/Déposant (US seulement) : LORIEUX, Roland [FR/FR]; 9, rue des Econdeaux, F-93800 Epinay sur Seine (FR). (74) Mandataire: EISENBETH, Pierre; Thomson-CSF-SCPI, 173, Bl. Haussmann, F-75008 Paris (FR).		(81) Etats désignés: AT (brevet européen), BE (brevet européen), CH (brevet européen), DE (brevet européen), FR (brevet européen), GB (brevet européen), JP, LU (brevet européen), NL (brevet européen), SE (brevet européen), US. Publiée Avec rapport de recherche internationale.

(54) Title: TRANSISTOR AMPLIFIER OPERATING ON ULTRA HIGH FREQUENCY PULSE MODE

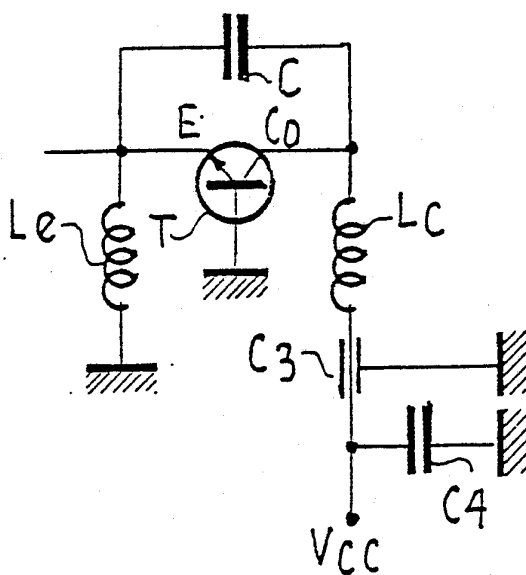
(54) Titre: AMPLIFICATEUR A TRANSISTOR FONCTIONNANT EN HYPERFREQUENCE EN REGIME IMPULSIONNEL

(57) Abstract

A pulse transistor amplifier required to operate on an ultra high frequency transient mode, with an unblocking provided as quickly as possible, comprises capacitive means (C) mounted directly to the terminals of the transistor (T) between the transmitter and the collector when the transistor has its base grounded. In the case where the amplifier comprises two transistors (T1-T2) mounted in a push-pull mode, the capacitive means are separated into two, each (C1-C2) being mounted between the transmitter of a transistor and the collector of the other one.

(57) Abrégé

Un amplificateur à transistor à impulsions devant fonctionner en régime transitoire en hyperfréquence, avec un déblocage réalisé le plus rapidement possible, comporte des moyens capacitifs (C) montés directement aux bornes du transistor (T) entre émetteur et collecteur quand le transistor a sa base à la masse. Dans le cas où l'amplificateur comporte deux transistors (T1-T2) montés en push-pull, les moyens capacitifs sont dédoublés et chacun (C1-C2) est monté entre l'émetteur d'un transistor et le collecteur de l'autre.



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	KP	République populaire démocratique de Corée
AU	Australie	LI	Liechtenstein
BE	Belgique	LK	Sri Lanka
BR	Brésil	LU	Luxembourg
CF	République Centrafricaine	MC	Monaco
CG	Congo	MG	Madagascar
CH	Suisse	MW	Malawi
CM	Cameroun	NL	Pays-Bas
DE	Allemagne, République fédérale d'	NO	Norvège
DK	Danemark	RO	Roumanie
FI	Finlande	SE	Suède
FR	France	SN	Sénégal
GA	Gabon	SU	Union soviétique
GB	Royaume-Uni	TD	Tchad
HU	Hongrie	TG	Togo
JP	Japon	US	Etats-Unis d'Amérique

AMPLIFICATEUR A TRANSISTOR FONCTIONNANT EN HYPERFREQUENCE EN REGIME IMPULSIONNEL

La présente invention est relative à un amplificateur à transistor fonctionnant en hyperfréquence et plus particulièrement à un amplificateur fonctionnant en impulsions. Dans ce cas et principalement quand le transistor est à forte puissance, le temps d'établissement du courant n'est pas négligeable et dans certaines applications, relatives au radar, l'allongement du temps de montée des impulsions de sortie de l'amplificateur entraîne des erreurs dans les mesures de distance, en particulier.

Un état de l'art d'un amplificateur à transistor fonctionnant en haute fréquence peut être constitué par le brevet américain 3 919 656 déposé le 23 avril 1973.

La figure 1 de la présente demande représente un amplificateur à transistor fonctionnant en haute fréquence semblable à celui du brevet américain cité, à la seule différence que le transistor T est monté en base à la masse et non en émetteur commun; il fonctionne en classe B c'est-à-dire sans tension de polarisation. Son émetteur E est connecté à l'entrée du dispositif I par un ensemble L1 C1, self, capacité et une self Le dite d'entrée est placée en parallèle sur la base du transistor T. Le collecteur du transistor est connecté à la sortie du dispositif par un ensemble L2 C2. L'alimentation se fait à partir d'une source VCC qui applique un courant I_c au collecteur du transistor à travers une self Lc après déblocage par l'impulsion d'entrée. Une capacité chimique de forte valeur C4 sert de réservoir d'énergie au moment de l'appel du courant I_c . La capacité C3 est une capacité de découplage pour la haute fréquence.

Utilisé avec des impulsions, un tel montage présente des inconvénients en régime transitoire. Dans ce cas en effet la mise en conduction brutale du transistor déblocqué par l'apparition de l'impulsion d'entrée, provoque un fort appel de courant à travers la self L1 connectée entre l'entrée de l'amplificateur et l'émetteur du tran-



sistor T. Le courant d'alimentation varie alors suivant une loi exponentielle dont la constante de temps est proportionnelle aux composantes selfiques incluses dans le circuit d'alimentation du transistor en courant continu L_c et L_e . La figure 2 montre l'évolution du courant L_c d'alimentation en fonction de la tension VCE entre collecteur et émetteur. La figure 3 montre l'évolution de la tension haute fréquence en sortie en fonction du temps à partir de l'instant d'application de l'impulsion de commande. On constate bien que la tension appliquée au collecteur croît de façon progressive avec un asymptote constituée par la valeur de la source d'alimentation VCC et que l'enveloppe des impulsions de tension haute fréquence a une forme exponentielle, autrement dit que les fronts de montée sont retardés. L'idéal serait que la tension VCC soit atteinte dans un temps minimal.

Pour remédier à cet inconvénient, on a tenté de diminuer les selfs L_e et L_c , mais on est limité dans cette action par les impédances d'entrée et de sortie du transistor qui imposent une valeur au-dessous de laquelle les impédances L_e et L_c ne peuvent baisser pour que les signaux haute fréquence ne soient pas court-circuités. Or, l'effet de ces selfs L_e et L_c s'avère d'autant plus marqué que la valeur des crêtes de courant HF est grande, cas des transistors de puissance. Il apparaît de la sorte que le temps d'établissement du courant dans un transistor de puissance ne peut être réduit suffisamment lorsque l'on diminue les selfs L_e et L_c .

Un autre phénomène lié au précédent est dû au temps de mise en conduction du transistor pour lequel l'apparition de la puissance de sortie nominale ne peut commencer que lorsque le courant collecteur a atteint sa valeur moyenne soit

$$I_c = VCC/R_c,$$

VCC étant la tension d'alimentation et R_c la résistance de charge.

En étudiant les paramètres en S du transistor que l'on rappelle ci-dessous, on peut se rendre compte des limites de son fonctionnement :

- le paramètre S_{11} représente le coefficient d'entrée de l'ampli-



ificateur,- le paramètre S22 représente le coefficient de réflexion en sortie,

- les paramètres S21 et S12 représentent les coefficients de transmission, respectivement dans le sens entrée vers sortie et sortie vers entrée ; le paramètre S21 est le gain au transistor du sens usuel du terme.

Les figures 4a à 4d montrent une représentation graphique de ces différents coefficients. On constate en examinant la courbe S11 = f(t), figure 4a, que l'énergie réfléchie reste importante pendant les cinquante premières nanosecondes, c'est-à-dire que le transistor ne se débloque qu'après un certain laps de temps. L'énergie transmise demeure faible et le gain est inférieur à l'unité, figure 4c. L'adaptation ainsi que la puissance transmises deviennent correctes au bout d'environ 200 ns.

La figure 5a qui représente la puissance transmise en fonction du temps montre (courbe I) que la puissance est appliquée à l'entrée bien avant que la puissance de sortie se manifeste (courbe O); le temps ΔT étant le temps de déblocage du transistor. La figure 5b montre la forme de l'impulsion d'entrée (courbe I), le transistor absorbe du courant avant que la puissance de sortie n'apparaisse (courbe II).

Ainsi qu'il a été dit plus haut, la cause principale des inconvénients observés réside dans les parties selfiques des circuits d'alimentation qui ne peuvent jamais être tout à fait annulées. On a essayé de réduire en partie ce défaut en plaçant une capacité chimique C4 de forte valeur en parallèle sur l'alimentation juste avant la self de collecteur Lc. Cette capacité est repérée C4 sur la figure 1 et effectivement, elle masque les composantes inductives et résistives situées en amont, c'est-à-dire côté alimentation, mais étant de grande valeur elle assure également la fourniture d'énergie du transistor pendant les périodes de circulation de courant intense à condition toutefois que son impédance interne soit négligeable, ce qui s'avère difficilement réalisable dans la pratique.

Un but de l'invention est de prévoir des moyens qui permettent

à l'amplificateur à transistor à haute fréquence de fonctionner en régime impulsionnel sans présenter les inconvénients qui ont été rappelés ci-dessus.

L'invention est ainsi caractérisée en ce qu'elle comprend des moyens pour fournir au transistor de l'amplificateur le courant d'alimentation dès le début de l'impulsion de commande en diminuant la constante de temps de mise en conduction et le délai nécessaire à l'atteinte de la saturation, ces moyens qui restituent l'énergie du transistor étant placés le plus près possible de ce dernier et minimisant l'effet des selfs série. L'effet des selfs série tend à s'opposer naturellement au passage du courant, mais les moyens suivant l'invention sont tels qu'ils ne provoquent pas de court-circuit de la composante haute fréquence.

Suivant une réalisation préférentielle de l'invention, ces moyens sont constitués par une capacité capable d'emmagasiner de l'énergie pendant les périodes de repos et la restituer au début de l'impulsion de commande avec une constante de temps la plus réduite possible.

D'autres avantages et caractéristiques de l'invention apparaîtront au cours de la description qui suit d'un exemple de réalisation donné à l'aide, outre des figures 1 à 5, ressortissant à l'art antérieur, des figures 6, 7, 8, 9 et 10 qui représentent :

- la figure 6, les différents montages possibles de la capacité C aux bornes d'un transistor ;
- la figure 7, les variations des coefficients en S du transistor dans le montage suivant l'invention ;
- la figure 8, la courbe enveloppe des impulsions HF de sortie dans le montage suivant l'invention ;
- la figure 9, l'allure des impulsions de sortie pour deux valeurs de la capacité C ;
- la figure 10, le montage des moyens capacitifs pour un amplificateur à deux transistors montés en push-pull.

Ainsi qu'il ressort de l'introduction à la présente description, l'invention a pour but de définir les moyens permettant d'utiliser

dans de bonnes conditions, un amplificateur à transistor fonctionnant en impulsions en hyperfréquence et de puissance élevée, en régime transitoire. Ces moyens comme cela a été dit plus haut, doivent être capables de fournir au transistor amplificateur un courant d'alimentation dès que l'impulsion de commande lui a été appliquée, de façon que la constante de temps de mise en conduction du transistor soit diminuée et que la saturation soit atteinte le plus rapidement possible.

Ces moyens sont, ainsi que cela a été dit constitués de préférence par une capacité emmagasinant de l'énergie pendant les périodes de repos du transistor et la restituant dès le début de la période de conduction déclenchée par une impulsion de commande ; la constante de temps de cette capacité doit être donc la plus faible possible lorsqu'elle se décharge. L'emplacement de cette capacité revêt une certaine importance, car il est nécessaire, comme cela a été vu, que l'effet des selfs série L_c - L_e soit réduit le plus possible pour qu'elles ne puissent fournir une grande opposition au passage du courant, bien qu'elles ne doivent en aucun cas court-circuiter les composantes haute fréquence.

Les figures 6 qui reprennent partiellement la figure 1 montrent des emplacements possibles de la capacité C, pour qu'elle réalise les conditions permettant à l'amplificateur à transistor d'être utilisable et utilisé en régime transitoire.

Suivant la figure 6a, la capacité C est connectée entre le point de connexion de l'impédance d'entrée L_e et le point commun de la self L_c du collecteur et de la capacité de découplage C3. La mise en place de cette capacité C est relativement facile, elle diminue l'effet de la self de l'émetteur L_c et élimine la self de collecteur ; la conduction du transistor est accélérée.

Suivant la figure 6b, la capacité C est connectée entre la masse M et le point commun de la self L_c du collecteur et de la capacité de découplage C3. La mise en place de cette capacité C est facile ; rapprochée du collecteur du transistor, cette capacité a pour effet de diminuer l'influence de la self série L, elle n'agit

toutefois pas sur la vitesse de conduction du transistor.

Suivant la figure 6c, la capacité C est connectée entre le point E de connexion de la self Le d'entrée et le point A commun aux capacités C3 et C4. Les effets de cet emplacement sont moins bons que ceux obtenus avec l'emplacement montré figure 6b car il y a plus de self série, et la mise en place est relativement difficile.

Suivant la figure 6d, la capacité C est connectée entre la masse M et le point A. Le montage est facile à réaliser mais les effets des selfs séries ne sont pas bien diminués.

Suivant la figure 6e, la capacité C est placée directement aux bornes du transistor entre l'émetteur et le collecteur et le plus près possible de lui, c'est-à-dire avec les connexions les plus courtes. Cet emplacement est certes le meilleur possible, toutefois la mise en place est difficile.

Pour ce qui concerne le fonctionnement du montage avec la capacité C montée suivant les représentations des figures 6, on rappellera ce qui suit : dans son fonctionnement normal, un transistor est débloqué par mise en conduction de sa jonction émetteur base au moment où la tension d'entrée apparaît. Cette conduction entraîne ensuite le déblocage de la jonction base-collecteur et provoque la circulation du courant dans l'espace collecteur-émetteur. Le fait que cette conduction se fasse en deux temps explique les retards constatés dans les montages de l'art antérieur.

Ces retards préjudiciables, comme cela a été mentionné, doivent être éliminés ou tout au moins fortement diminués par le montage suivant l'invention.

De fait, la présence d'une capacité C entre émetteur et collecteur, présence préconisée par l'invention, a pour effet d'appliquer la tension de commande de déblocage du transistor, simultanément sur les deux jonctions et donc de débloquer simultanément les deux jonctions. Cette capacité C de la sorte accélère la mise en conduction du transistor.

De plus cette capacité est chargée à la tension d'alimentation +VCC pendant les périodes de non conduction du transistor. Au

moment du déblocage accéléré ainsi qu'il a été expliqué, cette capacité fournit instantanément du courant qui circule dans l'espace émetteur-collecteur devenu passant. Il est donc évident que par la présence de la capacité C, le point de fonctionnement est atteint beaucoup plus rapidement qu'avec les montages de l'art antérieur.

Les figures 7a à 7d présentent les courbes de variation des paramètres S qui ont été définis précédemment.

Il est clair que les effets constatés, avec le montage suivant l'invention sont nettement améliorés par rapport à ceux constatés à l'aide des figures 4. Par exemple, sur la figure 7a, on voit que le temps de déblocage Δt du transistor est nettement réduit, c'est-à-dire que le coefficient de réflexion à l'entrée passe de la valeur 1 pour laquelle le transistor est bloqué à une valeur faible en quelques nanosecondes tandis que le gain, figure 7c, atteint sa valeur maximale au bout d'environ 50 nanosecondes, sans temps mort A_m , alors que suivant l'art antérieur il ne l'atteignait qu'en 300 nanosecondes (figures 4c). L'amélioration constatée pour le montage suivant l'invention est sensible dans un rapport de plus de 4. Cette rapidité dans le déblocage du transistor est visible également sur la courbe de la figure 7d.

Sur la figure 7b, représentant le paramètre S_{12} , coefficient de transmission de la sortie vers l'entrée du transistor, on constate qu'il est très faible.

La valeur de la capacité C, pour les résultats obtenus soient considérés comme bons est comprise entre 0,1 et 5 μF .

La figure 8 montre la courbe enveloppe des impulsions HF de sortie du transistor pour différentes valeurs de capacité, c'est-à-dire la puissance P en fonction du temps. Les courbes 1, 2 et 3 ont une partie commune, jusqu'au point Q où la puissance d'entrée est appliquée. La courbe 1 donnée lorsqu'il n'y a pas de capacité aux bornes du transistor dénote une montée en puissance lente par rapport à la courbe 2 où la montée en puissance est plus rapide au départ, mais se ralentit ensuite, ce phénomène étant dû au fait que la capacité à une valeur insuffisante de l'ordre de 0,1 μF par

exemple ; la courbe 3 obtenue pour une valeur de capacité C de l'ordre de $4,7 \mu\text{F}$ est proche de l'idéal. Montée rapide de la puissance jusqu'au maximum.

La figure 9 montre l'allure des impulsions de sortie, courbe 1 pour une capacité de $4,7 \mu\text{F}$ et courbe 2 pour une capacité de $1 \mu\text{F}$. L'impulsion de sortie 1 s'établit plus rapidement que l'impulsion 2 et sa valeur reste constante pendant toute la durée de son existence.

La figure 10 représente le montage de la capacité suivant l'invention pour un amplificateur à deux transistors montés en "push-pull". En général, les deux transistors C1 et C2 ne sont pas débloqués au même instant. Le montage proposé qui consiste à monter chacun des transistors entre un émetteur et un collecteur, mais ici l'émetteur d'un transistor T1 par exemple et le collecteur du transistor T2, et réciproquement pour la capacité C2 permet de débloquent le transistor lent par le transistor le plus rapide.

Dans l'exposé de l'invention, on a pris le cas d'un transistor monté en base commune. L'enseignement de l'invention est également obtenu avec un transistor monté en émetteur ou collecteur commun. La capacité C utilisée est du même type que celle décrite dans ce qui précède et doit avoir une très faible constante de temps, et sa valeur est du même ordre de grandeur que celle décrite. Elle ne doit pas être chimique. Suivant le montage du transistor en émetteur ou collecteur commun, cette capacité est connectée entre base et collecteur ou base et émetteur.

Le montage décrit est toutefois un montage préférentiel car les transistors à grande puissance sont prévus pour être utilisés avec la base à la masse, les capacités internes du transistor étant alors plus faibles.

On a ainsi décrit un amplificateur à transistor, fonctionnant en hyperfréquence en régime impulsionnel.



RE V E N D I C A T I O N S

1. Amplificateur à transistor fonctionnant en hyperfréquence n régime impulsionnel dans lequel le déblocage du transistor se fait en deux temps, le déblocage d'une première jonction entraînant le déblocage d'une seconde jonction, caractérisé en ce qu'il comporte des moyens (C) provoquant le déblocage simultané, lors de l'application d'une impulsion de commande à l'entrée du transistor des deux dites jonctions, la liaison étant ainsi débloquée sans retard par rapport à l'instant d'application de ladite impulsion de commande.

2. Amplificateur suivant la revendication 1, caractérisé en ce que les moyens accélérant le déblocage du transistor sont une capacité (C) chargée par la tension d'alimentation (VCC) du transistor, et placée aux bornes du transistor et le plus près possible.

3. Amplificateur suivant la revendication 2 comportant un transistor (T) monté en base à la masse comportant une self d'entrée (Le), une self de collecteur (Lc) dans la connexion d'alimentation la reliant à une source de tension (+VCC), une capacité de découplage HF(C3) et une capacité réservoir (C4) de forte valeur, caractérisé en ce que la capacité C est montée directement entre l'émetteur (E) et le collecteur (C) du transistor (figure 6e).

4. Amplificateur suivant la revendication 2, caractérisé en ce que la capacité (C) est montée entre l'émetteur (E) du transistor et le point commun de la self de collecteur (Lc) et la capacité de découplage (C3 figure 6a).

5. Amplificateur suivant la revendication 2, caractérisé en ce que la capacité (C) est montée entre la masse (M) et le point commun de la self de collecteur (Lc) et la capacité de découplage (C3 figure 6b).

6. Amplificateur suivant la revendication 2, caractérisé en ce que la capacité (C) est montée entre l'émetteur (E) du transistor et le point commun aux capacités de découplage (C3) et réservoir (C4 figure 6c).

7. Amplificateur suivant la revendication 2, caractérisé en ce que la capacité (C) est montée entre la masse (M) et le point

commun aux capacités de découplage (C3) et réservoir (C4, figure 6d).

8. Amplificateur suivant l'une des revendications 1, 2 ou 3 et comportant au moins deux transistors (T1, T2) montés en push-pull, caractérisé en ce que la capacité (C) est dédoublée en deux capacités (C1 et C2) montées l'une entre l'émetteur du premier transistor (T1) et le collecteur du deuxième transistor (T2) et l'autre entre l'émetteur du second transistor (T2) et le collecteur du premier transistor (T1).

9. Amplificateur suivant la revendication 1 dans lequel le transistor T est monté soit en émetteur commun, soit en collecteur commun, caractérisé en ce que les moyens (C) sont montés soit entre le collecteur et la base, soit entre l'émetteur et la base du transistor.

10. Amplificateur suivant l'une quelconque des revendications précédentes, caractérisé en ce que la capacité (C) a une valeur comprise entre 0,1 et 5 microfarads.

1/6

FIG_1

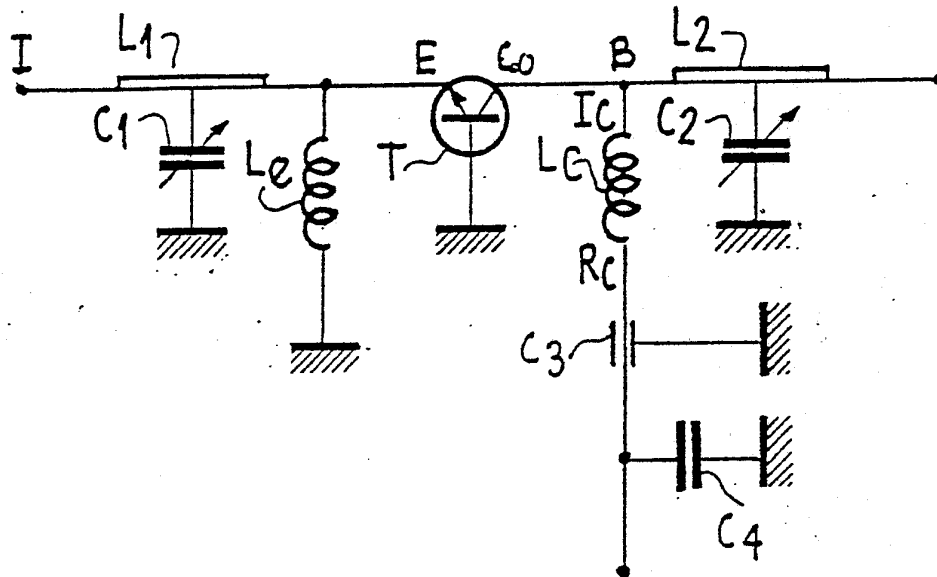


FIG_2

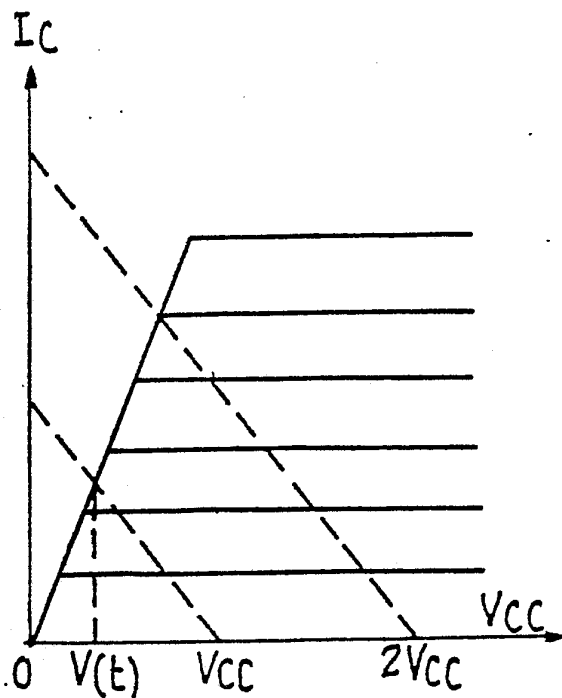
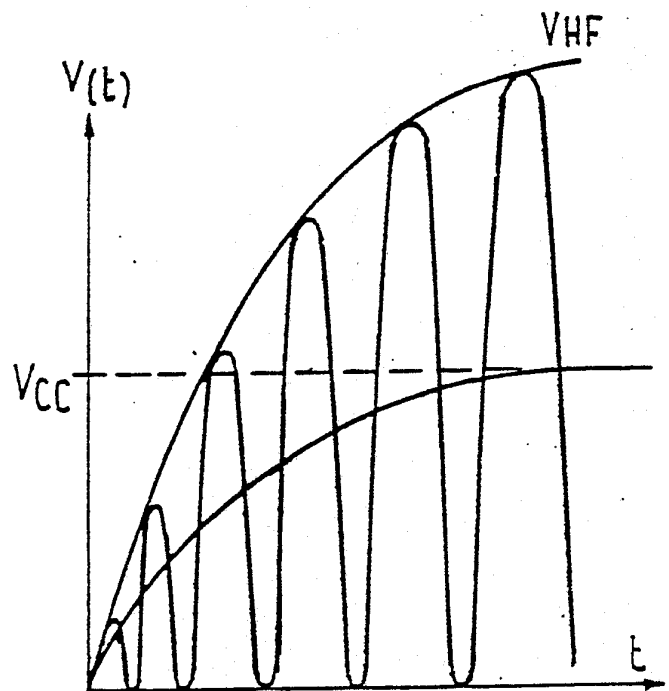


FIG_3



2/6
FIG_4

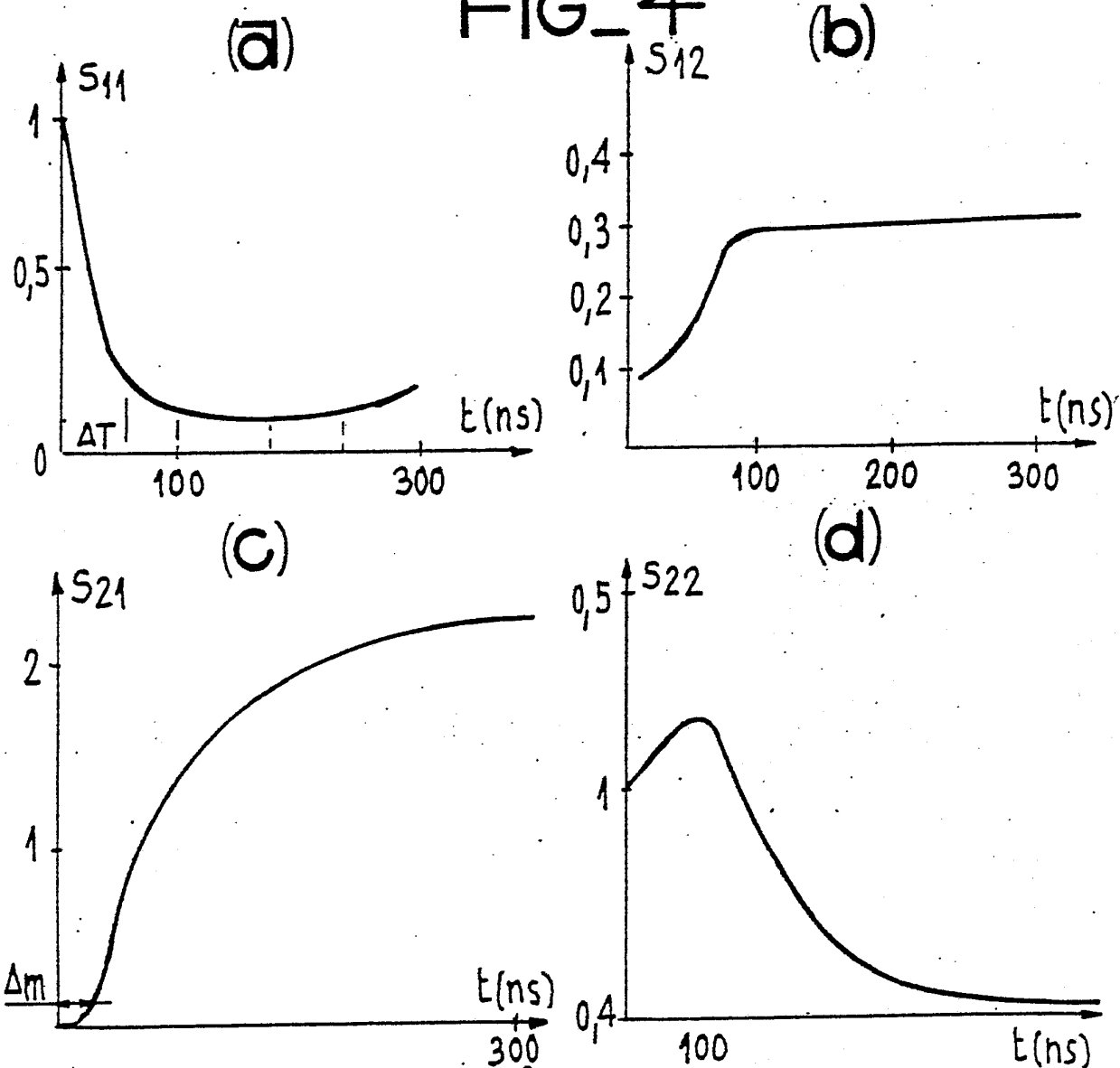
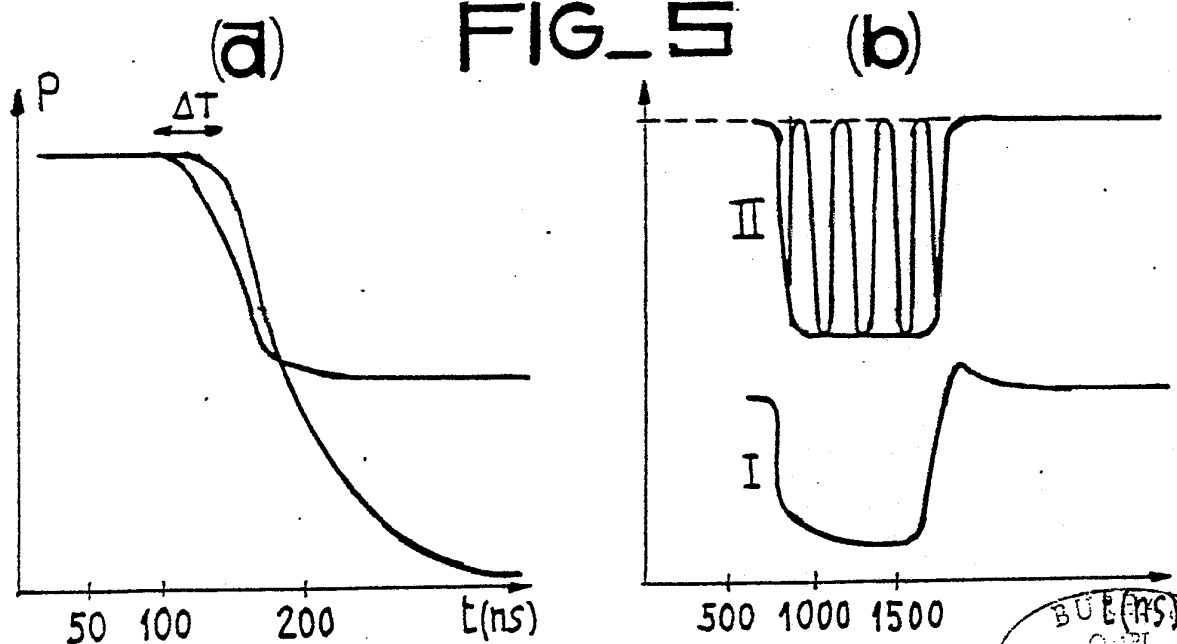
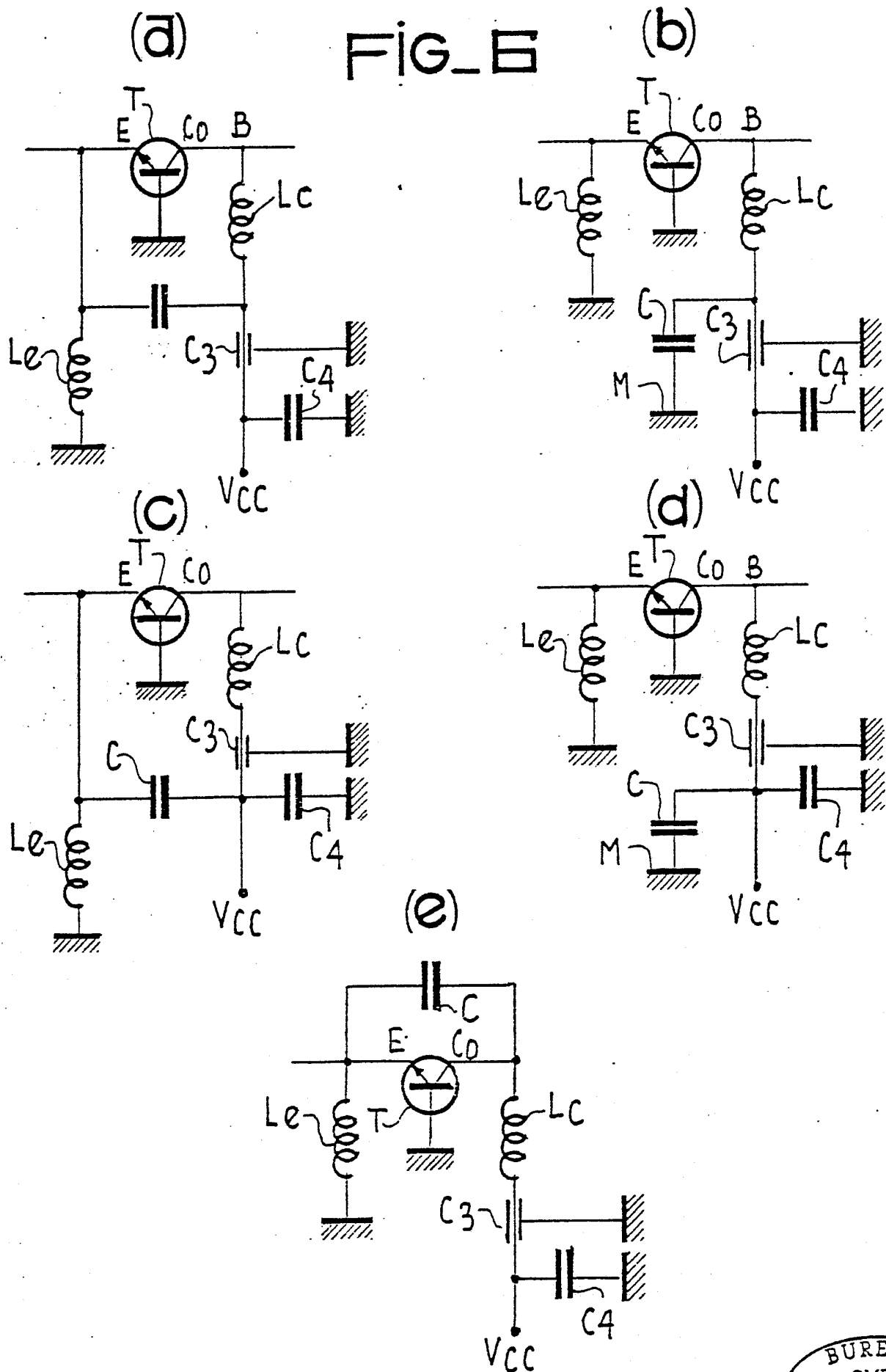


FIG_5



3/6

FIG. 5



4/6
FIG_7

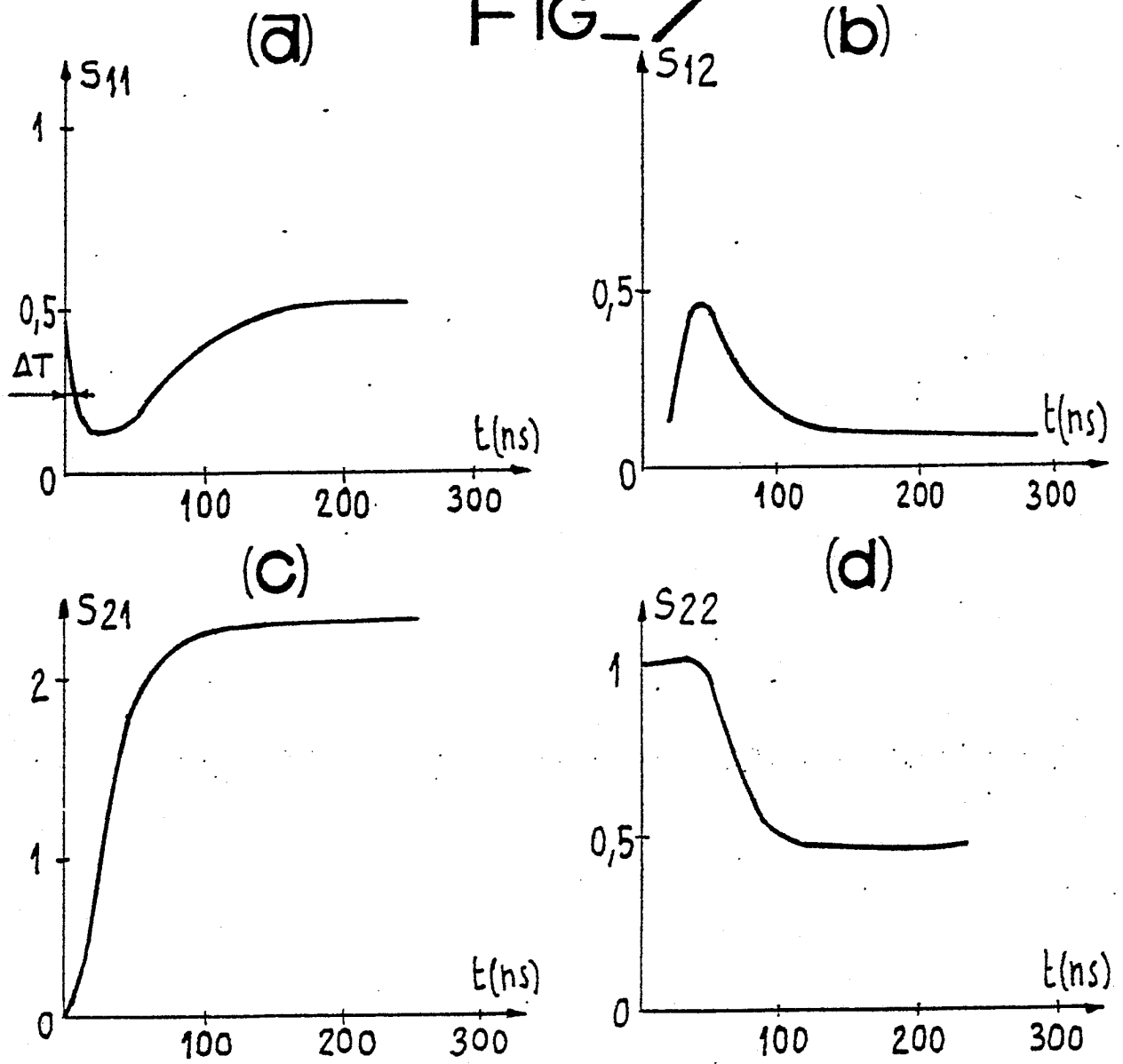
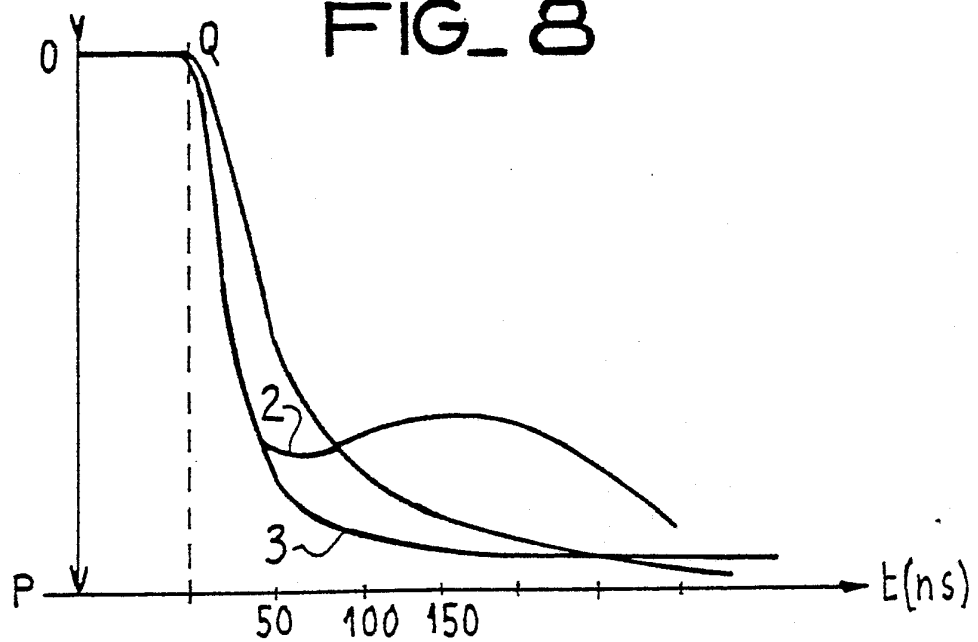


FIG_8



5/6

FIG 9

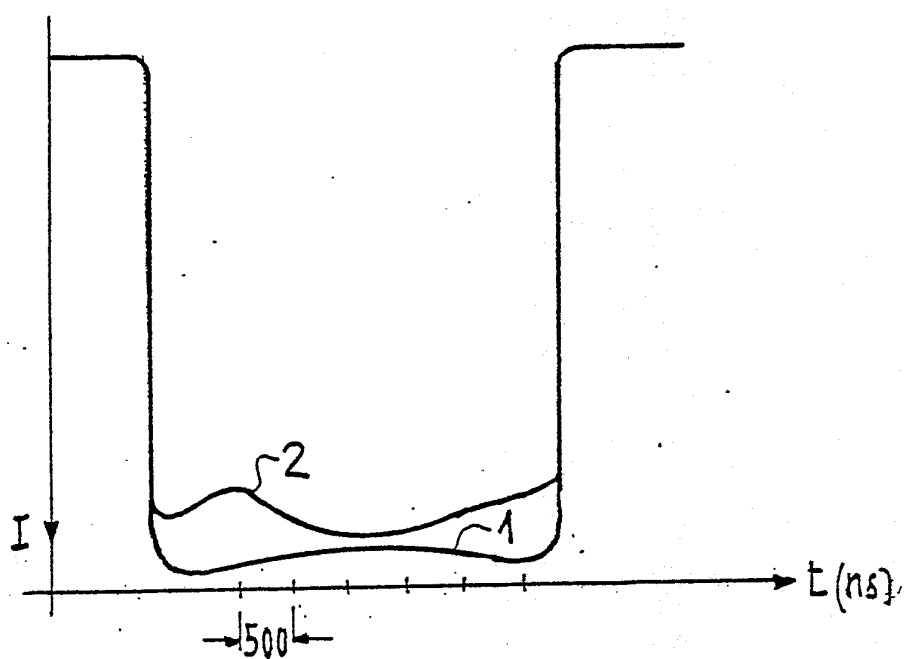
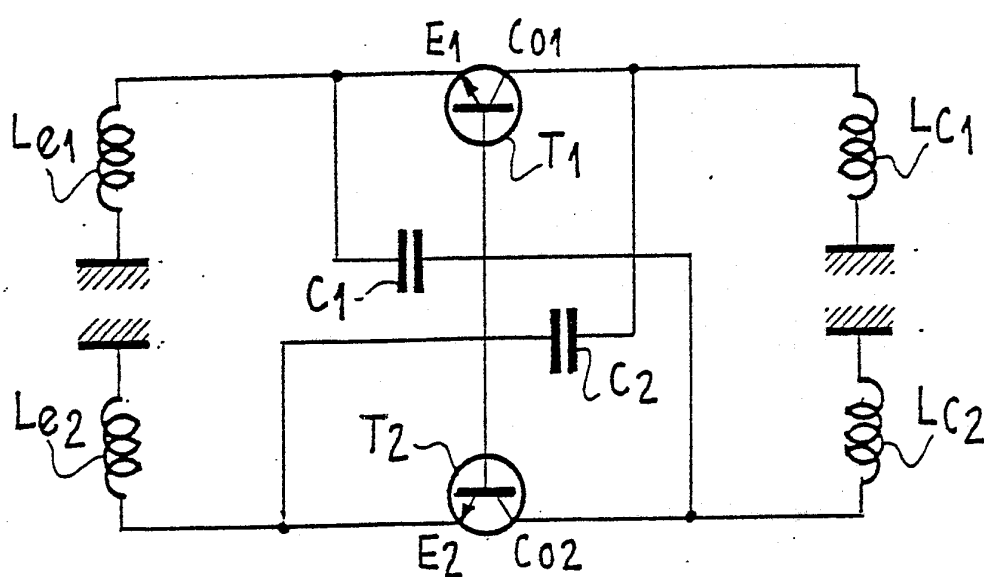
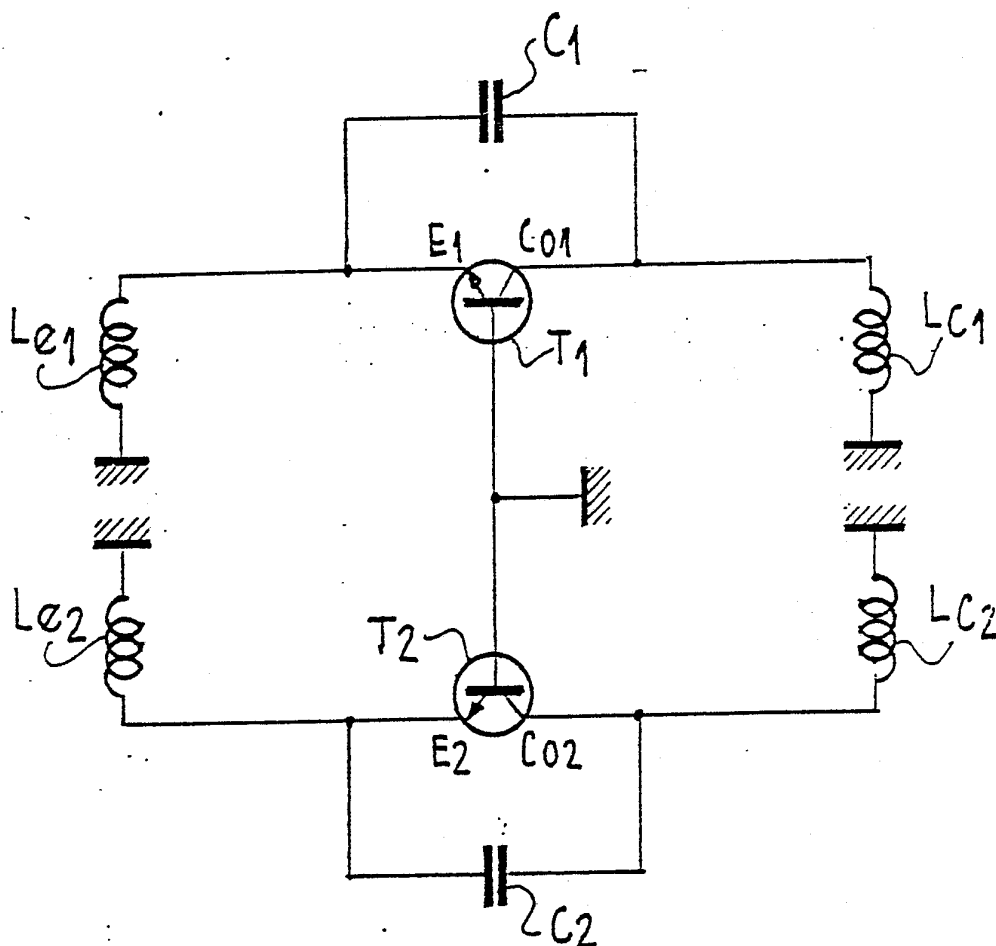


FIG 10-a



6/6

FIG 1□-b



INTERNATIONAL SEARCH REPORT

International Application No PCT/FR82/00083

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
IPC ³ H03F 3/24		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
IPC ³	H03F; H03K	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category [*]	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
A	FR, A, 2250237 (PHILIPS), 30 May 1975, see figures 1-3; page 1 lines 11-26; page 2, lines 9-34	1-3
A	IEEE Journal of Solid State Circuits, vol. SC-16, No. 2, April 1981 (New York, US), J. Ebert et al. "Class E High-efficiency tuned power oscillator" pages 62-66, see figures 1-2; pages 62-63, paragraphs "Introduction" and "Information about class E amplifier"	1, 2
A	US, A, 3562557 (J.M.P. GATES), 9 February 1971, see figure 1, column 1 lines 43-48; column 2, lines 60-69; column 3, lines 44-59	3
A	Motorola Semiconductor Products Application Note AN-217, 4 September 1967 Motorola Phoenix (Arizona, US), D.L. Wollesen "UHF transmission-line power-amplifier designed with Smith-chart techniques", see figures; pages 2-3, the paragraph "450 MHz power amplifier"	3
A	US, A, 2906891 (J.J. SCANLON), 29 September 1959, see figures 1-3; column 2, lines 51-64; column 5, lines 2-5 and 45-59	1, 3
[*] Special categories of cited documents: ¹⁵ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ¹		Date of Mailing of this International Search Report ²
16 August 1982 (16.08.82)		27 August 1982 (27.08.82)
International Searching Authority ¹		Signature of Authorized Officer ¹⁰
European Patent Office		

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale N° PCT/FR 82/00083

I. CLASSEMENT DE L'INVENTION (si plusieurs symboles de classification sont applicables, les indiquer tous) ³		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
CIB. ³ : H 03 F 3/24		
II. DOMAINES SUR LESQUELS LA RECHERCHE A PORTÉ		
Documentation minimale consultée ⁴		
Système de classification	Symboles de classification	
CIB. ³ :	H 03 F; H 03 K	
Documentation consultée autre que la documentation minimale dans la mesure où de tels documents font partie des domaines sur lesquels la recherche a porté ⁵		
III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS ¹⁴		
Catégorie *	Identification des documents cités, ¹⁶ avec indication, si nécessaire, des passages pertinents ¹⁷	N° des revendications visées ¹⁸
A	FR, A, 2250237 (PHILIPS) 30 mai 1975, voir figures 1-3; page 1, lignes 11-26; page 3, lignes 9-34 --	1-3
A	IEEE Journal of Solid State Circuits, volume SC-16, no. 2, avril 1981 (New York, US) J. Ebert et al. "Class E high-efficiency tuned power oscillator" pages 62-66, voir figures 1-2; pages 62-63, les paragraphes "Introduction" et "Information about class E amplifier" --	1,2
A	US, A, 3562557 (J.M.P. GATES) 9 février 1971, voir figure 1; colonne 1, lignes 43-48; colonne 2, lignes 60-69; colonne 3, lignes 44-59 --	3
A	Motorola Semiconductor Products Application Note AN-217, 4 septembre 1967 Motorola Phoenix, (Arizona. US) D.L. Wollesen "UHF transmission-line power-amplifier designed with Smith-chart techniques" ./.	
* Catégories spéciales de documents cités: ¹⁵ « A » document définissant l'état général de la technique, non considéré comme particulièrement pertinent « E » document antérieur, mais publié à la date de dépôt international ou après cette date « L » document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) « O » document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens « P » document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée « T » document ultérieur publié postérieurement à la date de dépôt international ou à la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention « X » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive « Y » document particulièrement pertinent: l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier. « Z » document qui fait partie de la même famille de brevets		
IV. CERTIFICATION		
Date à laquelle la recherche internationale a été effectivement achevée ²	Date d'expédition du présent rapport de recherche internationale ²	
16 août 1982	27 août 1982	
Administration chargée de la recherche internationale ¹	Signature du fonctionnaire autorisé ²⁰	
OFFICE EUROPEEN DES BREVETS	G. L. M. Kruvckenberg	

III. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS ¹⁴		(SUITE DES RENSEIGNEMENTS INDICQUÉS SUR LA DEUXIÈME FEUILLE)
Catégorie ¹⁵	Identification des documents cités, ¹⁶ avec indication, si nécessaire des passages pertinents ¹⁷	N° des revendications visées ¹⁸
	voir figures; pages 2-3, le paragraphe "450 MHz power amplifier"	3
A	US, A, 2906891 (J.J. SCANLON) 29 septembre 1959, voir figures 1-3; colonne 2, lignes 51-64; colonne 5, lignes 2-5 et 45-59	1,3
