

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4530385号
(P4530385)

(45) 発行日 平成22年8月25日(2010.8.25)

(24) 登録日 平成22年6月18日(2010.6.18)

(51) Int.Cl. F I
H04 J 3/00 (2006.01) H04 J 3/00 U

請求項の数 18 外国語出願 (全 18 頁)

(21) 出願番号	特願2000-204447 (P2000-204447)	(73) 特許権者	390023157 ノートル・ネットワークス・リミテッド カナダ国 ケベック州、エイチ4エス 2 エー9、セント ローレント、ブルーバード アルフレッド・ノーベル 2351
(22) 出願日	平成12年7月6日(2000.7.6)	(74) 代理人	100081721 弁理士 岡田 次生
(65) 公開番号	特開2001-69104 (P2001-69104A)	(74) 代理人	100111969 弁理士 平野 ゆかり
(43) 公開日	平成13年3月16日(2001.3.16)	(74) 代理人	100086531 弁理士 澤田 俊夫
審査請求日	平成19年6月1日(2007.6.1)	(74) 代理人	100093241 弁理士 宮田 正昭
(31) 優先権主張番号	09/349087	(74) 代理人	100101801 弁理士 山田 英治
(32) 優先日	平成11年7月8日(1999.7.8)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 S O N E T に任意の信号をマッピングする方法

(57) 【特許請求の範囲】

【請求項1】

任意のレート R 1 の連続デジタル信号を、同期ネットワークを介してトランスペアレントなトリビュタリとして送信する方法であって、

前記連続信号の前記任意のレート R 1 よりも高いレート R の固定長コンテナ信号を選択する段階と、

送信サイトで、前記連続デジタル信号のビットを前記コンテナ信号のフレームの有効タイムスロットに分散させ、前記フレームに均一に分散された無効タイムスロットにスタッフ・ビットを提供する段階と、を含み、

前記無効タイムスロットは、固定スタッフ・ビットおよび適応スタッフ・ビットの一方を含み、

前記提供する段階は、

データ・ビットの連続ストリームを受け取り、前記任意のレート R 1 と前記レート R の位相差を決定する段階と、

前記位相差に基づいて、前記連続ストリームに、前記フレーム内に前記固定スタッフ・ビットを収容するための一定の数のタイムスロットおよび前記フレーム内に前記適応スタッフ・ビットを収容するための調整可能な数のタイムスロットを加える段階と、

を含む送信方法。

【請求項2】

前記コンテナ信号が、S O N E T / S D H 信号であり、前記同期ネットワークが S O N

10

20

E T / S D H ネットワークである請求項 1 に記載の送信方法。

【請求項 3】

前記 S O N E T / S D H 信号が、さらに同期トリビュタリを含む請求項 2 に記載の送信方法。

【請求項 4】

前記 S O N E T / S D H 信号が、複数のトランスペアレントなトリビュタリを含む請求項 2 に記載の送信方法。

【請求項 5】

前記調整可能な数が、前記一定の数よりも実質的に大きい請求項 1 に記載の送信方法。

【請求項 6】

前記一定の数が、伝送オーバーヘッド T O H タイムスロットと、剰余固定スタッフ・ビット・タイムスロットとを含む請求項 1 に記載の送信方法。

【請求項 7】

前記 T O H タイムスロットに、保守、運用、管理および設備提供情報を提供する段階をさらに含む請求項 6 に記載の送信方法。

【請求項 8】

前記加える段階が、
前記フレームを、いくつかの等しいサイズのデータ・ブロックと、前記一定の数のタイムスロットに分割する段階と、
各ブロックごとに、
固定スタッフ・ビットの数を決定し、前記ブロック内に前記固定スタッフ・ビットを均一に分散させる段階と、
前記調整可能な数を示す制御関数 を決定する段階と、
前記制御関数に基づいて前記固定スタッフ・ビットと前記適応スタッフ・ビットを次のブロック内に均一にマッピングする段階と、
を含む請求項 1 に記載の送信方法。

【請求項 9】

前記マッピングする段階が、
前記ブロック内のタイムスロットを識別するカウンタ C を提供する段階と、
前記制御関数 の逆の 2 進ビット を定義する段階と、
前記カウンタ C のビット遷移デルタを計算する段階と、
関数 $V a l i d (C ,)$ が偽のときに、前記カウンタ C によって識別されるタイムスロットが無効タイムスロットであるかどうかを決定する段階と、
適応スタッフ・ビットを前記無効タイムスロット内に提供する段階と、
を含む請求項 8 に記載の送信方法。

【請求項 10】

前記フレームの前記有効タイムスロットから前記連続信号のデータ・ビットを取り出すことによって、受信サイトにおいて前記同期信号から前記連続信号を復元する段階をさらに含む請求項 1 に記載の送信方法。

【請求項 11】

同期ネットワークを介してトランスペアレントなトリビュタリ信号として伝送するために任意のレートで連続フォーマットの信号をマッピングするシンクロナイザであって、
前記連続フォーマットの信号を受け取り、データ・ビットのストリームと前記任意のレートを示すデータ・クロックとを復元するデータ・リカバリ・ユニットと、
前記データ・ビットのストリームを受け取り、前記任意のレートと前記トリビュタリのフレームのレートとの位相差を決定し、制御関数 を生成するレシーバ・バッファ・ユニットと、
前記レシーバ・バッファ・ユニットから前記データ・ビット・ストリームをマッピング・クロック・レートで取り出し、スタッフ・ビットとデータ・ビットのカウンタを、前記制御関数 にしたがってブロック・クロック・レートで前記フレーム内に一様に分散させ

10

20

30

40

50

るマッピング・ユニットと、
を含むシンクロナイザ。

【請求項 1 2】

前記レシーバ・バッファ・ユニットが、
ある量の前記ストリームのデータ・ビットを前記データ・クロックで一時的に記憶し、
前記データ・ビットを前記ブロック・クロック・レートで前記マッピング・ユニットに提供
する伸縮性記憶装置と、

前記任意のレートと前記マッピング・クロックとの位相差を決定し、前記制御関数 を
提供するデジタル PLL と、

を含む請求項 1 1 に記載のシンクロナイザ。

10

【請求項 1 3】

前記データ・リカバリ・ユニットが、前記任意のレートを検出するための周波数敏捷性
PLL と、前記データ・クロックを使用して前記データ・ビットを検出するレシーバとを
含む請求項 1 1 に記載のシンクロナイザ。

【請求項 1 4】

前記マッピング・ユニットが、
前記同期フレームのレートを示すクロックを受け取り、前記同期フレームのすべてのタ
イムスロットを与えるブロック・レートの前記ブロック・クロック、および固定スタッフ
・ビットを収容する一定の数のタイムスロットを与えるギャップを提供するブロック・ク
ロック・ギャップと、

20

前記ブロック・クロックと前記制御信号 を受け取り、前記同期フレームのすべてのタ
イムスロットを与えるマッピング・レートのマッピング・クロック、および前記フレーム
内の適応スタッフ・ビットを収容する調整可能な数のタイムスロットを与えるギャップを
提供するマッピング・クロック・ギャップと、

前記ブロック・クロックと前記マッピング・クロックを受け取り、それに従って前記フ
レーム内の前記データ・ビットのストリームをマッピングするマップと、
を含む請求項 1 1 に記載のシンクロナイザ。

【請求項 1 5】

前記同期ネットワーク内で前記フレームをシームレスに伝送するために複数の伝送オー
バヘッド T O H タイムスロットを再配列するためのレシーバ O H F I F O をさらに含む
請求項 1 1 に記載のシンクロナイザ。

30

【請求項 1 6】

前記 T O H タイムスロット内に運用、管理、保守および設備提供データを追加するオー
バヘッド・マルチプレクサをさらに含む請求項 1 5 に記載のシンクロナイザ。

【請求項 1 7】

トランスペアレントなトリビュタリとして同期ネットワークを介して受け取った任意の
レートの連続フォーマットの信号を逆マッピングするデシンクロナイザであって、

ブロック・クロック・レートで前記トリビュタリのフレームを受け取り、制御関数 を
受け取り、データ・ビットのストリームをマッピング・クロック・レートで取り出す一方
、前記制御関数 に従ってスタッフ・ビットを除外する逆マッピング・ユニットと、

40

前記データ・ビットを受け取り、前記任意のレートと前記フレームのレートとの位相差
を決定するトランスミッタ・バッファ・ユニットと、

前記データ・ビットを受け取り、前記位相差によって制御されたデータ・レートで前記
連続フォーマットの信号を送信するためのデータ送信ユニットと、

を含むデシンクロナイザ。

【請求項 1 8】

前記制御関数 が、前記フレーム内で受け取られる請求項 1 7 に記載のデシンクロナイ
ザ。

【発明の詳細な説明】

【 0 0 0 1】

50

【発明の属する技術分野】

本発明は、連続フォーマットを有するデータ信号のトランスペアレントな（透過性の）伝送を対象とし、詳細には、任意の連続信号をSONETフレーム内にマッピングする方法を対象とする。

【0002】

【従来の技術】

顧客が要求するサービスを迅速に提供することは、ネットワークの重要な機能である。そのようなサービスのビット・レートのレンジは大きくなる可能性があり、実際に、ネットワーク装置が導入されるときにサービスとそのビット・レートが定義されないこともある。したがって、任意のビット・レートのサービスを迅速に提供することは重要な機能である。

10

【0003】

データの伝送フォーマットは、SONETやその他の連続フォーマットとバースト・フォーマットとに分けることができる。バースト・フォーマットには連続クロックがなく、そのような信号の送信には、バースト間に所定の位相関係を必要としない。一方、連続フォーマットのクロックの位相は、通常状態で連続性を有し、クロックの周波数が制限される。そのような制限の例は、 $\pm 20 \text{ ppm}$ （ビット・レートの ppm (parts per million)）と $\pm 100 \text{ ppm}$ である。

【0004】

光ファイバ・ネットワークにおける主流の信号フォーマットは、北アメリカでは同期規格SONETに従い、その他の地域ではSDHに従う。本明細書では、SONETは、SDHを含むように定義される。SONETは、信号の多重化、追加（adding）および引き込み（drop）、ならびに一般伝送を可能にする。サービスに関して、SONETネットワークによって容易に伝送することができることは、ネットワーク提供者が導入されたSONET適合装置の大きな基盤を利用できるようにするという点で重要な特性である。

20

【0005】

SONETは、ATM、SMDS、フレーム・リレー、T1、E1などの伝送サービスを提供することができる物理的な搬送技術である。また、SONETの運用、管理、保守および設備提供（provisioning）（OAM&P）機能は、バック・ツー・バック多重化の量を少なくすることができ、さらに重要なことに、ネットワーク提供者が、ネットワークの運営コストを削減することができる。

30

【0006】

SONET規格ANSI T1.105とBellcore GR-253-COREは、物理インタフェース、光信号キャリア（OC）として知られる光学回線速度、フレーム・フォーマット、およびOAM&Pプロトコルを定義する。SONETネットワークの周辺部において光学的／電気的変換が行われ、そこで、光信号が、光信号の等価物である同期伝送信号（STS）と呼ばれる標準電気フォーマットに変換される。すなわち、STS信号は、搬送するSTSにしたがって定義された各光キャリアによって搬送される。したがって、信号STS-192は、光信号OC-192によって搬送される。

40

【0007】

STS-1フレームは、90列×9行のバイトからなり、フレーム長は、125マイクロ秒である。フレームは、3列×9行のバイトを占める伝送オーバーヘッド（TOH）と、87列×9行のバイトを占める同期ペイロード・エンベロープ（SPE）とを含む。SPEの第1列は、パス・オーバーヘッド・バイトで占められる。

【0008】

したがって、STS-1は、51.840 Mb/秒のビット・レートを有する。低い方のレートは、STS-1のサブセットであり、DS3より低いレートで伝送するかもしれない仮想トリビュタリ（VT）として知られる。高い方のレートSTS-Nは、SONET追加／引き込み・マルチプレクサを使用して低い方のレートのトリビュタリ（tribu

50

tary, 支流)を多重化することによって構成される。ここで、 $N = 1, 3, 12, \dots, 192$ またはそれ以上である。信号STS-Nは、N個のSTS-1信号をインターリーブすることによって得られる。たとえば、STS-192は、それぞれ別々に見え、エンベロープ内に別々に並べられた192個のSTS-1トリビュタリからなる。個々のトリビュタリは、それぞれ異なる宛先を有する異なるペイロードを搬送することができる。

【0009】

STS-Nは、個々のトリビュタリの全部でN個のTOHからなるTOHと、トリビュタリの全部でN個のSPEからなりそれぞれ自分のPOH(パス・オーバーヘッド)を有するSPEとを有する。

10

【0010】

より高い速度で動作するいくつかのサービスは、STS-Nc信号(連結(concatenation)のc)で送信される。STS-Nc信号内にSTS-1と一緒に維持される。STS-Nc信号のエンベロープ全体は、N個の別々のエントリとしてではなく単一のエントリとして経路指定され、多重化され、伝送される。Nの構成要素のためのTOHとSPEの始まりとは、すべての構成要素が同じソースによって生成されるため、同じくロックにすべて合わされる。連続する信号における最初のSTS-1は、STS-Ncに必要とされる1組のPOHを搬送する。

【0011】

あるレートまたはフォーマットを別のレートまたはフォーマットにマッピングする方法は周知である。Bellcore TR-0253は、SONETへの共通非同期伝送フォーマット(DS0、DS1、DS2、DS3など)の標準的なマッピングについて詳細に説明している。これと類似のマッピングが、SDHへのETSI階層マッピングのために定義される。光伝送装置は、ある独自のフォーマットを別のフォーマットにマッピングした。たとえば、FD-565は、標準フォーマットDS3だけでなくNortelの独自フォーマットFD-135を搬送することができる。

20

【0012】

しかしながら、標準または独自の機構は、フォーマットに固有のハードウェアにより、きわめて特有の組の信号の伝送を可能にする。そのようなマッピング方法を使用して、標準と大きく異なるレートをマッピングすることはできない。さらに、そのようなマッピングはそれぞれ、特定のフォーマットと特定のビット・レートに関して、たとえば ± 20 ppmの許容範囲で正確に調整される。信号は、たとえばDS3と1%でも異なるビット・レートを有する場合は、SONET内で伝送することができない。さらに、各種の信号のマッピングを行うためには、一般に、異なるハードウェア・ユニットが必要である。

30

【0013】

前述の問題の解決策は、任意の連続信号に「ラッパ(wrapper)」を加えることである。得られる信号のレートは、ラップされる(包まれる)信号の関数である。すなわち、レートXの信号に1Mb/秒のラッパが加えられると、レート $X + 1$ Mb/秒を有するフォーマットが生成される。この変化は、Xの割合を高める。たとえば、共通の伝送路符号化8B/10Bは、Xの112.5%のレートを有するフォーマットを作成する。したがって、「ラッパ」法は、任意の入力に対し事前に定義された一定ビット・レートを有するフォーマットを生成しない。一般に、得られた信号は、時分割多重化して高速ネットワーク上で伝送することができない。

40

【0014】

【発明が解決しようとする課題】

米国特許第5,784,594号(Beatty)は、任意の信号が、必要な数のフレームにマッピングされ、残りのフレームが空のままにされる「TDMラッパ」フォーマットを提案している。しかしながら、この方法は、ビットを送る適切なタイムスロットを待っている間ビットを保持するために変換方向ごとにきわめて大きいメモリを必要とする。その結果、このフォーマットは、高速の信号で実現するためにはコストがかかる。

50

【 0 0 1 5 】

パケットまたはセル・ベースのフォーマットは、任意の入力ストリームをSONETとSDHにマッピングする。これらの方法は、パケット・システムには適しているが、「1つのサイズがすべてに合う」マッピング方法が使用されるため、ほとんどの連続信号フォーマットのジッタ要件やワンド要件を満たさない。入力信号のクロック位相情報は、そのような方法において完全に削除され、したがって送信することができない。

【 0 0 1 6 】

米国特許出願第09/307812号(Solheimらによる1999年5月10日出願されNortel Networks Corporationに譲渡された「Protocol Independent sub-rate device」と題する出願)は、異なるタイプのクライアント(IP、ATM、SONET、イーサネットなど)と一緒に伝送する方法を開示している。前記出願は、任意のレートおよびフォーマットの低速(サブレート)チャンネルを単一の高速チャンネルに時分割多重化し、次にそのチャンネルをシステムの遠端において多重分離する方法を開示している。任意の所与のサブレート・チャンネルに割り当てられた帯域幅部分を、ハードウェアやソフトウェアに変更を加えることなく提供することができる。これにより、キャリアによるそのようなサービスの提供がきわめて容易になり高速化する。新しいプロトコルによるトリビュタリにも対処することができ、そのような新しいプロトコルのサポートのための送付が大幅に高速化される。

【 0 0 1 7 】

低タイミング・ジッタかつ低コストで信号を復元できるように任意の信号をSONETにマッピングする効率的な方法および装置の必要性が残っている。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の目的は、連続フォーマットを有する任意の信号をSONETフレーム内にマッピングすることである。これにより、SONETネットワーク内で規格に合う任意のフォーマットをトランスペアレントに伝送することができる。

【 0 0 1 9 】

したがって、本発明は、任意のレートR1の連続デジタル信号をトランスペアレントなトリビュタリとして同期ネットワークを介して送信し、連続信号の任意のレートR1よりも高いレートRの固定長コンテナ信号を選択し、送信サイトにおいて、連続信号のビットをコンテナ信号のフレームの有効タイムスロットに分散させ、フレームに均一に分散された無効タイムスロットにスタッフ・ビットを提供する方法を含む。

【 0 0 2 0 】

本発明は、さらに、同期ネットワークを介してトランスペアレントなトリビュタリ信号として伝送するために任意のレートの連続フォーマットの信号をマッピングするために、連続フォーマットの信号を受け取って、データ・ビットのストリームと任意のレートを示すデータ・クロックとを復元するデータ・リカバリ・ユニットと、データ・ビットのストリームを受け取り、任意のレートとトリビュタリのフレームのレートとの位相差を決定し、制御関数 を生成するレシーバ・バッファ・ユニットと、レシーバ・バッファ・ユニットからマッピング・クロック・レートでデータ・ビットのストリームを取り出し、スタッフ・ビットとデータ・ビットのカウントを、制御関数 に従ってブロック・クロック・レートでフレーム内に均一に分散させるマッピング・ユニットとを含むシンクロナイザを含む。

【 0 0 2 1 】

本発明のもう1つの態様によれば、同期ネットワークを介してトランスペアレントなトリビュタリ信号として受け取った任意のレートの連続フォーマットの信号を逆マッピングするために、ブロック・クロック・レートでトリビュタリのフレームを受け取り、制御関数 を受け取り、データ・ビットのストリームをマッピング・クロック・レートで取り出す一方、制御関数 に従ってスタッフ・ビットを除外する逆マッピング・ユニットと、データ・ビットを受け取り、任意のレートとフレームのレートとの位相差を決定するトランス

10

20

30

40

50

ミッタ・バッファ・ユニットと、データ・ビットを受け取り、位相差によって制御されたデータ・レートで連続フォーマットの信号を送信するデータ送信ユニットとを含むデシンクロナイザを提供する。

【0022】

本発明によるマッピングの方法は、同じ形式または異なる形式のトリビュタリをトランスペアレントに伝送するためにSONETなどの一般的な技術を使用可能にするため、有利である。この新規のマッピングを使用することによって、ビットを変化させることなくほとんどのすべての連続フォーマットを伝送することができる。本発明のもう1つの利点は、この方法によって加えられるジッタまたはワンドが最小であることである。

【0023】

本発明によるシンクロナイザ/デシンクロナイザは、ジッタの許容と生成の仕様が、ユニット内に設計されたきわめて収容力の高いレンジに適合する限り、設計時にフォーマットが分かっている信号を処理する。これは、トリビュタリ・ソフトウェアによって実行中にデザインされる独特なマッピングであり、遠端にある対応するトリビュタリにチャンネル内で送られる。

【0024】

本発明の以上その他の目的、特徴および利点は、添付図面に示したような好ましい実施形態に関する以下のより特定のな説明から明らかになるであろう。

【0025】

【発明の実施の形態】

本発明によるマッピング・システムは、指定された最大容量以下の一定回線速度を有するデジタル信号を、提供されたサイズのSONETエンベロープ内にマッピングする。SONET伝送シェルフのトリビュタリ・ユニットでマッピング機能を実行することができ、SONETコネクションの遠端にある類似のユニットで逆マッピング機能（デマッピングとも呼ばれる）を実行することができる。

【0026】

図1Aは、SONETネットワーク上で複数のサービスをトランスペアレントに伝送する本発明によるマッピング・システムを備えた例示的な伝送システムのブロック図を示す。簡略化するため、この図では、矢印で示したような単一方向の伝送だけを示す。

【0027】

信号 $S_1, \dots, S_j, \dots, S_n$ は、SONETネットワーク7を介して、2つのサイトAとBの間で伝送され、SONET信号Sとなる。ここで、nは、トリビュタリの数であり、jは、1つのトリビュタリのレンジである。信号 $S_1 \sim S_n$ は、連続フォーマットのデジタル信号であり、ノードAおよびBにおいてSONET信号Sのトリビュタリとして扱われる。また、各信号 S_j のレートを R_j で表し、信号SのレートをRで表す。信号 S_j は、同じタイプまたは異なるタイプのサービスを搬送することができる。各トリビュタリ・レーバ1-1nは、それぞれの連続フォーマットの信号 $S_1 \sim S_n$ のデータ・ビットを復元する。ノードAは、1つまたは複数のシンクロナイザ201-20nを備え、各シンクロナイザ20jは、相当するトリビュタリ信号 S_j のデータ・ビットを適切なサイズのSONETエンベロープにマッピングする。

【0028】

いくつかの伝送ノード間で連続信号をトランスペアレントに搬送するフレームのサイズは、ソフトウェアで選択され、大きいレンジの連続フォーマットの信号に十分な帯域幅使用量を考慮して提供される。たとえば、エンベロープに $n \times STS - 12$ が使用される場合、nは、高速のシンクロナイザの場合は4~20であり、中速のシンクロナイザの場合は1~5である。これにより、大きいネットワーク容量が無駄になるのが防止される。

【0029】

各信号が、それぞれのSONETエンベロープ内にマップされた後、トリビュタリは、SONETマルチプレクサ3によって高レート信号Sに多重化され、それが、SONETトランスミッタ5によって光ネットワーク7を介してサイトBの方に送られる。

10

20

30

40

50

【0030】

逆の操作が、サイトBにおいて行われる。すなわち、光レシーバ9が、信号Sのデータを復元し、デマルチプレクサ3がその信号を分離し、それを各デシンクロナイザ40-40nに提供する。各デシンクロナイザ40jは、トリビュタリ・トランスミッタ11jに提供される信号Sjと関連したそれぞれのフォーマットでビットを再配列する。各トリビュタリ・トランスミッタ11-11nは、各信号S1-Snを、関連したトリビュタリ・ネットワーク上に送り出すか、関連したエンド・ユーザに送り出す。

【0031】

次に、基礎的な概念と実現性を示すために、信号STS-192cについてマッピング・アルゴリズムの例を示す。他のエンベロープを使用することもでき、本発明は、信号STS-192cに制限されない。

10

【0032】

図1Bは、TOH2とSTS-192cSPE(同期ペイロード・エンベロープ)4を含むSTS-192cフレーム1を示す。ペイロードは、 $192 \times 87 \times 9 \times 8 = 1,202,688$ ビットを含む。

【0033】

ここでは、ブロック10-jが、後で説明するようなデータ・ビット、固定スタッフ・ビットおよび適応スタッフ・ビットを含む1056ビット・フィールドとして定義される。STS-192SPEは、灰色に示され参照番号8で示された領域を占める1138のブロック10-1~10-K(ここで、 $K = 1138$)を収容することができる。ブロック・フィールド8は、1,201,728ビットを有する。エンベロープ4内の残りの960ビットは、POHビット6($9 \times 8 = 72$ ビット)と、888ビットの剰余フィールド14からなる。フィールド6および14のビットの数は、SONETフレーム1内にマップされる連続フォーマットの信号のレートR1に関係なく不変である。したがって、これらのビットは、以下において固定スタッフ・ビットと呼ばれる。

20

【0034】

一方、ブロック・フィールド8を埋めるのに必要なスタッフ・ビットの数は、連続フォーマットの信号S1のレートR1の関数を変化させる。これらのスタッフ・ビットは、本明細書において、適応スタッフ・ビットと呼ばれる。

【0035】

本発明によれば、信号S1のデータ・ビットは、固定スタッフ・ビットと適応スタッフ・ビットが均等に分散されたフレーム1内にマッピングされる。そのようなスタッフ・ビットは、レートR1があらかじめ分からない場合があるため、実行中に、各ブロックに均等に分散される。したがって、シンクロナイザは、現行ブロックのデータ・ビットがマッピングされるときに蓄積された位相情報に基づいて、データ・ビットの場所である有効位置と、次のブロックのスタッフ・ビットの場所である無効位置を定義する。さらにまた、シンクロナイザは、実際のマッピング時にオーバーヘッドを均等に分散させるが、マッピング動作後にそれをSONET規格に従って提供されるタイムスロットに再編成し、その結果、フレームがSONET装置によって認識される。遠端において、シンクロナイザは、固定スタッフ・ビットと適応スタッフ・ビットを吸収することによって逆の動作を行い、それによりデータ・ビットを逆マッピングしてS1を再生することができる。

30

40

【0036】

図1Bは、フレームの構造を直観的に示すが、本発明によれば、マッピング・アルゴリズムが、固定スタッフ・ビットと適応スタッフ・ビットをフレーム1内に均等に分散させることに注意されたい。以上の計算は、STS-192cフレームに適用することができるが、類似の事が他のSONET信号にも当てはまることに注意されたい。

【0037】

各ブロックのビットは、図1Cに示したように割り振られる。ブロック10-1は、データ用に $1023(2^{10} - 1)$ のビットを有するデータ・フィールド17と、16ビットを有する制御フィールド13と、将来使用するための17ビットを有するスペア・フィール

50

ド15とを含む。

【0038】

フィールド17の1023ビットは、データをSTS-192cフレーム内伝送するための9,313.392Mbps(1023×1138×8000)のビット・レートを提供する。フレームのサイズは、一定の用途のために提供され固定され、すなわち、任意のレートのトリビュタリが、同じサイズのフレームにマッピングされる。マッピング技術は、トリビュタリごとに異なるフレームが使用されるのではなく、任意のトリビュタリに適應する。トリビュタリが、9,313.392Mbpsより低いレートを有する場合は、トリビュタリをSTS-192cに合うように調整し、データ・フィールド8の多くのビットをスタッフ・ビットに変化させなければならない。図1Cは、フィールド17内の可変サイズvのフィールド19を示し、そのサイズは、マッピング中に、信号S1のクロックと信号Sのクロックの位相を比較することによって決定される。

10

【0039】

フィールド13は、10ビットの制御関数を含む。のサイズは、ブロックのサイズに従って、後で述べる適應スタッフィング・アルゴリズムにより次のブロック内の有効ビットの位置を一意に決定するように選択される。10ビットという数によって、1024個の値を想定することが可能であり、この数はブロックの有効ビットの数よりも1大きい。

の値は、また、次のブロックにおける有効ビットの数を与える。単一ビット誤り訂正と複数誤り検出には、フィールド13の追加の6ビットが必要である。

20

【0040】

複数誤り検出の場合、前のブロックからのが、デフォルトとして、最小のPLL過渡事象でダウストリームを高速でリフレームするのに使用される。フィールド15および19のビットは、ブロック内に分散される。

【0041】

すべてのブロックが同じ数の適應スタッフ・ビットを有するとは限らないので、の値は、隣り合ったブロックで異なることがあるが、各ブロック内では一定のままである。

【0042】

適應スタッフィング・アルゴリズムは、で表された、と逆の2進ビットを定義する。すなわち、の最上位ビットが、の最下位ビットになり、同様に、の最下位ビットが、の最上位ビットになる。表1は、この変換を例として示す。

30

【0043】

【表1】

αの決定

β										α									
β ₁	β ₂	β ₃	β ₄	β ₅	β ₆	β ₇	β ₈	β ₉	β ₁₀	β ₁₀	β ₉	β ₈	β ₇	β ₆	β ₅	β ₄	β ₃	β ₂	β ₁
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1
0	1	1	1	0	0	1	0	0	0	0	0	0	1	0	0	1	1	1	0

40

【0044】

は、また、ブロックごとに決定され、の場合と同じように、の値は、隣り合ったブロック間では異なるが、ブロック内では変化しない。

【0045】

また、ここで、カウンタCと値Dが定義される。Cは、1ブロック内のビットのカウンタであり、10ビットの2進数によって表される。Cは、1から1023まで増加し、それによりブロック内のビットが占めるタイムスロットを識別する。

【0046】

Dは、Cのビット遷移デルタであり、ちょうど1つのビット・セットによる10ビット2

50

進数によって表される。このセット・ビットは、カウンタCが1ビット進むときに生ずる0から1への遷移の位置にある。Dの各ビットは、ブール関数を使用して、次の式に従って、カウンタCのレンジnとn - 1のビットによって与えられる。

【0047】

【数1】

$$D_n = C_n \text{ AND } \text{NOT}(C - 1)_n$$

【0048】

表2は、所与の値Cに関してDがとる値の例を示す。

【0049】

【表2】

10

所与の値Cに関するDの算出

	C _{1,2...n} ブロック内のビットのカウンタ										D _{1,2...n} Cのビット遷移デルタ									
	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇	C ₈	C ₉	C _n	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D _n
C-1	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
C	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
C+1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
C+2	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	1

20

【0050】

ブロックの有効データ間にスタッフ・ビットをある程度均一に分散させるために、本発明による適応スタッフィング・アルゴリズムは、Dにおけるビットがにおいてもセットされるときにビットが有効であることを述べている。

【0051】

これは、ブロックのC番目のビットについて、次の式2のように示すことができる。

【0052】

【数2】

30

Valid(C, β), if any bit of (α_{1,2...n} AND D_{1,2...n}) is non zero

【0053】

有効ビットは、データに割り当てられたビットに対応し、したがって無効ビットは、スタッフ・ビットに対応する。表3は、のサイズが3ビットの場合に、アルゴリズムが7ビットのブロックにどのように機能するかの簡単な例を示す。アルゴリズムは、1023ビットと10ビットのブロックに同じようにはたらくことが分かるが、本明細書では、完全なスタッフィング・シーケンスについて詳述することは実際的でない。

【0054】

表3の項目は、2進関数Valid(C,)の結果である。列は、で与えられたようなブロック内の特定数の有効ビットにデータ・ビットとスタッフ・ビットがどのように分散されているかを示す。

40

【0055】

Valid(C)が真の場合のCの各値に関して、有効データ・ビットが、Cで識別されるタイムスロット内にあり、Valid(C)の真でない各値に関して、スタッフ・ビットがタイムスロットに入れられる。この方式を使用することにより、無効スタッフィング・ビットが、フレーム全体にほぼ均一に広がる。

【0056】

【表3】

50

3ビット β の場合の7ビット・ブロックのフレキシブル・マッピングの例

		β	000	001	010	011	100	101	110	111
		α	000	100	010	110	001	101	011	111
C		D	Valid(C,0)	Valid(C,1)	Valid(C,2)	Valid(C,3)	Valid(C,4)	Valid(C,5)	Valid(C,6)	Valid(C,7)
1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Stuff	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data

10

【0057】

この例では、カウンタCは、1から7までカウントし、Dの値が、各列においてCのすべての値に関して求められる。次に、Dの各値は、Cの増加に伴い、と比較される。また、Dのセット・ビットがにおいてセットされる場合は、ブロック内の対応するC番目のビットがデータ・ビットになる。Dのセット・ビットがにおいてセットされない場合、ブロック内の対応するC番目のビットはスタッフ・ビットになる。

20

【0058】

例としてビット・レート R_1/R が有効能力の5/7のブロックの場合は、が2進数5(101)であり、の逆数の2進ビットも5(101)であることを意味する。ブロック内のデータ・ビットとスタッフ・ビットの順序は、列ごとのValid(C,5)と同じであり、次の通りである。

30

【0059】

Data, Stuff, Data, Data, Data, Stuff, Dataまた、表3に関して、Valid(C,5)の場合、5であるは有効ビットの数でもあり、無効ビットがフレーム全体にほとんど均一に広がっていることは明らかである。

【0060】

図4および図5は、がブロック間で少し異なる5つの連続ブロックのスタッフィング・シーケンスを連続して詳細に示す図である。図4および図5は、一点鎖線の部分においてつながる。この表において、カウンタCは、1から7までカウントし、2つの連続するブロックは、分かり易くするために異なる地色(灰色と白)で示されている。

【0061】

前に示したように、は、各ブロックごとにセットされるが、スタッフ・ビットの総数とブロックの数の比が整数でない場合もあるため、次のブロックと異なることがある。次の例を検討する。

40

ブロック1(灰色)のは5である。

ブロック2(黒)のは6である。

ブロック3(灰色)のは5である。

ブロック4(黒)のは5である。

ブロック5(灰色)のは6である。

【0062】

この場合、データ・ビット間のスタッフ・ビットの広がり、は、図6に例示される通りであ

50

る。ここで、Dはデータを表し、Sはスタッフを表す。上記のDとSの混乱を避けるために、これらは通常の文字で記述され、信号Sと、Cのビット遷移Dにはイタリック体が使用される。

【0063】

この場合も、図4および図5から、スタッフ・ビットが、 のわずかな変動があるものの、データ・ビット間にある程度均一に広がっていることが明らかである。

【0064】

図2は、トリビュタリ・シンクロナイザ20のブロック図を示す。任意のレートで受け取ったデータでSONET SPEを満たすことによって、前述のような透明性が得られる。データ経路は、幅の広い矢印および参照数字22と22 を使って示される。連続フォーマットおよびレートR1を有する信号S1が、データ・リカバリ・ユニット36によって検出される。次に、データ・ビットは、充填制御ボックス38、マッピング・ユニット30、レシーバ・オーバヘッドFIFO(先入れ先出し)31、およびオーバヘッド・マルチプレクサ33を通る。このとき、シンクロナイザ20から出力された信号は、SONETフレーム内にある。信号Sが、それぞれのOAM&P情報と共にSONET型オーバヘッド(TOHとPOH)を有し、同期ペイロード内へのビットの配置が、SONETの規格と異なるマッピング・アルゴリズムに従うことを理解されたい。

【0065】

シンクロナイザ20が、異なる4つのクロック、すなわちデータ・クロック24、ブロック・クロック26、マッピング・クロック32、ならびにSONETクロック28および28Aを操作する。クロック28は、STS-192のレートを有し、クロック28Aは、フレームのレートを有する。データ・クロック24(レートR1)は、レシーバ21とフレキシブル・クロック・リカバリ回路25を含むデータ・リカバリ・ユニット36によって入力データから復元される。フレキシブル・クロック・リカバリ回路25は、広い連続した範囲のビット・レートにわたるクロック・リカバリが可能である。そのような回路の例は、1998年12月22日に出願され、Northern Telecom Limitedに譲渡された、Habelらによる「Apparatus and Method for Versatile Digital Communication」と題する同時係属米国特許出願09/218053に開示されている。この出願は、参照により本明細書に組み込まれる。

【0066】

図2において点線で示したオフ・ライン・フレーム39が、ある組の既知の信号フォーマットを認識することができ、フレームとBER性能情報が報告される。また、マッピング効率を高めるために、回線符号化をレシーバにおいていくつかの信号から除去し、トランスミッタにおいて加えることができる、これらのオプションは、特定タイプのサービスに依存し、したがってここではさらに詳しく考察しない。

【0067】

レシーバ・バッファ・ユニット38は、伸縮性記憶装置23とレシーバ・デジタルPLL29を含む。データ・クロック24は、マッピング・クロック32の制御下で空にされる伸縮性記憶装置23へのデータの入力をクロックするために使用される。マッピング・クロック32は、STS-192クロック28から得られたギャップド・クロックである。このクロックは、ブロック・クロックにおけるギャップの他に、マッピング・アルゴリズムによって決定されるような適切な位相時に中断される。この方法において、データ22は、マップ27の入力においてマッピング周波数と同期される。

【0068】

ペイロード・フィールド4に、データ・ビットが必要な容量まで連続的に満たされ、残りの容量がスタッフ・ビットの連続体である場合、伸縮性記憶装置23の容量は、幅広く変化することになり、記憶装置23にある程度大きい深さを必要とする。伸縮性記憶装置23は、スタッフ・ビットがロードされている間に急速に満たされ、トリビュタリ・データ・ビットの連続ストリームがロードされている間に急速に空になる。この状況は、図2の構成において回避され、この場合、伸縮性記憶装置23は、マッピング・クロック32に

10

20

30

40

50

よって実質的に規則正しい間隔で空にされる。

【 0 0 6 9 】

一方、伸縮性記憶装置 2 3 は、トリビュタリからのすべての入力ジッタおよびワンダを十分に吸収できる深さでなければならない。伸縮性記憶装置 2 3 の充填が十分に制御されれば、最悪の場合のジッタとワンダが存在してもオーバーフローしたりアンダーフローしないことを保証することができ、またシンクロナイザ 2 0 は、ジッタの許容要件を満たす。伸縮性記憶装置 2 3 の最小サイズは、実験的に、2 5 6 ビットで決定された。

【 0 0 7 0 】

レシーバ・デジタル P L L 2 9 は、マッピング・クロック 3 2 を決定する によって最適な充填を維持するように伸縮性記憶装置を空にする割合を制御する。換言すると、マッ 10
ピング・クロック 3 2 の平均レートは、データ・クロック 2 4 の平均レートをたどるよう
に制御され、 は、それらのクロック間の位相差から得られる。前に示したように、 は
、次のブロックの充填を制御する。この制御は、シンクロナイザ 2 0 が S O N E T 規格に
従うポイントの調整を必要としないという利点を有する。より正確に言うと、伸縮性記憶
装置の充填の制御は、最大トリビュタリ・レートがペイロード・レートを超えない限り、
時間によるラインおよびトリビュタリのレート変動（ラインおよびトリビュタリのジッタ
およびワンダ）を改善する。

【 0 0 7 1 】

を決定するために、伸縮性記憶装置 2 3 への入力が、周期的にサンプリングされ、デー 20
タ 2 2 の位相情報が、P L L 2 9 に入力される。たとえば、デジタル P L L 2 9 は、2
4 ビットのアキュムレータを含む。ブロックの最初に、マップ 2 7 のカウンタ C によって
与えられた伸縮性記憶装置 2 3 の充填は、たとえば 5 0 % を基準としてラッチされる。次
に、サンプル 3 4 の位相は、アキュムレータ内に加えられ、3 ビットだけ左にシフトされ
た位相に加えられる。この和 S の上位 1 0 ビットは、 である。アキュムレータは、ロー
ルオーバーしないように F F F F F F でクリップされ、アナログ出力 P L L レンジの低い
周波制限を反映するために 4 0 0 0 0 0 などの最も低い値でクリップされなければならない。
その他のデジタル P L L の実施態様も可能である。

【 0 0 7 2 】

伸縮性記憶装置 2 3 が満杯になり始めると、マッピング・クロック 3 2 の速度を高めるこ 30
とによって記憶装置を空にするように が増加される。同様に、記憶装置 2 3 が空になり
始めると、記憶装置 2 3 が充填することができるように が減らされる。目標の充填率は
、5 0 % が好ましい。

【 0 0 7 3 】

マッピング・ユニット 3 0 は、ブロック・クロック・ギャップ 3 7、マッピング・クロッ 40
ク・ギャップ 3 5 およびマップ 2 7 を含む。

【 0 0 7 4 】

ブロック・クロック・ギャップ 3 7 は、S O N E T T O H のギャップと規則的サイクル 40
を特徴とする S T S - 1 9 2 クロック 2 8 を受け取る。クロック 2 8 は、前述の例におい
て、4 2 , 4 3 2 のギャップがフレーム全体に均一に広がった 1 S O N E T フレーム当た
り 1 1 3 8 (ブロック数) × 1 0 5 6 (ブロック・サイズ) = 1 , 2 0 1 , 7 2 8 サイクル
を有するブロック・クロック 2 6 を生成する。前に示したように、ブロック・クロック
2 6 のギャップは、サイズが 3 × 9 × 8 × 1 9 2 の S O N E T オーバヘッド、すなわち図
1 B のフィールド 2 と、サイズが 9 6 0 の固定スタッフィング、すなわちフィールド 6 お
よび 1 4 によるものである。ブロック・クロック 2 6 は、フィールド 8 におけるビットの
全体の割振りを表す。換言すると、フレームのオーバーヘッド・サイズが S O N E T 規格に
従う場合に、ブロック・クロック 2 6 は、T O H ビット、P O H ビット、および固定スタ
ッフ・ビットのための空間を維持するために約 3 0 づつのビットに切断される。

【 0 0 7 5 】

マッピング・クロック・ギャップ・ブロック 3 5 は、ブロック・クロックと同じレートを 50
有するが、前述のように、すべての有効ビット位置におけるパルスにより の制御下でさ

らにギャップが開けられ、レートR1とRの間の差に基づいて適応スタッフ・ビットを生じさせる。

【0076】

マップ27は、マッピング・クロック32、ブロック・クロック26、および簡単にするために示していない他の補足的クロックを利用し、固定スタッフ・ビットと適応スタッフ・ビットの両方を使用してデータ22の位置を調整する。マッピング・クロック32を使用して、伸縮性記憶装置23からデータ・ビットがマップにクロック・タイミングで引き出される。ブロック・クロック26を使用して、マップ27から、データ・ビット、固定スタッフ・ビットおよび適応スタッフ・ビットがクロック・タイミングで引き出される。マップ27は、本質的にメモリを持たず、伸縮性記憶装置23とFIFO31は、シンクロナイザのすべてのメモリを表す。

10

【0077】

データ、固定スタッフ・ビットおよび適応スタッフ・ビットを含むような参照数字22で示されたマップ27からの複数のビットは、SONETオーバーヘッドの場所のためにタイムスロットを予約するレシーバ・オーバーヘッドFIFO(先入れ先出し)31にクロック・タイミングで入れられる。次に、ビット22は、クロック28Aによってクロック・タイミングでFIFO31から引き出され、それによりFIFO31は、各フレームごとに一度同期してリセットされる。FIFO31の深さは、フレームOHがOH MUXにクロック・タイミングで入れられているときにフレームの位相瞬間においてペイロード・ビットだけを記憶するのに十分であれば良い。フレームが、SONETと同じペイロード対OHの比を有する場合、この深さは、 $192 \times 8 \times 9 \times 3$ ビットより大きくなければならず、 $192 \times 8 \times 12 \times 3$ ビットよりも大きいことが好ましい。

20

【0078】

ビット22は、FIFOブロック31から、SONETオーバーヘッド・マルチプレクサ33にクロック・タイミングで入れられ、そこでSONETオーバーヘッドが、それぞれ空のタイムスロットに加えられ、次に信号が、STS-192として処理される。細い線で示したSONETクロック28および28Aは、通常通り、シェルフの残りの部分に対してロックされる。

【0079】

簡単にするために、直列ハードウェア実装について説明する。バイト幅の実装のようなこの種のマッピングの並列実装により、クロック速度を低くすることができる。そのような並列実装は、ジッタを減少させるためにブロック・アライメントを交互にすることがあった。PLLを最適化するために、ハードウェア制御よりもDSP制御の方が大きな自由度を提供する。

30

【0080】

図3は、トランスペアレントな逆方向のシンクロナイザ、すなわちデシンクロナイザ40のトランスミッタ側のブロック図を示す。デシンクロナイザ40は、シンクロナイザ20によって実行されるのとは逆の機能を類似の方法で実行し、類似したブロックを備える。

【0081】

SONETオーバーヘッド・デマルチプレクサ53は、シェルフの残りの部分に通常通りロックされるSTS-192クロック28を使用して、信号42からSONETオーバーヘッドを示す。トランスミッタ・オーバーヘッドFIFO51は、各フレームごとに、クロック28Aと同期してリセットされる。オーバーヘッドFIFO51は、データ・ビットを固定スタッフ・ビットおよび適応スタッフ・ビットと一緒に含むペーロードに受け取ったデータ42をマップ47に提供するようにオーバーヘッド位置を吸収する。

40

【0082】

ポイントの位置調整を考慮しない場合、トランスミッタOH FIFO51は、シンクロナイザ20のレシーバOH FIFO31と類似の深さを有することがある。たとえば、SONET OHがフレームに使用される場合、必要な深さは、FIFO31の場合と同じように、 $192 \times 8 \times 12 \times 3$ ビットである。したがって、FIFOは、OHがビット

50

・ストリームから多重分離されるフレーム段階の間にトランスミッタOH FIFO 51 が空にならないように十分なデータ・ビットを記憶することができる。しかしながら、デシンクロナイザにポインタ・アライメントが必要であるため、トランスミッタOH FIFO 51 は、最悪の場合の一連の正または負のポインタ調整イベントを許容するように深さを大きくしなければならない。

【0083】

逆マッピング・ユニット50は、逆マップ47、マッピング・クロック・ギャップ55、およびブロック・クロック・ギャップ57を含む。

【0084】

ブロック・クロック・ギャップ57は、STS-192クロック28のギャップを調整してブロック・クロック26を作成する。ブロック・クロック26は、シンクロナイザ20の場合と同じように、1フレーム当たり1,201,728のサイクルを有し、フレーム全体に42,432のギャップが均一に広がる。ギャップは、図1Bのフィールド2、6および14に相当する。換言すると、このクロックは、TOHと固定スタッフ・ビットを拒否する。

10

【0085】

デシンクロナイザのブロック・クロック・ギャップ57は、また、ポインタ調整のためにギャップを含めたり削除したりする。そのようなギャップは、ポインタ調整による位相ビットを最少にするために3つのフレームに広げなければならない。

【0086】

マッピング・クロック・ギャップ55は、ブロック内のインバンドOHチャネルから読み取ったブロック・クロック26および を受け取る。ギャップド・クロック26は、 を使用して、マッピング・クロック32を生成するようにさらにギャップが調整される。マッピング・クロック32は、厳密にトリビュタリ・データ・ビット42がクロック・タイミングで取り出されるようにデータ・ビット42 をギャップ・タイミングで取り出す。

20

【0087】

ビット42は、次に、伸縮性記憶装置43とトランスミッタ・デジタルPLL49を含むトランスミッタ・バッファ・ユニット54によって処理される。トリビュタリ・データ・ビット42は、マッピング・クロック32を使用して出力伸縮性記憶装置43にクロック・タイミングで入れられる。伸縮性記憶装置43は、フレキシブル・クロック・リカバリ回路45から出力されたデータ・クロック24によって空にされる。

30

【0088】

出力伸縮性記憶装置43の位相は、トランスミッタ・デジタルPLLによって周期的にサンプリングされる。サンプル34は、デジタル的に処理され、出力信号がフレキシブル・クロック45に渡され、VCOの電圧が制御される。フレキシブル・クロック回路45は、シンクロナイザのフレキシブル・クロック回路25を備えた類似のタイプであり、データ・クロック24を提供する。

【0089】

TxPLL49の帯域幅は、マッピングとポインタ調整によるジッタをフィルタリングできるほど低く、またVCO雑音を抑制できるほど高くなければならない。

40

【0090】

本発明を、特定の実施形態の例に関して説明したが、本発明の意図から逸脱することなくその広い態様において、併記の特許請求の範囲内で当業者が想起するさらに他の修正および改良を行うことができる。

【図面の簡単な説明】

【図1】 本発明を例示する図であり、図1Aは本発明によるマッピング・システムを備えた通信ネットワークのブロック図である。図1Bは本発明の実施形態によるブロックを示すOC-192cフレームの図である。図1Cはブロックの構造の例を示す図である。

【図2】 本発明の実施形態によるシンクロナイザのブロック図である。

【図3】 本発明の実施形態によるデシンクロナイザのブロック図である。

50

【図4】 適応スタッフィング・アルゴリズムを例示する表を示す図である。

【図5】 図5に続く、適応スタッフィング・アルゴリズムを例示する表を示す図である。

【図6】 スタッフ・ビットの広がり为例示する図である。

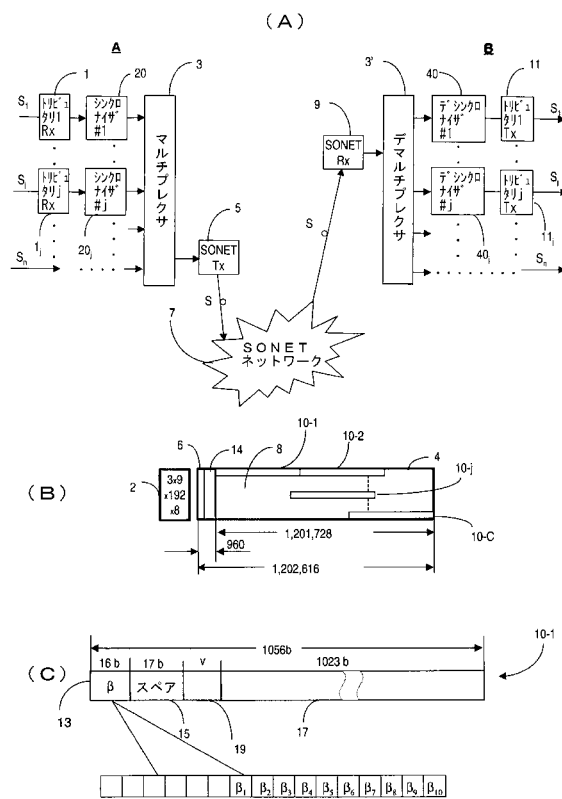
【符号の説明】

- 20 シンクロナイザ
- 21 レシーバ
- 22 データ
- 23 伸縮性記憶装置
- 24 データ・クロック
- 25 フレキシブル・クロック・リカバリ回路
- 26 ギャップド・クロック
- 27 マップ
- 28 STS - 192クロック
- 30 マッピング・ユニット
- 31 FIFO
- 32 マッピング・クロック
- 33 オーバヘッド・マルチプレクサ
- 34 サンプル
- 35 マッピング・クロック・ギャップ・ブロック
- 36 データ・リカバリ・ユニット
- 37 ブロック・クロック・ギャップ
- 38 レシーバ・バッファ・ユニット
- 39 オフ・ライン・フレーム

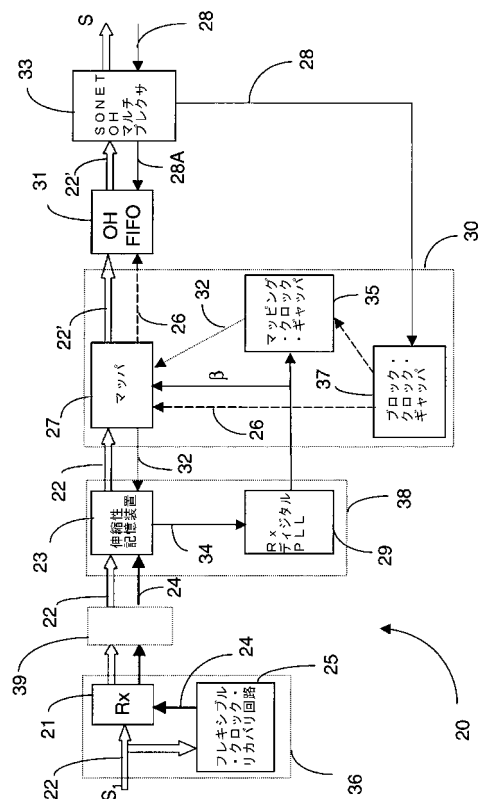
10

20

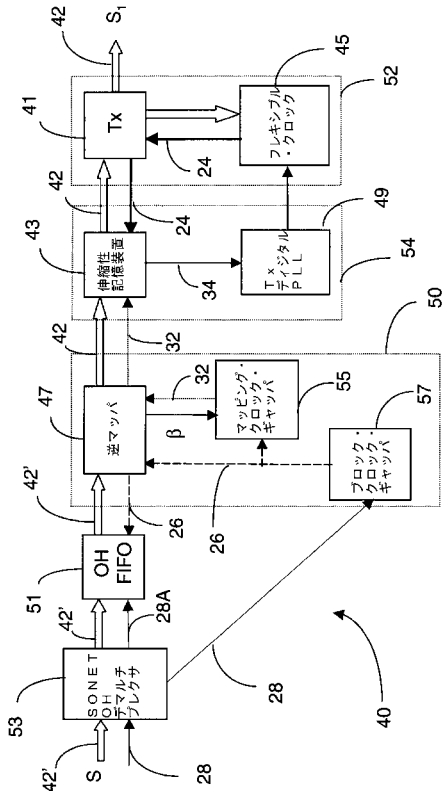
【図1】



【図2】



【図3】



【図4】

5つの連続した7ビット・ブロックの適応スタッフィング・アルゴリズム

	β	000	001	010	011	100	101	110	111
α	000	100	010	110	001	101	011	111	011
C	D	Valid(C,0)	Valid(C,1)	Valid(C,2)	Valid(C,3)	Valid(C,4)	Valid(C,5)	Valid(C,6)	Valid(C,7)
1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data

灰色
黒
灰色

【図5】

1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Stuff	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
1	001	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
2	010	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
3	011	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
4	100	100	Stuff	Data	Stuff	Data	Stuff	Data	Stuff	Data
5	101	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data
6	110	010	Stuff	Stuff	Data	Data	Stuff	Stuff	Data	Data
7	111	001	Stuff	Stuff	Stuff	Stuff	Data	Data	Data	Data

黒
灰色

【図6】



フロントページの続き

(72)発明者 キム・ビー・ロバーツ
カナダ、ケー２アール、１シー６、オンタリオ、ネピアン、ミッション・イン・グローヴ １０

審査官 阿部 弘

(56)参考文献 特開平０６－２６１０５５（ＪＰ，Ａ）
特開平０７－２６４１５２（ＪＰ，Ａ）
特開平０５－３１６０６８（ＪＰ，Ａ）
特開平１０－０２２８８１（ＪＰ，Ａ）
国際公開第９０／０１３９５５（ＷＯ，Ａ１）
特開平０５－２９２０５５（ＪＰ，Ａ）
特開平１０－１４５３２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04J 3/00