(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월17일
(11) 등록번호 10-2134607
(24) 등록일자 2020년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) *H01L 21/8247* (2006.01)
H01L 29/788 (2006.01)
(21) 출원번호 10-2014-0068315
(22) 출원일자 2014년06월05일
심사청구일자 2019년01월25일
(65) 공개번호 10-2015-0140067
(43) 공개일자 2015년12월15일
(56) 선행기술조사문헌
KR1020110121938 A*
(뒷면에 계속)
전체 청구항 수 : 총 15 항

(73) 특허권자
매크로닉스 인터내셔널 컴퍼니 리미티드
대만,신츄,사이언스 베이스 인더스티리얼 파크, 리신 로드 16호
(72) 발명자
라이, 얼호-쿤
대만 타이충 시티 434 롱징 디스트릭트 유유안 노스 로드 래인 411 넘버 1
(74) 대리인
박영우

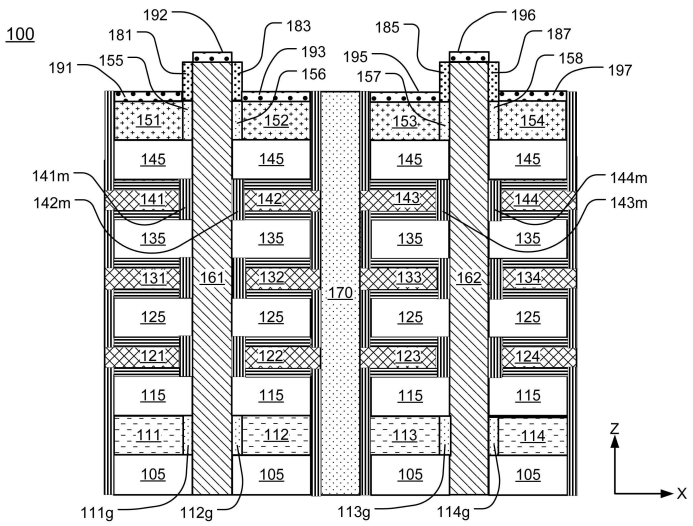
심사관 : 고연화

(54) 발명의 명칭 **3차원 수직 채널 낸드 내의 스트링 선택 라인/접지 선택 라인 게이트 산화물**

(57) 요 약

메모리 장치는 메모리 셀들의 스트링들의 어레이를 포함한다. 상기 장치는 복수의 절연 물질에 의해 분리되고, 적어도 도전성 스트립들의 하부 평면, 복수의 도전성 스트립들의 중간 평면들 및 도전성 스트립들의 상부 평면을 구비하는 도전성 스트립들의 스택들을 포함한다. 복수의 수직 액티브 스트립들이 상기 복수의 스택들 사이에 형성된다. 전하 저장 구조들은 상기 복수의 중간 평면들 내의 상기 도전성 스트립들의 측부 표면들과 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들 사이의 교차점들에서 계면 영역들 내에 형성된다. 상기 전하 저장 구조들과 다른 조성을 갖는 게이트 유전체는 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면의 적어도 하나 사이의 교차점들에서 계면 영역들 내에 형성된다.

대 표 도 - 도1



(56) 선행기술조사문헌
KR1020110128717 A*
KR1020110132865 A*
KR1020140027960 A
US20090090960 A1
US20090230459 A1
US20110303970 A1
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

메모리 셀들의 스트링들의 어레이를 구비하는 메모리 장치에 있어서,

절연 물질에 의해 분리되고, 적어도 도전성 스트립들(strips)의 하부 평면, 복수의 도전성 스트립들의 중간 평면들 및 도전성 스트립들의 상부 평면을 구비하는 복수의 도전성 스트립들의 스택들(stacks);

상기 복수의 스택들 사이의 복수의 수직 액티브 스트립들;

상기 스택들 내의 상기 복수의 중간 평면들 내의 상기 도전성 스트립들의 측부 표면들과 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들 사이의 교차점들에서 계면 영역들 내의 전하 저장 구조들; 및

상기 전하 저장 구조들과 다른 조성을 가지며, 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면의 적어도 하나 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내의 게이트 유전체를 포함하며,

상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면의 적어도 하나 내의 상기 도전성 스트립들은 상기 복수의 중간 평면들 내의 상기 도전성 스트립들과 다른 물질을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 2

제 1 항에 있어서, 상기 도전성 스트립들의 상부 평면 상의 실리사이드 형성물들을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 3

제 1 항에 있어서, 상기 도전성 스트립들의 상부 평면으로부터 상기 수직 액티브 스트립들을 분리시키는 스페이서들 및 상기 수직 액티브 스트립들의 상단 상의 실리사이드 형성물들을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 4

제 1 항에 있어서, 상기 게이트 유전체는 상기 전하 저장 구조들 보다 얇은 실리콘 산화물 물질의 층을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 5

제 1 항에 있어서, 기준 도전체(reference conductor)가 상기 도전성 스트립들의 하부 평면 및 집적 회로 기판 사이의 레벨(level) 내에 배치되고, 상기 복수의 수직 액티브 스트립들에 연결되는 것을 특징으로 하는 메모리 장치.

청구항 6

제 5 항에 있어서, 상기 기준 도전체는 N+ 도핑된 반도체 물질을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 7

메모리 장치를 제조하는 방법에 있어서,

집적 회로 기판 상에 절연층들에 의해 분리되는 복수의 희생층들과 상부 도전층 및 하부 도전층을 형성하는 단계;

제1 개구들을 형성하도록 상기 희생층들 및 상기 도전층들을 식각하는 단계;

상기 제1 개구들 내의 상기 상부 도전층 및 상기 하부 도전층의 측부 표면들 상에 게이트 유전층을 형성하는 단

계;

복수의 수직 액티브 스트립들 내의 수직 액티브 스트립들이 상기 게이트 유전층에 접촉되도록 상기 제1 개구들 내에 상기 복수의 수직 액티브 스트립들을 형성하는 단계;

상기 복수의 수직 액티브 스트립들 내의 인접하는 수직 액티브 스트립들 사이에 제2 개구들을 형성하도록 상기 희생층들 및 상기 도전층들을 식각하며, 이에 따라 상기 복수의 희생층들을 노출시키고, 이에 따라 상기 상부 도전층 및 상기 하부 도전층 내에 도전성 스트립들의 상부 평면 및 도전성 스트립들의 하부 평면을 형성하는 단계;

상기 절연층들 사이에 수평 개구들을 형성하도록 상기 제2 개구들에 의해 노출되는 상기 복수의 희생층들을 제거하는 단계;

상기 수평 개구들 내의 상기 수직 액티브 스트립들의 측부 표면들 상에 메모리층을 형성하는 단계; 및

상기 수평 개구들 내에 도전성 스트립들의 복수의 중간 평면들을 형성하는 단계를 포함하며, 상기 복수의 중간 평면들 내의 도전성 스트립들의 측부 표면들이 상기 메모리층에 접촉되고,

상기 게이트 유전층이 상기 메모리층과 다른 조성을 가지며,

상기 메모리 장치는 적어도 상기 도전성 스트립들의 하부 평면, 상기 도전성 스트립들의 복수의 중간 평면들 및 상기 도전성 스트립들의 상부 평면을 구비하는 도전성 스트립들의 복수의 스택들을 포함하고,

상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면의 적어도 하나 내의 상기 도전성 스트립들은 상기 복수의 중간 평면들 내의 상기 도전성 스트립들과 다른 물질을 포함하는 것을 특징으로 하는 메모리 장치를 제조하는 방법.

청구항 8

제 7 항에 있어서,

상기 제1 개구들 내에 절연 물질을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9

제 7 항에 있어서,

상기 수직 액티브 스트립들을 상기 도전성 스트립들의 상부 평면으로부터 분리시키는 스페이서들을 형성하는 단계; 및

상기 수직 액티브 스트립들의 상단 상에 실리사이드 형성물들을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10

제 7 항에 있어서,

상기 도전성 스트립들의 상부 평면 상에 실리사이드 형성물들을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 11

제 7 항에 있어서, 상기 도전성 스트립들의 상부 평면은 상기 게이트 유전층에 접촉되는 측부 표면들을 가지는 것을 특징으로 하는 방법.

청구항 12

제 7 항에 있어서, 상기 도전성 스트립들의 하부 평면은 상기 게이트 유전층에 접촉되는 측부 표면들을 가지는 것을 특징으로 하는 방법.

청구항 13

제 7 항에 있어서, 상기 게이트 유전층은 상기 메모리층 보다 얇은 실리콘 산화물 물질의 층을 포함하는 것을

특징으로 하는 방법.

청구항 14

제 7 항에 있어서, 상기 희생층들 및 상기 도전층들과 상기 집적 회로 기판 사이의 레벨(level) 내에 기준 도전체를 형성하는 단계를 포함하며, 상기 기준 도전체는 상기 복수의 수직 액티브 스트립들에 연결되는 것을 특징으로 하는 방법.

청구항 15

제 14 항에 있어서, 상기 기준 도전체는 N+ 도핑된 반도체 물질을 포함하는 것을 특징으로 하는 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 고밀도 메모리 장치들에 관한 것으로서, 보다 상세하게는 메모리 셀들의 다층 평면들이 3차원(3D) 어레이를 제공하도록 배치되는 메모리 장치들에 관한 것이다.

배 경 기 술

[0002] 최근 몇 년 동안에, 3D 메모리 장치들은 절연 물질에 의해 분리되는 도전성 스트립들(strips)의 스택들(stacks)과 상기 스택들 사이의 수직 액티브 스트립들을 포함하는 다양한 구성들로 개발되어 왔다. 전하 저장 구조들을 포함하는 메모리 셀들은 상기 스택들 내의 도전성 스트립들의 중간 평면들과 상기 수직 액티브 스트립들 사이의 계면 영역들에 배치된다. 스트링 선택 스위치들은 상기 스택들 내의 도전성 스트립들의 상부 평면과 상기 수직 액티브 스트립들 사이의 계면 영역들에 배치된다. 기준 선택 스위치들은 상기 스택들 내의 도전성 스트립들의 하부 평면과 상기 수직 액티브 스트립들 사이의 계면 영역들에 배치된다. 상기 메모리 셀들의 동작을 신뢰성 있게 컨트롤하기 위하여, 상기 스트링 선택 스위치들 및 기준 선택 스위치들의 문턱 전압들이 안정한 것이 바람직하다. 스트링 선택 스위치들과 기준 선택 스위치들이 상기 메모리 셀들로서 전하 저장 구조들을 포함할 때, 스트링 선택 스위치들 및 기준 선택 스위치들은 이들의 문턱 전압이 변화될 수 있게 충전될 수 있으며, 이에 따라 상기 스위치들을 프로그램 및 소거하도록 추가적인 회로부가 요구된다.

발명의 내용

해결하려는 과제

[0003] 메모리 셀들이 프로그램되거나 소거되는 동안에 문턱 전압들을 컨트롤하는 추가적인 회로부를 요구하지 않고 안정한 문턱 전압들을 갖는 스트링 선택 스위치들 및 기준 선택 스위치들을 제공하는 3차원 집적 회로 메모리를 위한 구조를 제공하는 것이 바람직하다.

과제의 해결 수단

[0004] 메모리 장치는 메모리 셀들의 스트링들(strings)의 어레이를 포함한다. 상기 장치는, 절연 물질에 의해 분리되고, 적어도 도전성 스트립들(strips)의 하부 평면(GSL), 복수의 도전성 스트립들의 중간 평면들(WL) 및 도전성 스트립들의 상부 평면(SSL)을 구비하는 복수의 도전성 스트립들의 스택들(stacks)을 포함한다. 복수의 수직 액티브 스트립들은 상기 복수의 스택들 사이에 배치된다. 전하 저장 구조들은 상기 스택들 내의 상기 복수의 중간 평면들 내의 도전성 스트립들의 측부 표면들과 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들 사이의 교차점들에서 계면 영역들 내에 배치된다. 상기 전하 저장 구조들과 다른 조성을 갖는 게이트 유전체들은 상기 복수의 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 표면과 상기 도전성 스트립들의 하부 표면들의 적어도 하나 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 배치된다.

[0005] 상기 장치는 도전성 스트립들의 상부 평면(SSL) 상의 실리사이드 형성물들(silicide formations)을 포함할 수 있다. 상기 장치는 상기 수직 액티브 스트립들을 상기 도전성 스트립들의 상부 평면으로부터 분리시키는 스페이서들, 그리고 상기 수직 액티브 스트립들의 상단 상의 실리사이드 형성물들을 포함할 수 있다. 상기 게이트 유전체는 상기 전하 저장 구조들 보다 얇은 실리콘 산화물의 층을 포함할 수 있다. 상기 게이트 유전체는 약 칠

(7) 나노미터의 두께를 가질 수 있다.

[0006] 기준 도전체(reference conductor)는 상기 도전성 스트립들의 하부 평면과 상기 집적 회로 기판 사이의 레벨 내에 배치되며, 상기 복수의 수직 액티브 스트립들에 연결된다. 상기 기준 도전체는 N+ 도핑된 반도체 물질을 포함할 수 있다.

[0007] 여기에 기술하는 바와 같이 메모리 장치들을 제조하기 위한 방법들도 제공된다.

[0008] 본 발명의 다른 측면들과 이점들은 다음의 첨부된 도면들에 대한 검토, 상세한 설명 및 특허청구범위를 통해 알 수 있을 것이다.

발명의 효과

[0009] 본 발명의 실시예들에 따르면, 메모리 셀들이 프로그램되거나 소거되는 동안에 문턱 전압들을 조절하는 추가적인 회로부를 요구하지 않고 안정한 문턱 전압들을 갖는 스트링 선택 스위치들 및 기준 선택 스위치들을 제공하는 3차원 집적 회로 메모리 장치를 구현할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 3차원(3D) 메모리 장치의 단면도이다.

도 1a는 본 발명의 선택적인 실시예에 따른 3차원 메모리 장치의 단면도이다.

도 1b는 본 발명의 다른 선택적인 실시예에 따른 3차원 메모리 장치의 단면도이다.

도 2는 본 발명의 실시예에 따른 집적 회로의 간략화된 블록도이다.

도 3은 메모리 장치를 제조하기 위한 방법을 예시하는 흐름도이다.

도 4 내지 도 15는 메모리 장치를 제조하기 위한 공정 예를 예시한다.

도 16 내지 도 27은 메모리 장치를 제조하기 위한 선택적인 공정 예를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0011] 첨부된 도면들을 참조하여 본 발명의 실시예들의 상세한 설명이 제공된다. 다음 설명은 대체로 특정 구조의 실시예들 및 방법들을 참조할 것이다. 본 발명에 구체적으로 개시된 실시예들 및 방법들에 한정되는 것은 아니며, 본 발명이 다른 특징들, 요소들, 방법들 및 실시예들을 이용하여 구현될 수 있는 점이 이해되어야 할 것이다. 바람직한 실시예들은 본 발명을 예시하는 의도로 기술되며, 특허 청구 범위에 의해 정해지는 본 발명의 범주를 제한하는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자라면 다음의 설명으로부터 다양한 균등 변형들이 수행될 수 있는 점을 인지할 수 있을 것이다. 다양한 실시예들에서 동일한 요소들은 공통적으로 동일한 참조 부호들로서 언급된다.

[0012] 도 1은 본 발명의 실시예에 따른 3차원(3D) 메모리 장치(100)를 X-Z 평면으로 나타낸 단면도이다. 도 1의 실시예에서 예시한 바와 같이, 메모리 장치(100)는 집적 회로 기판 상에 형성되는 메모리 셀들의 낸드(NAND) 스트링들(strings)의 어레이를 포함한다. 상기 장치는, 절연 물질(예를 들면, 105, 115, 125, 135, 145, 155)에 의해 분리되고, 적어도 도전성 스트립들(예를 들면, 111-114)의 하부 평면(GSL), 복수의 도전성 스트립들(예를 들면. 121-124, 131-134, 141-144)의 중간 평면들(WL), 그리고 도전성 스트립들(예를 들면, 151-154)의 상부 평면들(SSL)을 구비하는 복수의 도전성 스트립들(strips)의 스택들(stacks)을 포함한다. 복수의 수직 액티브 스트립들(예를 들면, 161, 162)은 상기 복수의 스택들 사이에 배치된다. 전하 저장 구조들(예를 들면, 141m, 142m, 143m, 144m)은 상기 스택들 내의 상기 복수의 중간 평면들 내의 상기 도전성 스트립들의 측부 표면들과 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들 사이의 교차점들에서 계면 영역들 내에 배치된다. 절연 물질(예를 들면, 170)은 도전성 스트립들(예를 들면, 112, 122, 132, 142, 152)의 스택을 인접하는 도전성 스트립들(예를 들면, 113, 123, 133, 143, 153)의 스택으로부터 분리시킨다.

[0013] 게이트 유전체(예를 들면, 111g, 112g, 113g, 114g, 155-158)는 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면의 적어도 하나 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 배치되며, 이에 따라 스트링 선택 라인들(string select lines; SSL) 및 접지 선택 라인들(ground select lines; GSL)이 형성된다. 게이트 유전체(예를 들면, 111g, 112g, 113g, 114g, 155-158)는 상기 전하 저장 구조물들과 다른 조성을 가진다. 게이트 유전체와 함께 형성되는 스트링 선택

라인들(SSL) 및 접지 선택 라인들(GSL)은 충전 가능하지 않으며, 이에 따라 고정된 문턱 전압들을 가진다.

[0014] 상기 게이트 유전체는 상기 전하 저장 구조들 보다 얇은 실리콘 산화물 물질의 층을 포함할 수 있다. 예를 들어, 상기 게이트 유전체는 약 칠(7) 나노미터의 두께를 가질 수 있는 반면, 상기 전하 저장 구조들은 약 이십(20) 나노미터의 두께를 가질 수 있다. 상기 게이트 유전체와 함께 형성되는 스트링 선택 라인들(SSL) 및 기준 선택 스위치들(reference select switches)은 전하 저장 구조들과 함께 형성되는 메모리 셀들을 동작시키는 데 요구되는 전압(예를 들면, 약 5V 내지 약 20V) 보다 낮은 전압(예를 들면, 3.3V)에서 동작할 수 있다.

[0015] 상기 장치는 상기 상부 평면 내의 상기 도전성 스트립들의 저항을 감소시키도록 상기 도전성 스트립들(예를 들면, 191, 193, 195, 197)의 상부 평면 상의 실리사이드 형성물들(silicide formations)을 포함할 수 있다. 상기 장치는 상기 도전성 스트립들의 상부 평면으로부터 상기 수직 액티브 스트립들을 분리시키는 스페이서들(예를 들면, 181, 183, 185, 187)과 상기 수직 액티브 스트립들의 상단 상의 실리사이드 형성물들(예를 들면, 192, 196)을 포함할 수 있다.

[0016] 상기 복수의 도전성 스트립들의 스택들 내의 도전성 스트립들은 X-Z 평면에 직교하는 Y 방향으로 배치될 수 있으며, 상기 메모리 장치 내의 디코딩 회로부(decoding circuitry)에 연결된다. 기준 도전체(reference conductor)(도시되지 않음)는 상기 도전성 스트립들의 하부 평면과 상기 집적 회로 기판 사이의 레벨(level) 내에 배치될 수 있고, 상기 복수의 수직 액티브 스트립들에 연결된다. 상기 기준 도전체는 N+ 도핑된 반도체 물질을 포함할 수 있다. 상기 메모리 장치는 상기 복수의 수직 액티브 스트립들에 연결되고, 감지 회로들에 연결되는 복수의 글로벌 비트 라인들을 포함하는 상부에 놓인 패터닝된 도전층(도시되지 않음)을 포함할 수 있다.

[0017] 도 1a는 본 발명의 선택적인 실시예에 따른 3차원 메모리 장치의 단면도이다. 선택적인 실시예에서의 차이점은 게이트 유전체가 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들(예를 들면, 155-158)의 상부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에만 배치되는 것이다. 전하 저장 구조들(예를 들면, 111m, 112m, 113m, 114m)은 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 하부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 배치된다.

[0018] 도 1b는 본 발명의 다른 선택적인 실시예에 따른 3차원 메모리 장치의 단면도이다. 다른 선택적인 실시예에서의 하나의 차이점은 게이트 유전체(예를 들면, 111g, 112g, 113g, 114g)가 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 하부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에만 배치되는 것이다. 전하 저장 구조들(예를 들면, 151m, 152m, 153m, 154m)은 상기 복수의 수직형 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 배치된다. 다른 선택적인 실시예에서의 다른 차이점은, 실리사이드 형성물들(예를 들면, 192, 196)이 상기 수직 액티브 스트립들(예를 들면, 161, 162)의 상단 상에만 형성되고, 상기 전하 저장 구조들(예를 들면, 151m, 152m, 153m, 154m) 상에는 형성되지 않는 반면, 도 1 및 도 1a에 예시한 실시예들에서는, 실리사이드 형성물들(예를 들면, 191, 193, 195, 197)이 폴리실리콘을 포함할 수 있는 상기 도전성 스트립들(예를 들면, 151-154)의 상부 평면(SSL) 상에도 형성되는 것이다.

[0019] 도 2는 본 발명의 실시예에 따른 집적 회로의 간략화된 블록도이다. 도 2에 도시한 실시예에 있어서, 상기 집적 회로(200)는, 여기서 설명하는 바와 같이, 상기 집적 회로 기판 상에서 상기 도전성 스트립들의 상부 평면(SSL) 및 상기 도전성 스트립들의 하부 평면(GSL)의 적어도 하나의 상부에 게이트 유전체와 함께 구현되는 수직 채널 메모리 어레이(260)를 포함한다. 상기 게이트 유전체는 상기 복수의 중간 평면들(WL) 내의 상기 도전성 스트립 상에 구현되는 상기 전하 저장 구조들과 다른 조성을 가진다.

[0020] 로우 디코더(row decoder)(261)는 복수의 워드 라인들(262)에 연결되고, 상기 메모리 어레이(260) 내의 열들(rows)을 따라 배치된다. 칼럼 디코더(column decoder)(263)는 복수의 비트 라인들(264)(또는 전술한 바와 같이 스트링 선택 라인들(SSL))에 연결되고, 상기 메모리 어레이(260) 내의 상기 메모리 셀들로부터 데이터를 읽고 프로그래밍하기 위해 상기 메모리 어레이(260) 내에 행들(columns)을 따라 배치된다. 플레인 디코더(plane decoder)(258)는 스트링 선택 라인들(SSL)(259)(또는 상술한 바와 같이 비트 라인들) 상의 상기 메모리 어레이(260) 내의 복수의 평면들에 연결된다. 어드레스들은 버스(265) 상에서 칼럼 디코더(263), 로우 디코더(261) 및 플레인 디코더(258)로 제공된다. 블록(266) 내의 감지 증폭기들(sense amplifiers) 및 데이터 입력 구조들은 이러한 실시예에서는 데이터 버스(267)를 거쳐 상기 칼럼 디코더(263)에 연결된다. 데이터는 상기 데이터 입력 라인(271)을 통해 상기 집적 회로(275) 상의 입력/출력 포트들로부터 또는 상기 집적 회로(275) 내부나 외부의 다

른 데이터 소스들로부터 블록(266) 내의 상기 데이터 입력 구조들에 제공된다. 예시한 실시예에 있어서, 범용 프로세서나 전용 어플리케이션 회로부, 또는 프로그램 가능한 저항 셀 어레이에 의해 유지되는 시스템-온-칩 기능성을 제공하는 모듈들의 결합과 같은 다른 회로부(274)가 상기 집적 회로 상에 포함될 수 있다. 데이터는 상기 데이터 출력 라인(272)을 통해 블록(266) 내의 상기 감지 증폭기들로부터 상기 집적 회로(275) 상의 입력/출력 포트들로 또는 상기 집적 회로(275)의 내부나 외부의 다른 데이터 수신지들로 제공된다.

[0021] 바이어스 정열 상태 기계(269)를 이용하여 이러한 실시예에서 구현되는 컨트롤러는 읽기 및 프로그램 전압들과 같이 블록(268) 내의 전압 공급이나 공급들을 통해 생성되거나 제공되는 바이어스 배열 전압의 적용을 조절한다. 상기 컨트롤러는 해당 기술 분야에서 알려진 전용 로직 회로부를 이용하여 구현될 수 있다. 선택적인 실시예들에 있어서, 상기 컨트롤러는 동일한 집적 회로 상에 구현될 수 있는 범용 프로세서를 포함할 수 있으며, 이는 상기 장치의 동작을 제어하는 컴퓨터 프로그램을 실행시킨다. 또 다른 실시예들에 있어서, 전용 로직 회로부 및 범용 프로세서의 결합이 상기 컨트롤러의 구현을 위해 활용될 수 있다.

[0022] 도 3은 수직 채널 구조를 제조하기 위한 방법을 예시하는 흐름도이다. 상기 방법은 집적 회로 기판 상에 절연층들에 의해 분리되는 복수의 희생층들, 그리고 상부 도전층 및 하부 도전층의 적어도 하나를 형성하는 단계로 시작된다(단계 310). 상기 희생층들 및 도전층들은 제1 개구들을 형성하도록 식각된다(단계 320). 게이트 유전층은 상기 제1 개구들 내의 상부 도전층 및 하부 도전층의 적어도 하나의 측부 표면들 상에 형성된다(단계 330). 복수의 수직 액티브 스트립들은, 상기 복수의 수직 액티브 스트립들 내의 수직 액티브 스트립들이 상기 게이트 유전층에 접촉되는 상기 제1 개구들 내에 형성된다(단계 340).

[0023] 상기 희생층들 및 도전층들은 이후에 상기 복수의 수직 액티브 스트립들 내의 인접하는 수직 액티브 스트립들 사이에 제2 개구들을 형성하도록 식각되며, 이에 따라 상기 복수의 희생층들이 노출되고, 이에 따라 상부 도전층 및 하부 도전층의 적어도 하나 내에 도전성 스트립들의 상부 평면 및 도전성 스트립들의 하부 평면의 적어도 하나가 형성된다(단계 350). 상기 제2 개구들에 의해 노출되는 상기 복수의 희생층들은 상기 절연층들 사이에 수평 개구들을 형성하도록 제거된다(단계 360). 메모리층은 상기 수평 개구들 내의 상기 수직 액티브 스트립들의 측부 표면들 상에 형성된다(단계 370). 복수의 도전성 스트립들의 평면들은 상기 수평 개구들 내에 형성된다. 상기 복수의 평면들 내의 도전성 스트립들의 측부 표면들은 상기 메모리층에 접촉된다(단계 380). 상기 복수의 평면들은 복수의 도전성 스트립들의 중간 평면들(WL)을 포함한다. 상기 복수의 평면들은, 도 1b에 도시한 바와 같이 상기 메모리층에 접촉되는 도전성 스트립들의 상부 평면(SSL) 및 도 1a에 도시한 바와 같이 상기 메모리층에 접촉되는 도전성 스트립들의 하부 평면(GSL)의 하나를 포함할 수 있다. 절연 물질이 이후에 상기 제2 개구들 내에 형성된다.

[0024] 상기 게이트 유전층은 상기 메모리층과는 다른 조성을 가진다. 상기 게이트 유전층은 실리콘 산화물을 포함할 수 있다. 상기 메모리층은, 예를 들면, ONO(산화물-질화물-산화물), ONONO(산화물-질화물-산화물-질화물-산화물), SONOS(실리콘-산화물-질화물-산화물-실리콘), BE-SONOS(밴드갭 조절된 실리콘-산화물-질화물-산화물-실리콘), TANOS(탄탈륨 질화물, 알루미늄 산화물, 실리콘 질화물, 실리콘 산화물, 실리콘), 그리고 MA BESONOS(금속-고유전율의 밴드갭 조절된 실리콘-산화물-질화물-산화물-실리콘)와 같이 알려진 플래시 메모리(flash memory) 기술들을 포함하는 플래시 메모리 기술들로부터 알려진 다층 유전 전하 저장 구조를 포함할 수 있다.

[0025] 상기 게이트 유전체는 상기 메모리층 보다 얇은 실리콘 산화물 물질의 층을 포함할 수 있다. 예를 들어, 상기 게이트 유전층은 약 칠(7) 나노미터의 두께를 가질 수 있는 반면, 상기 메모리층은 약 이십(20) 나노미터의 두께를 가질 수 있다.

[0026] 스페이서들은 상기 수직 액티브 스트립들을 상기 도전성 스트립들의 상부 평면으로부터 분리시키도록 상기 수직 액티브 스트립들의 측부들 상에 형성될 수 있다. 실리사이드 형성물들은 상기 수직 액티브 스트립들의 상단 상에 형성될 수 있다. 실리사이드 형성물들은, 예를 들면, 실리사이드 형성물들이 상기 수직 액티브 스트립들의 상당 상에 형성되는 동일한 공정 동안에 상기 도전성 스트립들의 상부 평면 상에 형성될 수 있다.

[0027] 일 구현예에 있어서, 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면은 모두 상기 게이트 유전층에 접촉되는 측부 표면들을 가질 수 있다. 다른 구현예에 있어서, 상기 도전성 스트립들의 상부 평면은 상기 게이트 유전층에 접촉되는 측부 표면들을 가질 수 있는 반면, 상기 도전성 스트립들의 하부 평면은 상기 메모리층에 접촉되는 측부 표면들을 가질 수 있다. 또 다른 구현예에 있어서, 상기 도전성 스트립들의 상부 평면은 상기 메모리층에 접촉되는 측부 표면들을 가질 수 있는 반면, 상기 도전성 스트립들의 하부 평면은 상기 게이트 유전층에 접촉되는 측부 표면들을 가질 수 있다.

[0028] 상기 방법은 기준 도전체가 상기 복수의 수직 액티브 스트립들에 연결되는 상기 복수의 희생층들 및 도전층들과 상기 집적 회로 기판 사이의 레벨 내에 상기 기준 도전체를 형성하는 단계를 더 포함할 수 있다. 상기 기준 도전체는 N+ 도핑된 반도체 물질을 포함할 수 있다.

[0029] 도 4 내지 도 15는 메모리 장치를 제조하기 위한 실시예의 공정 흐름을 예시한다. 도 4는 부분적으로 제조된 메모리 장치의 X-Z 평면 내의 단면을 예시한다. 도 4에 도시한 실시예에 있어서, 상기 메모리 장치는, 상기 집적 회로 기판 상에 워드 라인들(WL)을 형성하기 위한 복수의 희생층들(예를 들면, 420, 430, 440), 스트링 선택 라인들(SSL)을 형성하기 위한 상부 도전층(예를 들면, 450), 그리고 접지 선택 라인(GSL)을 위한 하부 도전층(예를 들면, 410)을 포함한다. 상기 희생층들 및 도전층들은 절연층들(예를 들면, 405, 415, 425, 435, 445, 455)에 의해 분리된다. 상기 복수의 희생층들은 실리콘 질화물을 포함할 수 있다. 상기 상부 도전층(예를 들면, 450) 및 상기 하부 도전층(예를 들면, 410)은 N+ 폴리실리콘을 포함할 수 있다.

[0030] 하드 마스크(예를 들면, 460)가 상기 희생층들 및 도전층들을 패터닝하기 위해 상기 희생층들 및 도전층들 상에 배치된다. 상기 하드 마스크는 폴리실리콘을 포함할 수 있으며, 이는 상기 희생층들에 사용되는 실리콘 산화물 물질 및 상기 절연층들에 사용되는 산화물 물질 보다 높은 선택비를 가진다.

[0031] 도 5는 제1 개구들(예를 들면, 510, 520)을 형성하도록 상기 하드 마스크를 이용하여 상기 희생층들 및 도전층들을 식각한 후의 상기 공정에서의 단계를 예시한다. 예를 들어, 상기 희생층들 및 도전층들은 반응성 이온 식각(RIE)으로 식각될 수 있다. 상기 제1 개구들은 상기 복수의 희생층들(예를 들면, 420, 430 및 440), 상기 상부 도전층(450) 및 상기 하부 도전층(410)을 통해 식각된다. 상기 제1 개구들은 복수의 수직 액티브 스트립들을 형성하는 데 이용된다.

[0032] 도 6은 상기 제1 개구들(예를 들면, 510, 520) 내의 상기 상부 도전층의 측부 표면들(예를 들면, 655, 656, 657, 658) 상에 및 상기 하부 도전층의 측부 표면들(예를 들면, 615, 616, 617, 618) 상에 게이트 유전층을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 게이트 유전층은 실리콘 산화물 물질의 층을 포함할 수 있다. 상기 게이트 유전층은 약 칠(7) 나노미터의 두께를 가진다. 실리콘 산화물 물질의 층은 800℃-900℃의 온도 범위에서 상기 상부 도전층(예를 들면, 450) 및 상기 하부 도전층(예를 들면, 410) 상에 열 산화에 의해 형성될 수 있다. 열 산화의 결과, 상기 실리콘 산화물 물질의 층(예를 들면, 661, 663, 665)이 또한 상기 하드 마스크(예를 들면, 460) 상에 형성된다. 상기 실리콘 산화물 물질의 층은 상기 복수의 희생층들(예를 들면, 420, 430, 440) 상에 형성되지 않는다.

[0033] 도 7은 상기 제1 개구들 내에 복수의 수직 액티브 스트립들(예를 들면, 761, 762)을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 수직 액티브 스트립들은 상기 상부 도전층의 측부 표면들(예를 들면, 655, 656, 657, 658) 상에 및 상기 하부 도전층의 측부 표면들(예를 들면, 615, 616, 617, 618) 상에 형성되는 상기 게이트 유전층에 접촉된다. 상기 복수의 수직 액티브 스트립들은 상기 희생층들 및 도전층들 아래의 기준 도전체층(도시되지 않음)까지 연장될 수 있다. 상기 하드 마스크(예를 들면, 460)는, 예를 들면, 상기 하드 마스크 아래의 절연층(예를 들면, 455)에서 정지되는 화학적-기계적 평탄화(CMP)를 이용하여 평탄화된다.

[0034] 도 8은 상기 복수의 수직 액티브 스트립들 내의 인접하는 수직 액티브 스트립들(예를 들면, 761, 762) 사이에 제2 개구들(예를 들면, 810)을 형성하도록 상기 희생층들 및 도전층들을 식각한 후에 상기 공정에서의 단계를 예시한다. 상기 복수의 희생층들(예를 들면, 420, 430, 440)은 상기 제2 개구들에 의해 노출된다. 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면 및 상기 도전성 스트립들(예를 들면, 411-414)의 하부 평면이 형성되며, 여기서 상기 상부 평면 및 상기 하부 평면 내의 도전성 스트립들이 상기 게이트 유전층(예를 들면, 655-658, 615-618)에 접촉된다. 상기 상부 평면 및 상기 하부 평면 내의 도전성 스트립들은 상기 X-Z 평면에 직교하는 Y 방향으로 있다.

[0035] 도 9는 상기 절연층들(예를 들면, 415, 425, 435, 445) 사이에 수평 개구들(예를 들면, 905)을 형성하도록 상기 제2 개구들에 의해 노출되는 상기 복수의 희생층들을 제거한 후에 상기 공정에서의 단계를 예시한다. 상기 공정에서 이러한 단계는 그 사이에 수평 개구들(예를 들면, 905)을 갖는 상기 수직 액티브 스트립들(예를 들면, 761, 762)에 부착되는 상기 절연층들을 남긴다. 수평 개구들(905)은 워드 라인들(WL)을 형성하기 위해 이용될 수 있다. 상기 복수의 희생층들은 식각제로서 인산(H_3PO_4)을 이용하는 식각 공정에 의해 제거될 수 있다. 인산(H_3PO_4)은 상기 희생층들에 사용되는 실리콘 질화물 물질에 대해, 상기 절연층들에 사용되는 산화물 물질에 대해, 그리고 상기 상부 도전층 및 하부 도전층에 사용되는 N+ 폴리실리콘 물질에 대해 높은 선택비를 가진다.

[0036] 도 10은 상기 수평 개구들 내의 상기 수직 액티브 스트립들의 측부 표면들 상에 메모리층(예를 들면, 441m,

442m, 443m, 444m)을 형성하고, 이후에 상기 제2 개구들(예를 들면, 810)을 통해 상기 메모리층 상에 도전성 물질(예를 들면, 1001)을 증착한 후에 상기 공정에서의 단계를 예시한다. 상기 도전성 물질은 티타늄 질화물(TiN) 및 텅스텐(W)을 포함할 수 있다. 과잉의 도전성 물질이 상기 제2 개구들의 벽들 상에 남을 수 있다.

[0037] 도 11은 상기 제2 개구들의 벽들 상에 남아 있는 상기 과잉의 도전성 물질을, 예를 들면 등방성 식각을 이용하여 제거한 후에 상기 공정에서의 단계를 예시한다. 이러한 제거는 상기 수평 개구들 내에만 상기 도전성 물질을 남긴다. 상기 공정의 이러한 단계에서, 복수의 도전성 스트립들이 상기 수평 개구들 내에 형성된다. 상기 복수의 평면들은 복수의 도전성 스트립들(예를 들면, 421-424, 431-434, 441-444)의 중간 평면들(WL)을 포함하며, 상기 중간 평면들 내의 도전성 스트립들의 측부 표면들은 상기 메모리층에 접촉된다. 상기 복수의 평면들 내의 도전성 스트립들은 상기 X-Z 평면에 직교하는 Y 방향으로 있다.

[0038] 도 12는 상기 제1 개구들(예를 들면, 810) 내에 및 상부 절연층(예를 들면, 455) 상부에 절연 물질(예를 들면, 1270)을 형성한 후에 상기 공정에서의 단계를 예시한다.

[0039] 도 13은 절연 물질들(예를 들면, 1270, 455)을 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면 상에서 및 상기 수직 액티브 스트립들(예를 들면, 761, 762)의 상단 상에서 정지되도록 식각한 후에 상기 공정에서의 단계를 예시한다. 상기 공정의 이러한 단계에서, 복수의 도전성 스트립들의 스택들이 형성된다. 상기 도전성 스트립들의 각 스택은 도전성 스트립들(예를 들면, 411, 412, 413, 414)의 하부 평면(GSL), 복수의 도전성 스트립들(예를 들면, 441, 442, 443, 444)의 중간 평면들(WL), 그리고 도전성 스트립들(예를 들면, 451, 452, 453, 454)의 상부 평면(SSL)을 포함한다. 게이트 유전체(예를 들면, 615-618, 655-658)는 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 형성된다.

[0040] 도 14는 상기 수직 액티브 스트립들(예를 들면, 761, 762)을 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면으로부터 분리시키도록 스페이서들(예를 들면, 1481, 1483, 1485, 1587)을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 스페이서들은 얇은 유전체 라이너들(liners)이 될 수 있고 산화물 또는 실리콘 질화물 물질들을 포함할 수 있다.

[0041] 도 15는 실리사이드 형성물들(예를 들면, 1591, 1593, 1595, 1597)을 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면 상에 형성하거나 및/또는 실리사이드 형성물들(예를 들면, 1592, 1596)을 상기 수직 액티브 스트립들(예를 들면, 761, 762)의 상단 상에 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 실리사이드 형성물들은 티타늄(Ti), 코발트(Co) 및 니켈(Ni)을 포함할 수 있다. 상기 제조 공정은 3차원 메모리 어레이를 완성하도록 계속된다.

[0042] 도 16 내지 도 27은 메모리 장치를 제조하기 위한 선택적인 실시예의 공정 흐름을 예시한다. 도 4-도 15에 나타낸 상기 예시적인 공정 흐름은 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 및 상기 도전성 스트립들의 하부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 게이트 유전체를 포함하는 메모리 장치를 형성한다. 비교할 경우, 도 16-도 27에 도시한 상기 선택적인 공정 흐름의 예는 상기 복수의 수직 액티브 스트립들 내의 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 내의 도전성 스트립들만의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 게이트 유전체를 포함하는 메모리 장치를 형성한다. 상기 예시적인 공정 및 상기 선택적인 공정 흐름의 예에서 동일한 요소들은 동일한 참조 부호들로 공통적으로 언급된다.

[0043] 도 16은 부분적으로 제조된 메모리 장치의 X-Z 평면 내의 단면을 예시한다. 도 16에 도시한 실시예에 있어서, 상기 메모리 장치는, 상기 집적 회로 기판 상에 워드 라인들(WL)을 형성하기 위한 복수의 희생층들(예를 들면, 420, 430 및 440) 및 접지 선택 라인들(GSL)을 형성하기 위한 희생층(예를 들면, 410a)을 포함한다. 상기 희생층들 및 도전층들은 절연층들(예를 들면, 405, 415, 425, 435, 445, 455)에 의해 분리된다. 상기 워드 라인들(WL)을 위한 복수의 희생층들 및 상기 접지 선택 라인들(GSL)을 위한 희생층은 실리콘 질화물을 포함할 수 있다. 상기 하드 마스크(예를 들면, 460) 및 상기 상부 도전층(예를 들면, 450)은 도 4와 관련하여 설명한 바와 같다.

[0044] 도 17은 제1 개구들(예를 들면, 510, 520)을 형성하도록 상기 희생층 및 상기 도전층을 식각한 후에 상기 공정에서의 단계를 예시한다. 상기 제1 개구들은 상기 상부 도전층(450), 상기 워드 라인들(WL)을 위한 복수의 희생층들(예를 들면, 420, 430 및 440) 및 상기 접지 선택 라인들(GSL)을 위한 희생층(예를 들면, 410a)을 통해 식각된다. 상기 제1 개구들은 복수의 수직 액티브 스트립들을 형성하는 데 이용된다.

[0045] 도 18은 상기 제1 개구들(예를 들면, 510, 520) 내에 상기 상부 도전층의 측부 표면들(예를 들면, 655, 656, 657, 658) 상에 게이트 유전층을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 게이트 유전층 및 열 산화를 이용한 상기 게이트 유전층의 형성은 도 6에서 설명한 바와 같다. 상기 열 산화는 상기 접지 선택 라인들(GSL)을 위한 희생층(예를 들면, 410a) 상에 실리콘 산화물 물질의 층을 형성하지 않는다.

[0046] 도 19는 상기 제1 개구들 내에 복수의 수직 액티브 스트립들(예를 들면, 761, 762)을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 수직 액티브 스트립들은 상기 상부 도전층의 측부 표면들(예를 들면, 655, 656, 657, 658) 상에 형성되는 상기 게이트 유전층에 접촉된다. 상기 하드 마스크(예를 들면, 460)는 도 7에서 기술한 바와 같이 평탄화된다.

[0047] 도 20은 상기 복수의 수직 액티브 스트립들 내의 인접하는 수직 액티브 스트립들(예를 들면, 761, 762) 사이에 제2 개구들(예를 들면, 810)을 형성하도록 상기 희생층들 및 도전층들을 식각한 후에 상기 공정에서의 단계를 예시한다. 워드 라인(WL)들을 위한 상기 복수의 희생층들(예를 들면, 420, 430, 440) 및 상기 접지 선택 라인들(GSL)을 휘한 희생층(예를 들면, 410a)은 상기 제2 개구들에 의해 노출된다. 도전성 스트립들(예를 들면, 451-454)의 상부 평면이 형성되며, 여기서 상기 상부 평면 내의 도전성 스트립들은 상기 게이트 유전층(예를 들면, 655-658)에 접촉된다.

[0048] 도 21은 상기 절연층들(예를 들면, 405, 415, 425, 435, 445) 사이에 수평 개구들(예를 들면, 905)을 형성하도록 상기 제2 개구들에 의해 노출되는 상기 복수의 희생층들을 제거한 후에 상기 공정에서의 단계를 예시한다. 상기 공정 내의 이러한 단계는 그 사이에 수평 개구들(예를 들면, 905, 906)을 갖는 상기 수직 액티브 스트립들(예를 들면, 761, 762)에 부착되는 절연층들을 남긴다. 수평 개구들(905)은 워드 라인들(WL)을 형성하기 위해 이용될 수 있고, 개구들(906)은 접지 선택 라인들(GSL)을 형성하기 위해 이용될 수 있다.

[0049] 도 22는 워드 라인들(예를 들면, 441m, 442m, 443m, 444m)을 위해서와 접지 선택 라인들(예를 들면, 411m, 412m, 413m, 414m)을 위해서 상기 수평 개구들 내의 상기 수직 액티브 스트립들의 측부 표면들 상에 매모리층을 형성하고, 상기 제2 개구들(예를 들면, 810)을 통해 상기 수평 개구들(예를 들면, 905, 906) 내에 도전성 물질(예를 들면, 1001)을 증착한 후에 상기 공정에서의 단계를 예시한다. 상기 도전성 물질은 티타늄 질화물(TiN) 및 텅스텐(W)을 포함할 수 있다. 과잉의 도전성 물질이 상기 제2 개구들의 벽들 상에 남을 수 있다.

[0050] 도 23은 상기 제2 개구들의 벽들 상에 남아 있는 상기 과잉의 도전성 물질을, 예를 들면 이방성 식각을 이용하여 제거한 후에 상기 공정에서의 단계를 예시한다. 상기 제거는 상기 수평 개구들 내에만 상기 도전성 물질을 남긴다. 상기 공정 내의 이러한 단계에서, 복수의 도전성 스트립들의 평면들이 상기 수평 개구들 내에 형성된다. 상기 복수의 평면들은 복수의 도전성 스트립들(예를 들면, 421-424, 431-434, 441-444)의 중간 평면들(WL) 및 도전성 스트립들(예를 들면, 411a-414a)의 하부 평면(GSL)을 포함한다. 상기 중간 평면들 내 및 상기 하부 평면들 내의 도전성 스트립들의 측부 표면들은 상기 메모리층(예를 들면, 441m-444m, 411m-414m)에 접촉된다.

[0051] 도 24는 상기 제2 개구들(예를 들면, 810) 내에 및 상부 절연층(예를 들면, 455) 상부에 절연 물질(예를 들면, 1270)을 형성한 후에 상기 공정에서의 단계를 예시한다.

[0052] 도 25는 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면 상에서 및 상기 수직 액티브 스트립들(예를 들면, 761, 762)의 상단 상에서 정지되도록 상기 절연 물질들(예를 들면, 1270, 455)을 식각한 후에 상기 공정에서의 단계를 예시한다. 상기 공정 내의 이러한 단계에서, 복수의 도전성 스트립들의 스택들이 형성된다. 상기 도전선 스트립들의 각 스택은, 도전성 스트립들(예를 들면, 411a, 412a, 413a, 414a)의 하부 평면(GSL), 복수의 도전성 스트립들(예를 들면, 441, 442, 443, 444)의 중간 평면들(WL), 그리고 도전성 스트립들(예를 들면, 451, 452, 453, 454)의 상부 평면(SSL)을 포함한다. 게이트 유전체(예를 들면, 655-658)는 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 상부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 형성된다. 전하 저장 구조들(예를 들면, 411m, 412m 413m, 414m)을 포함하는 메모리층은 상기 수직 액티브 스트립들과 상기 도전성 스트립들의 하부 평면 내의 상기 도전성 스트립들의 측부 표면들 사이의 교차점들에서 계면 영역들 내에 형성된다.

[0053] 도 26은 상기 수직 액티브 스트립들(예를 들면, 761, 762)을 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면으로부터 분리시키도록 스페이서들(예를 들면, 1481, 1483, 1485, 1587)을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 스페이서들은 얇은 유전체 라이너들일 수 있으며, 산화물 또는 실리콘 질화물 물질들을 포함할 수 있다.

[0054] 도 27은 상기 도전성 스트립들(예를 들면, 451-454)의 상부 평면 상에 실리사이드 형성물들(예를 들면, 1591, 1593, 1595, 1597)을 형성하거나 및/또는 상기 수직 액티브 스트립들(예를 들면, 761, 762)의 상단 상에 실리사이드 형성물들(예를 들면, 1592, 1596)을 형성한 후에 상기 공정에서의 단계를 예시한다. 상기 실리사이드 형성물들은 티타늄(Ti), 코발트(Co) 및 니켈(Ni)을 포함할 수 있다. 상기 제조 공정은 3차원 메모리 어레이를 완성하도록 계속된다.

[0055] 전술한 바와 같이 바람직한 실시예들과 예들을 참조하여 본 발명을 설명하였지만, 이들 실시예들이 제한적인 의미보다는 예시적인 것으로 의도된 점을 이해할 수 있을 것이다. 변형들과 조합들이 해당 기술 분야에서 통상의 지식을 가진 자에게는 용이하게 이루어질 수 있을 것이며, 변형들과 조합들이 본 발명의 범주와 다음 특허청구범위의 범위 내에서 수행될 수 있는 점이 고려되어야 할 것이다.

부호의 설명

[0056] 105, 115, 125, 135, 145, 155, 170 : 절연 물질

111-114 : 도전성 스트립

121-124, 131-134, 141-144 : 도전성 스트립

151-154 : 도전성 스트립 161, 162 : 수직 액티브 스트립

141m, 142m, 143m, 144m : 전하 저장 구조

111g, 112g, 113g, 114g, 155-158 : 게이트 유전체

155-158 : 도전성 스트립 181, 183, 185, 187 : 스페이서

191, 193, 195, 197 : 도전성 스트립 192, 196 : 실리사이드 형성물

111m, 112m, 113m, 114m : 전하 저장 구조

151m, 152m, 153m, 154m : 전하 저장 구조

200 : 집적 회로 258 : 플레인 디코더

259 : 스트링 선택 라인 260 : 메모리 어레이

261 : 로우 디코더 263 : 칼럼 디코더

264 : 비트 라인 265 : 버스

266 : 블록 267 : 데이터 버스

269 : 바이어스 정렬 상태 기계 271 : 데이터 입력 라인

272 : 데이터 출력 라인 274 : 다른 회로부

275 : 집적 회로

405, 415, 425, 435, 445, 455 : 절연층 410 : 하부 도전층

410a : 희생층

411, 412, 413, 414 : 도전성 스트립

411a, 412a, 413a, 414a : 도전성 스트립

411m-414m, 41m-444m : 메모리층 420, 430, 440 : 희생층

421-424, 431-434, 441-444 : 도전성 스트립

450 : 상부 도전층 451-454 : 도전성 스트립

460 : 하드 마스크 510, 520 : 제1 개구

615-618, 655-658 : 게이트 유전체

661, 663, 665 : 실리콘 산화물 물질의 층

761, 762 : 수직 액티브 스트립

810 : 제2 개구

905, 906 : 수평 개구

1001 : 도전성 물질

1270 : 절연 물질

1481, 1483, 1485, 1587 : 스페이서

1591, 1593, 1595, 1597 : 실리사이드 형성물

1592, 1596 : 실리사이드 형성물

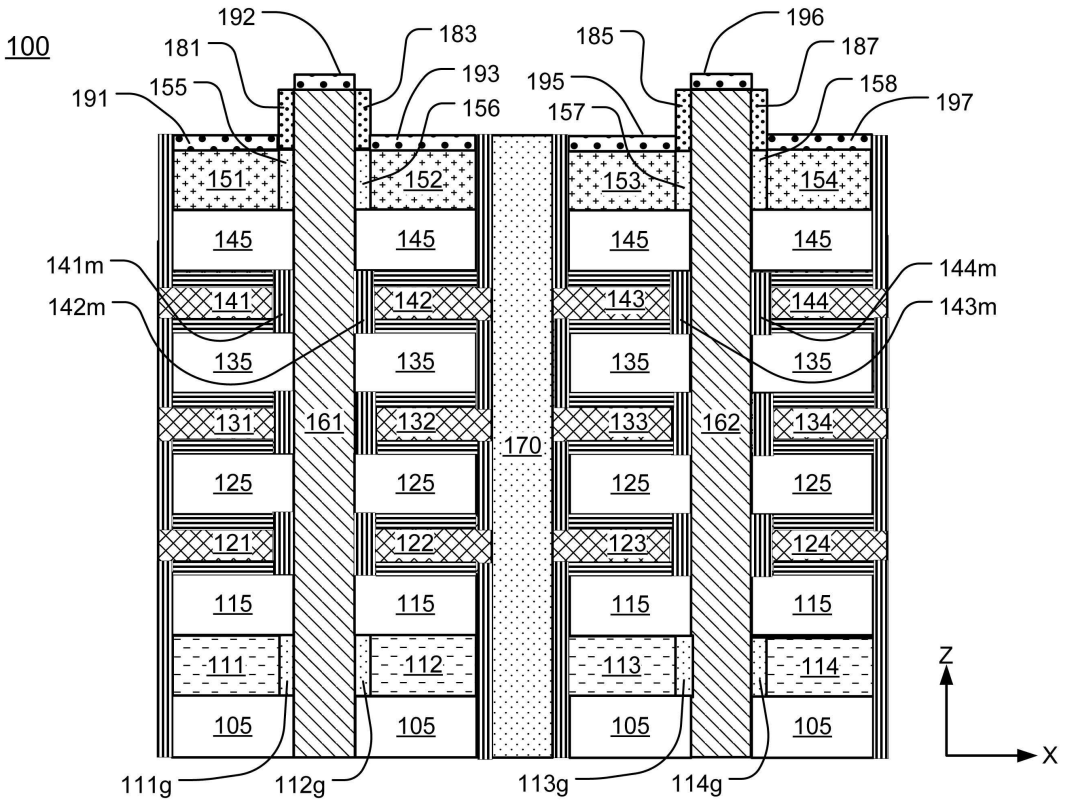
SSL : 스트링 선택 라인

GSL : 접지 선택 라인

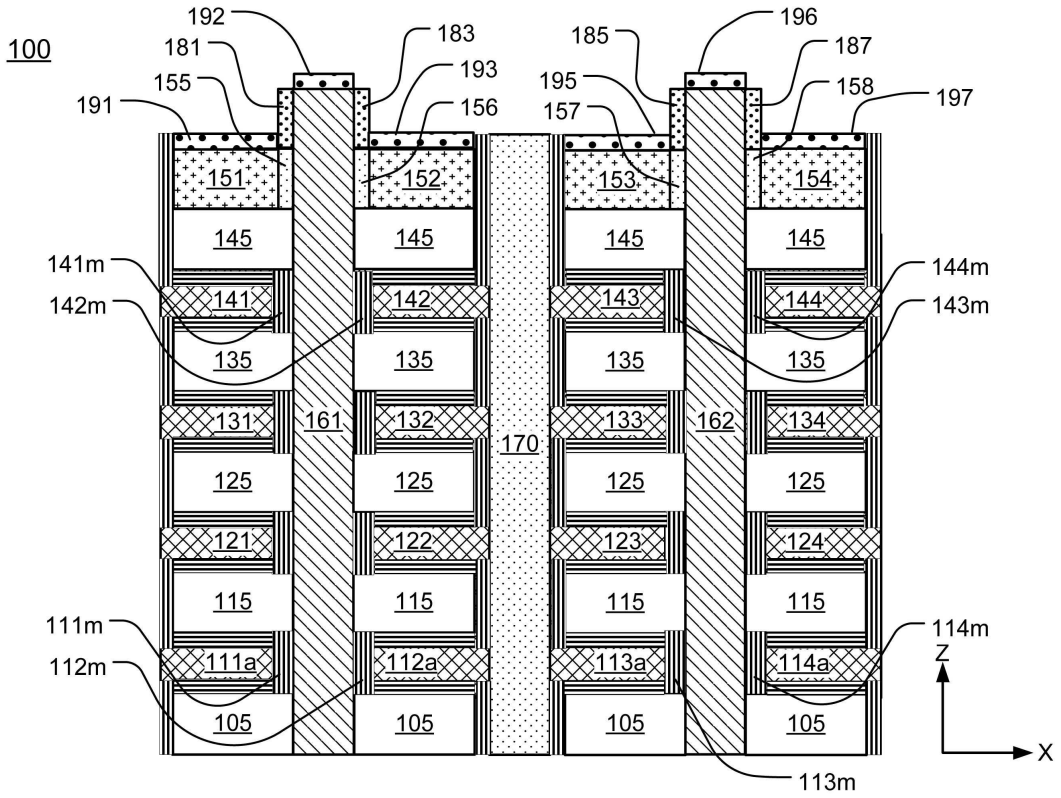
WL : 워드 라인

도면

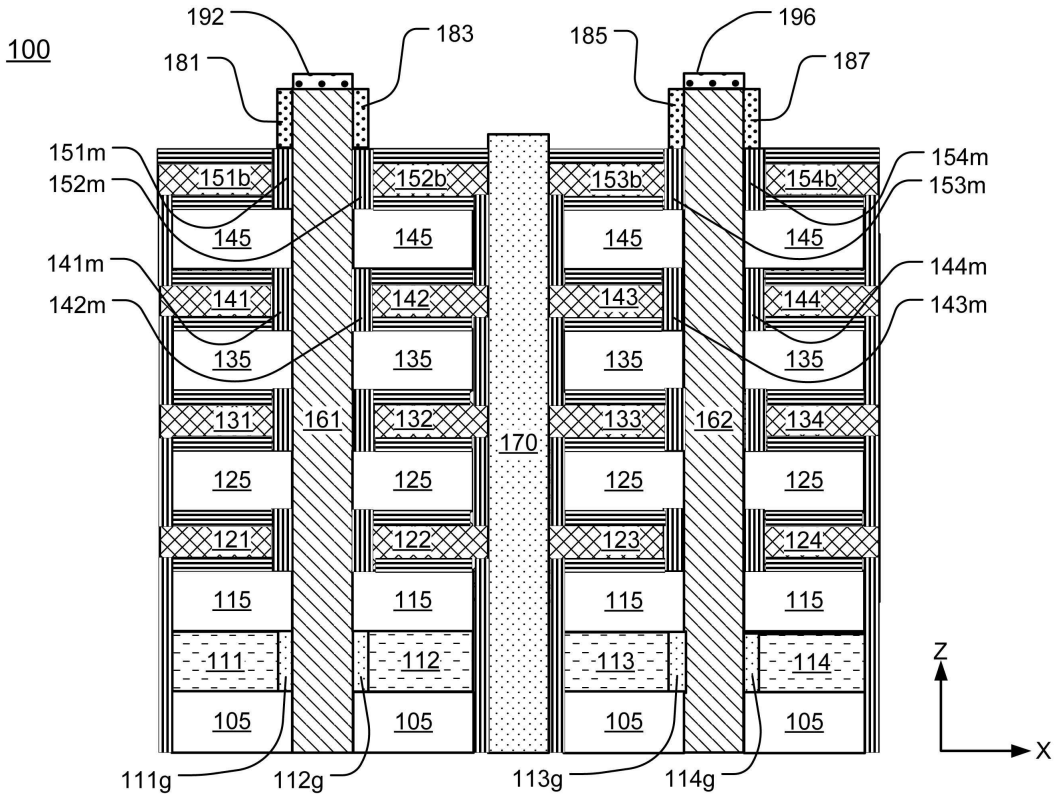
도면1



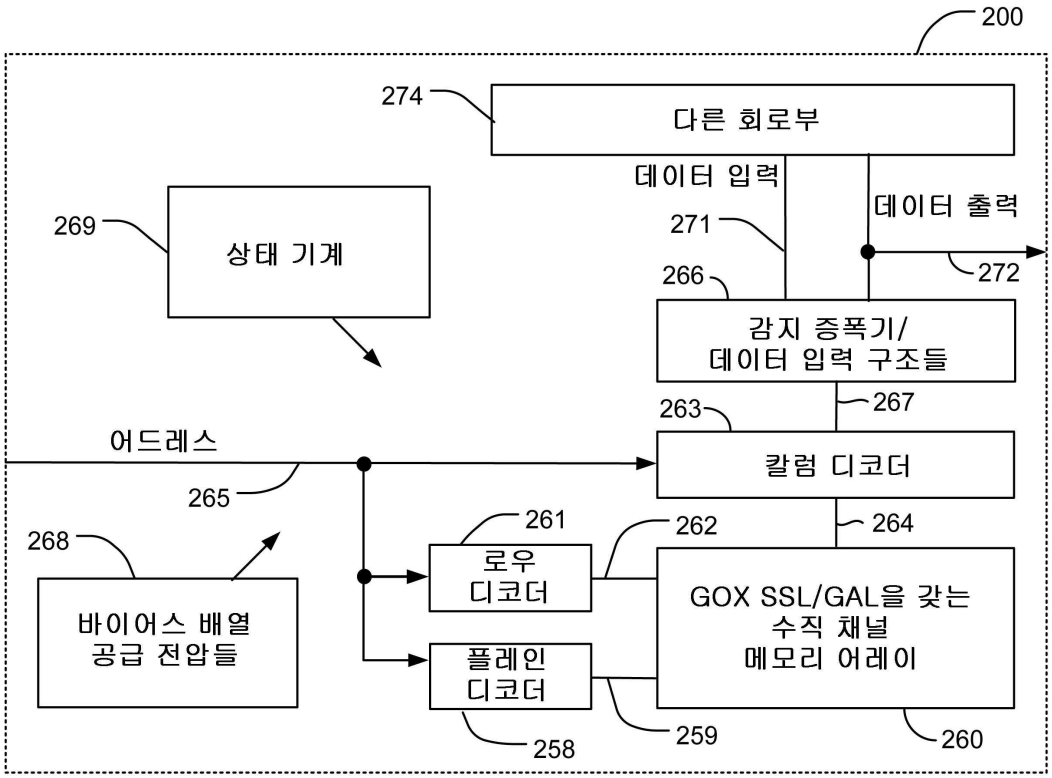
도면1a


100
192
181
155
191
183
193
156
185
196
187
195
157
158
197
151
152
153
154
145
141m
142m
141
142
143
144
144m
143m
135
131
161
132
133
162
134
170
125
121
122
123
124
115
111m
112m
111a
112a
113a
114a
114m
105
113m
Z
X

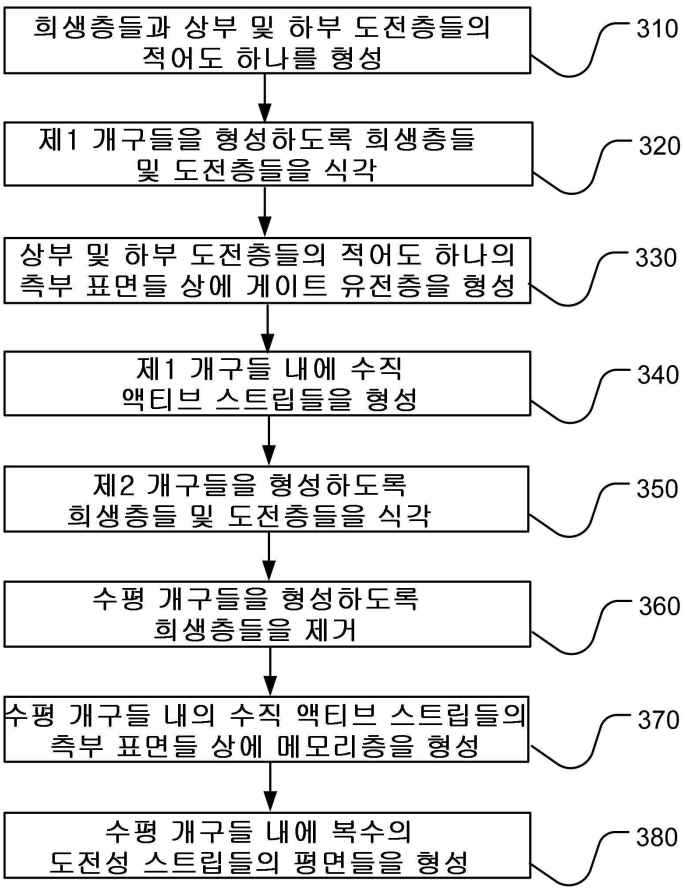
도면1b


100
192
181
183
185
196
187
151m
152m
151b
152b
153b
154b
154m
153m
145
141m
142m
141
142
143
144
144m
143m
135
131
161
132
133
162
134
170
125
121
122
123
124
115
111
112
113
114
105
111g
112g
113g
114g
Z
X

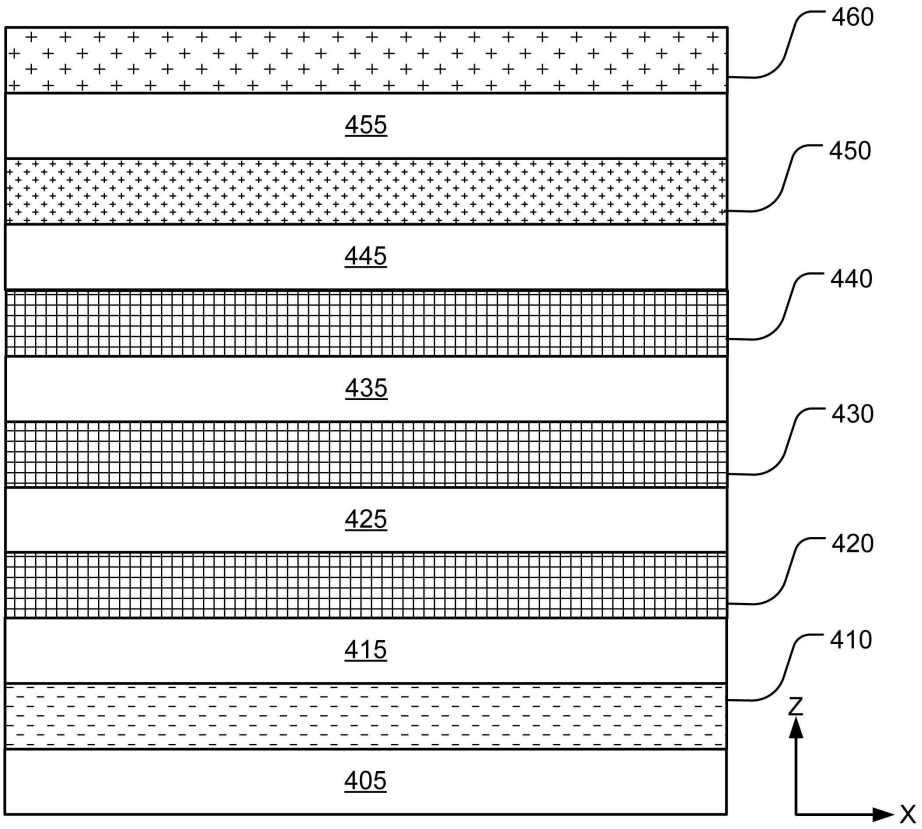
도면2


200
274
다른 회로부
데이터 입력
데이터 출력
269
상태 기계
271
272
266
감지 증폭기/
데이터 입력 구조들
263
267
어드레스
칼럼 디코더
265
261
262
264
268
로우
디코더
GOX SSL/GAL을 갖는
수직 채널
메모리 어레이
바이어스 배열
공급 전압들
플레인
디코더
258
259
260

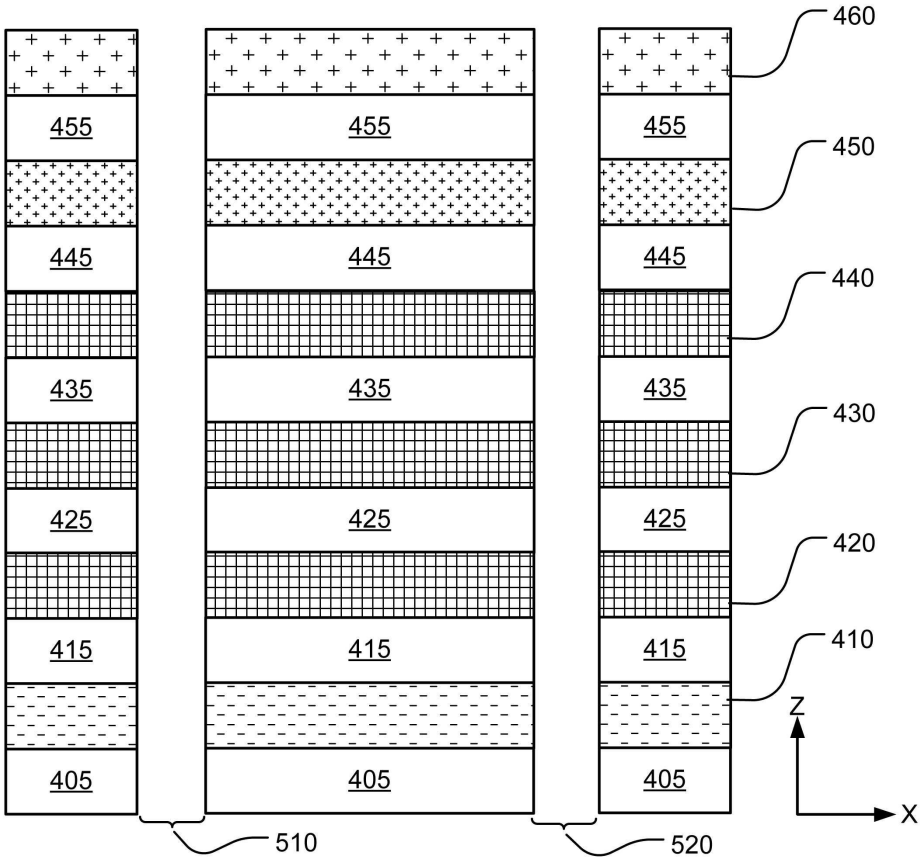
도면3


희생층들과 상부 및 하부 도전층들의
적어도 하나를 형성
310
제1 개구들을 형성하도록 희생층들
및 도전층들을 식각
320
상부 및 하부 도전층들의 적어도 하나의
측부 표면들 상에 게이트 유전층을 형성
330
제1 개구들 내에 수직
액티브 스트립들을 형성
340
제2 개구들을 형성하도록
희생층들 및 도전층들을 식각
350
수평 개구들을 형성하도록
희생층들을 제거
360
수평 개구들 내의 수직 액티브 스트립들의
측부 표면들 상에 메모리층을 형성
370
수평 개구들 내에 복수의
도전성 스트립들의 평면들을 형성
380

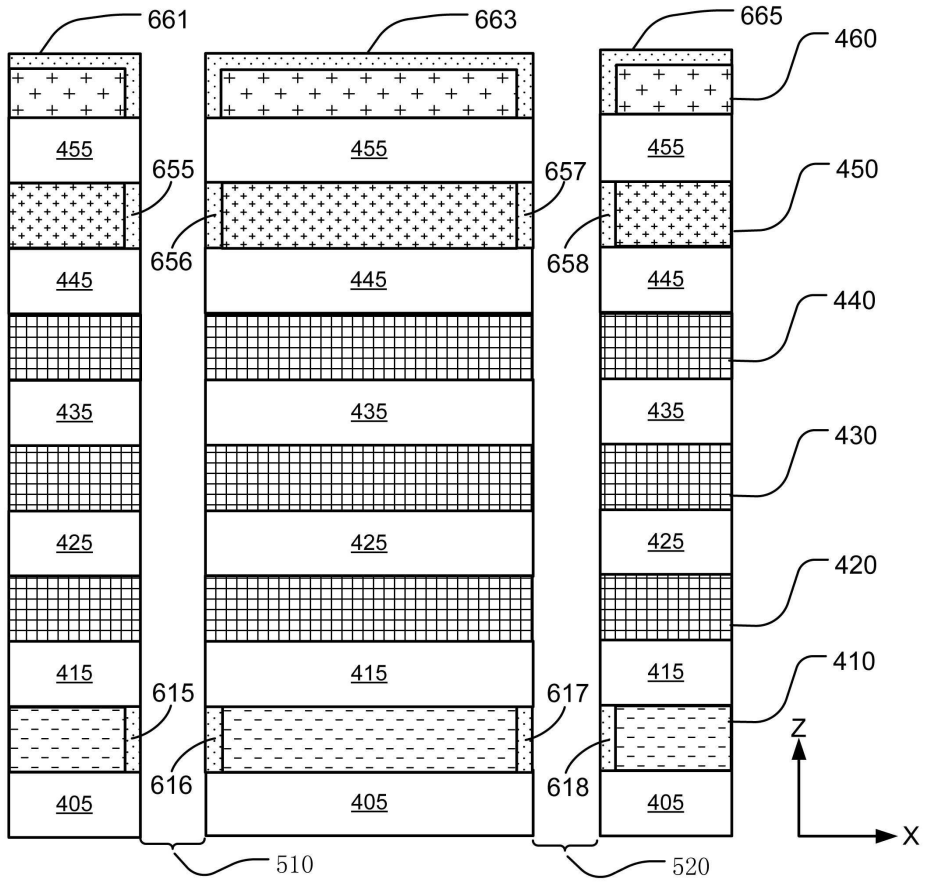
도면4


460
455
450
445
440
435
430
425
420
415
410
405
Z
X

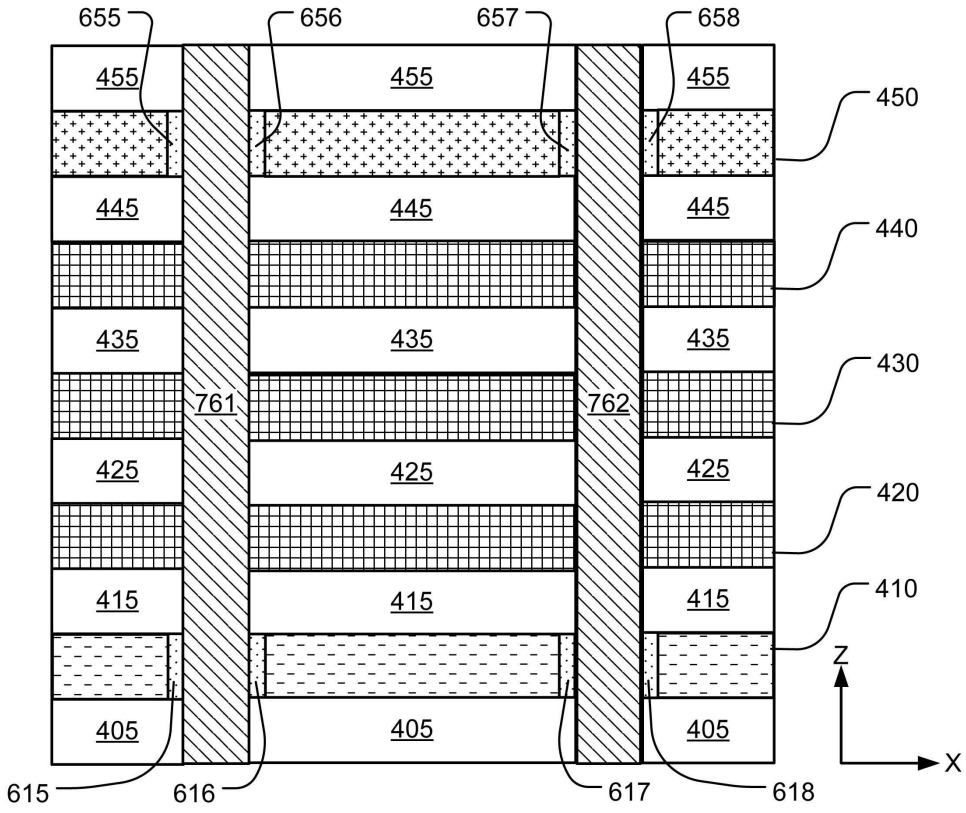
도면5


460
455
455
455
450
445
445
445
440
435
435
435
430
425
425
425
420
415
415
415
410
405
405
405
510
520
Z
X

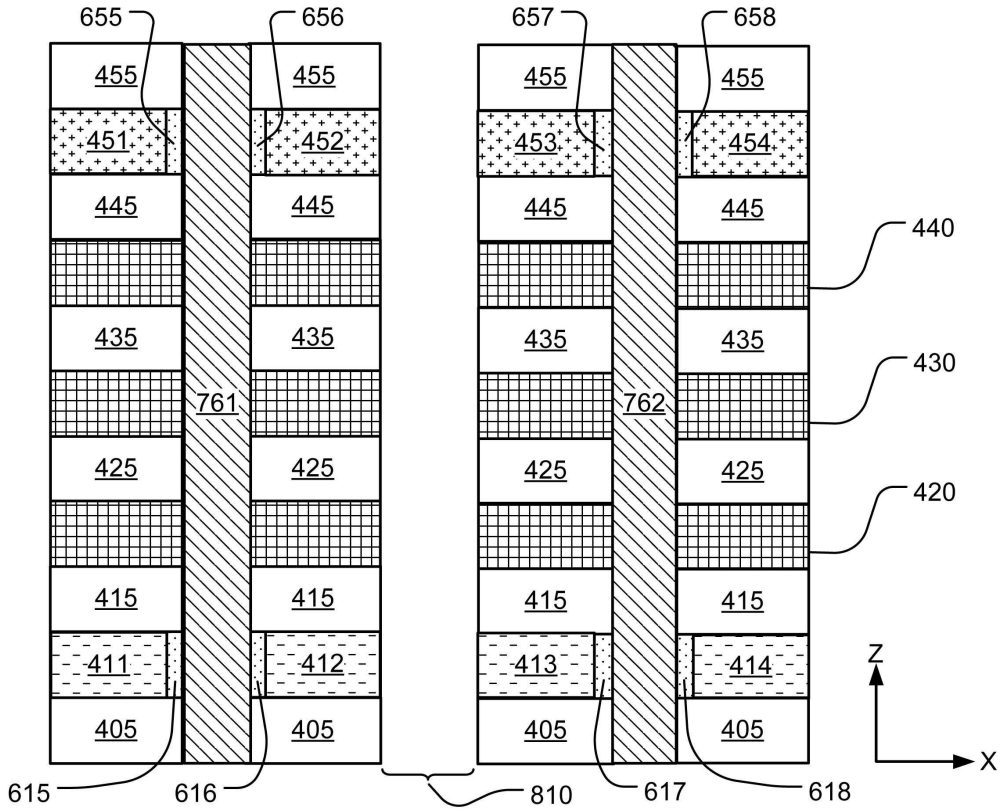
도면6


661
663
665
460
455
655
657
450
656
658
445
440
435
430
425
420
415
410
615
617
616
618
405
510
520
Z
X

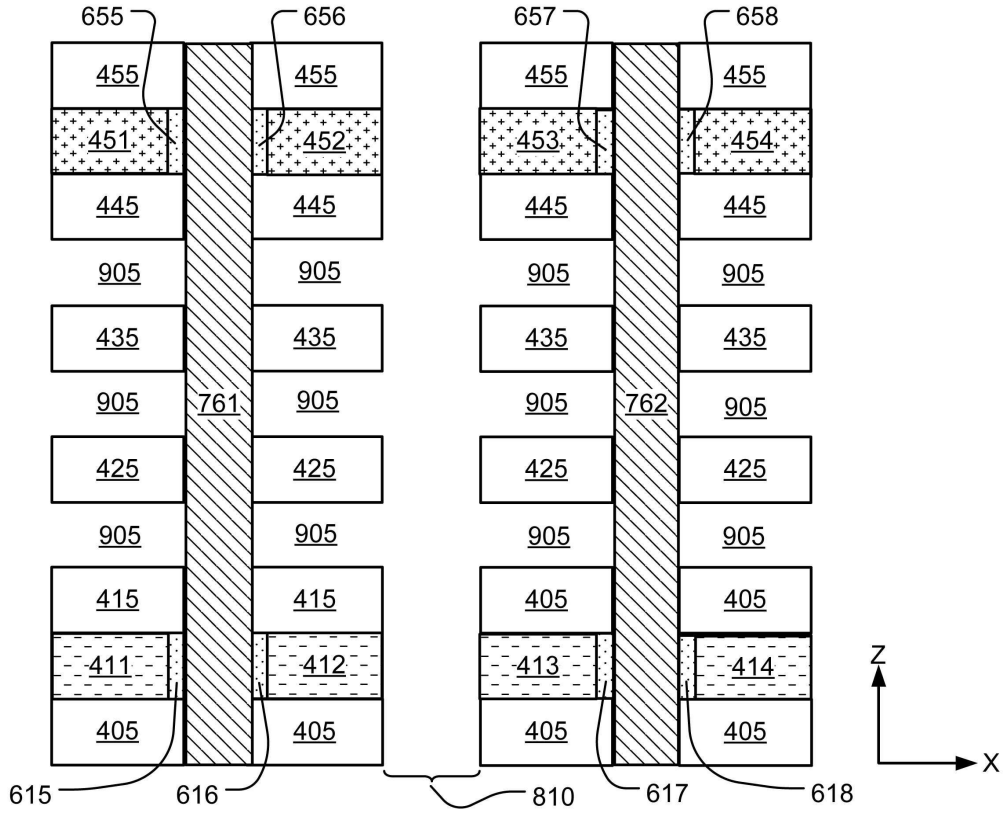
도면7


655
656
657
658
455
450
445
440
435
430
761
762
425
420
415
410
405
615
616
617
618
Z
X

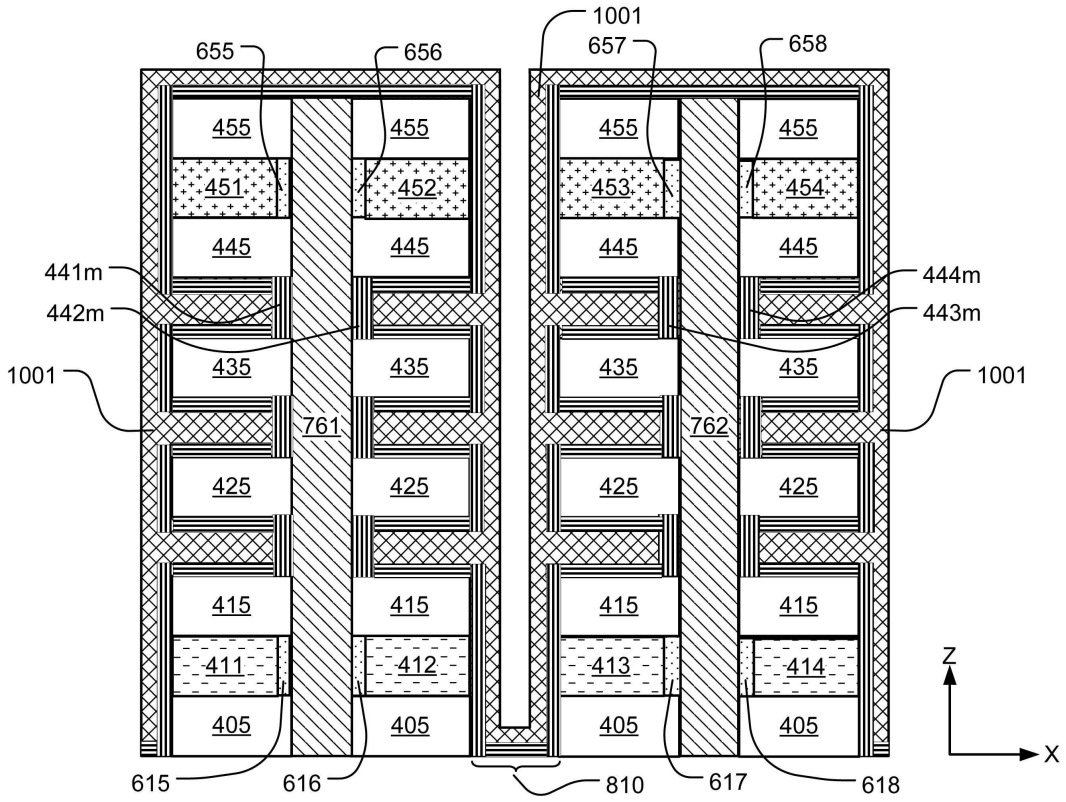
도면8


655
656
657
658
455
451
452
453
454
445
435
761
762
425
415
411
412
413
414
405
440
430
420
615
616
810
617
618
Z
X

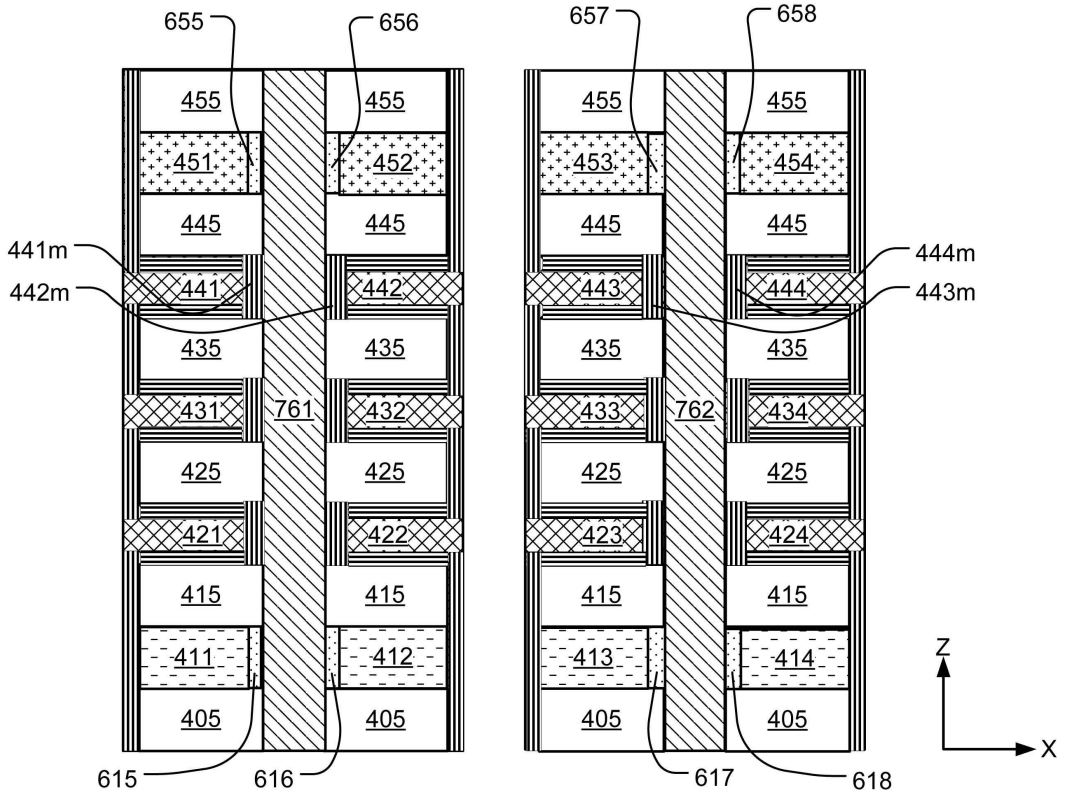
도면9


655
656
657
658
455
451
452
453
454
445
905
435
761
762
425
415
411
412
413
414
405
615
616
810
617
618
Z
X

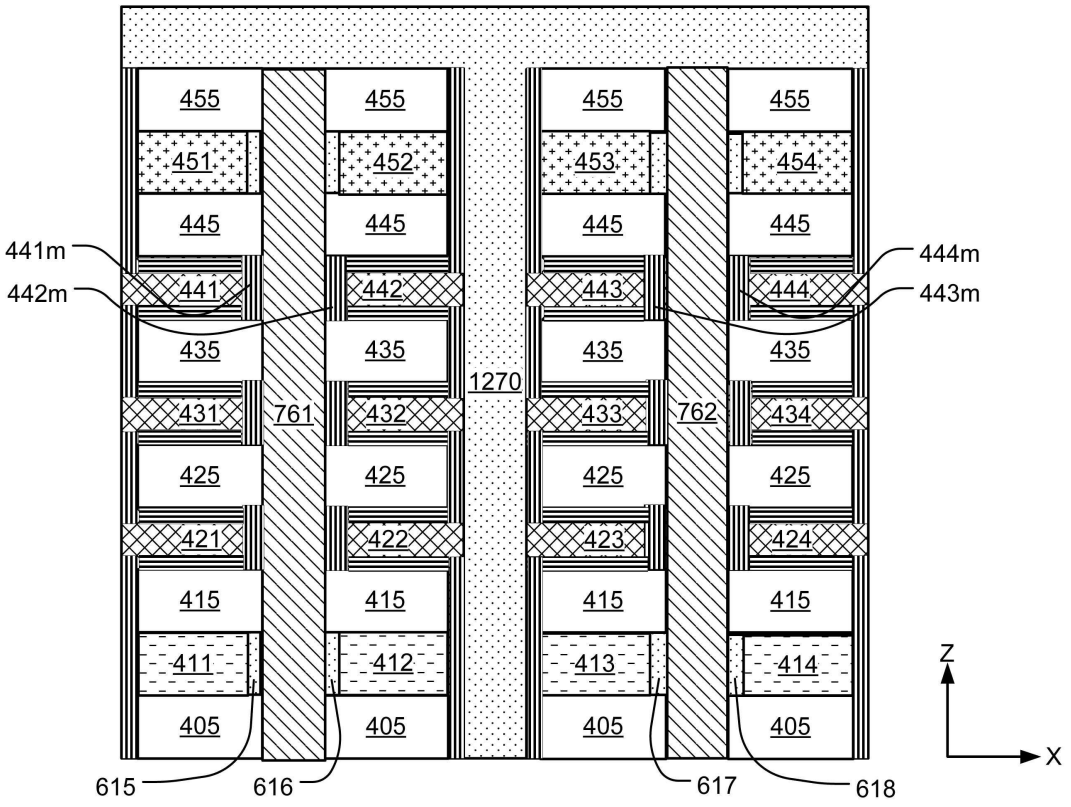
도면10


655
656
1001
657
658
455
451
452
453
454
445
441m
442m
444m
443m
435
761
762
425
415
411
412
413
414
405
615
616
810
617
618
Z
X

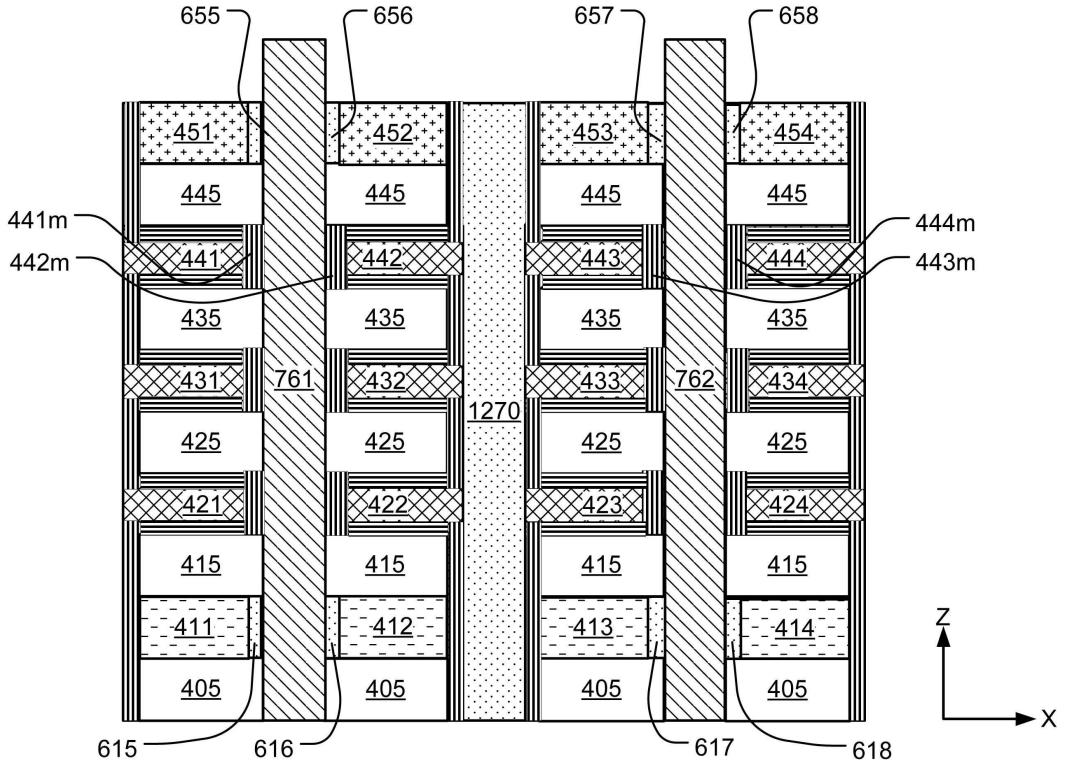
도면11


655
656
657
658
455
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
425
421
422
423
424
415
411
412
413
414
405
615
616
617
618
Z
X

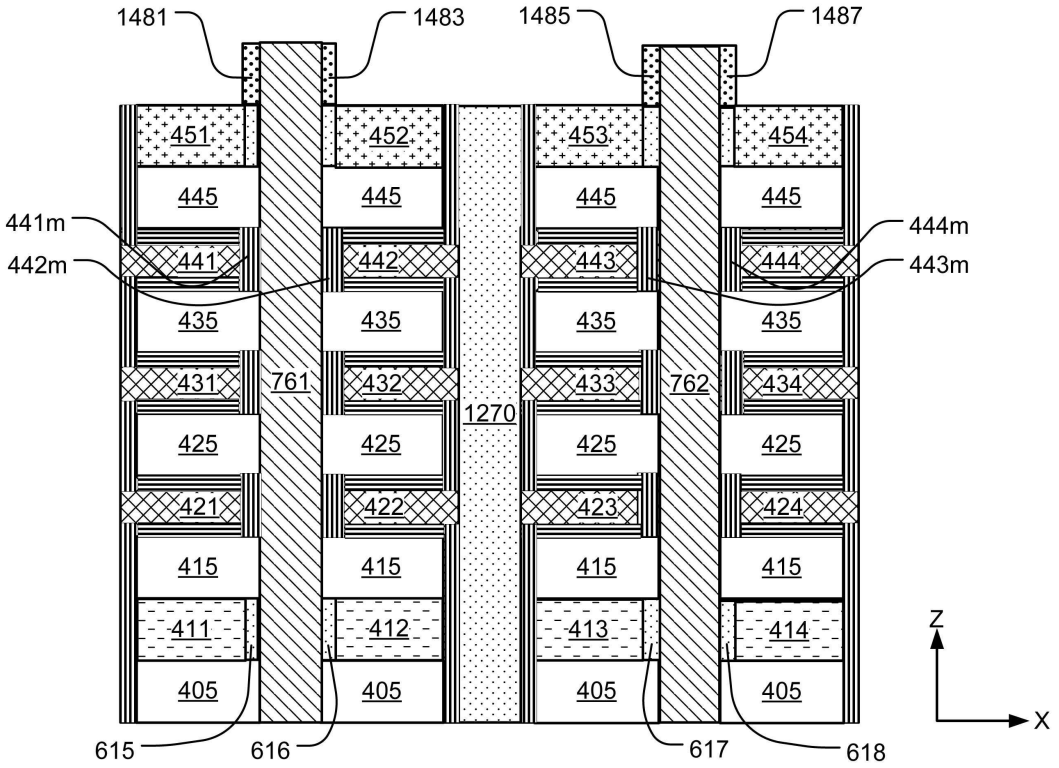
도면12


455
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411
412
413
414
405
615
616
617
618
Z
X

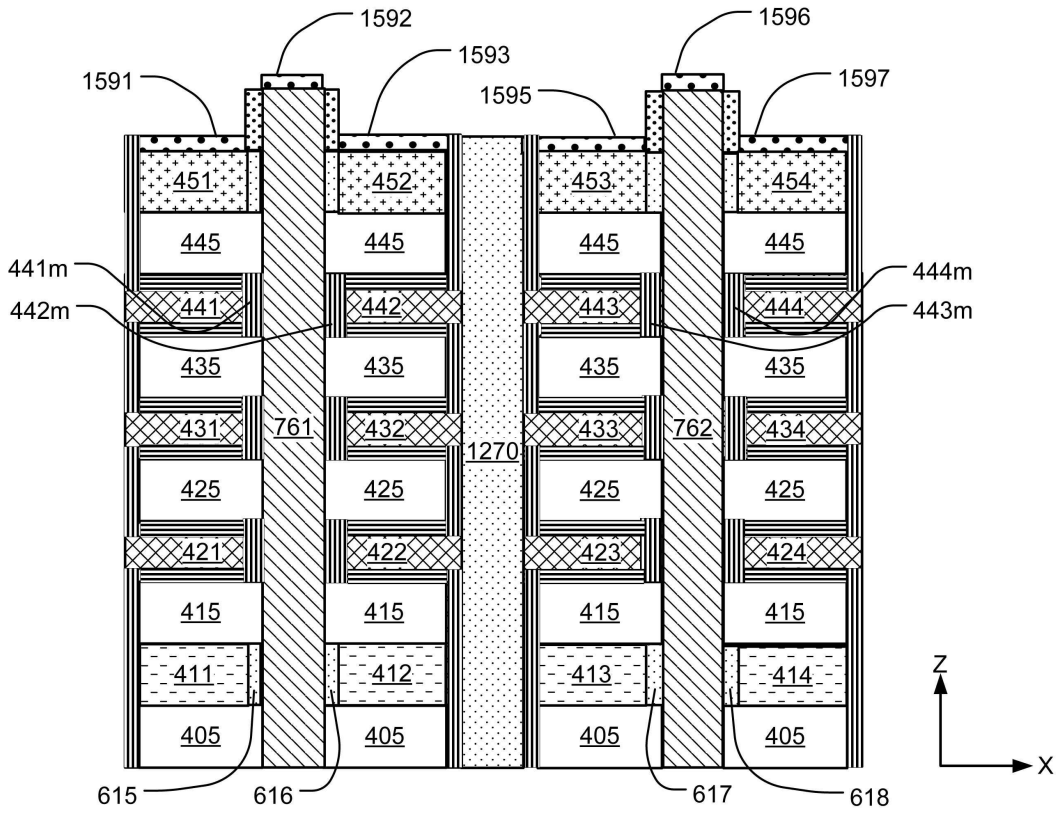
도면13


655
656
657
658
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411
412
413
414
405
615
616
617
618
Z
X

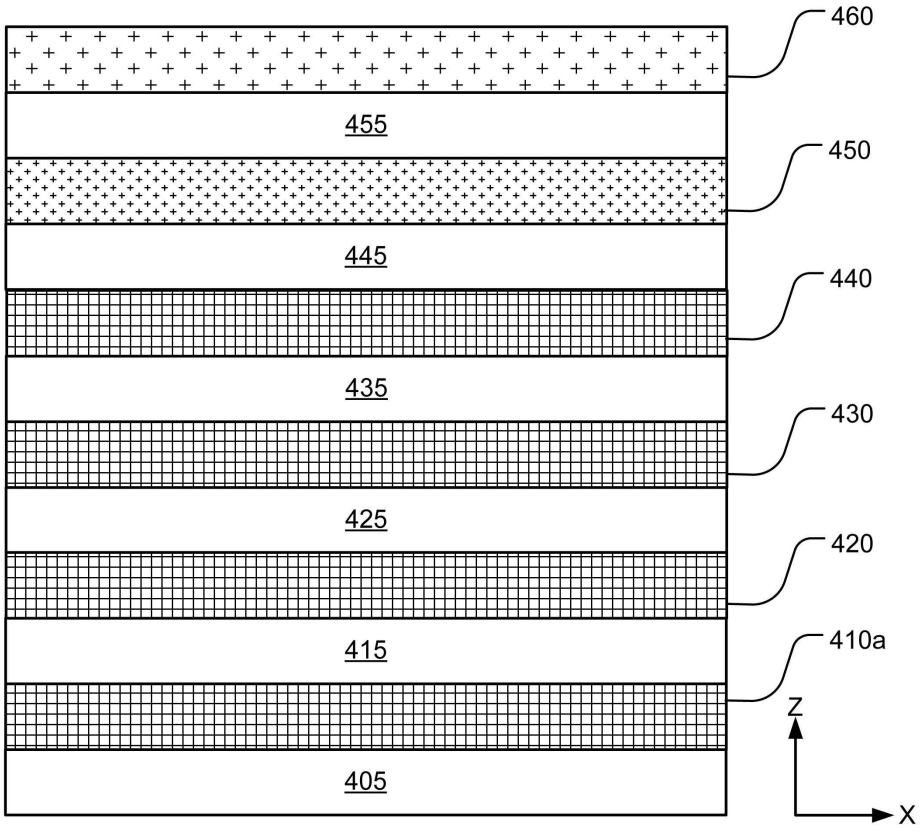
도면14


1481
1483
1485
1487
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411
412
413
414
405
615
616
617
618
Z
X

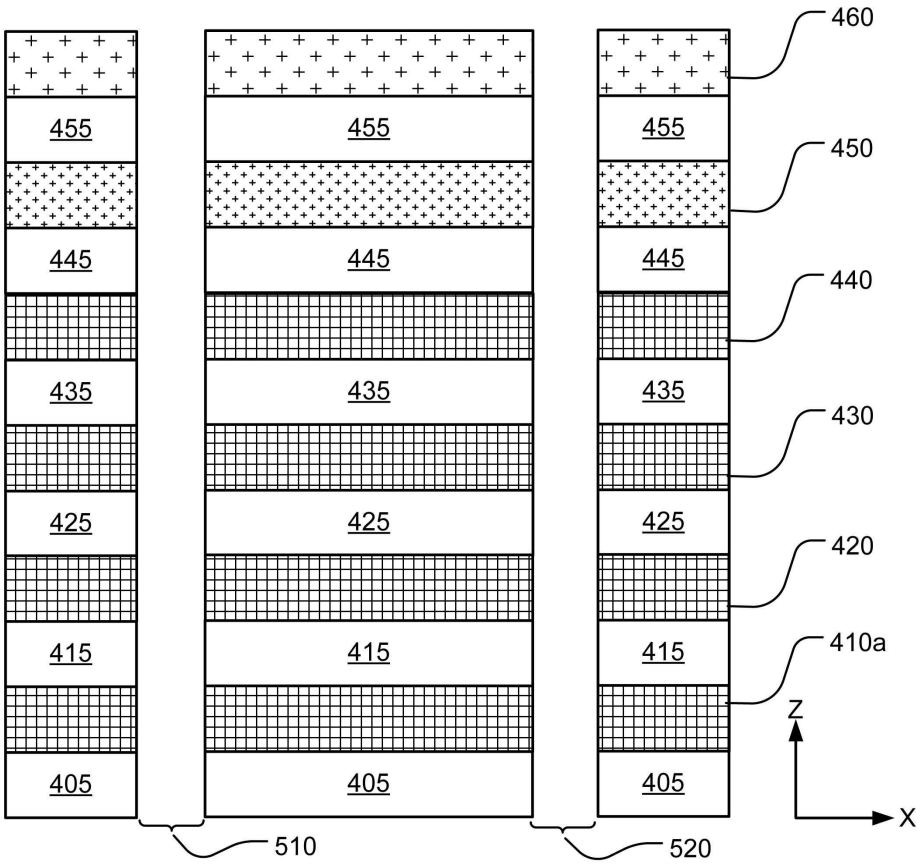
도면15


1592
1593
1596
1591
1595
1597
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411
412
413
414
405
615
616
617
618
Z
X

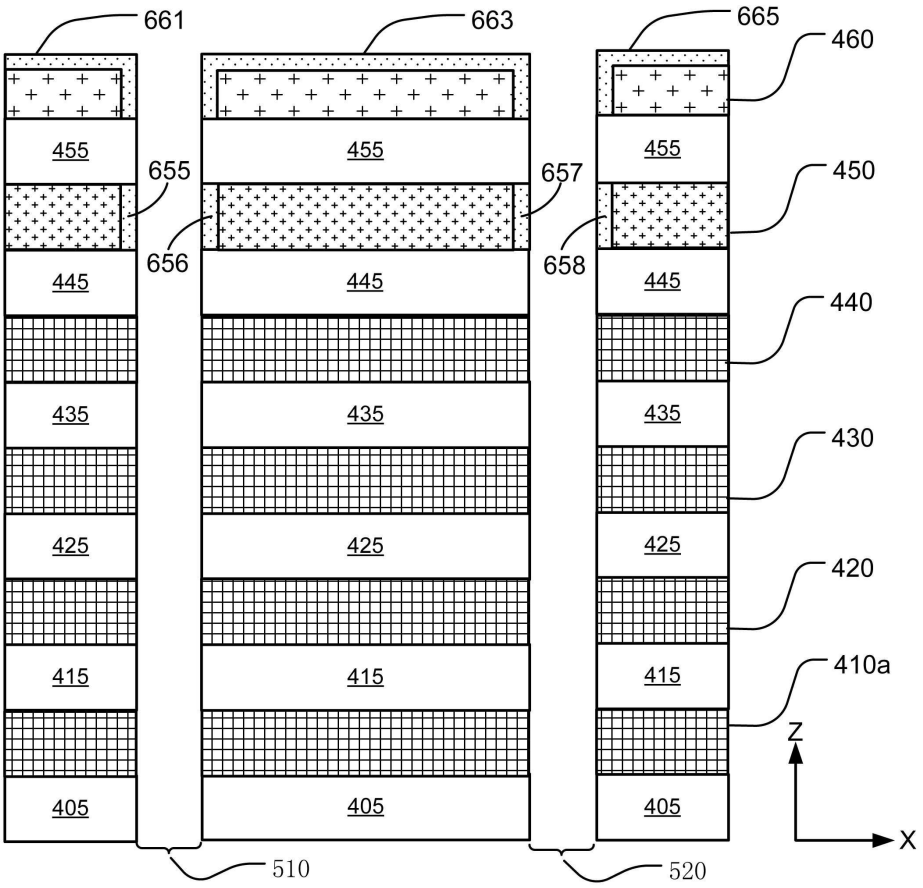
도면16



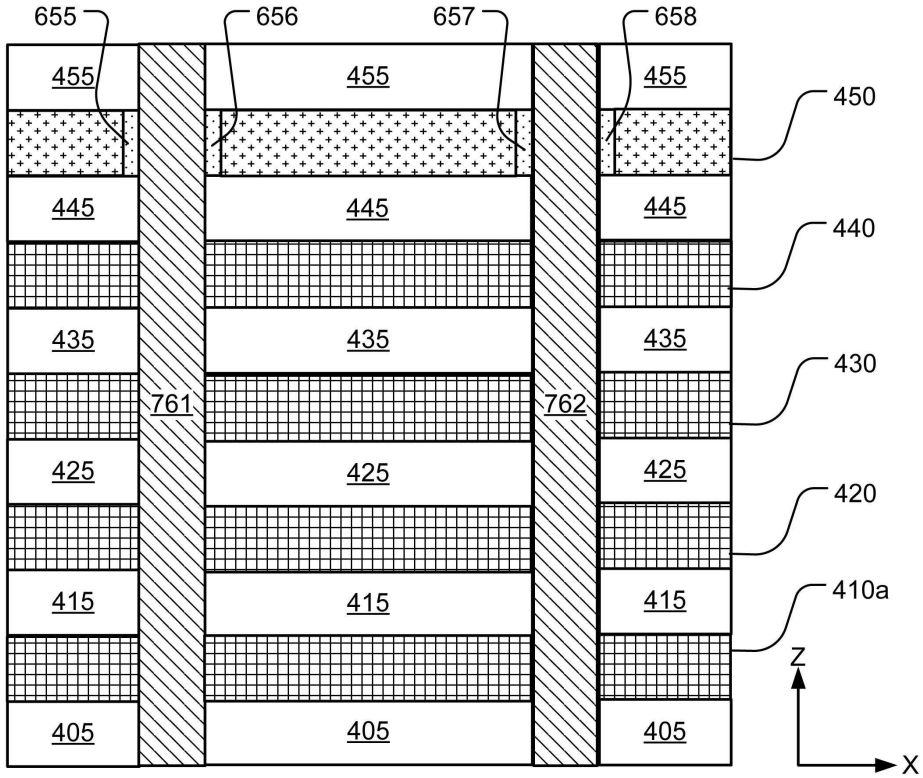
도면17


460
450
440
430
420
410a
455
455
455
445
445
445
435
435
435
425
425
425
415
415
415
405
405
405
510
520
Z
X

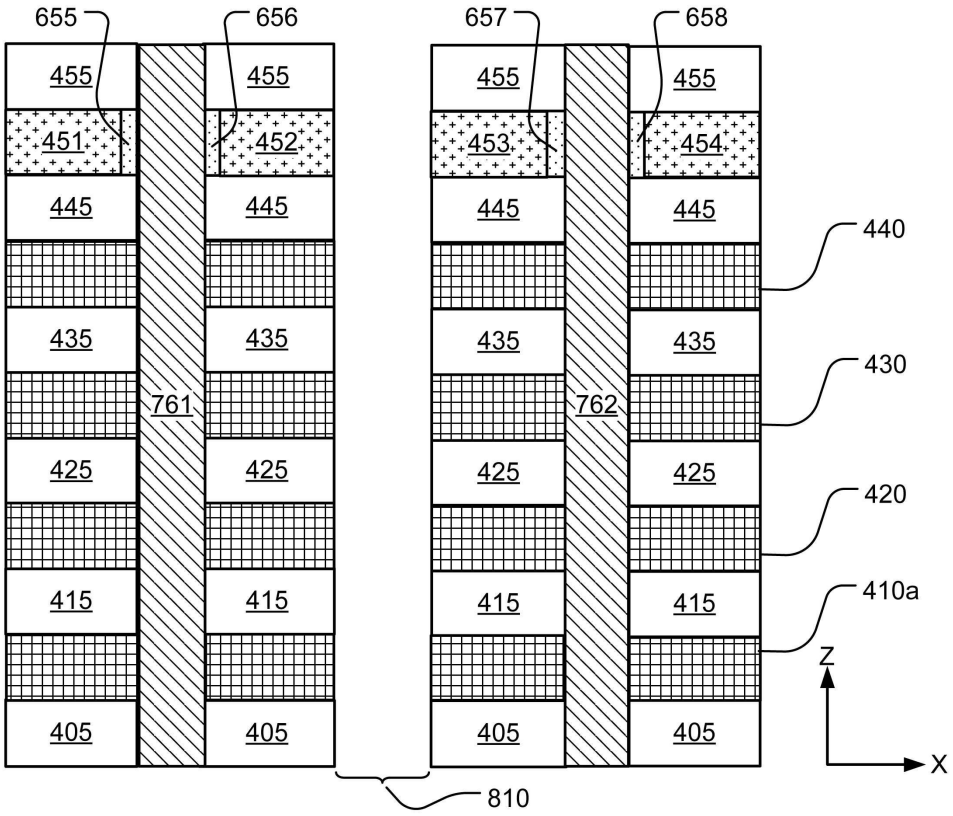
도면18


661
663
665
460
455
655
657
450
656
658
445
440
435
430
425
420
415
410a
405
510
520
Z
X

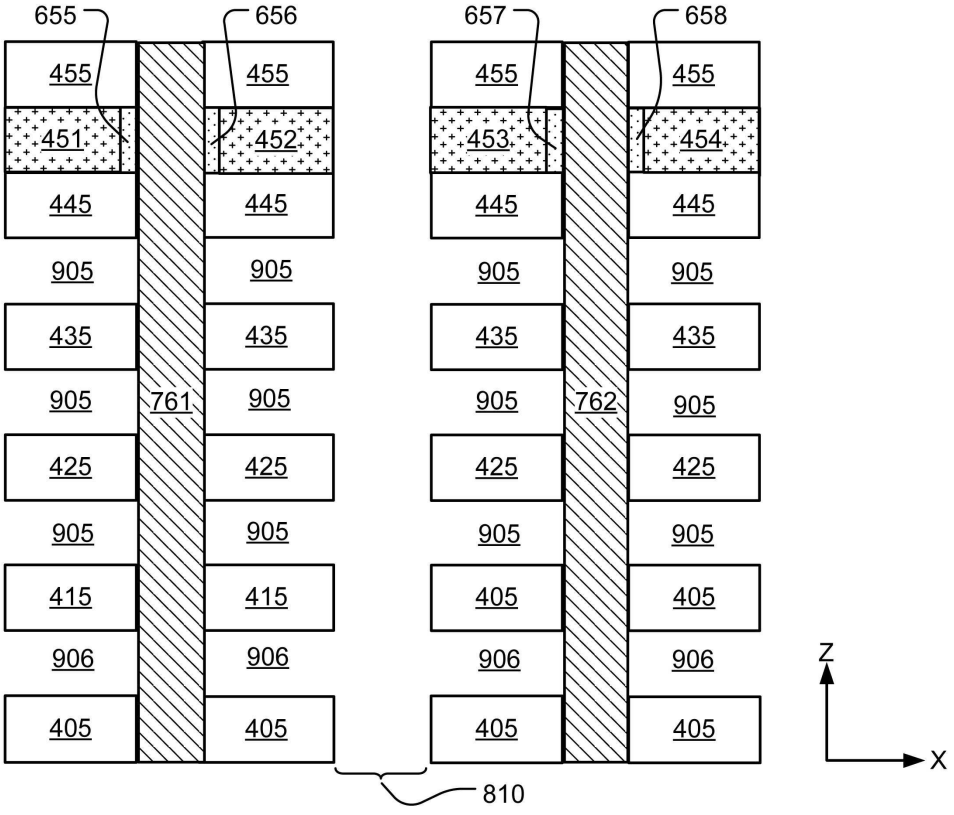
도면19


655
656
657
658
455
450
445
440
435
430
761
762
425
420
415
410a
405
Z
X

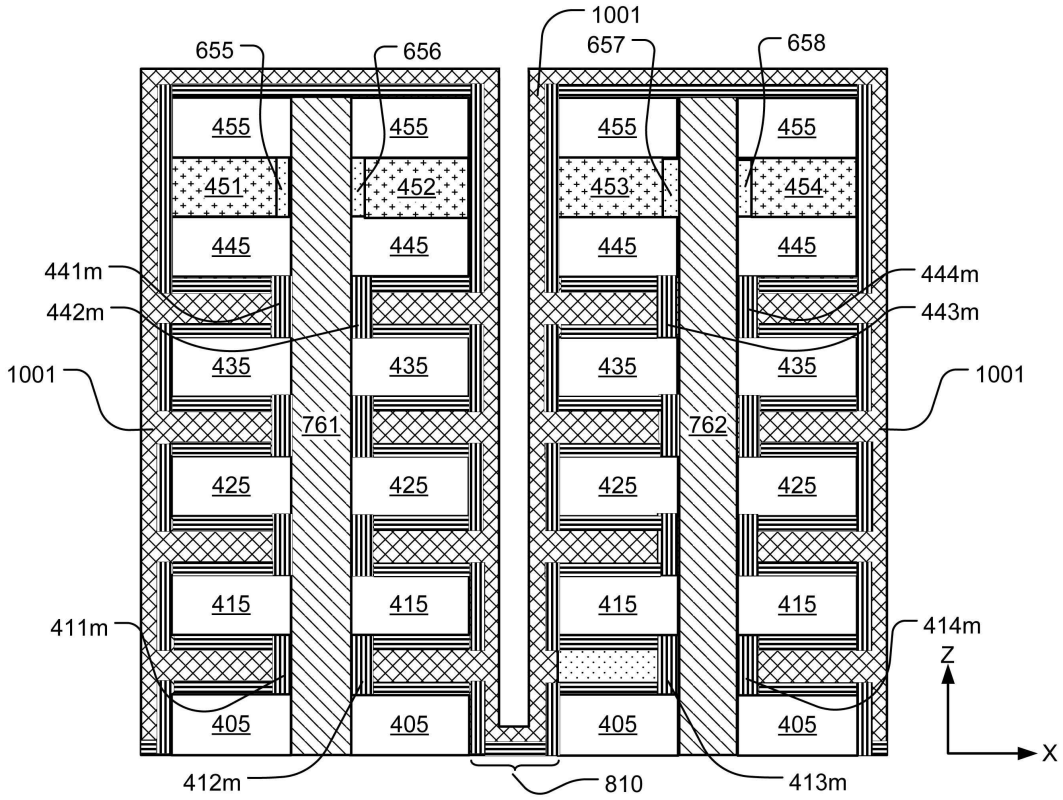
도면20


655
656
657
658
455
451
452
453
454
445
435
761
762
425
415
405
440
430
420
410a
Z
X
810

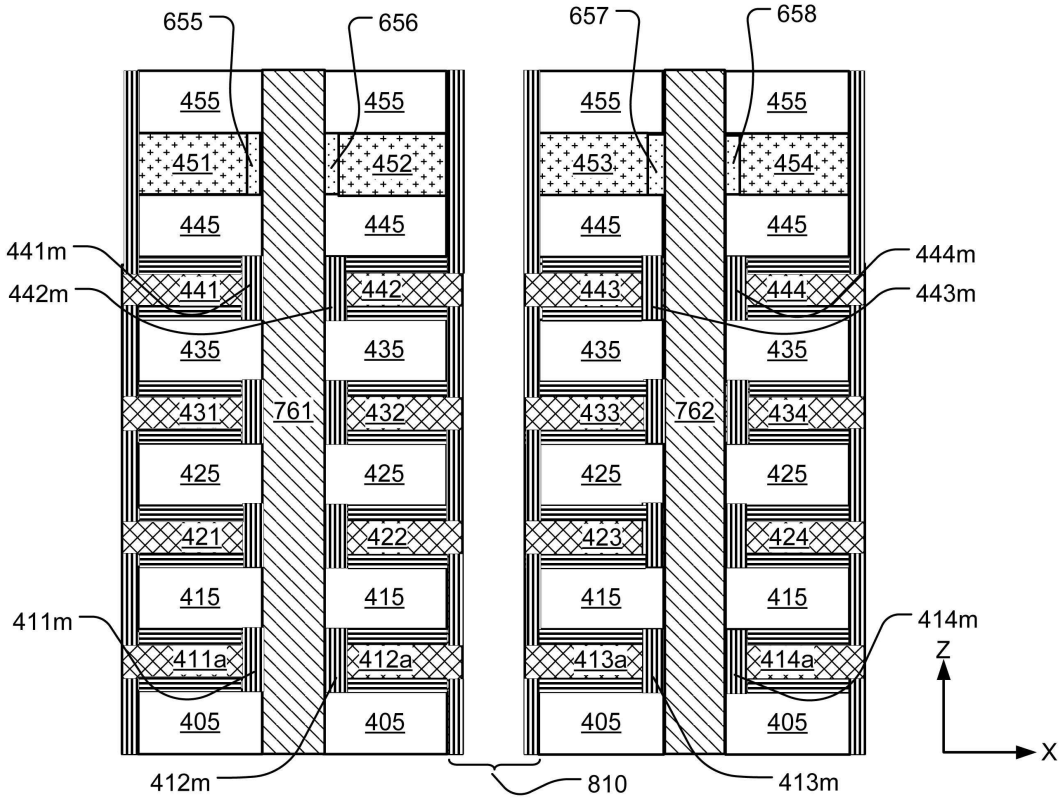
도면21


655
656
657
658
455
451
452
453
454
445
905
435
761
762
425
415
405
906
Z
X
810

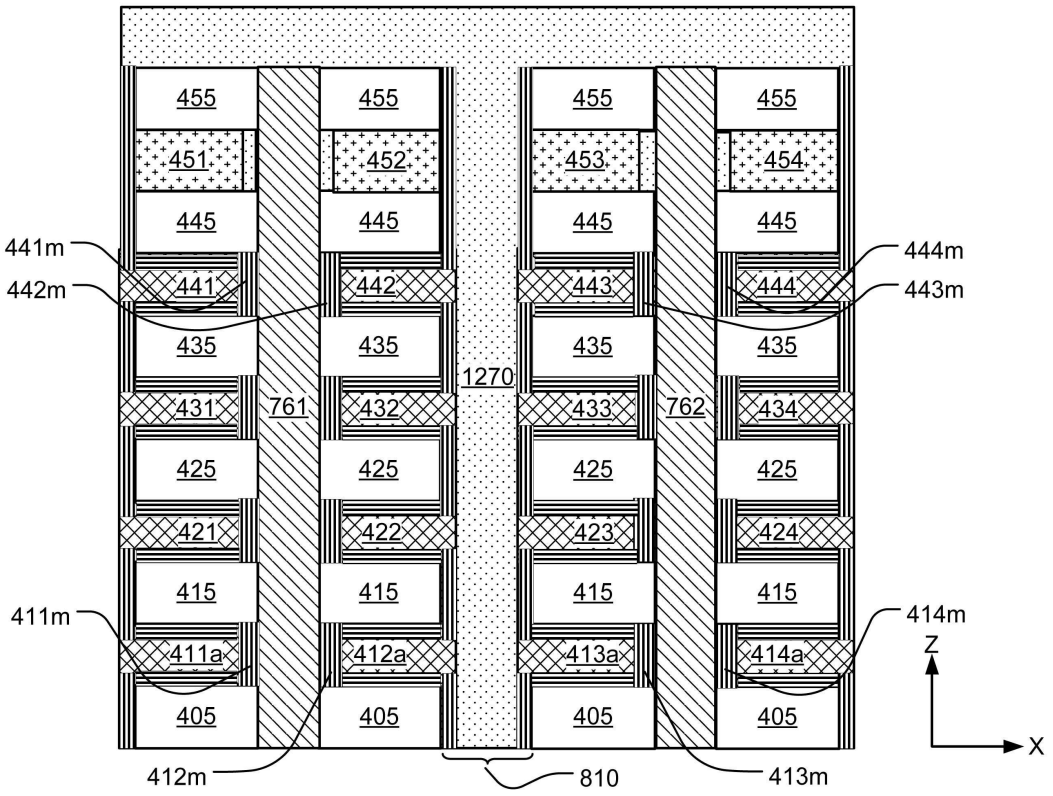
도면22


655
656
1001
657
658
455
451
452
453
454
445
441m
442m
444m
443m
435
1001
761
762
425
415
411m
414m
405
412m
810
413m
Z
X

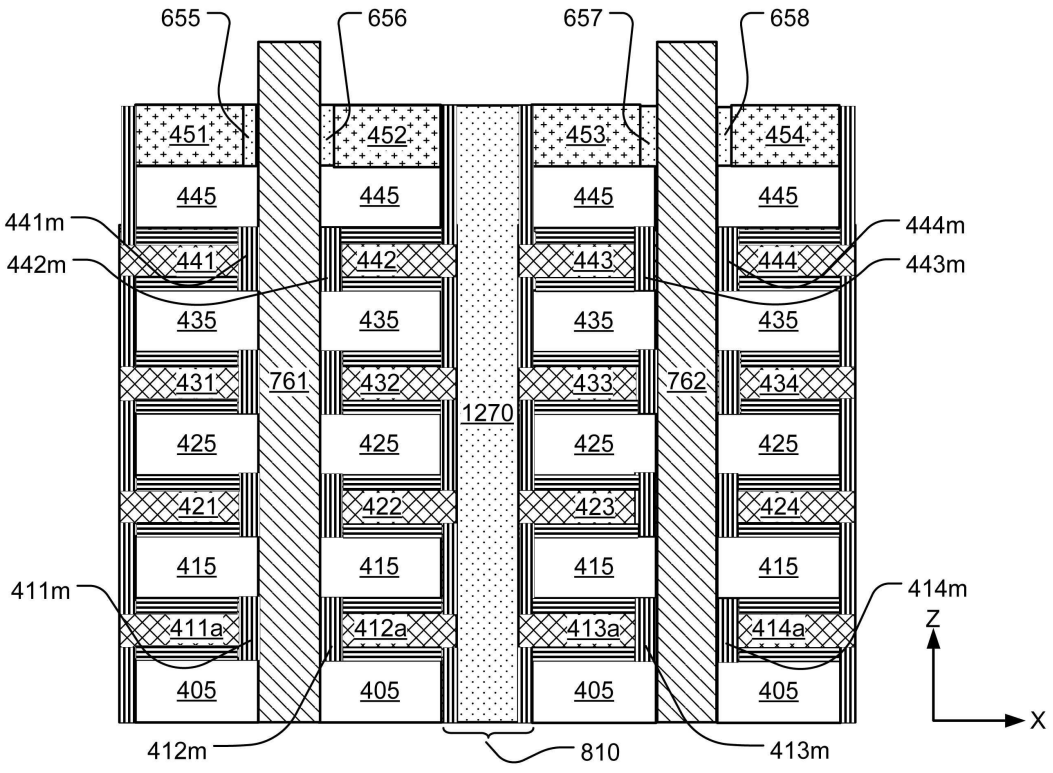
도면23


655
656
657
658
455
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
425
421
422
423
424
415
411m
411a
412a
413a
414a
414m
405
412m
810
413m
Z
X

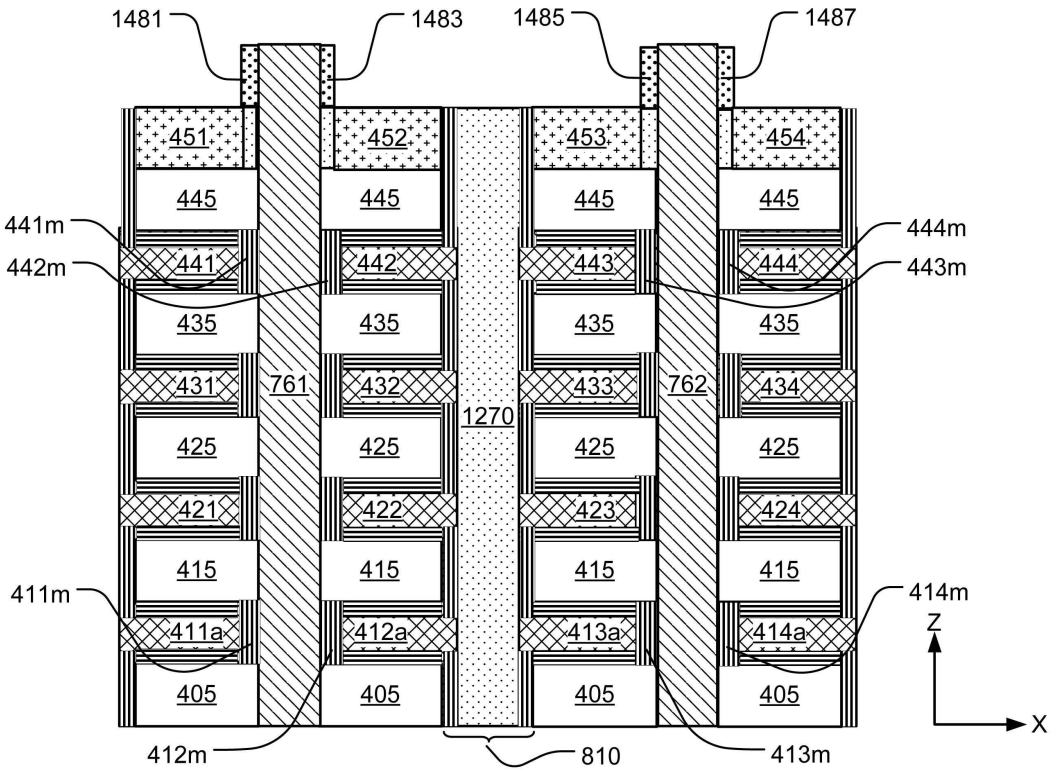
도면24


455
451
445
441m
442m
441
435
431
761
425
421
415
411m
411a
405
412m
455
452
445
442
435
432
425
422
415
412a
405
1270
810
455
453
445
443
435
433
762
425
423
415
413a
405
413m
455
454
445
444m
443m
444
435
434
425
424
415
414m
414a
405
Z
X

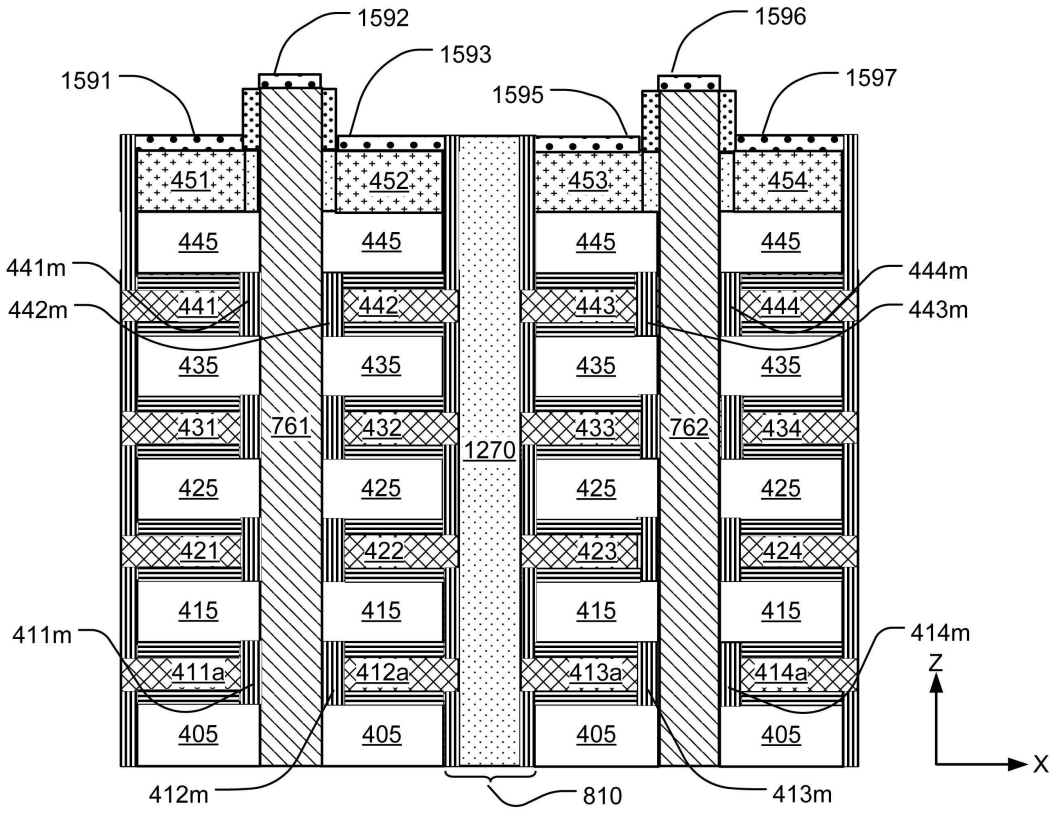
도면25


655
656
657
658
451
452
453
454
445
441m
442m
441
442
443
444m
443m
444
435
431
761
432
433
762
434
425
421
422
423
424
415
411m
411a
412a
413a
414a
414m
405
412m
810
413m
1270
Z
X

도면26


1481
1483
1485
1487
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411m
411a
412a
413a
414a
414m
405
412m
810
413m
Z
X

도면27


1592
1596
1591
1593
1595
1597
451
452
453
454
445
441m
442m
441
442
443
444
444m
443m
435
431
761
432
433
762
434
1270
425
421
422
423
424
415
411m
411a
412a
413a
414a
414m
405
412m
810
413m
Z
X