

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年6月25日(2020.6.25)

【公表番号】特表2019-523553(P2019-523553A)

【公表日】令和1年8月22日(2019.8.22)

【年通号数】公開・登録公報2019-034

【出願番号】特願2019-502069(P2019-502069)

【国際特許分類】

H 01 L	21/8244	(2006.01)
H 01 L	27/11	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	29/423	(2006.01)
H 01 L	29/49	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/522	(2006.01)

【F I】

H 01 L	27/11	
H 01 L	29/50	M
H 01 L	29/58	G
H 01 L	21/90	D

【手続補正書】

【提出日】令和2年5月18日(2020.5.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

3次元(3-D)集積回路(ASIC)において、

基板表面を有する基板と、

第一の電気コンタクトを含み、前記表面の第一の領域内の、前記基板表面に実質的に平行な第一の平面上に形成される第一の半導体デバイスと、

第二の電気コンタクトを含み、前記表面の第二の領域内の、前記表面に実質的に平行で、前記第一の平面から前記基板表面に実質的に鉛直な方向に垂直方向に離間された第二の平面上に形成される第二の半導体デバイスと、

第一の電極構造であって、

前記基板表面に実質的に平行な対向する上面及び下面と、

前記上面及び下面を接続して、前記電極構造が3次元電極空間を形成する側壁と、

前記電極空間内に提供される導電性充填材料と、

前記導電性充填材料を、前記第一の半導体デバイスの前記第一の電気コンタクトに電気的に接続された第一の電極の中と、前記第二の半導体デバイスに電気的に接続され、前記第一の電極から電気的に絶縁される第二の電極の中へと電気的に分離する誘電層と、

前記電極構造の前記上面又は下面から垂直方向に延び、前記第一の電極に電気的に接続される第一の回路端子と、

を含む第一の電極構造と、を含み、

前記第一と第二の半導体デバイスは、第一の電界効果トランジスタ(FET)と第二のFETをそれぞれ含み、当該3-D ASICは、第三の電気コンタクトを有する第三のFET

Tを更に含み、前記表面の第三の領域内の、前記表面に実質的に平行で、前記第一及び第二の平面から垂直方向に離間された第三の平面上に形成されており、

前記第一の電極構造は、前記導電性充填材料を、前記第三のFETの前記第三の電気コンタクトに電気的に接続され、前記第一及び第二の電極から電気的に絶縁された第三の電極の中へと電気的に分離する別の誘電層を更に含む、3次元(3-D)集積回路(I.C.)。

#### 【請求項2】

各FETは、前記基板表面に沿った方向に延びるゲート領域と、前記ゲート領域の両端に提供された1対のソース-ドレイン領域と、を含み、それぞれのFETの前記ゲート領域及びソース-ドレイン領域は互いに垂直方向に整列されて、第一の積層FET構造を形成する、請求項1に記載の3-D I.C。

#### 【請求項3】

前記3-D I.C.は、各々が前記電極構造の前記上面又は下面から垂直方向に延び、前記第二及び第三の電極にそれぞれ電気的に接続される第二及び第三の回路端子を更に含む、請求項2に記載の3-D I.C。

#### 【請求項4】

前記第一の積層FET構造の前記第一、第二、及び第三のFETと同様に構成された第四、第五、及び第六のFETを含む第二の積層FET構造と、

前記第一の電極構造の前記第一、第二、第三の電極と同様に構成された第四、第五、及び第六の電極を含み、前記第二の積層FET構造に連結された第二の電極構造と、を更に含み、前記第一及び第二の積層FET構造は、前記第一及び第二の電極構造を通じて電気的に接続され、6トランジスタSRAMメモリセルを形成する、請求項3に記載の3-D I.C。

#### 【請求項5】

前記第一の電極構造の前記第一、第二、及び第三の端子は前記SRAMセルのためのVDD電源端子、VSS電源端子、及びビット端子を提供し、

前記第二の電極構造の少なくとも1つの端子は、前記SRAMセルのためのビットNOT端子を提供する、請求項4に記載の3-D I.C。

#### 【請求項6】

前記第一の積層FET構造の前記第一、第二、及び第三のFETと同様に構成された第四、第五、及び第六のFETを含む第二の積層FET構造と、

前記第一の電極構造の前記第一、第二、及び第三の電極と同様に構成された第四、第五、及び第六の電極を含み、前記第二の積層FET構造に連結された第二の電極構造と、を更に含み、前記第一及び第二の積層FET構造は、前記基板上で隣接して位置決めされ、異なるSRAMセルの部分を形成する、請求項3に記載の3-D I.C。

#### 【請求項7】

前記FETの各々は、フィンFET、マルチゲートFET、又はシングルナノワイヤFETの何れかである、請求項5に記載の3-D I.C。

#### 【請求項8】

前記FETの各々はシングルナノワイヤFETである、請求項6に記載の3-D I.C。

#### 【請求項9】

半導体デバイスであって、

第一のナノワイヤ層と、

前記第一のナノワイヤ層の上に位置決めされた第二のナノワイヤ層と、

前記第二のナノワイヤ層の上に位置決めされた第三のナノワイヤ層と、を含み、前記第一のナノワイヤ層、前記第二のナノワイヤ層、及び前記第三のナノワイヤ層は、半導体デバイスのソース-ドレイン領域内に位置決めされるナノワイヤ部分を含み、

前記第一のナノワイヤ層を接続され、前記ソース-ドレイン領域を通って前記ソース-ドレイン領域の上の第一の位置まで回される第一の電極と、

前記第二のナノワイヤ層に接続され、前記ソース - ドレイン領域を通って前記ソース - ドレイン領域の上の第二の位置まで回される第二の電極と、

前記第三のナノワイヤ層に接続され、前記ソース - ドレイン領域を通って、前記ソース - ドレイン領域の上の第三の位置まで回される第三の電極と、  
を含み、

第一のコンタクト構造は、下地である電極構造の水平表面の上に位置決めされた第二のコンタクト構造の部分と段差付きである半導体デバイス。

【請求項 1 0】

前記ナノワイヤは、互いの上に相補的半導体材料を含む、請求項 9 に記載の半導体デバイス。

【請求項 1 1】

半導体デバイスを形成する方法において、

初期接続区域を画定する基板を提供することであって、前記基板は、前記初期接続区域内に位置決めされた少なくとも 3 つのナノワイヤを有し、前記ナノワイヤは被覆されず、前記ナノワイヤの長手方向軸は水平方向に延び、前記ナノワイヤは垂直スタック内に位置決めされて、互いから離間され、前記ナノワイヤは第一のナノワイヤ、第二のナノワイヤ、及び第三のナノワイヤを含み、前記第二のナノワイヤは前記第一のナノワイヤの上に位置決めされ、前記第三のナノワイヤは前記第二のナノワイヤの上に位置決めされる、基板を提供することと、

前記第一のナノワイヤを被覆し、前記初期接続区域の上まで垂直方向に延びる第一の電極を形成することであって、前記第一の電極は段差付の断面を有する、形成することと、

前記第二のナノワイヤを被覆し、前記初期接続区域の上まで垂直方向に延びる第二の電極を形成することと、

前記第三のナノワイヤを被覆し、前記初期接続区域の上まで垂直方向に延びる第三の電極を形成することと、

を含む方法。

【請求項 1 2】

前記第一の電極、前記第二の電極、及び前記第三の電極は、互いから電気的に絶縁される、請求項 1 1 に記載の方法。

【請求項 1 3】

ある電極の材料に選択的に接着し、ナノワイヤ材料には接着しない誘電体を選択的に堆積させることによって、各電極を電気的に絶縁することを更に含む、請求項 1 1 に記載の方法。

【請求項 1 4】

前記初期接続区域はトランジスタデバイスのソース - ドレインバーである、請求項 1 1 に記載の方法。

【請求項 1 5】

前記初期接続区域はトランジスタデバイスのゲート区域である、請求項 1 1 に記載の方法。

【請求項 1 6】

幾つかのセルのワイヤは同じ電極を共有する、請求項 1 1 に記載の方法。

【請求項 1 7】

段差付電極は、対応するセルの中、又は前記 S / D バーの中に位置決めされる、請求項 1 1 に記載の方法。

【請求項 1 8】

選択的堆積を利用して、S / D 領域内の電極間にアイソレーションバリアを製作することを更に含む、請求項 1 1 に記載の方法。

【請求項 1 9】

凹部形成エッチングが等方性である、請求項 1 1 に記載の方法。

【請求項 2 0】

前記段差付きのコンタクト構造は、前記ソース - ドレイン領域内に位置決めされており、各ナノワイヤ層を前記ソース - ドレイン領域の上方の位置に電気的に結合するよう構成されている、請求項 9 に記載の半導体デバイス。

**【請求項 2 1】**

前記第一、第二及び第三のナノワイヤ層は、それぞれ、第一の電界効果トランジスタ (FET)、第二のFET及び第三のFETを含み、該第三のFETが、前記第二及び第一の層に実質的に平行で、前記第一及び第二の層から垂直方向に離間された第三の平面上に形成されている、請求項 9 に記載の半導体デバイス。

**【請求項 2 2】**

前記第一の電極は、誘電体膜によって前記第二の電極から分離している、請求項 9 に記載の半導体デバイス。

**【請求項 2 3】**

前記第二の電極は、誘電体膜によって前記第三の電極から分離している、請求項 9 に記載の半導体デバイス。

**【請求項 2 4】**

前記第一のナノワイヤ層は、P型の電界効果トランジスタ (PFET) ワイヤを含む、請求項 9 に記載の半導体デバイス。

**【請求項 2 5】**

前記第一のナノワイヤ層は、N型の電界効果トランジスタ (NFET) ワイヤを含む、請求項 9 に記載の半導体デバイス。

**【請求項 2 6】**

前記第一のナノワイヤ層は、前記第二のナノワイヤ層とは異なるチャネル構成のナノワイヤを含む、請求項 9 に記載の半導体デバイス。

**【請求項 2 7】**

前記ナノワイヤは、シリコン - ゲルマニウム (SiGe) ナノワイヤである、請求項 9 に記載の半導体デバイス。