

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年12月9日 (09.12.2004)

PCT

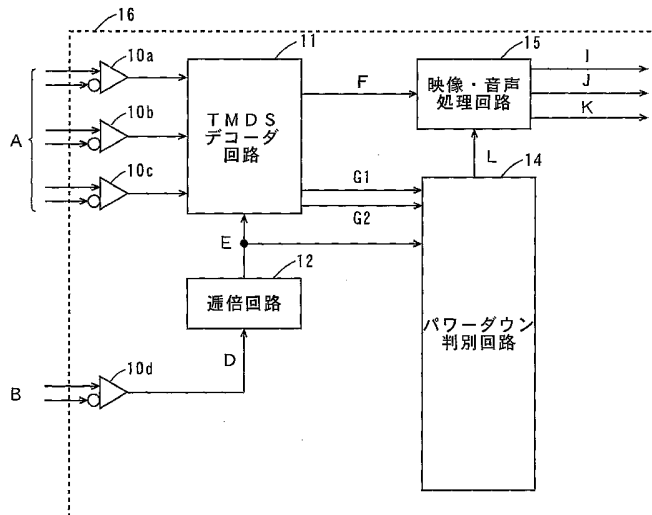
(10) 国際公開番号
WO 2004/107746 A1

- (51) 国際特許分類: H04N 5/44 (72) 発明者; および
 (21) 国際出願番号: PCT/JP2004/007665 (75) 発明者/出願人 (米国についてのみ): 五反田 力 (GOTANDA, Chikara). 仁尾 寛 (NIO, Yutaka). 永田 晃一郎 (NAGATA, Kouichiro).
 (22) 国際出願日: 2004年5月27日 (27.05.2004)
 (25) 国際出願の言語: 日本語 (74) 代理人: 福島 祥人 (FUKUSHIMA, Yoshito); 〒5640052 大阪府吹田市広芝町4番1号江坂・ミタカビル6階 Osaka (JP).
 (26) 国際公開の言語: 日本語
 (30) 優先権データ: 特願2003-150638 2003年5月28日 (28.05.2003) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

[続葉有]

(54) Title: DIGITAL INTERFACE DECODE RECEIVER APPARATUS

(54) 発明の名称: デジタルインターフェイスデコード受信装置



11...TMD S DECODER CIRCUIT
 15...VIDEO/AUDIO PROCESSING CIRCUIT
 12...MULTIPLYING CIRCUIT
 14...POWER-DOWN DETERMINING CIRCUIT

(57) Abstract: A power-down determining circuit uses a clock signal applied from a multiplying circuit and horizontal and vertical sync signals applied from a TMD S decoder circuit to calculate horizontal and vertical frequencies, then compares the calculated horizontal and vertical frequencies with those stored in advance to determine whether an input digital signal has a decodable video format, and then outputs a power-down control signal indicative of a determination result. In this way, when an input digital signal has no decodable format, the power-down control signal causes a video/audio processing circuit to enter a power-down mode.

(57) 要約: パワーダウン判別回路は、逡倍回路から与えられたクロック信号とTMD Sデコード回路から与えられた水平同期信号および垂直同期信号とを用いてそれぞれ水平周波数および垂直周波数を算出し、算出された水平周波数および垂直周波数を予め記憶された水平周波数および垂直周波数とを比較して、入力されたデジタル信号がデコード可能なビデオフォーマットを有するかどうかを決定し、決定の結果を示すパワーダウン制御信号を出力する。このように、入力されたデジタル信号がデコード可能なビデオフォーマットを有しない場合、パワーダウン制御信号は、ビデオ/オーディオ処理回路がパワーダウンモードに入るようにさせる。

[続葉有]



WO 2004/107746 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

波数と比較することにより入力されたデジタル信号が復号可能な映像フォーマットを有するか否かを判定し、判定結果を示すパワーダウン制御信号を出力する。それにより、入力されたデジタル信号が復号可能なフォーマットを有しない場合、パワーダウン制御信号により映像・音声処理回路がパワーダウンモードに入るように制御される。

明 細 書

デジタルインターフェイスデコード受信装置

5 技術分野

本発明は、デジタル信号を受信するデジタルインターフェイスデコード受信装置に関する。

背景技術

10 近年、HDMI (High Definition Multimedia Interface) 規格、DVI (Digital Visual Interface) 規格などの高速デジタルインターフェイス規格に準拠した種々の電子機器の開発が進められている (DDWG, "Digital Visual Interface," Revision 1.0, April 2, 1999, インターネット<URL : <http://www.ddwg.org/>>)。特に、HDMI 規格では、映像のブランキング期間における音声信号および制御信号の伝送が規定されている。これらの高速デジタルインターフェイス規格では、TMD S (Transmission Minimized Differential Signaling) というシリアル伝送方式が採用されている。

図6は従来の高速デジタルインターフェイスデコード受信装置の一例を示すブロック図である。以下、図6を参照しながら従来の高速デジタルインターフェイスデコード受信装置について説明する。

図6において、高速デジタルインターフェイスデコード受信装置 (以下、インターフェイスデコード受信装置と略記する) は、複数の差動バッファ60a, 60b, 60c, 60d、TMD Sデコーダ回路61、逡倍回路62および映像・音声処理回路65を含む。このインターフェイスデコード受信装置は、レシーバLSI (大規模集積回路) 66により構成される。

インターフェイスデコード受信装置には、高速デジタルインターフェイス規格に準拠したデジタル信号が与えられる。

デジタル信号のうちクロックチャンネルの信号Bは、差動バッファ60dを通してクロック信号Dとして逡倍回路62に与えられる。逡倍回路62は、クロック

ク信号Dを逡倍し、逡倍されたクロック信号Eを出力する。

デジタル信号のうちクロックチャンネル以外の信号Aは、差動バッファ60a, 60b, 60cを通してTMD Sデコーダ61に与えられる。TMD Sデコーダ61は、クロックチャンネル以外の信号をシリアル/パラレル変換および復号
5 することにより、同期信号Gおよび映像・音声信号Fを出力する。

映像・音声処理回路65は、TMD Sデコーダ61から出力される映像・音声信号Fを映像信号I、音声信号Jおよび制御信号Kに分離して出力する。

従来のインターフェイスデコード受信装置では、上記の動作により高速デジタルインターフェイス規格に準拠したデジタル信号がデコードされる。

10 しかしながら、従来のインターフェイスデコード受信装置においては、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合、レシーバLSI66が定められた速度を超える速度で動作することがある。それにより、熱暴走、消費電力の増大または回路の破壊等の異常が発生する。

15 発明の開示

本発明の目的は、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合でも異常の発生が防止されたデジタルインターフェイスデコード受信装置を提供することである。

20 本発明の一局面に従うデジタルインターフェイスデコード受信装置は、入力されるデジタル信号を復号する復号回路と、復号回路により復号されたデジタル信号を処理する処理回路と、入力されるデジタル信号が復号回路により復号可能なフォーマットを有するか否かを判別し、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に処理回路の動作を停止させる制御装置とを備えたものである。

25 そのデジタルインターフェイスデコード受信装置においては、復号回路により入力されるデジタル信号が復号され、復号されたデジタル信号が処理回路により処理される。制御装置により、入力されるデジタル信号が復号回路により復号可能なフォーマットを有するか否かが判別され、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に処理回路の動作が停止される

。それにより、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合でも熱暴走、消費電力の増大および回路の破壊等の異常の発生が防止される。

5 入力されるデジタル信号は、高速デジタルインターフェイス規格に準拠するデジタル信号であり、映像信号および音声信号を含み、復号回路は、デジタル信号から映像信号および音声信号を抽出し、処理回路は、復号回路により抽出された映像信号および音声信号を処理してもよい。

制御装置は、処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより処理回路を停止させてもよい。

10 この場合、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合に、処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより、熱暴走、消費電力の増大および回路の破壊等の異常の発生が防止される。

15 デジタルインターフェイスデコード受信装置は、処理回路の動作の停止をユーザに通知する通知装置をさらに備え、制御装置は、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止を通知装置により通知させてもよい。

20 この場合、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止が通知装置によりユーザに通知される。それにより、ユーザは、デジタルインターフェイスデコード受信装置に入力されるデジタル信号が復号可能なフォーマットを有しないことを容易に認識することができる。

25 通知装置は、メッセージの表示のための信号を生成する表示回路を含み、制御装置は、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止を示すメッセージが表示されるように表示回路を制御してもよい。

この場合、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止を示すメッセージが表示される。それにより、ユーザは、デジタルインターフェイスデコード受信装置に入力されるデ

デジタル信号が復号可能なフォーマットを有しないことを容易に認識することができる。

通知装置は、音声出力装置を含み、制御装置は、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止を示すメッセージが出力されるように音声出力装置を制御してもよい。

この場合、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、処理回路の動作の停止を示すメッセージが音声により出力される。それにより、ユーザは、デジタルインターフェイスデコード受信装置に入力されるデジタル信号が復号可能なフォーマットを有しないことを容易に認識することができる。

デジタルインターフェイスデコード受信装置は、入力されるクロック信号を逡倍して復号用クロック信号として出力するクロック生成回路をさらに備え、復号回路は、クロック生成回路により出力されたクロック信号を用いて、入力されるデジタル信号から映像信号および同期信号を抽出し、処理回路は、復号回路により抽出された映像信号を処理し、制御装置は、復号回路により抽出された同期信号およびクロック生成回路から出力された復号用クロック信号に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かを判別し、映像信号が復号回路により復号可能なフォーマットを有しない場合に処理回路の動作を停止させてもよい。

この場合、入力されるクロック信号がクロック生成回路により逡倍されることにより復号用クロック信号が出力され、出力された復号用クロック信号を用いて入力されるデジタル信号から映像信号および同期信号が復号回路により抽出され、抽出された映像信号が処理回路により処理される。

さらに、制御装置により同期信号および復号用クロック信号に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かが判別され、映像信号が復号可能なフォーマットを有しない場合に処理回路の動作が停止される。

それにより、復号可能なフォーマット以外のフォーマットを有する映像信号が与えられた場合でも、処理回路の熱暴走、消費電力の増大および破壊等の異常の

発生が防止される。

制御装置は、復号回路により抽出された同期信号およびクロック生成回路から出力された復号用クロック信号に基づいて映像の垂直周波数および水平周波数を算出し、算出された映像の垂直周波数および水平周波数に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かを判別してもよい。

5 この場合、同期信号および復号用クロック信号に基づいて映像の垂直周波数および水平周波数が算出され、算出された映像の垂直周波数および水平周波数に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かが判別される。それにより、映像信号のフォーマットが復号可能なフォーマットか否かを正確に判別することができる。

制御装置は、復号回路により復号可能なフォーマットとして映像の垂直周波数および水平周波数を記憶し、算出された映像の垂直周波数および水平周波数を記憶された映像の垂直周波数および水平周波数と比較することにより、映像信号のフォーマットが復号回路により復号可能なフォーマットか否かを判別してもよい。

15 この場合、算出された映像の垂直周波数および水平周波数が記憶された映像の垂直周波数および水平周波数と比較されることにより、映像信号のフォーマットが復号回路により復号可能なフォーマットか否かが容易に判別される。

復号回路、処理回路、制御装置およびクロック生成回路は集積回路により構成されてもよい。

この場合、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合でも、異常の発生を防止しつつデジタルインターフェイスデコード受信装置の小型化が可能となる。

制御装置は、復号回路、処理回路およびクロック生成回路への電源電圧の供給または動作クロック信号の供給を停止することにより処理回路を停止させてもよい。

25 この場合、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合に、復号回路、処理回路およびクロック生成回路への電源電圧の供給または動作クロック信号の供給を停止することにより、熱暴走、消費電力

の増大および回路の破壊等の異常の発生が防止される。

5 入力されるクロック信号を逡倍して復号用クロック信号として出力するクロック生成回路と、クロック生成回路により出力された復号用クロック信号の周波数を検出する検出回路とをさらに備え、復号回路は、クロック生成回路により出力された復号用クロック信号を用いて、入力されるデジタル信号から映像信号および同期信号を抽出し、処理回路は、復号回路により抽出された映像信号を処理し、制御装置は、検出回路により検出された周波数に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かを判別し、映像信号が復号回路により復号可能なフォーマットを有しない場合に復号回路、クロック生成回路および処理回路の動作を停止させてもよい。

10 この場合、入力されるクロック信号が逡倍されることにより復号用クロック信号が出力され、出力された復号用クロック信号の周波数が検出回路により検出され、復号回路により復号用クロック信号を用いて入力されるデジタル信号から映像信号および同期信号が抽出され、処理回路により抽出された映像信号が処理される。

15 さらに、検出された周波数に基づいて映像信号のフォーマットが復号回路により復号可能なフォーマットか否かが制御装置により判別され、映像信号が復号可能なフォーマットを有しない場合に復号回路、クロック生成回路および処理回路の動作が停止される。

20 それにより、復号可能なフォーマット以外のフォーマットを有する映像信号が与えられた場合でも、復号回路、クロック生成回路および処理回路の熱暴走、消費電力の増大および破壊等の異常の発生が防止される。

25 制御装置は、復号回路により復号可能なフォーマットとして映像のドットクロック周波数を記憶し、検出回路により検出された周波数を記憶されたドットクロック周波数と比較することにより、映像信号のフォーマットが復号回路により復号可能なフォーマットか否かを判別してもよい。

この場合、検出された周波数が記憶されたドットクロック周波数と比較されることにより、映像信号のフォーマットが復号回路により復号可能なフォーマットか否かが判別される。

復号回路、処理回路、制御装置、クロック生成回路および検出回路は集積回路により構成されてもよい。

この場合、復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合でも、異常の発生を防止しつつデジタルインターフェイスデコード受信装置の小型化が可能となる。

同期信号を内部的に発生する同期信号発生回路と、復号回路により抽出された同期信号および同期信号発生回路により発生された同期信号を選択的に出力する同期信号選択回路と、メッセージの表示のための信号を生成する表示回路とをさらに備え、制御装置は、同期信号選択回路により出力される同期信号に基づいて動作し、入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、同期信号発生回路により発生された同期信号が出力される同期信号選択回路を制御し、復号回路、クロック生成回路および処理回路の動作の停止を示すメッセージが表示されるように表示回路を制御してもよい。

この場合、同期信号発生回路により同期信号が内部的に発生され、復号回路により抽出された同期信号および同期信号発生回路により発生された同期信号が同期信号選択回路により選択的に出力される。制御装置は、同期信号選択回路により出力される同期信号に基づいて動作する。

入力されるデジタル信号が復号回路により復号可能なフォーマットを有しない場合に、同期信号発生回路により発生された同期信号が出力されるように同期信号選択回路が制御装置により制御され、復号回路、クロック生成回路および処理回路の動作の停止を示すメッセージが表示されるように制御装置により表示回路が制御される。

それにより、ユーザは、デジタルインターフェイスデコード受信装置に入力されるデジタル信号が復号可能なフォーマットを有しないことを容易に認識することができる。

復号回路、処理回路、クロック生成回路、検出回路、同期信号発生回路および同期信号選択回路は集積回路により構成され、制御装置および表示回路は、集積回路の外部の回路により構成されてもよい。

この場合、復号可能なフォーマット以外のフォーマットを有するデジタル信号

が与えられた場合でも、異常の発生を防止しつつデジタルインターフェイスデコード受信装置の小型化が可能となる。

制御装置は、復号回路、クロック生成回路および処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより処理回路を停止させてもよい。

この場合、復号回路により復号可能なフォーマット以外のフォーマットを有するデジタル信号が与えられた場合に、復号回路、クロック生成回路および処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより、熱暴走、消費電力の増大および回路の破壊等の異常の発生が防止される。

制御装置は、マイクロコンピュータにより構成されてもよい。それにより、プログラムに従って種々の処理を行うことができる。

図面の簡単な説明

図1は、本発明の第1の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

図2は、図1のインターフェイスデコード受信装置において復号可能な映像フォーマットの一覧表の例を示す図である。

図3は、本発明の第2の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

図4は、本発明の第3の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

図5は、ディスプレイの画面上にオンスクリーン表示されるメッセージの例を示す図である。

図6は、従来の高速デジタルインターフェイスデコード受信装置の一例を示すブロック図である。

発明を実施するための最良の形態

(第1の実施の形態)

以下、本発明の第1の実施の形態について図1および図2を用いて説明する。

図1は本発明の第1の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

図1において、高速デジタルインターフェイスデコード受信装置（以下、インターフェイスデコード受信装置と略記する）は、差動バッファ10a, 10b, 10c, 10d、TMD Sデコーダ回路11、逡倍回路12、パワーダウン判別回路14および映像・音声処理回路15を含む。このインターフェイスデコード受信装置は、レシーバLSI（大規模集積回路）16により構成され、テレビジョン受像機等の映像表示装置内に設けられる。

インターフェイスデコード受信装置には、ソース機器からHDMI規格、DVI規格等の高速デジタルインターフェイス規格に準拠したデジタル信号が与えられる。ここで、ソース機器は、例えば、DVD（デジタルバーサタイルディスク）再生機器、STB（セットトップボックス）、パーソナルコンピュータ等である。

本実施の形態では、インターフェイスデコード受信装置がHDMI規格に従うHDMIインタフェイスクーブルによりソース機器に接続されるものとする。HDMI規格によれば、映像信号を送信するとともに、映像信号のブランキング期間（垂直ブランキング期間および水平ブランキング期間）に補足データを送信することができる。補足データには、音声信号およびInfoFrame（情報フレーム）と呼ばれるデータパケットが含まれる。

デジタル信号のうちクロックチャンネルの信号Bは、差動バッファ10dを通してクロック信号Dとして逡倍回路12に与えられる。逡倍回路12は、クロック信号Dを逡倍し、逡倍されたクロック信号Eを出力する。

デジタル信号のうちクロックチャンネル以外の信号Aは、差動バッファ10a, 10b, 10cを通してTMD Sデコーダ回路11に与えられる。本実施の形態では、信号Aは、赤色コンポーネント信号、青色コンポーネント信号および緑色コンポーネント信号を含む。あるいは、信号Aが輝度信号および2つの色差信号を含んでもよい。

TMD Sデコーダ回路11は、クロックチャンネル以外の信号Aをパラレル/シリアル変換および復号することにより、水平同期信号G1、垂直同期信号G2

および映像・音声信号Fを出力する。

映像・音声処理回路15は、TMD Sデコーダ回路11から出力される映像・音声信号Fを映像信号I、音声信号Jおよび制御信号Kに分離して出力する。

5 パワーダウン判別回路14は、TMD Sデコーダ回路11から出力される水平同期信号G1および垂直同期信号G2と逡倍回路12から出力されるクロック信号Eとを用いて入力されるデジタル信号の映像フォーマットおよびクロック周波数を検出し、パワーダウン制御信号Lを出力する。

ここで、図2を用いて図1のインターフェイスデコード受信装置におけるパワーダウン判別回路14の動作を説明する。図2は図1のインターフェイスデコード受信装置において復号可能な映像フォーマットの一覧表の例を示す図である。

図2において、各映像フォーマットごとに、水平周波数、垂直周波数、ドットクロック周波数および表示ドット数（有効ドット数）が示される。表示ドット数は、画面に表示される水平方向の画素数と垂直方向の画素数（走査線の数）との積で表される。

15 図2には、走査線数1080本のインターレース方式、走査線数720本のプログレッシブ方式、走査線数480本のインターレース方式および走査線数480本のプログレッシブ方式が示されている。

パワーダウン判定回路14は、ROM（リードオンリメモリ）、不揮発性メモリ等の内部記憶装置を含み、内部記憶装置に復号可能な映像フォーマットの一覧表をLUT（ルックアップテーブル）として記憶している。

25 パワーダウン判別回路14は、逡倍回路12から与えられたクロック信号EとTMD Sデコード回路11から与えられた水平同期信号G1および垂直同期信号G2とを用いて水平同期信号HDの1周期内のクロック数（クロック信号Eのパルス数）および垂直同期信号VDの1周期内の水平同期信号HDの数をカウントし、クロック数および水平同期信号HDの数からそれぞれ水平周波数および垂直周波数を算出する。さらに、パワーダウン判別回路14は、算出された水平周波数および垂直周波数を図2に示す一覧表の水平周波数および垂直周波数と比較することにより入力されたデジタル信号が復号可能な映像フォーマットを有するかどうかを判定し、判定結果を示すパワーダウン制御信号Lを出力する。それにより

、入力されたデジタル信号が復号可能なフォーマットを有しない場合、パワーダウン制御信号Lにより映像・音声処理回路15がパワーダウンモードに入るように制御される。

ここで、パワーダウンモードとは、映像・音声処理回路15の動作を停止させることを意味し、例えば映像・音声処理回路15に供給するクロック信号を停止する方法、映像・音声処理回路15の電源をオフにする方法がある。

その後、入力されるデジタル信号の映像フォーマットが復号可能な映像フォーマットになると、パワーダウンモードが解除される。

上記のように、本実施の形態に係るインターフェイスデコード受信装置においては、入力されたデジタル信号の映像フォーマットを判定し、映像・音声処理回路15をパワーダウンモードにすることにより、レシーバLSI16の熱暴走の防止、省電力化およびレシーバLSI16の破壊の防止を実現することができる。

本実施の形態では、TMD Sデコーダ回路11が復号回路に相当し、映像・音声処理回路15が処理回路に相当し、パワーダウン判別回路14が制御装置に相当し、遷倍回路12がクロック生成回路に相当する。また、レシーバLSI16が集積回路に相当する。

なお、本実施の形態では、一例を説明したが、これ以外の方法で高速デジタルインターフェイスデコード受信装置を実現することも可能である。例えば、制御装置として、パワーダウン判別回路14の代わりにレシーバLSI16の外部のマイクロコンピュータを用いてもよい。また、ソース機器からDVI規格等の他の高速デジタルインターフェイス規格に準拠したデジタル信号を受信するように、高速デジタルインターフェイスデコード受信装置を構成してもよい。

(第2の実施の形態)

以下、本発明の第2の実施の形態について図3を用いて説明する。

図3は本発明の第2の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

図3のインターフェイスデコード受信装置において、図1のインターフェイスデコード受信装置と同一または相当部分に同一符号が付される。図3のインター

フェイスデコード受信装置が図1に示したインターフェイスデコード受信装置と異なるのは次の点である。

図3のインターフェイスデコード受信装置はカウンタ回路13をさらに備える

。

- 5 カウンタ回路13には、映像表示装置内の信号原25からある一定周波数のクロック信号Cが入力されるとともに、差動バッファ10dから出力されるクロック信号Dが与えられる。クロック信号Cの周波数は、クロック信号Dの周波数よりも低い。

10 カウンタ回路13は、クロック信号Cの1周期期間内におけるクロック信号Dのパルス数（クロック数）をカウントし、カウント値を示すクロックカウンタ信号Hを出力する。

15 パワーダウン判別回路14は、カウンタ回路13から出力されるクロックカウンタ信号Hに基づいてドットクロック周波数を算出する。さらに、パワーダウン判別回路14は、算出されたドットクロック周波数を図2に示した一覧表のドットクロック周波数と比較することにより入力されたデジタル信号が復号可能な映像フォーマットを有するか否かを判別し、判別結果を示すパワーダウン制御信号LをTMD Sデコーダ回路11、逡倍回路12および映像・音声処理回路15に出力する。それにより、入力されたデジタル信号が復号可能な映像フォーマットを有しない場合、TMD Sデコーダ回路11、逡倍回路12および映像・音声処理回路15がパワーダウンモードに入るように制御される。

その後、入力されるデジタル信号の映像フォーマットが復号可能な映像フォーマットになると、パワーダウンモードが解除される。

25 上記のように、本実施の形態に係るインターフェイスデコード受信装置においては、入力されたデジタル信号の映像フォーマットを判別し、TMD Sデコーダ回路11、逡倍回路12および映像・音声処理回路15をパワーダウンモードにすることにより、レシーバLSI16の熱暴走の防止、省電力化およびレシーバLSI16の破壊の防止を実現することができる。

本実施の形態では、TMD Sデコーダ回路11が復号回路に相当し、映像・音声処理回路15が処理回路に相当し、パワーダウン判別回路14が制御装置に相

当し、逡倍回路 1 2 がクロック生成回路に相当、カウンタ回路 1 3 が検出回路に相当する。また、レシーバ L S I 1 6 が集積回路に相当する。

5 なお、本実施の形態では、一例を説明したが、これ以外の方法で高速デジタルインターフェイスデコード受信装置を実現することも可能である。例えば、制御装置として、パワーダウン判別回路 1 4 の代わりにレシーバ L S I 1 6 の外部のマイクロコンピュータを用いてもよい。また、ソース機器から D V I 規格等の他の高速デジタルインターフェイス規格に準拠したデジタル信号を受信するように、高速デジタルインターフェイスデコード受信装置を構成してもよい。

(第 3 の実施の形態)

10 以下、本発明の第 3 の実施の形態について図 4 を用いて説明する。

図 4 は本発明の第 3 の実施の形態に係る高速デジタルインターフェイスデコード受信装置の構成を示すブロック図である。

15 図 4 のインターフェイスデコード受信装置において、図 3 のインターフェイスデコード受信装置と同一または相当部分に同一符号が付される。図 4 のインターフェイスデコード受信装置が図 3 に示したインターフェイスデコード受信装置と異なるのは次の点である。

20 図 4 のインターフェイスデコード受信装置は、図 3 のパワーダウン判別回路 1 4 の代わりにマイクロコンピュータ (マイコン) 1 7、同期発生回路 1 8、同期切換回路 1 9、映像処理回路 2 0、および O S D (オンスクリーン表示) 挿入回路 2 1 をさらに備える。同期発生回路 1 8 および同期切換回路 1 9 は、レシーバ L S I 1 6 内に設けられる。

また、O S D 挿入回路 2 1 には、C R T (陰極線管)、液晶表示装置、プラズマディスプレイ装置等のディスプレイ 3 0 が接続され、映像・音声処理回路 1 5 には、スピーカ 4 0 が接続される。

25 カウンタ回路 1 3 には、映像表示装置内の信号源 2 5 からある一定周波数のクロック信号 C が入力されるとともに、差動バッファ 1 0 d から出力されるクロック信号 D が与えられる。クロック信号 C の周波数は、クロック信号 D の周波数よりも低い。

カウンタ回路 1 3 は、クロック信号 C の 1 周期期間内におけるクロック信号 D

のパルス数（クロック数）をカウントし、カウント値を示すクロックカウンタ信号Hを出力する。

同期発生回路18は、レシーバLSI16内においてフリーランの同期信号Pを常時発生する。同期信号Pは、垂直同期信号および水平同期信号を含む。同期
5 切換回路19は、マイコン17から出力されるパワーダウン制御信号Lに基づいて、TMD Sデコーダ回路11から出力される水平同期信号G1および垂直同期信号G2と同期発生回路18から出力される同期信号Pとを切換えて同期信号Qとして出力する。

マイコン17は、カウンタ回路13から出力されるクロックカウンタ信号Hに
10 基づいてドットクロック周波数を算出する。さらに、マイコン17は、算出されたドットクロック周波数を図2に示した一覧表のドットクロック周波数と比較することにより入力されたデジタル信号が復号可能な映像フォーマットを有するかどうかを判別し、判別結果を示すパワーダウン制御信号LをTMD Sデコーダ回路11、逡倍回路12、映像・音声処理回路15および同期切換回路19に出力す
15 る。

それにより、入力されたデジタル信号が復号可能な映像フォーマットを有しない場合、TMD Sデコーダ回路11、逡倍回路12および映像・音声処理回路15がパワーダウンモードに入るように制御される。

同期切換回路19は、通常は、TMD Sデコーダ回路11から出力される水平
20 同期信号G1および垂直同期信号G2を同期信号Qとしてマイコン17に出力する。同期切換回路19は、入力されたデジタル信号が復号可能な映像フォーマットを有しない場合に、マイコン17から出力されるパワーダウン制御信号Lに
答して、同期信号発生回路18から出力される同期信号PをTMD Sデコーダ回路11から出力される水平同期信号G1および垂直同期信号G2に代えて同期信
25 号Qとしてマイコン17に出力する。

この場合、マイコン17は、同期切換回路19から出力される同期信号Qに同期したメッセージ表示信号MをOSD挿入回路21に出力する。

映像処理回路20は、映像・音声処理回路15から出力される映像信号Iに画質補正等の映像処理を行う。この場合は、映像処理回路20から出力される映像

信号は存在しないため、OSD挿入回路21は、マイコン17から出力されるメッセージ表示信号Mに基づいて、オンスクリーン表示のためのグラフィック信号を全面に挿入する。それにより、ディスプレイ30にオンスクリーン表示によりメッセージが表示される。図5はディスプレイ30の画面上にオンスクリーン表示されるメッセージの例を示す図である。

また、マイコン17から出力される信号Zによりスピーカ40からオンスクリーン表示と同様のメッセージが音声として出力される。

上記のように、本実施の形態に係るインターフェイスデコード受信装置においては、入力されたデジタル信号のフォーマットを判別し、TMD Sデコーダ回路11、逡倍回路12および映像・音声処理回路15をパワーダウンモードにすることにより、レシーバLSI16の熱暴走の防止、省電力化およびレシーバLSI16の破壊の防止を実現することができる。また、復号可能な映像フォーマット以外の映像フォーマットを有するデジタル信号が入力された場合にディスプレイ30にメッセージをオンスクリーン表示することができる。このとき、スピーカ40からメッセージを音声として出力することができる。

本実施の形態では、TMD Sデコーダ回路11が復号回路に相当し、映像・音声処理回路15が処理回路に相当し、逡倍回路12がクロック生成回路に相当し、カウンタ回路13が検出回路に相当し、マイコン17が制御装置に相当する。また、同期切換回路19が同期信号選択回路に相当し、同期発生回路18が同期信号発生回路に相当する。さらに、OSD挿入回路21が通知装置または表示回路に相当し、スピーカ40が通知装置または音声出力装置に相当し、レシーバLSI16が集積回路に相当する。

なお、本実施の形態では、一例を説明したが、これ以外の方法で高速デジタルインターフェイスデコード受信装置を実現することも可能である。例えば、制御装置として、マイコン17の代わりにレシーバLSI16の内部に制御回路を構成してもよい。また、ソース機器からDVI規格等の他の高速デジタルインターフェイス規格に準拠したデジタル信号を受信するように、高速デジタルインターフェイスデコード受信装置を構成してもよい。

また、通知装置としてLED（発光ダイオード）等の発光素子によりデジタル

信号が復号可能なフォーマット以外のフォーマットを有することをユーザに通知してもよい。

請 求 の 範 囲

1. 入力されるデジタル信号を復号する復号回路と、
前記復号回路により復号されたデジタル信号を処理する処理回路と、
- 5 入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有するか否かを判別し、入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有しない場合に前記処理回路の動作を停止させる制御装置とを備えた、デジタルインターフェイスデコード受信装置。
- 10 2. 入力されるデジタル信号は、高速デジタルインターフェイス規格に準拠するデジタル信号であり、映像信号および音声信号を含み、
前記復号回路は、デジタル信号から映像信号および音声信号を抽出し、
前記処理回路は、前記復号回路により抽出された映像信号および音声信号を処理する、請求項 1 記載のデジタルインターフェイスデコード受信装置。
- 15 3. 前記制御装置は、前記処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより前記処理回路を停止させる、請求項 1 記載のデジタルインターフェイスデコード受信装置。
- 20 4. 前記処理回路の動作の停止をユーザに通知する通知装置をさらに備え、
前記制御装置は、入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有しない場合に、前記処理回路の動作の停止を示す旨を通知装置により通知させる、請求項 1 記載のデジタルインターフェイスデコード受信装置。
- 25 5. 前記通知装置は、メッセージの表示のための信号を生成する表示回路を含み、
前記制御装置は、入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有しない場合に、前記処理回路の動作の停止を示すメッセージが表示されるように前記表示回路を制御する、請求項 4 記載のデジタルインターフェイス

イスデコード受信装置。

6. 前記通知装置は、音声出力装置を含み、

5 前記制御装置は、入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有しない場合に、前記処理回路の動作の停止を示すメッセージが前記音声出力装置から出力されるように前記オンスクリーン表示回路を制御する、請求項4記載のデジタルインターフェイスデコード受信装置。

10 7. 入力されるクロック信号を逡倍して復号用クロック信号として出力するクロック生成回路をさらに備え、

前記復号回路は、前記クロック生成回路により出力された復号用クロック信号を用いて、入力されるデジタル信号から映像信号および同期信号を抽出し、

前記処理回路は、前記復号回路により抽出された映像信号を処理し、

15 前記制御装置は、前記復号回路により抽出された同期信号および前記クロック生成回路から出力された復号用クロック信号に基づいて映像信号のフォーマットが前記復号回路により復号可能なフォーマットか否かを判別し、映像信号が前記復号回路により復号可能なフォーマットを有しない場合に前記処理回路の動作を停止させる、請求項1記載のデジタルインターフェイスデコード受信装置。

20 8. 前記制御装置は、前記復号回路により抽出された同期信号および前記クロック生成回路から出力された復号用クロック信号に基づいて映像の垂直周波数および水平周波数を算出し、算出された映像の垂直周波数および水平周波数に基づいて映像信号のフォーマットが前記復号回路により復号可能なフォーマットか否かを判別する、請求項7記載のデジタルインターフェイスデコード受信装置。

25 9. 前記制御装置は、前記復号回路により復号可能なフォーマットとして映像の垂直周波数および水平周波数を記憶し、算出された映像の垂直周波数および水平周波数を記憶された映像の垂直周波数および水平周波数と比較することにより、映像信号のフォーマットが前記復号回路により復号可能なフォーマットか否かを

判別する、請求項 8 記載のデジタルインターフェイスデコード受信装置。

10. 前記復号回路、前記処理回路、前記制御装置および前記クロック生成回路は集積回路により構成される、請求項 7 記載のデジタルインターフェイスデコード受信装置。

11. 前記制御装置は、前記復号回路、前記処理回路および前記クロック生成回路への電源電圧の供給または動作クロック信号の供給を停止することにより前記処理回路を停止させる、請求項 7 記載のデジタルインターフェイスデコード受信装置。

12. 入力されるクロック信号を逡倍して復号用クロック信号として出力するクロック生成回路と、

前記クロック生成回路により出力された復号用クロック信号の周波数を検出する検出回路とをさらに備え、

前記復号回路は、前記クロック生成回路により出力された復号用クロック信号を用いて、入力されるデジタル信号から映像信号および同期信号を抽出し、

前記処理回路は、前記復号回路により抽出された映像信号を処理し、

前記制御装置は、前記検出回路により検出された周波数に基づいて映像信号のフォーマットが前記復号回路により復号可能なフォーマットか否かを判別し、映像信号が前記復号回路により復号可能なフォーマットを有しない場合に前記復号回路、前記クロック生成回路および前記処理回路の動作を停止させる、請求項 1 記載のデジタルインターフェイスデコード受信装置。

13. 前記制御装置は、前記復号回路により復号可能なフォーマットとして映像のドットクロック周波数を記憶し、前記検出回路により検出された周波数を記憶されたドットクロック周波数と比較することにより、映像信号のフォーマットが前記復号回路により復号可能なフォーマットか否かを判別する、請求項 12 記載のデジタルインターフェイスデコード受信装置。

1 4. 前記復号回路、前記処理回路、前記制御装置、前記クロック生成回路および前記検出回路は集積回路により構成される、請求項 1 2 記載のデジタルインターフェイスデコード受信装置。

5

1 5. 同期信号を内部的に発生する同期信号発生回路と、
前記復号回路により抽出された同期信号および前記同期信号発生回路により発生された同期信号を選択的に出力する同期信号選択回路と、
メッセージの表示のための信号を生成する表示回路とをさらに備え、

10 前記制御装置は、前記同期信号選択回路により出力される同期信号に基づいて動作し、入力されるデジタル信号が前記復号回路により復号可能なフォーマットを有しない場合に、前記同期信号発生回路により発生された同期信号が出力されるように前記同期信号選択回路を制御し、前記復号回路、前記クロック生成回路および前記処理回路の動作の停止を示すメッセージが表示されるように前記表示
15 回路を制御する、請求項 1 2 記載のデジタルインターフェイスデコード受信装置。
。

1 6. 前記復号回路、前記処理回路、前記クロック生成回路、前記検出回路、前記同期信号発生回路および前記同期信号選択回路は集積回路により構成され、前
20 記制御装置および前記表示回路は、集積回路の外部の回路により構成される、請求項 1 5 記載のデジタルインターフェイスデコード受信装置。

1 7. 前記制御装置は、前記復号回路、前記クロック生成回路および前記処理回路への電源電圧の供給または動作クロック信号の供給を停止することにより前記
25 処理回路を停止させる、請求項 1 5 記載のデジタルインターフェイスデコード受信装置。

1 8. 前記制御装置は、マイクロコンピュータにより構成される、請求項 1 記載のデジタルインターフェイスデコード受信装置。

FIG. 1

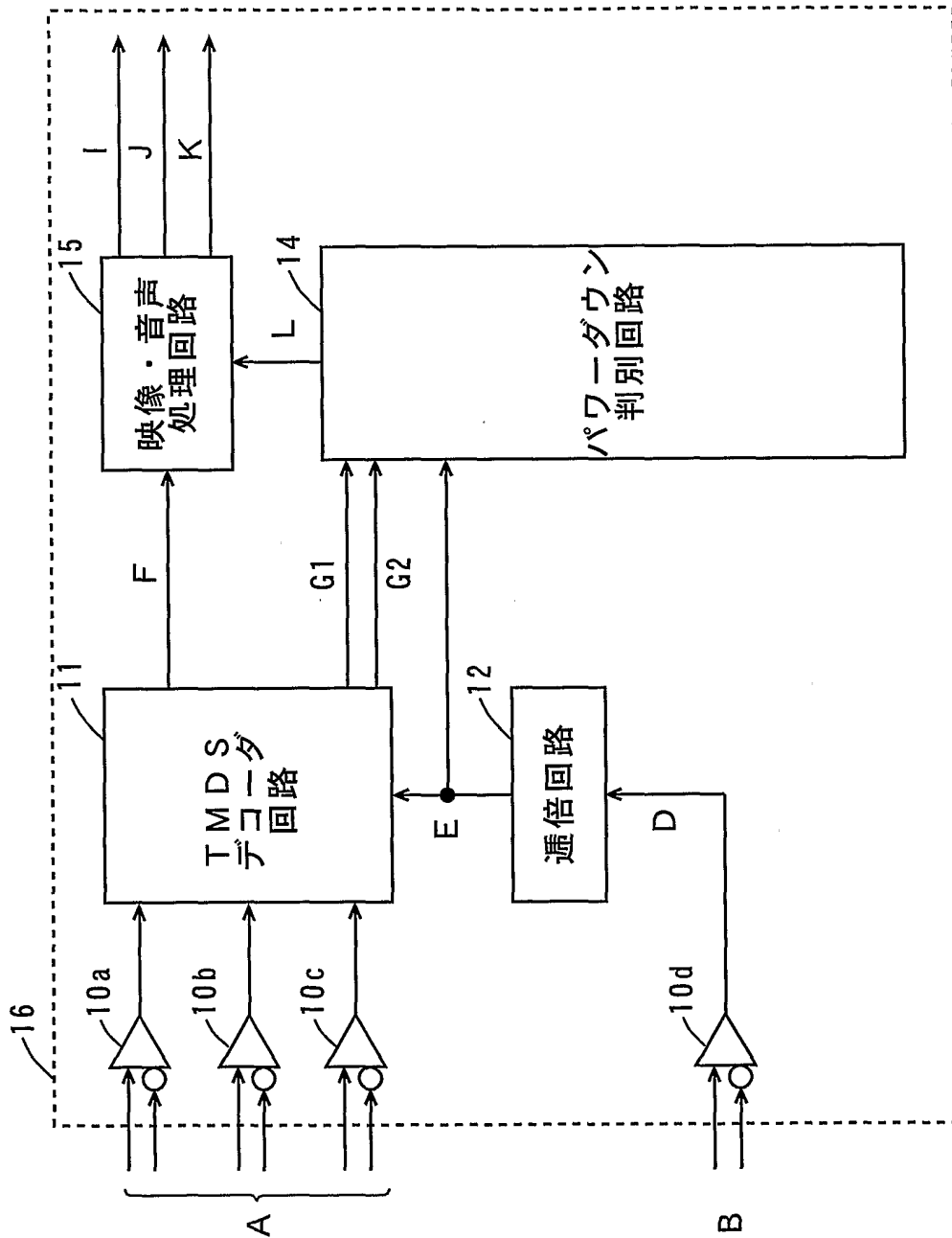


FIG. 2

NO	フォーマット	水平周波数 (kHz)	垂直周波数 (Hz)	ドットクロック 周波数 (MHz)	表示ドット数 (水平×垂直)
1	1080(60i)	33.75	60	74.25	1920×1080
2	720(60p)	45.00	60	74.25	1280×720
3	480(60i)	15.73	59.94	27.00	1440×480
4	480(60p)	31.47	59.94	27.00	720×480

FIG. 3

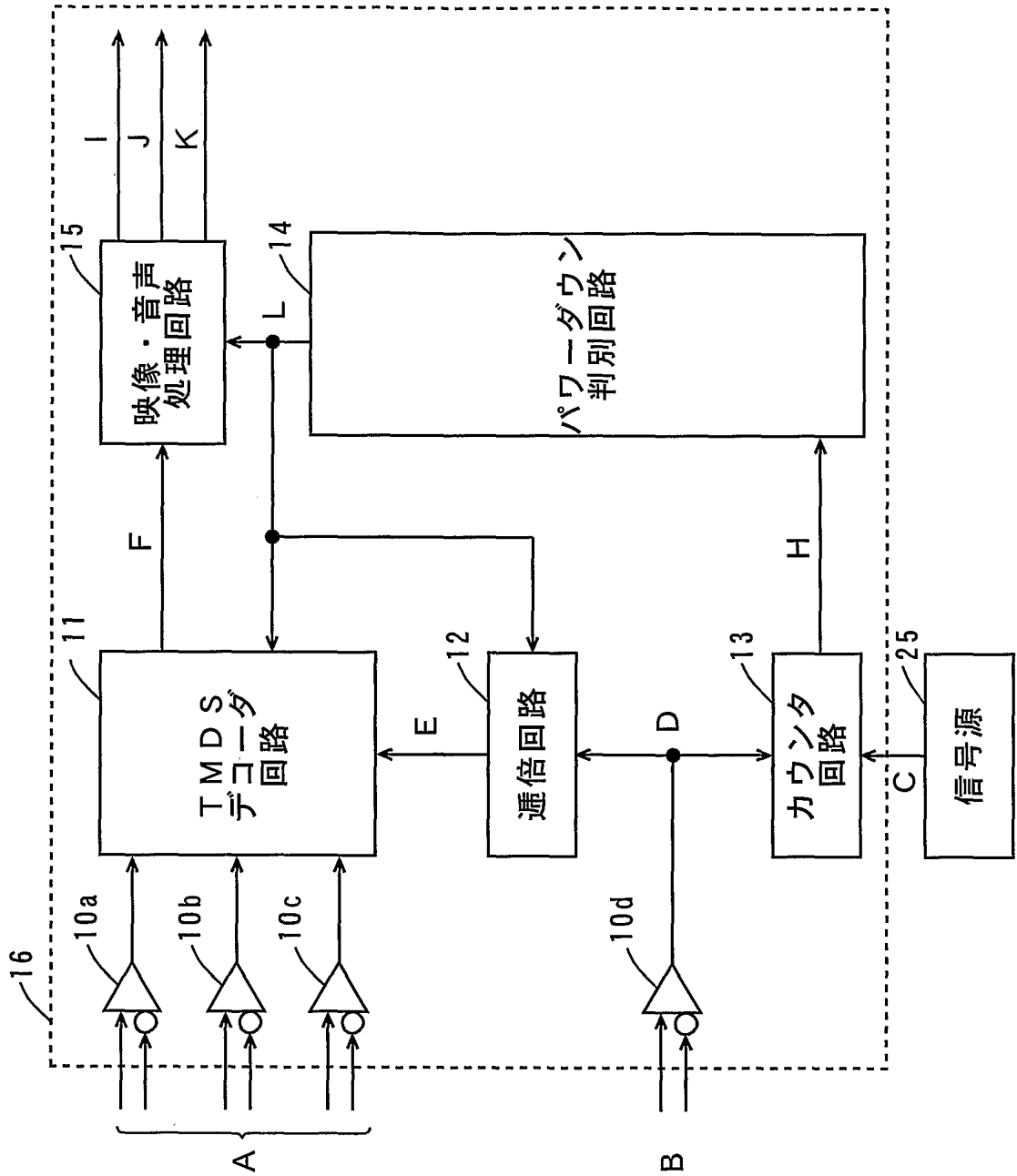


FIG. 4

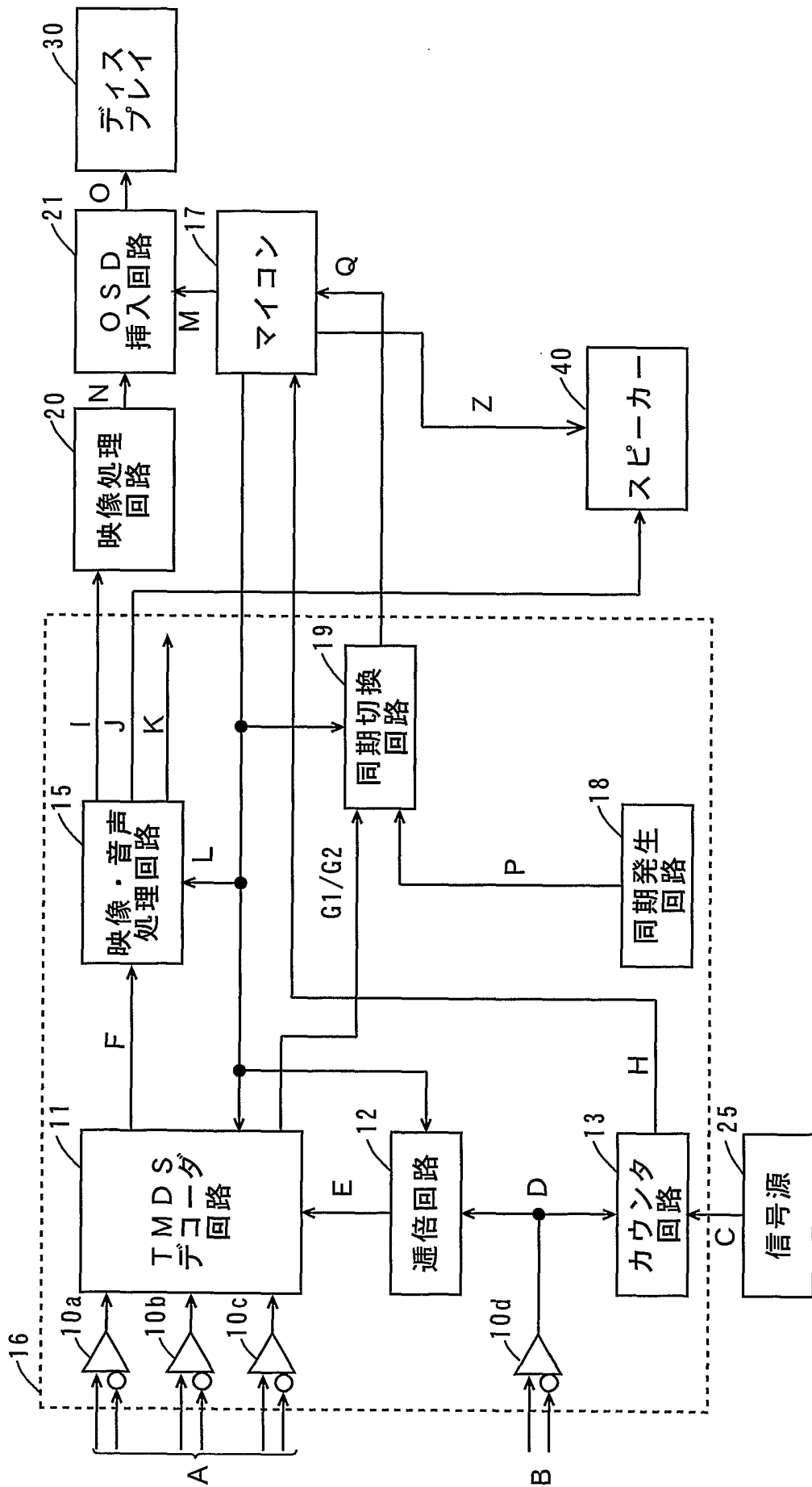
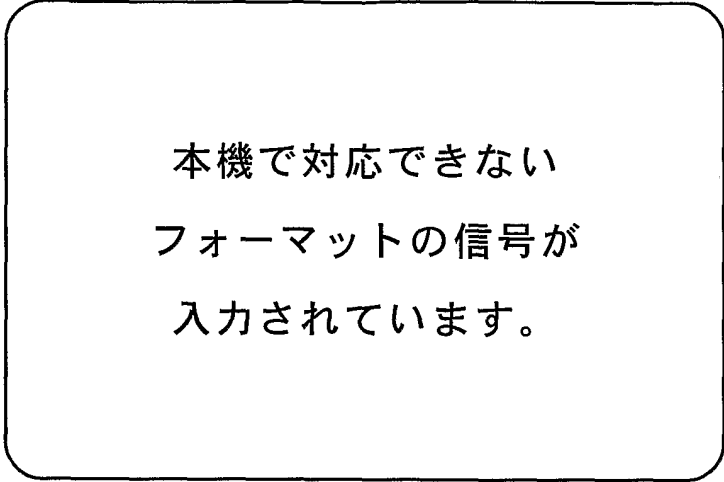
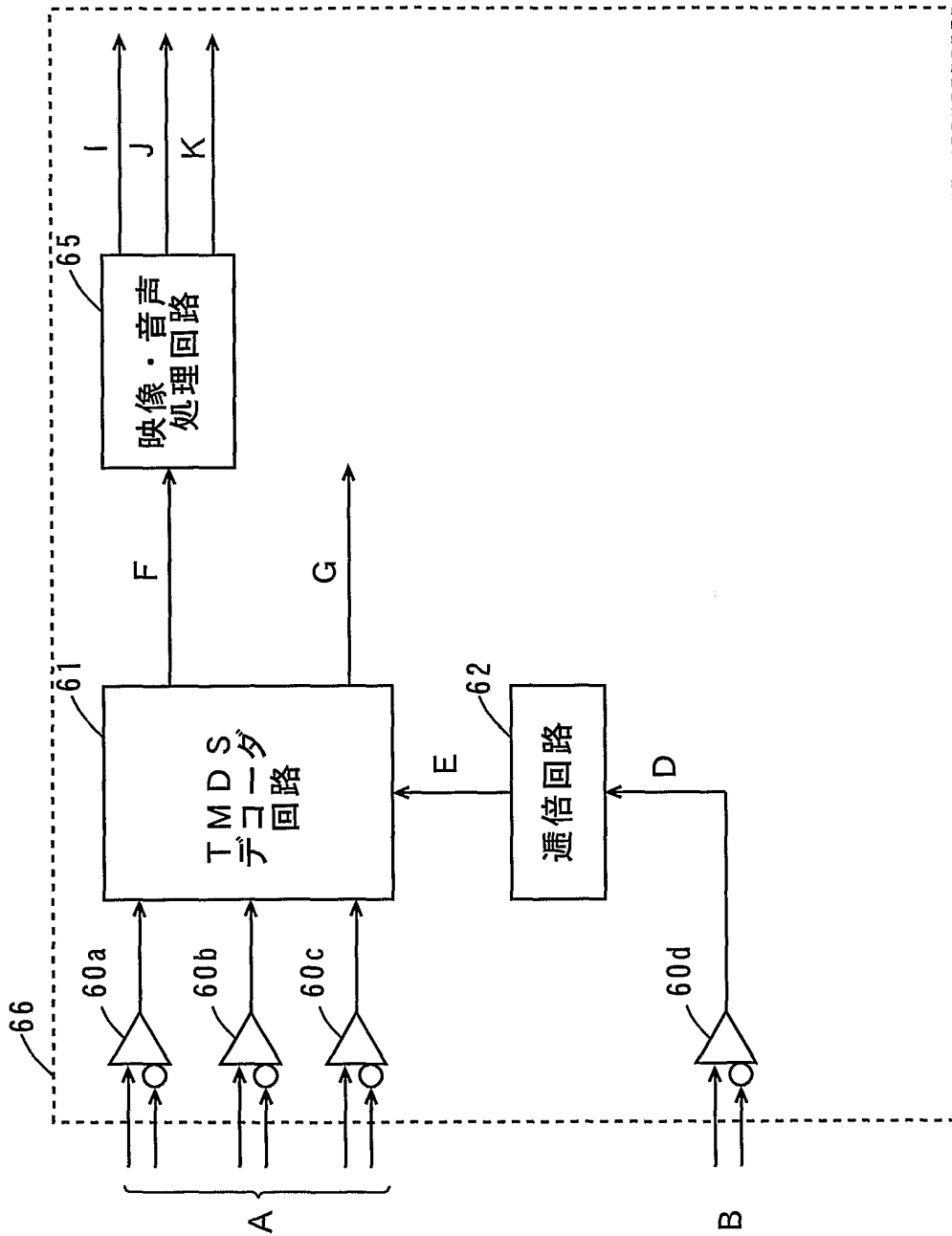


FIG. 5



本機で対応できない
フォーマットの信号が
入力されています。

FIG. 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007665

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ H04N5/44

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁷ H04N5/38-5/63, H04N7/00-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Kokai Jitsuyo Shinan Koho	1971-2004
Toroku Jitsuyo Shinan Koho	1994-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-101835 A (Matsushita Electric Industrial Co., Ltd.), 13 April, 2001 (13.04.01), & EP 0994480 A1 & US 2001/0005448 A1 Claim 16	1, 2, 18 3-17
Y	JP 10-336585 A (Toshiba Corp.), 18 December, 1998 (18.12.98), Par. No. [0039] (Family: none)	3, 11, 17
Y	JP 6-189294 A (Sony Corp.), 08 July, 1994 (08.07.94), Par. No. [0068] (Family: none)	4-6, 15-17

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 July, 2004 (06.07.04)	Date of mailing of the international search report 20 July, 2004 (20.07.04)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007665

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-369096 A (Matsushita Electric Industrial Co., Ltd.), 20 December, 2002 (20.12.02), Par. No. [0002] (Family: none)	7-17
A	JP 2001-285897 A (Ando Electric Co., Ltd.), 12 October, 2001 (12.10.01), Par. Nos. [0005], [0011] & US 2001/0026630 A1	1
A	JP 2003-110963 A (Matsushita Electric Industrial Co., Ltd.), 11 April, 2003 (11.04.03), Par. No. [0013] (Family: none)	3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/44

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N 5/38-5/63, H04N 7/00-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年、日本国公開実用新案公報 1971-2004年、
日本国登録実用新案公報 1994-2004年、日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-101835 A (松下電器産業株式会社) 2001. 04. 13 & EP 0994480 A1 & US 2001/0005448 A1 【請求項16】	1, 2, 18 3-17
Y	JP 10-336585 A (株式会社東芝) 1998. 12. 18 【0039】 (ファミリーなし)	3, 11, 17
Y	JP 6-189294 A (ソニー株式会社) 1994. 07. 08 【0068】 (ファミリーなし)	4-6, 15-17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 06. 07. 2004

国際調査報告の発送日 20. 7. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
松永隆志
5 P 4228
電話番号 03-3581-1101 内線 6973

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-369096 A (松下電器産業株式会社) 2002.12.20 【0002】 (ファミリーなし)	7-17
A	JP 2001-285897 A (安藤電気株式会社) 2001.10.12 【0005】 【0011】 & US 2001/0026630 A1	1
A	JP 2003-110963 A (松下電器産業株式会社) 2003.04.11 【0013】 (ファミリーなし)	3