



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월20일
 (11) 등록번호 10-1050942
 (24) 등록일자 2011년07월14일

- (51) Int. Cl.
G11C 13/00 (2006.01) *G11C 7/22* (2006.01)
G06F 13/16 (2006.01) *G06F 13/42* (2006.01)
- (21) 출원번호 10-2006-7017226
- (22) 출원일자(국제출원일자) 2005년01월26일
 심사청구일자 2009년03월04일
- (85) 번역문제출일자 2006년08월25일
- (65) 공개번호 10-2006-0134079
- (43) 공개일자 2006년12월27일
- (86) 국제출원번호 PCT/US2005/002432
- (87) 국제공개번호 WO 2005/072355
 국제공개일자 2005년08월11일
- (30) 우선권주장
 10/990,658 2004년11월16일 미국(US)
 60/539,787 2004년01월27일 미국(US)
- (56) 선행기술조사문헌
 US20030117864 A1
 US20020122514 A1
 US6370067 B1
 US20010014922 A1

- (73) 특허권자
엔비디아 코포레이션
 미국 캘리포니아 95050 산타 클라라 산 토마스 익스프레스웨이 2701
- (72) 발명자
쿠, 텅생
 미국 95148 캘리포니아주 산 호세 글렌 알토 코트 3131
샤이크, 아쉬팍, 알.
 미국 95135 캘리포니아주 산 호세 리델 로드 2831
- (74) 대리인
주성민, 이중희, 백만기

전체 청구항 수 : 총 19 항

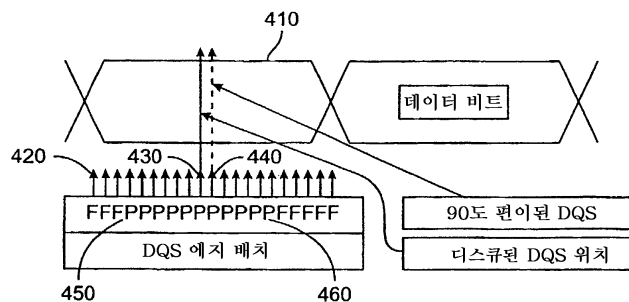
심사관 : 박봉서

(54) 위상 편이 방법 및 회로

(57) 요약

개선된 데이터 회복을 위해 위상 편이를 제공하기 위한 위상 편이 회로를 훈련시키기 위한 회로, 방법, 및 장치. 본 발명의 특정 실시예는 가변 지연 셀을 제공한다. 가변 지연 셀을 통한 지연은 훈련 패턴이 수신되는 동안 변한다. 수신된 데이터 패턴의 에러 존재가 추적되고, 에러의 존재 유무로부터, 바람직한 지연이 선택되고 데이터를 수신하는데 이용된다.

대표도 - 도4



특허청구의 범위

청구항 1

스트로브 신호를 위상 편이시키는 방법으로서,
 가변 지연을 제1 기간으로 설정하는 단계,
 상기 스트로브 신호를 수신하는 단계,
 상기 스트로브 신호를 상기 제1 기간만큼 지연시키는 단계,
 제1 테스트 패턴을 수신하는 단계,
 에러의 존재를 판정하기 위해 상기 수신된 제1 테스트 패턴을 예측된 테스트 패턴과 비교하는 단계, 및
 상기 가변 지연을 상기 제1 기간과는 상이한 제2 기간으로 변경시키는 단계
 를 포함하는 위상 편이 방법.

청구항 2

제1항에 있어서,
 상기 스트로브 신호를 수신하는 단계,
 상기 스트로브 신호를 상기 제2 기간만큼 지연시키는 단계,
 제2 테스트 패턴을 수신하는 단계, 및
 에러의 존재를 판정하기 위해 상기 수신된 제2 테스트 패턴을 예측된 테스트 패턴과 비교하는 단계
 를 더 포함하는 위상 편이 방법.

청구항 3

제2항에 있어서,
 상기 가변 지연을 지연의 범위에 걸쳐 불연속적 증분으로 변화시키는 단계,
 각 증분마다, 상기 스트로브 신호를 수신하여 상기 지연만큼 지연시키는 단계,
 테스트 패턴을 수신하는 단계, 및
 에러의 존재를 판정하기 위해 상기 수신된 테스트 패턴을 예측된 테스트 패턴과 비교하는 단계
 를 더 포함하는 위상 편이 방법.

청구항 4

제3항에 있어서,
 에러가 없다고 판정되는 경우의 최소 지연을 결정하는 단계, 및
 에러가 없다고 판정되는 경우의 최대 지연을 결정하는 단계를 더 포함하고,
 에러가 없다고 판정되는 경우의 상기 최소 지연과 에러가 없다고 판정되는 경우의 상기 최대 지연은 상기 스트로브 신호의 지연을 결정하는데 사용되는 위상편이 방법.

청구항 5

제4항에 있어서,
 에러가 없다고 판정되는 경우의 상기 최소 지연과 에러가 없다고 판정되는 경우의 상기 최대 지연을
 평균화하고, 상기 평균값은 데이터 회복을 위해 상기 스트로브 신호를 지연시키는데 이용되는 위상 편이 방법.

청구항 6

제5항에 있어서,

상기 방법은 DDR(double-data rate) 메모리 인터페이스에 의해 이용되는 위상 편이 방법.

청구항 7

스트로브 신호를 위상 편이시키는 방법으로서,

상기 스트로브 신호를 위상 편이시키는데 이용되는 지연을 복수의 스텝들로 다양화하는 단계,

각 스텝에서, 훈련 패턴을 수신하는 단계,

각 스텝에서, 상기 훈련 패턴이 정확하게 수신되었는지를 판정하는 단계,

상기 훈련 패턴이 정확하게 수신되었을 경우의, 최소 및 최대 지연을 판정하는 단계, 및

상기 훈련 패턴이 정확하게 수신되었을 경우의, 상기 최소 및 최대 지연으로부터 상기 지연을 설정하는 단계를 포함하고,

상기 훈련 패턴이 정확하게 수신되었는지에 대한 판정은 상기 수신된 훈련 패턴을 메모리에 저장된 예측된 수신된 훈련 패턴과 비교함으로써 행해지는 위상 편이 방법.

청구항 8

제7항에 있어서,

상기 훈련 패턴이 정확하게 수신되었을 경우의 상기 최소 및 최대 지연을 평균화하는 위상 편이 방법.

청구항 9

삭제

청구항 10

집적 회로로서,

데이터 신호를 수신하도록 구성된 수신 버퍼,

스트로브 신호를 지연시키도록 구성된 지연 회로,

상기 수신된 데이터 신호를 상기 지연된 스트로브 신호와 재타이밍되도록 구성된 재타이밍 회로,

상기 수신된 데이터 신호의 데이터 패턴을 테스트 데이터 패턴과 비교함으로써 상기 데이터 신호가 정확하게 수신되었는지 여부를 판정하도록 구성된 로직 블록, 및

상기 데이터 신호가 정확하게 수신되었는지 여부에 대한 판정에 기초하여 상기 지연 회로의 지연을 설정하도록 구성된 상태 머신

을 포함하는 집적 회로.

청구항 11

제10항에 있어서,

상기 지연 회로는 가변 지연을 제공하고, 상기 지연은 상기 상태 머신에 의해 결정되는 집적 회로.

청구항 12

제11항에 있어서,

예측된 수신된 테스트 패턴을 저장하기 위한 메모리를 더 포함하는 집적 회로.

청구항 13

제12항에 있어서,

수신된 테스트 패턴과 상기 저장된 예측된 수신된 테스트 패턴을 비교하도록 구성되는 비교 회로를 더 포함하는

집적 회로.

청구항 14

제11항에 있어서,
상기 집적 회로는 그래픽 프로세서인 집적 회로.

청구항 15

제11항에 있어서,
상기 상태 머신은 복수의 불연속적 지연을 통해 상기 지연 회로의 지연을 변화시키고, 각 지연에서, 테스트 패턴이 수신되는 집적 회로.

청구항 16

제15항에 있어서,
각 불연속 지연마다, 수신된 테스트 패턴이 메모리에 저장된 예측된 수신된 테스트 패턴과 비교되는 집적 회로.

청구항 17

제16항에 있어서,
상기 가변 지연은 최소 및 최대로부터 변동되고, 상기 수신된 테스트 패턴과 상기 예측된 수신된 테스트 패턴 간의 비교는 각 불연속적 지연에서 에러의 존재를 판정하는데 이용되는 집적 회로.

청구항 18

제17항에 있어서,
상기 상태 머신은 에러가 없다고 검출되는 경우의 상기 최소 및 최대 지연을 저장하는 집적 회로.

청구항 19

제18항에 있어서,
상기 상태 머신은 에러가 없다고 검출되는 경우의 상기 최소 및 최대 지연을 평균화하는 집적 회로.

청구항 20

제19항에 있어서,
상기 평균화된 값은 수신된 데이터를 재타이밍하는데 이용되는 집적 회로.

명세서

기술분야

[0001] 본 출원은 2004년 1월 27일자 출원된 미국 가출원 제60/539,787호의 우선권을 주장하며, 그 전체 내용이 참조로서 인용된다.

배경기술

[0002] 본 발명은 일반적으로 고속 데이터 인터페이스에 관한 것이며, 보다 구체적으로는 고속 인터페이스에 이용되는 위상 편이 회로를 훈련시키는 것에 관한 것이다.

[0003] 예를 들어, DDR(double data rate) 메모리 인터페이스 등의 일부 고속 인터페이스 회로에서, 스트로브 신호가 수많은 데이터 신호의 타이밍 및 회복에 이용된다. 즉, 송신 회로는 수많은 데이터 신호뿐 아니라 데이터 스트로브 신호도 수신 회로에 제공한다. 이 스트로브 신호는 그 스트로브 신호의 에지가 데이터 신호의 에지 또는 천이에 정렬되도록 전송될 수 있다.

[0004] 그러나, 적절한 데이터 회복을 위해, 그 스트로브가 수신된 데이터에 대하여 예컨대, 90도 만큼 위상 편이되는

것이 바람직하다. 또한, 이런 위상 편이는 데이터 회복을 개선하기 위해 정확하게 행해지는 것이 바람직하다. 이런 편이는 예컨대, 장치 전원 공급시 또는 다른 적절한 시점에 자동으로 행해지는 것도 바람직하다. 자동으로 행해지게 함으로써, 오퍼레이터 등에 의한 수동 조정과 다른 에러들에 관련된 문제가 감소 또는 제거된다.

[0005] 따라서, 고속 인터페이스 회로에서의 위상 편이를 조정하기 위한 장치, 방법, 및 회로가 필요하다. 또한 이런 조정 또는 훈련은 자동으로 수행되는 것이 바람직하다.

발명의 상세한 설명

[0006] 따라서, 본 발명의 실시예는 개선된 데이터 회복에 대응하는 위상 편이를 제공하도록 위상 편이 회로를 훈련시키기 위한 회로, 방법, 및 장치를 제공한다. 본 발명의 특정 실시예는 가변 지연 셀(variable delay cell)을 제공한다. 가변 지연 셀을 통한 지연은 훈련 패턴이 집적 회로에 수신되는 동안 변화된다. 에러의 존재가 추적되고, 에러의 존재 유무로부터, 바람직한 지연이 선택되어 데이터를 수신하는데 이용된다.

[0007] 본 발명의 특성 및 이점은 이하의 상세한 설명 및 첨부된 도면을 참조하여 더 잘 이해할 수 있게 된다.

실시예

[0017] 도 1은 본 발명의 실시예들의 통합으로 이익을 얻는 컴퓨팅 시스템(100)의 블록도이다. 이 컴퓨팅 시스템(100)은 노스브리지(110), 그래픽 가속기(120), 사우스브리지(130), 프레임 버퍼(140), 중앙 처리 장치(CPU)(150), 오디오 카드(160), 이더넷 카드(162), 모뎀(164), USB 카드(166), 그래픽 카드(168), PCI 슬롯(170), 및 메모리들(105)을 포함한다. 첨부된 전체 도면들에서와 같이, 이 도면은 예시적인 목적만을 위해 도시되고, 본 발명의 가능한 실시예들 또는 청구항들 중 어느 것도 제한하지 않는다.

[0018] 노스브릿지(110)는 CPU(150)로부터의 정보를 메모리들(105), 그래픽 가속기(120), 및 사우스브릿지(130)에 전달하고, 또한 이들 소자로부터의 정보를 CPU에 전달한다. 사우스브릿지(130)는 USB 카드(166) 및 이더넷 카드(162) 등의 연결을 통해 외부 통신 시스템과 인터페이스한다. 그래픽 가속기(120)는 그래픽 정보를 CPU(150)로부터 노스브릿지(110)를 경유하여 AGP(accelerated graphics port) 버스(125)를 통해 또는 메모리 또는 프레임 버퍼(140)로부터 직접 수신한다. 그래픽 가속기(120)는 프레임 버퍼(140)와 인터페이스한다. 프레임 버퍼(140)는 디스플레이될 픽셀을 저장하는 디스플레이 버퍼를 포함할 수 있다.

[0019] 이런 아키텍처에서는, CPU(150)가 이런 컴퓨팅 시스템이 요구하는 대규모의 처리 작업을 수행한다. 특히, 그래픽 가속기(120)는 CPU(150)에 의존하여 계산을 시작하여(setup) 기하 값(geometry values)을 산출한다. 또한, 오디오 또는 사운드 카드(160)도 CPU(150)에 의존하여 오디오 데이터, 위치 계산, 및 코러스, 반향, 차단, 폐색 등의 다양한 효과를 모두 동시에 처리한다. 또한, CPU(150)는 사우스브릿지(130)에 연결된 다양한 주변 장치에 대한 제어뿐 아니라 실행될 애플리케이션에 관련된 기타 명령어들에 대한 기능을 수행한다.

[0020] 도 2는 본 발명의 실시예들의 통합으로 이익을 얻는 개선된 컴퓨터 시스템(200)의 블록도이다. 개선된 컴퓨터 시스템(200)은 NVIDIA nForce™ 2 통합 그래픽 프로세서(IGP)(210); nForce2 미디어 통신 프로세서(MCP2)(220); 메모리(212 및 214); CPU(216); 옵션 그래픽 프로세서(218); 프레임 버퍼(240); 모니터(222); 스캐너 또는 카메라(234); 마우스, 키보드, 및 프린터(236); 하드 드라이브(238); 소프트 모뎀(242); 이더넷 네트워크 또는 LAN(246); 및 오디오 시스템(248)을 포함한다.

[0021] 이런 혁신적인 시스템 아키텍처는 분산형 처리 플랫폼 곳곳에 설계되었으며, 이 플랫폼은 CPU에 최적인 작업을 수행하도록 CPU를 자유롭게 해준다. 상술하자면, nForce2 IGP(210)는 그래픽 처리 장치(GPU)(도시 생략)를 포함하는데, 이는 이전에 CPU(216)에 남겨진 그래픽 계산을 수행할 수 있다. 또는, nForce2 IGP(210)는 이들 계산을 수행하는 옵션용 GPU(218)와 인터페이스할 수 있다. 또한, nForce2 MCP2(220)는 오디오 처리 장치(APU)를 포함하는데, 이는 이전에 CPU(216)에 의해 행해졌던 오디오 계산의 많은 부분을 수행할 수 있다. 이런 방법으로, CPU는 자유롭게 되어 자신의 작업을 보다 효율적으로 수행한다. 또한, USB 및 이더넷 등의 네트워킹 및 통신 기술 스위트(suite)를 포함함으로써, nForce2 MCP2(220)는 이전에 CPU(216)가 감당하던 통신 작업의 많은 부분을 수행할 수 있다.

[0022] 이런 아키텍처에서, nForce2 IGP(210)는 버스들(213 및 215)을 통해 메모리들(212 및 214)과 통신한다. nForce2 IGP(210)는 또한 진보된 AGP 버스(217)를 통해 옵션 그래픽 프로세서(218)와 인터페이스 한다. 다양한 컴퓨터 시스템에서는, 옵션 프로세서(218)가 제거될 수 있고, 모니터(222)가 nForce2 IGP(210)에 의해 직접 구동될 수 있다. 다른 시스템에서는, 둘 이상의 모니터가 존재할 수 있고, 그 전부 또는 일부가 옵션 그래픽 프

로세서(218) 또는 nForce2 IGP(210)에 직접 결합되게 된다. nForce2 IGP(210)는 HyperTransport™ 링크(221)를 통해 nForce2 MCP2(220)와 통신한다. 옵션 그래픽 프로세서(218)는 또한 외부 메모리와 인터페이스할 수 있으며, 이 예에서는 도시 생략되어 있다.

[0023] 본 발명의 실시예들은 메모리들(212 및 214)로의, 옵션 그래픽 프로세서(218)로부터 그 외부 메모리(도시 생략)로의, 또는 여기에 도시되지 않은 다른 옵션 메모리들로의 인터페이스에서, 또는 다른 디지털 시스템에서의 다른 메모리 인터페이스 또는 다른 회로에서의 클럭 신호의 주파수의 변동을 개선시키는데 이용될 수 있다.

[0024] nForce2 MCP2(220)는 이더넷 접속(246) 및 소프트 모뎀(242)용 제어기를 포함한다. nForce2 MCP2(220)는 또한 마우스, 키보드, 및 프린터(236)에 대한 인터페이스를, 카메라 및 스캐너(234) 및 하드 드라이브(238)에 대한 USB 포트를 포함한다.

[0025] 이런 구성에 의해 CPU(216), nForce2 IGP(210), 및 nForce2 MCP2(220)는 독립적으로, 동시에, 병렬 방식으로 처리를 수행할 수 있게 된다.

[0026] 본 발명의 실시예들은 도 1의 그래픽 프로세서(120)와 프레임 버퍼(140) 사이, 또는 노스브릿지(110)와 메모리들(105) 사이, 또는 도 2의 통합 그래픽 프로세서(210)와 메모리들(212 및 214) 사이의 인터페이스 등의 장치들 사이의 고속 인터페이스를 개선시키는데 이용될 수 있다.

[0027] 도 3은 본 발명의 일 실시예에 따른 고속 인터페이스의 송신 단 및 수신 단에서의 관련 스트로브 신호들과 데이터 신호의 관계를 나타내는 단순화된 블록도이다. 송신기 및 수신기는 그래픽 프로세서, 메모리들, 또는 기타 집적 회로에 포함될 수 있다. 전형적으로 각각의 칩이 다수의 데이터 신호와 적어도 하나의 스트로브 신호를 송신 및 수신한다. 송신기(310)는 데이터와 스트로브 신호들을 채널을 통해 수신기(330)에 제공한다. 송신기 또는 송신 단에서, DQ(312) 및 WDQS 스트로브 신호들(314)이 정렬된다. 이는 데이터 및 스트로브 신호 에지들이 동시에 토글되어서(toggle), 이들 신호들이 유사한 커플링된 노이즈를 경험한다는 것을 의미한다. 신호들이 정렬되기 때문에, 그 신호들은 유사한 동시 발생의 스위칭 노이즈에 영향을 받으며, 이는 푸쉬 인-앤-아웃(push-in and out) 및 신호 무결성 왜곡을 야기하고, 따라서 데이터 및 관련 스트로브 신호들 사이의 스큐(skew)를 야기한다. 또한, 데이터 및 관련 스트로브 신호들은 데이터 채널(320)에서 다른 채널들과 노이즈 소스로부터의 노이즈 커플링으로 인해 유사한 왜곡을 전형적으로 경험한다.

[0028] 도 3의 인터페이스 등의 인터페이스에 대한 이상적인 위상 편이는 항상 정확히 90도인 것은 아니다. 특히, 최적 지연은 데이터 신호(312)와 그 스트로브(314)에 의해 보이는 데이터 채널(320)에서의 비일치들로 인해 90도와는 상이할 수 있다. 이와 유사하게, 데이터 신호(312)와 스트로브(314)는 상이한 노이즈 및 커플링을 경험할 수 있다. 즉, 이들 신호들이 경험하는 노이즈들 전부가 공통적인 것이 아니라(common mode), 일부는 다른 것일 수 있다. 이와 유사하게, 데이터 패턴에서의 변동은 부호간 간섭(ISI)을 일으키고, 이는 데이터 신호(312)의 에지에서 데이터 종속적인 스큐를 발생시킨다. 따라서, 예컨대, 관련 회로가 PCB 상에 배치된 이후의 제조 공정 동안 위상 편이를 최소화하는 것이 바람직하다. 또한, 종래에는 적어도 이런 조정이 행해진다면 전형적으로 수동으로 행해진다. 이는 추가적인 제조 비용과 오퍼레이터 및 다른 유형의 에러로 인해 신뢰성이 저하된다.

[0029] 채널(320)은 전형적으로 리드-프레임 핀(lead-frame pin) 및 집적 회로 본드 와이어와 함께, PCB상의 트레이스로 이루어진다.

[0030] 수신 단에서, 스트로브 신호는 τ_1 (340) 만큼 위상 편이되고, 이는 거의 90도에 일치한다. 이런 방법으로, 스트로브 신호는 DQ 데이터 비트(332)의 중심에 있어서, DQ 데이터(332)의 회복을 제공한다.

[0031] 훈련 시퀀스는 장치가 저-전압 강하 상태 이후, 저 전력 모드에서 벗어난 후의 장치 전원 공급 시에 또는 다른 시기에 시행될 수 있다.

[0032] 도 4는 본 발명의 일 실시예에 따른 집적 회로에서 수신된 신호와 스트로브 신호 사이의 위상 편이를 자동으로 조정하는데 이용될 수 있는 타이밍 스퀀스를 예시한다. 훈련 또는 테스트 데이터 패턴(410)이 수신된다. 스트로브 신호는 윈도우를 통해 불연속적 스텝으로 최소값에서 최대값 지연으로 편이된다. 예를 들어, 스트로브 지연은 60도 내지 120도 사이에서 가변적일 수 있다. 또한, 다른 윈도우가 이용될 수 있다. 본 발명의 일 실시예에서, 데이터는 거의 1GHz 데이터 레이트로 수신된다. 각 스텝은 거의 10ps이고, 일부 스텝들은 더 커질 수 있지만, 특히 이들 스텝들이 90도 위상 편이에 근접하지는 않는다.

[0033] 윈도우의 각 단계(420)에서, 훈련 시퀀스가 정확하게 수신되는지 여부가 판정된다. 데이터가 정확하게 수신되지 않으면, 실패 상태가 해당 스텝과 연관된다. 데이터가 정확하게 수신되면, 통과 상태가 해당 스텝과 연관된

다. 본 발명의 특정 실시예에서, DQS 신호가 참조 부호(420)에 의해 지시되는 단계에 있을 때 제1 스텝이 테스트되고, 후속 스텝들이 순서대로 테스트된다.

- [0034] 통과가 발생하는 제1 스텝, 이 예에서는 스텝(450)이 저장된다. 통과가 발생하는 마지막 단계, 또한 이 경우에 스텝(460)이 저장된다. 스텝(450) 및 스텝(460)을 평균화하여 그 결과는 이 경우에, 스텝(430)이고, 스트로브 신호가 해당 위치에 정렬된다. 이런 특정 예에서, "이상적인" 스텝(430)은 90도 위상 편이 스텝(440)으로부터 변화된다.
- [0035] 도 5는 본 발명의 일 실시예를 포함하는 집적 회로(500)의 블록도이다. 지연 셀 또는 회로(520, 522, 524, 및 526)와, 마스터 지연 고정 루프(DLL;delay locked loop)(530)가 포함된다. 마스터 클록 신호는 라인(550)을 통해 마스터 DLL(530)에 의해 수신된다. 마스터 DLL은 라인(540, 542, 및 546)상의 기준 전류를 지연 셀(520, 522, 524 및 526)에 제공한다. 지연 셀(520, 522, 524, 및 526)은 라인(510, 512, 514, 및 516)상에서 수신된 스트로브 신호를 지연시킨다.
- [0036] 도 6은 도 5의 마스터 DLL 및 지연 라인을 보다 상세히 도시하는 개략도이다. 마스터 DLL(610)에는 위상 검출기(612), 차지 펌프(614), 및 지연 라인(616)이 포함된다. 지연 라인(616)은 지연 셀(630, 632, 634, 및 636)을 포함하는데, 이는 전류원(640, 642, 644, 및 646)에 의해 제공되는 기준 전류에 의해 바이어스된다. 기준 전류는 스트로브 신호를 지연시키는 지연 셀들(650)에 제공된다.
- [0037] 라인(620)상의 마스터 클록 신호는 위상 검출기(612)에 의해 수신되고, 위상 검출기는 이를 라인(622)상의 지연 라인의 출력과 비교한다. 위상 검출기는 지연 라인(616)의 전류를 차지 펌프(614)를 사용하여 증가 또는 감소시킨다. 지연 라인(616)은 라인(620)상의 마스터 클록 신호에 360도 위상 편이를 제공한다. 따라서, 전류원(640, 642, 644, 및 646)에 의해 제공된 기준 전류 각각은 지연 셀(630, 632, 634, 및 636) 각각이 90도의 위상 편이를 제공하도록 된다.
- [0038] 지연 셀(630, 632, 634, 및 636)은 전류원(640, 642, 644, 및 646)에 의해 제공된 전류를 가지는 차동 쌍일 수 있거나, 다른 적절한 유형의 회로일 수 있다.
- [0039] 전류원(640, 642, 644, 및 646)에 의해 제공된 기준 전류들은 미러링되어 지연 셀(650)에 제공된다. 따라서 지연 셀(650)은 90도 위상 편이를 스트로브 신호에 제공한다. 이 90도 위상 편이는 본원에 기술된 훈련 시퀀스에 의해 조정된다.
- [0040] 도 7은 본 발명의 다른 실시예의 마스터 DLL로서 또는 도 6의 마스터 DLL(610)로서 사용될 수 있는 마스터 DLL을 예시하는 블록도이다. 위상 검출기(710), 차지 펌프(720), 기준 전류원(730), 및 지연 셀(740)이 포함된다. 차지 펌프(720)는 충전(charge up) 전류원(722), 방전(charge down) 전류원(724), 및 커패시터(726)를 포함한다.
- [0041] 마스터 클록 신호는 라인(750)을 통해 위상 검출기(710) 및 지연 라인 또는 지연 셀(740)에 의해 수신된다. 이 회로가 고정될 때(locked), 지연 셀은 마스터 클록 신호를 360도 만큼 지연시키고, 출력을 라인(760)을 통해 위상 검출기에 제공한다. 라인들(750 및 760)상의 신호 간 위상 차 또는 에러가 존재하는 경우, 위상 검출기(710)는 충전 또는 방전 신호를 전류원들(722 및 724)에 생성한다. 이들 전류원들에서의 변동은 커패시터(726)에 변동 전압을 제공하게 되고, 커패시터(726)는 전류원(730)에 의해 제공된 전류를 조정한다. 또한, 이들 전류원(730)에 의해 제공된 전류는 미러링되어, 90도 위상 편이를 스트로브 신호에 제공하는데 사용되는 각각의 지연 셀에 제공된다.
- [0042] 도 8은 본 발명의 실시예에 따른 집적 회로의 일부의 블록도이다. 지연 고정 루프(810), 라인 수신기(820), 가변 지연(830), 상태 머신(840), 재-타이밍 회로(850), 메모리(860), 테스트 패턴 메모리(870), 및 비교 회로(880)가 포함된다.
- [0043] 데이터는 라인(822)을 통해 수신기(820)에 의해 수신되고, 수신기는 출력을 라인(827)을 통해 재타이밍 회로(850)에 제공한다. 재타이밍 회로(850)는 플립-플롭, FIFO, 또는 기타 적절한 구조체일 수 있다. 본 발명의 다양한 실시예들에서, 재타이밍 회로(850)는 10~20 bit 깊이인 FIFO이다. 또한, 다른 깊이의 FIFO도 사용될 수 있다.
- [0044] 스트로브 신호 DQS가 라인(835)을 통해 가변 지연 회로(830)에 의해 수신된다. 가변 지연 회로는 스트로브 신호를 지연시키고, 클록 신호를 라인(837)을 통해 재타이밍 신호(850)에 제공한다. 재타이밍 회로(850)은 수신된 데이터를 라인(855)을 통해 메모리(860)에 제공한다. 메모리(860)는 수신된 데이터 패턴을 형성하는 수많은

비트를 저장한다.

- [0045] 테스트 패턴 메모리(870)는 수신기(820)에 전송된 패턴인 정확한 패턴을 비교 회로(880)에 제공한다. 테스트 패턴 메모리는 집적 회로로부터 분리될 수 있거나, 집적 회로상에 포함될 수 있다. 비교 회로(880)는 라인(865)을 통해 수신된 데이터 패턴을 라인(875)상의 공지된 양호한 테스트 데이터 패턴과 비교한다. 이들 두 데이터 패턴이 일치되면, 통과 신호가 라인(885)을 통해 상태 머신(840)에 제공된다. 패턴이 일치되지 않으면, 실패 신호가 라인(885)을 통해 상태 머신(840)에 제공된다.
- [0046] 상태 머신(840)은 가변 지연 소자(830)에 제공된 전류를 조정한다. 본 발명의 특정 실시예에서, 전류 조정 라인(845)상의 전류는 최대값에서 시작되어 불연속적 스텝으로 감소된다. 따라서, 가변 지연 소자에 의해 제공된 지연은 최소값에서 시작되어 최대값 기간까지 증가한다.
- [0047] 본 발명의 특정 실시예에서, 라인(845)상의 전류 조정이 불연속적 스텝으로 변화된다. 각 불연속적 스텝에서, 테스트 또는 훈련 패턴이 라인(825)을 통해 수신기(820)에 의해 수신된다. 각 스텝에서, 테스트 또는 훈련 패턴이 정확하게 또는 부정확하게 수신되었는지 여부가 판정된다. 상기와 같이, 훈련 패턴이 올바르게 수신되는 경우의 최초 또는 최후 스텝이 상태 머신(840)에 의해 유지된다. 특정 실시예에서, 이들 두 스텝을 평균화하고, 대응하는 전류를 전류 조정 라인(845)을 통해 가변 지연 소자(830)에 제공한다. 다른 실시예에서는, 예컨대, 가중화된 평균화 등의 평균화 이외의 다른 알고리즘이 이용될 수 있다.
- [0048] 상술된 바와 같이, 마스터 클록 신호가 라인(805)을 통해 DLL(810)에 의해 수신되고, DLL은 기준 전류를 라인(815)을 통해 가변 지연 소자(830)에 제공한다. 라인(815)상의 기준 전류는 가변 지연 소자(830)가 90도 위상 편이를 제공하는데 필요한 전류이다. 라인(845)상의 전류 조정은 이에 따라 이 전류를 변화시킨다.
- [0049] 도 9는 본 발명의 일 실시예에 따른 방식으로 훈련 시퀀스를 이용하여 가변 지연을 조정하는 방법의 흐름도이다. 단계(910)에서, 스트로브 신호를 지연시키는데 사용되는 가변 지연 소자를 통한 지연을 최소값으로 설정한다. 단계(920)에서, 테스트 패턴 또는 훈련 시퀀스가 데이터 입력에서 수신된다. 단계(930)에서, 수신된 테스트 패턴은 예측된 수신된 테스트 패턴과 비교되고, 단계(940)에서, 통과 또는 실패 플래그 또는 지시자가 저장된다.
- [0050] 활성화 단계(950)에서, 지연이 그 최대에 있는지 여부가 판정된다. 지연이 최대에 있지 않다면, 지연이 증가되고, 단계(920)에서 다른 테스트 패턴이 수신된다. 최대 지연에 도달했다면, 단계(970)에서 통과 플래그가 관련되는 최소 및 최대 지연값을 평균화하고, 단계(980)에서 이 평균값을 사용하여 가변 지연 소자의 지연을 설정한다.
- [0051] 당업자는 이런 흐름도에 대한 변형이 본 발명의 실시예들에 따라 행해질 수 있음을 인식할 것이다. 예를 들어, 스텝 크기가 지연이 증가될 때마다 변할 수 있다. 예를 들어, 90도로부터 멀어지는 스텝들이 90도에 근접하는 스텝 보다 커질 수 있는데, 왜냐하면 정확한 지연이 90도에 근접할 가능성이 있으므로 보다 큰 해상도가 거기서 바람직하기 때문이다. 또한, 비트 수 또는 훈련 시퀀스의 수는 스텝 위치에 따라 변할 수 있다. 또한, 통과를 구성할지 또는 실패를 구성할지에 대한 판단이 다양할 수 있다. 예를 들어, 100 퍼센트가 요구될 수 있거나, 간소한 또는 과반수 이상이 기준일 수 있다.
- [0052] 특정 실시예에 의해 사용되는 훈련 패턴은 이하에 주어진 패턴의 연속이다. 이 패턴은 데이터 레이트의 고주파 및 저조파(sub harmonic frequency), 단독 0(lonely zero), 단독 1(lonely one)로 인해 발생된 최악의 ISI 경우들의 대부분을 수용한다. 본 발명의 다른 실시예들은 다른 훈련 패턴을 사용할 수 있고, 훈련 패턴의 비트 수는 다양할 수 있다.

01 01
 011 011
 0111 0111
 01111 01111
 001 001
 0011 0011
 00111 00111
 001111 001111
 0001 0001
 00011 00011
 000111 000111
 0001111 0001111
 00001 00001
 000011 000011

[0053]

[0054]

본 발명의 예시적인 실시예들의 상세한 설명은 예시 및 설명을 목적으로 제시되었다. 이는 기술된 상세한 형태로 본 발명을 제한하거나 총망라하려는 것으로 의도되지 않고, 여러 수정 및 변형이 상기 교시의 관점에서 가능하다. 실시예들은 본 발명의 원리와 그 실제 응용을 가장 잘 설명하도록 선택 및 기술되었으며, 따라서 당업자는 다양한 실시예들에서 고려한 특정 사용에 적합하도록 다양한 수정으로 본 발명을 가장 잘 이용할 수 있게 된다.

도면의 간단한 설명

[0008]

도 1은 본 발명의 실시예들의 통합으로 이익을 얻는 컴퓨팅 시스템의 블록도.

[0009]

도 2는 본 발명의 실시예들의 통합으로 이익을 얻는 개선된 컴퓨터 시스템의 블록도.

[0010]

도 3은 본 발명의 실시예에 따른 고속 인터페이스의 송신 단 및 수신 단에서의 데이터 신호와 관련 스트로브 신호 사이의 관계를 도시하는 간략화된 블록도.

[0011]

도 4는 본 발명의 실시예에 따른, 집적 회로에서 수신된 신호와 스트로브 신호 사이의 위상 편이를 자동으로 조정하는데 사용될 수 있는 타이밍 시퀀스를 도시.

[0012]

도 5는 본 발명의 실시예를 포함하는 집적 회로(500)의 블록도.

[0013]

도 6은 도 5의 마스터 DLL 및 지연 라인을 보다 상세히 도시하는 개략도.

[0014]

도 7은 본 발명의 다른 실시예에서 마스터 DLL로서 또는 도 6의 마스터 DLL(610)로서 사용될 수 있는 마스터 DLL을 예시하는 블록도.

[0015]

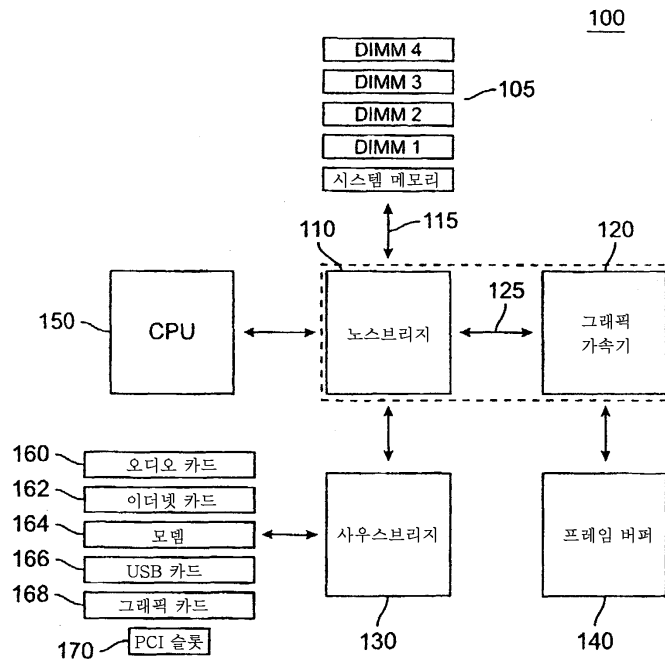
도 8은 본 발명의 일 실시예에 따른 집적 회로의 일부의 블록도.

[0016]

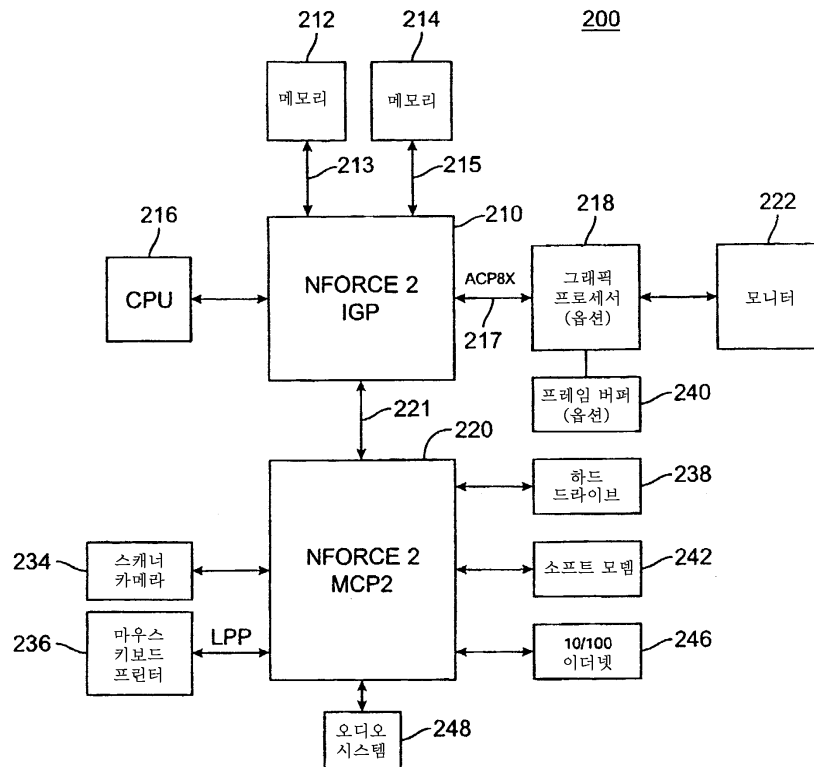
도 9는 본 발명의 일 실시예에 따른 방식으로 훈련 시퀀스를 이용하여 가변 지연을 조정하는 방법의 흐름도.

도면

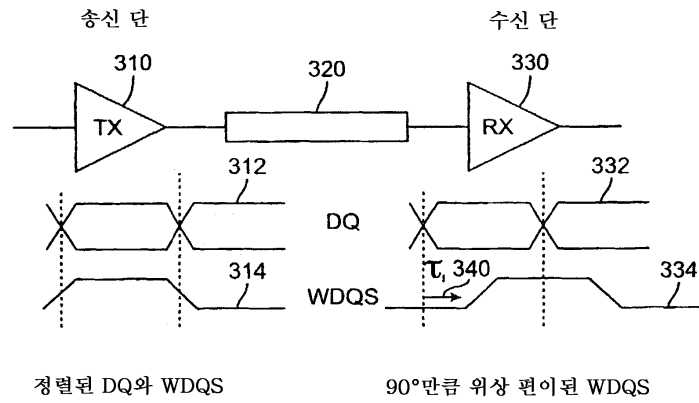
도면1



도면2



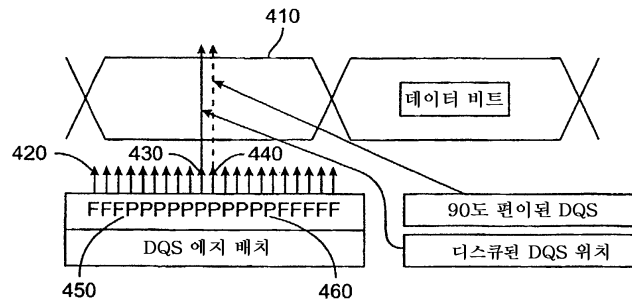
도면3



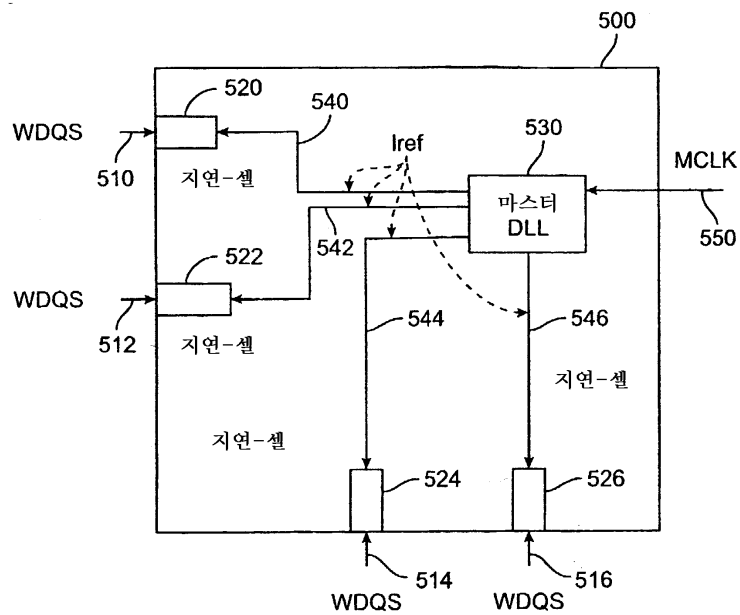
정렬된 DQ와 WDQS

90°만큼 위상 편이된 WDQS

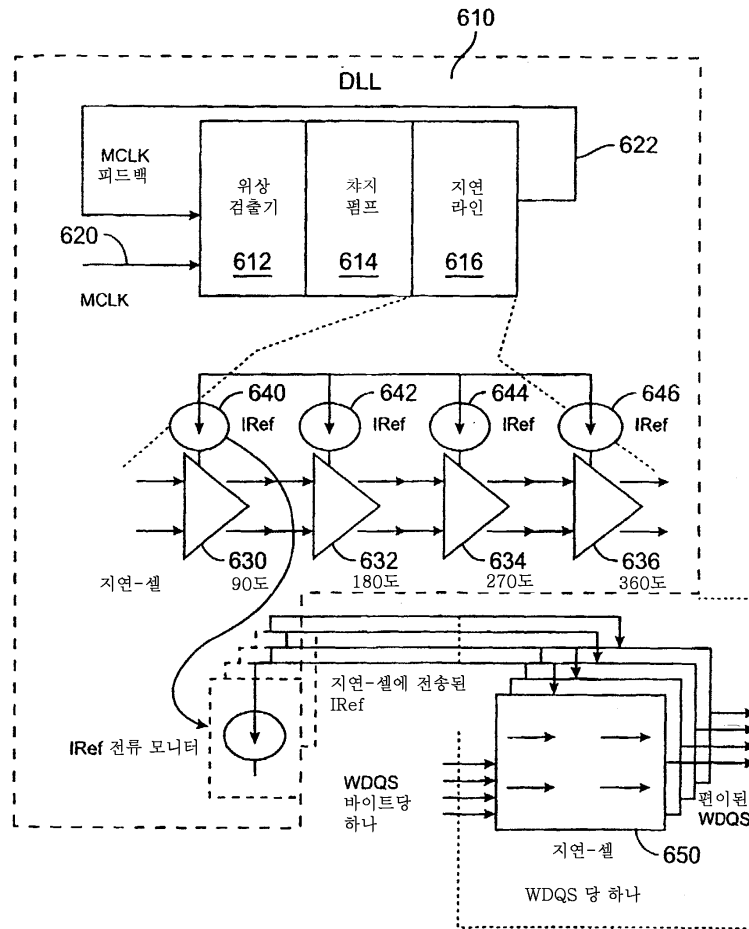
도면4



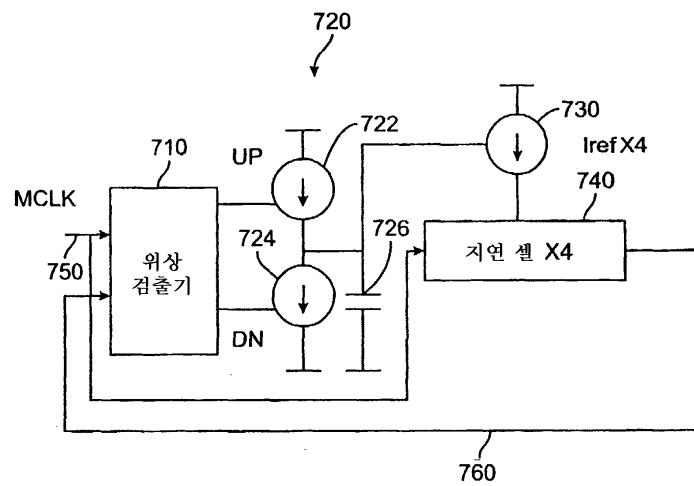
도면5



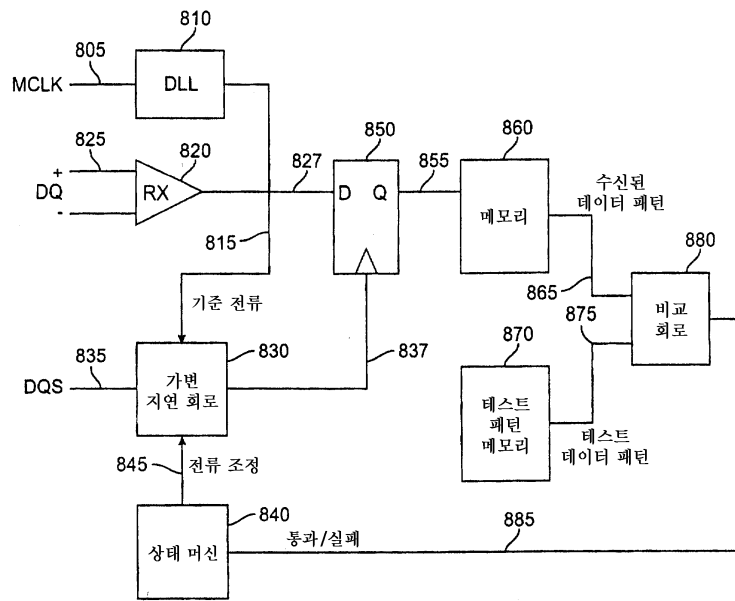
도면6



도면7



도면8



도면9

