



(12) 实用新型专利

(10) 授权公告号 CN 202917963 U

(45) 授权公告日 2013. 05. 01

(21) 申请号 201220605826. 7

(22) 申请日 2012. 11. 16

(73) 专利权人 上海华虹集成电路有限责任公司  
地址 201203 上海市浦东新区碧波路 572 弄  
39 号

(72) 发明人 马和良

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 戴广志

(51) Int. Cl.

H02H 9/00 (2006. 01)

H02H 9/04 (2006. 01)

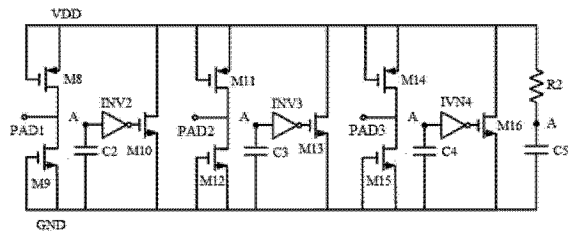
权利要求书1页 说明书3页 附图1页

(54) 实用新型名称

ESD 保护网络电路

(57) 摘要

本实用新型公开了一种 ESD 保护网络电路，包括：多个电源钳位 ESD 电路，在每个 I/O 焊盘处设置一个电源钳位 ESD 电路。本实用新型能够在基本不增加芯片面积的基础上有效提高芯片的 ESD 性能。



1. 一种静电放电 ESD 保护网络电路,其特征在于,包括:多个电源钳位静电放电 ESD 电路,在每个 I/O 焊盘处设置一个电源钳位静电放电 ESD 电路。

2. 如权利 1 所述的静电放电 ESD 保护网络电路,其特征在于,每个所述电源钳位静电放电 ESD 电路,包括:

一 PMOS 管,其栅极和源极与电源电压相连接,形成上拉二极管;

一第一 NMOS 管,其栅极和源极与地相连接,形成下拉二极管;

所述 PMOS 管的漏极与一第一 NMOS 管的漏极相连接;

一反相器,其输入端与一第一电容的一端相连接,其输出端与第二 NMOS 管的栅极相连接;该第二 NMOS 管的漏极与电源电压相连接;所述第二 NMOS 管的源极和第一电容的另一端接地;

还包括:一检测电路,包括一电阻和一第二电容,该电阻的一端与电源电压相连接,另一端与第二电容的一端相连接,其连接的节点记为 A,作为检测电路的输出端,第二电容的另一端接地;

所述电源钳位静电放电 ESD 电路的反相器的输入端与所述接点 A 相连接,使并联在反相器的输入端的第一电容与检测电路中的第二电容并联。

## ESD 保护网络电路

### 技术领域

[0001] 本发明涉及 ESD（静电放电）保护领域，特别是涉及一种集成电路中 ESD 保护网络电路。

### 背景技术

[0002] 近些年随着集成电路工艺的快速发展，MOS 管的线宽越来越窄，结深越来越浅，栅氧层的厚度也越来越薄，这些都加速了电路设计对 ESD 的需求。当线宽为  $1\ \mu\text{m}$  时，ESD 事件对电路的影响很小，当进入  $0.18\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$  时代，尤其是 90 纳米以下时代，ESD 成为了刻不容缓的问题。在实际的生产和应用中，也存在大量因 ESD 原因失效的样品。因此增强芯片的 ESD 性能是需要的。

[0003] 通用的 ESD 分为 HBM（Human body model 人体模式）模式，MM（machine model 机器模式）模式和 CDM（Charged device model 带电模式）模式。HBM 和 MM 模式是外部对芯片进行放电，仅仅依靠输入输出端口的 ESD 保护电路是远远不够的，还需要在电源和地之间加 ESD 保护电路（电源钳位 ESD 电路），从而能够更加快速的泄放电流，以保证整个芯片的 ESD 性能。

[0004] 参见图 1 所示，现有的 ESD 保护电路中，每个输入 / 输出焊盘（I/O pad）处有上拉和下拉二极管保护电路，如图 1 中分别由 PMOS 晶体管 M1 和 NMOS 晶体管 M2，PMOS 晶体管 M3 和 NMOS 晶体管 M4，PMOS 晶体管 M5 和 NMOS 晶体管 M6 组成的上拉和下拉二极管保护电路；在电源电压 VDD 和地 GND 之间会有一个或者多个电源钳位结构的 ESD 保护电路（电源钳位 ESD 电路），如图 1 中由 PMOS 晶体管 M5、NMOS 晶体管 M6、电阻 R1、电容 C1、反相器 INV1 和泄流管 M7（NMOS 晶体管）组成的电源钳位 ESD 电路。当发生 ESD 事件时（即检测到 ESD 脉冲），一小部分 ESD 电流从上拉或者下拉二极管流出，另外大部分电流通过电源钳位 ESD 电路泄放，从而起到 ESD 保护作用。

[0005] 芯片的 ESD 性能与电源钳位 ESD 电路关系很大，电源钳位 ESD 电路个数越多，ESD 性能就会越好；电源钳位 ESD 电路中泄放管尺寸越大，ESD 性能也越好；由于发生 ESD 事件时，电流都是安培量级的，电源钳位 ESD 电路中泄放管的尺寸都较大，电源钳位 ESD 电路中的电阻和电容也都具有很大的尺寸；电源钳位 ESD 电路数量增加，必然会导致芯片面积增加。

### 实用新型内容

[0006] 本实用新型要解决的技术问题是提供一种 ESD 保护网络电路，能够在基本不增加芯片面积的基础上有效提高芯片的 ESD 性能。

[0007] 为解决上述技术问题，本实用新型的 ESD 保护网络电路，包括：多个电源钳位 ESD 电路，在每个 I/O pad 处设置一个电源钳位 ESD 电路。

[0008] 本实用新型的 ESD 保护网络电路从整体布局，能够更快的泄放 ESD 电流，形成一个较好的 ESD 防护网络，在不额外牺牲芯片面积的情况下，能最大限度的提高芯片 ESD 性能。

## 附图说明

[0009] 下面结合附图与具体实施方式对本实用新型作进一步详细的说明：

[0010] 图 1 是现有的 ESD 保护电路原理图；

[0011] 图 2 是所述 ESD 保护网络电路原理图。

## 具体实施方式

[0012] 参见图 2 所示,所述 ESD 保护网络电路,包括三个电源钳位 ESD 电路和一检测电路。电源钳位 ESD 电路的个数取决于芯片的实际焊盘(pad)数量,在本实施例中,以 3 个电源钳位 ESD 电路为例进行说明。

[0013] 每个电源钳位 ESD 电路的结构都是一样的。在每个 I/O pad 处设置一个电源钳位 ESD 电路。

[0014] 第一电源钳位 ESD 电路包括 PMOS 管 M8, NMOS 管 M9, 第二反相器 INV2, 电容 C2, NMOS 管 M10。PMOS 管 M8 的栅极和源极与电源电压 VDD 相连接,形成上拉二极管,其漏极与 NMOS 管 M9 的漏极相连接;NMOS 管 M9 的栅极和源极与地 GND 相连接,形成下拉二极管。

[0015] 第二反相器 INV2 是驱动电路,其输入端与电容 C2 的一端相连接,其输出端与 NMOS 管 M10 的栅极相连接;NMOS 管 M10 的漏极与电源电压 VDD 相连接;NMOS 管 M10 的源极和电容 C2 的另一端接地 GND。

[0016] 第二电源钳位 ESD 电路包括 PMOS 管 M11, NMOS 管 M12, 第三反相器 INV3, 电容 C3, NMOS 管 M13。

[0017] 第三电源钳位 ESD 电路包括 PMOS 管 M14, NMOS 管 M15, 第四反相器 INV4, 电容 C4, NMOS 管 M16。

[0018] 第二电源钳位 ESD 电路和第三电源钳位 ESD 电路的结构与第一电源钳位 ESD 电路结构相同,在此不再赘述。

[0019] 电容 C2 ~ C4 的容量大小无明确要求,可以根据版图放置合适的电容,电容值可以是 0.1pF,也可以是 1pF,还可以大于 5pF。

[0020] 所述检测电路,包括电阻 R2 和电容 C5,电阻 R2 的一端与电源电压 VDD 相连接,另一端与电容 C5 的一端相连接,其连接的节点记为 A,作为检测电路的输出端,电容 C5 的另一端接地。

[0021] 所述第一电源钳位 ESD 电路的反相器 INV2、第二电源钳位 ESD 电路的反相器 INV3 和第三电源钳位 ESD 电路的反相器 INV4 的输入端与节点 A 相连接。这样,所述第一电源钳位 ESD 电路、第二电源钳位 ESD 电路和第三电源钳位 ESD 电路,共享检测电路,以节省芯片面积。因为检测电路中的电阻和电容都是相对比较大的,共享电阻,并且可以在每个 I/O pad 处根据版图布局适当增加一些并联电容;例如在反相器的输入端并联的电容 C2 ~ C4 和检测电路的输出端并联,这样在不额外增加芯片面积的情况下,增加了泄放电流的时间。泄放电流的时间由延时时间决定,延时时间长,泄放 ESD 电流时间就长,ESD 电流就能泄放的更干净,从而芯片就更安全,提高了芯片的 ESD 性能。

[0022] 反相器 INV1 用于驱动 NMOS 晶体管 M10 打开来泄放电流。当在 PAD1 处和地 GND 之间发生正脉冲 ESD 事件时,小部分 ESD 电流击穿 NMOS 晶体管 M9 管泄放到地,大部分电流

流过正向二极管 M8 到电源电压 VDD ;检测电路检测到 ESD 脉冲,泄流管 M10, M13, M16 就依次迅速打开泄放电流,从而保护芯片。

[0023] 所述检测电路用于检测是正常上电还是 ESD 脉冲,当发生 ESD 事件时,应能够做出准确判断并开启泄放管。正常上电的时间一般为 1ms,而 ESD 事件的时间一般为几十纳秒或者几百纳秒,所以检测电路的延时时间要能够正确区分是正常上电还是 ESD 事件,因此延时时间要在这两者时间之间。正常的电源上电时,检测电路的输出点 A 点就会随电源电压缓慢上升,缓冲电路(即图 2 中的反相器 INV2 ~ INV4)的输出端保持为低电压,故泄放管关闭,电源钳位 ESD 电路不工作。当发生 ESD 事件时,电源电压 VDD 瞬间为高电压,而由电阻 R1 和电容 C4 构成的检测电路,由于延时其输出端 A 点上升比较缓慢,相当于保持一段时间的低电压,而缓冲电路就输出高电压驱动泄放管导通,从而泄放 ESD 电流。

[0024] 电源钳位 ESD 电路承担着大部分 ESD 电流的泄放,因此电源钳位 ESD 电路的个数分布以及泄流管的尺寸就很关键。针对这些情况,所述 ESD 保护网络电路在每个 I/O pad 处设置一个电源钳位 ESD 电路,当发生 ESD 事件时,附近的电源钳位 ESD 电路中的泄流管就能以最快的速度打开泄放电流,接着所有的泄流管也都将打开泄放电流。而图 1 所示的 ESD 保护电路,当发生 ESD 事件时,需要经过一段时间才能打开泄流管,因此所述 ESD 保护网络电路能有效的提高芯片的 ESD 性能。

[0025] 所述 ESD 保护网络电路,泄流管的总尺寸和原来的保持一样,这样就不需要额外增加泄流管的尺寸。如果在背景技术中,泄流管的宽长比尺寸为  $3000 \mu\text{m}/0.18 \mu\text{m}$ ,那么在所述 ESD 保护网络电路中,每个泄流管宽长比尺寸只需要  $1000 \mu\text{m}/0.18 \mu\text{m}$ ,既没有增加面积,又能使得附近的泄流管能够更迅速的打开来泄放电流。如果一个芯片中有 10 个 I/O pad,那么每个 pad 处相对应的泄流管尺寸可以设置为  $300 \mu\text{m}/0.18 \mu\text{m}$ ,以此类推。

[0026] 图中的 PAD 1 ~ PAD 3,分别表示三个不同处的 I/O pad。

[0027] 虽然本发明利用具体的实施例进行说明,但是对实施例的说明并不限制本发明的范围。本领域内的熟练技术人员通过参考本发明的说明,在不背离本发明的精神和范围的情况下,容易进行各种修改或者可以对实施例进行组合。

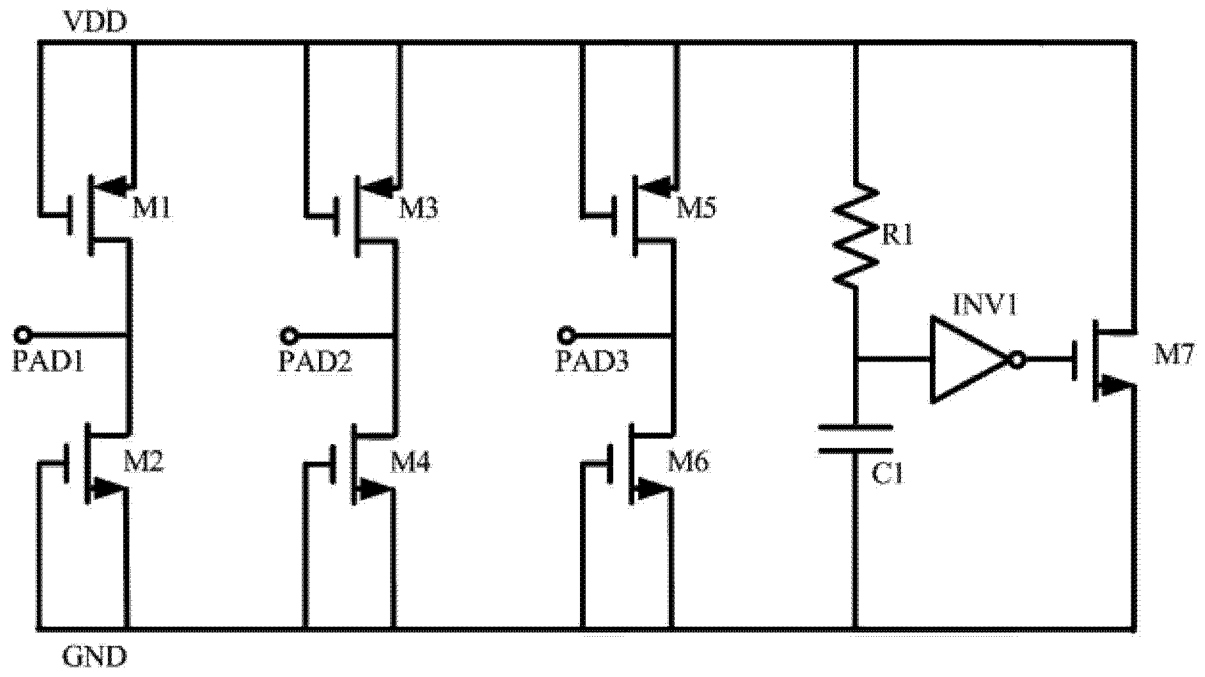


图 1

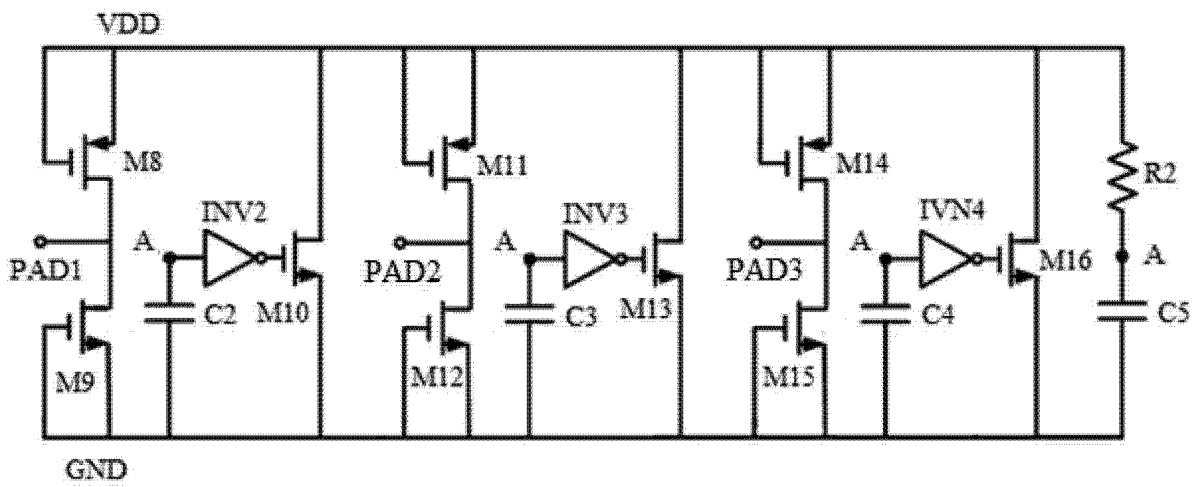


图 2