



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I712343 B

(45) 公告日：中華民國 109 (2020) 年 12 月 01 日

(21) 申請案號：106116898

(22) 申請日：中華民國 106 (2017) 年 05 月 22 日

(51) Int. Cl. : *H05K1/02 (2006.01)**H05K1/11 (2006.01)**H05K3/40 (2006.01)**H05K3/46 (2006.01)*

(30) 優先權：2016/05/24 世界智慧財產權組織 PCT/JP2016/065338

(71) 申請人：日商野田士克林股份有限公司 (日本) NODA SCREEN CO., LTD. (JP)  
日本

(72) 發明人：小山田成聖 OYAMADA, SEISEI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

TW 201448172A

TW 201517243A

JP 2013-62296A

US 5483099A

審查人員：楊兆華

申請專利範圍項數：6 項 圖式數：18 共 36 頁

(54) 名稱

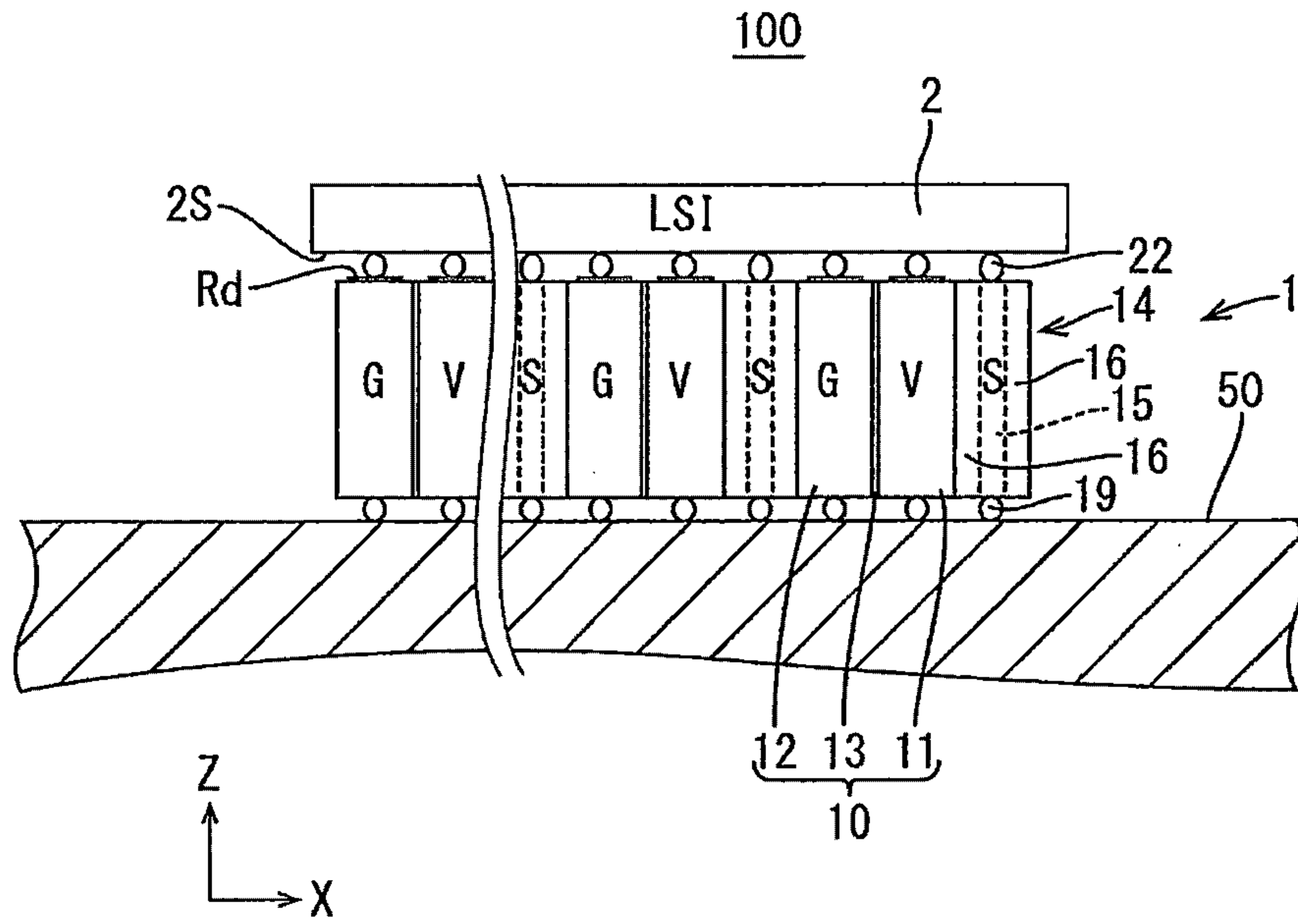
中間連接體、具備中間連接體之半導體裝置、及中間連接體之製造方法

(57) 摘要

中間連接體(1)係具備有：連接於半導體積體電路(2)的各電源焊墊的細長薄板形狀的電源匯流條(11)；連接於半導體積體電路(2)的各接地焊墊的細長薄板形狀的接地匯流條(12)；形成在電源匯流條(11)與接地匯流條(12)之間的薄膜絕緣體層(13)；及包含連接於半導體積體電路(2)的各訊號焊墊的複數導電路(15)的細長薄板形狀的導電路部(14)。電源匯流條(11)、接地匯流條(12)、及導電路部(14)係分別在以薄板的長邊方向相對半導體積體電路(2)的凸塊裝載面(2S)成為平行的方式呈豎立的狀態下，對應藉由半導體積體電路(2)的電源焊墊列、接地焊墊列、及訊號焊墊列所致之並列配置作並列配置。

指定代表圖：

圖 1



符號簡單說明：

- 1 . . . 中間連接體
- 2 . . . LSI 晶片(半導體積體電路)
- 2S . . . 凸塊裝載面
- 10 . . . 電容器
- 11 . . . 電源匯流條
- 12 . . . 接地匯流條
- 13 . . . 薄膜絕緣體層
- 14 . . . 導電路部
- 15 . . . 訊號線(導電路)
- 16 . . . 絕緣體部
- 19 . . . 基板側凸塊
- 22 . . . 凸塊
- 50 . . . 電路基板
- 100 . . . 半導體裝置
- Rd . . . 阻尼電阻

## 【發明摘要】

### 【中文發明名稱】

中間連接體、具備中間連接體之半導體裝置、及中間連接體之製造方法

### 【中文】

中間連接體（1）係具備有：連接於半導體積體電路（2）的各電源焊墊的細長薄板形狀的電源匯流條（11）；連接於半導體積體電路的各接地焊墊的細長薄板形狀的接地匯流條（12）；形成在電源匯流條（11）與接地匯流條（12）之間的薄膜絕緣體層（13）；及包含連接於半導體積體電路的各訊號焊墊的複數導電路（15）的細長薄板形狀的導電路部（14）。電源匯流條（11）、接地匯流條（12）、及導電路部（14）係分別在以薄板的長邊方向相對半導體積體電路的凸塊裝載面（2S）成為平行的方式呈豎立的狀態下，對應藉由半導體積體電路的電源焊墊列、接地焊墊列、及訊號焊墊列所致之並列配置作並列配置。

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

- 1：中間連接體
- 2：LSI晶片（半導體積體電路）
- 2S：凸塊裝載面
- 10：電容器
- 11：電源匯流條
- 12：接地匯流條
- 13：薄膜絕緣體層
- 14：導電路部
- 15：訊號線（導電路）
- 16：絕緣體部
- 19：基板側凸塊
- 22：凸塊
- 50：電路基板
- 100：半導體裝置
- Rd：阻尼電阻

【特徵化學式】無

# 【發明說明書】

## 【中文發明名稱】

中間連接體、具備中間連接體之半導體裝置、及中間連接體之製造方法

## 【技術領域】

[0001] 本發明係關於中間連接體、具備中間連接體之半導體裝置、及中間連接體之製造方法，詳言之係關於設在半導體積體電路與電路基板之間，將半導體積體電路與電路基板作電性連接的中間連接體。

## 【先前技術】

[0002] 以往，以上述中間連接體，所謂中介層而言，已知例如專利文獻 1 所揭示的技術。在專利文獻 1 中係揭示作為中間連接體的多層配線基板。在該多層配線基板中，揭示出將由絕緣層、配線層、及通孔導體所成之單位配線基板積層複數而形成多層配線基板的技術。

[先前技術文獻]

[專利文獻]

[0003] [專利文獻 1]日本特開 2005-45150 號公報

## 【發明內容】

(發明所欲解決之課題)

[0004] 但是，近年來，在伺服器系的 CPU 等 LSI

(半導體積體電路)中，LSI的晶片尺寸係達到步進器的遮罩尺寸所具有的最大直徑亦即 $24\times 24\text{mm}$ 。對應此，面陣列的間距係狹窄間距化，結果，焊墊數亦走向增加至例如 $200\times 200$ (40000)個之一途。因此，對於如上所示之焊墊數多的LSI，若欲以習知之多層配線基板來對應時，必須增加積層數。但是，伴隨積層數的增加，在遠離LSI的最下段的訊號配線層的訊號中，存在多數無法控制阻抗之相對較長的通孔。藉此，有在高速傳送時造成訊號劣化之虞。此外，伴隨積層數的增加，在位於上段的電源配線層，用以使訊號通過的開口數、及用以使不同電位的電源通過的開口數增加，有無法作為電源配線層來維持電源平面的功能之虞。因此，期待一種可以簡單的構造，對應焊墊數多的半導體積體電路的中間連接體。

[0005] 因此，在本說明書中，提供一邊可將電源阻抗維持較低至高頻區域，一邊對應焊墊數多的半導體積體電路的中間連接體及其製造方法。

(解決課題之手段)

[0006] 藉由本說明書所揭示之中間連接體係設在半導體積體電路與裝載前述半導體積體電路的電路基板之間，且將前述半導體積體電路與前述電路基板作電性連接的中間連接體，前述半導體積體電路係具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的凸

塊裝載面，

前述中間連接體係具備有：細長薄板形狀的電源匯流條，其係至少具有前述電源焊墊列的長度，且連接於前述電源焊墊列的各電源焊墊；細長薄板形狀的接地匯流條，其係至少具有前述接地焊墊列的長度，且連接於前述接地焊墊列的各接地焊墊；薄膜絕緣體層，其係形成在前述電源匯流條與前述接地匯流條之間；及細長薄板形狀的導電路部，其係至少具有前述訊號焊墊列的長度，且包含連接於前述訊號焊墊列的各訊號焊墊的複數導電路，前述電源匯流條、前述接地匯流條、及前述導電路部係分別在以薄板的長邊方向相對前述半導體積體電路的前述凸塊裝載面成為平行的方式呈豎立的狀態下，對應藉由前述電源焊墊列、前述接地焊墊列、及前述訊號焊墊列所致之前述並列配置作並列配置而相接合。

[0007] 藉由本構成，藉由薄板形狀的匯流條、及薄板形狀的導電路部，對並列配置有焊墊列的半導體積體電路，進行電力與訊號的供給。此外，電源匯流條、接地匯流條、及導電路部係分別在以薄板的長邊方向相對半導體積體電路的凸塊裝載面成為平行的方式呈豎立的狀態下，對應半導體積體電路的焊墊的並列配置作並列配置。因此，藉由本構成之中間連接體，與以多層基板構成中間連接體的情形相比，不需要形成通孔等，可一邊將電源的低阻抗狀態維持至高頻率區域，一邊對應焊墊數多的半導體積體電路。

此外，可藉由電源匯流條、接地匯流條、及薄膜絕緣體層，形成電容器。藉此，在使用匯流條作為中間連接體的構成中，可將電源的低阻抗狀態維持至高頻率區域。

[0008] 此外，在上述中間連接體中，亦可具備有以下之中的至少一方的阻尼電阻：在前述電源匯流條的上端面亦即對前述半導體積體電路的連接面上，形成在對應前述複數電源焊墊的位置且具有大於前述電源匯流條的薄片電阻的薄片電阻的阻尼電阻；及在前述接地匯流條的上端面亦即對前述半導體積體電路的連接面上，形成在對應前述複數接地焊墊的位置且具有大於前述接地匯流條的薄片電阻的薄片電阻的阻尼電阻。

藉由本構成，可藉由阻尼電阻，抑制以反共振頻率所呈現的阻抗的峰值，使形成在 LSI 的內部的 Tr（電晶體）的電源阻抗低且安定。

[0009] 此外，在上述中間連接體中，亦可前述電源匯流條係包含電源電壓不同的複數種類的電源匯流條。

藉由本構成，可對應在半導體積體電路必須要有電源電壓不同的複數種類的電源的情形。

[0010] 此外，藉由本說明書所揭示之半導體裝置係具備有：具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊列所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的焊墊面的半導體積體電路；及上述任一中間連接體。

藉由本構成，可提供一種具備有可一邊對應焊墊數多



的半導體積體電路，一邊維持電源的低阻抗狀態至高頻率區域的中間連接體的半導體裝置。

[0011] 藉由本說明書所揭示之中間連接體之製造方法係設在半導體積體電路與裝載前述半導體積體電路的電路基板之間，且將前述半導體積體電路與前述電路基板作電性連接的中間連接體之製造方法，前述半導體積體電路係具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的凸塊裝載面，該中間連接體之製造方法係包含：電源匯流條形成工程，其係形成細長薄板形狀的電源匯流條，該細長薄板形狀的電源匯流條至少具有前述電源焊墊列的長度，且連接於前述電源焊墊列的各電源焊墊；接地匯流條形成工程，其係形成細長薄板形狀的接地匯流條，該細長薄板形狀的接地匯流條至少具有前述接地焊墊列的長度，且連接於前述接地焊墊列的各接地焊墊；絕緣體層形成工程，其係在前述電源匯流條與前述接地匯流條之間形成薄膜絕緣體層；導電路部形成工程，其係形成細長薄板形狀的導電路部，該細長薄板形狀的導電路部至少具有前述訊號焊墊列的長度，且包含連接於前述訊號焊墊列的各訊號焊墊的複數導電路；及接合工程，其係將前述電源匯流條、前述接地匯流條、及前述導電路部，分別在以薄板的長邊方向相對前述半導體積體電路的前述凸塊裝載面成為平行的方式呈豎立的狀態下，對應藉由前述電源焊墊列、前述接地焊墊列、及前述訊號焊墊列所致之

前述並列配置作並列配置而相接合。

[0012] 此外，在上述中間連接體之製造方法中，亦可前述接合工程係包含：第 1 次中間物形成工程，其係將相接合的前述電源匯流條、前述接地匯流條、及前述導電路部進行接合為單元，形成單元的積層體亦即前述中間連接體的第 1 次中間物；第 2 次中間物形成工程，其係使前述第 1 次中間物，對應前述半導體積體電路的尺寸而切斷成長條狀，形成複數前述中間連接體的第 2 次中間物；及連接體形成工程，其係將複數前述第 2 次中間物接合而形成該中間連接體。

(發明之效果)

[0013] 藉由本發明之中間連接體，可一邊維持電源的低阻抗狀態至高頻率區域，一邊對應焊墊數多的半導體積體電路。

#### 【圖式簡單說明】

[0014]

圖 1 係顯示實施形態之半導體裝置的概略部分側面圖。

圖 2 係由顯示半導體裝置的圖 1 的左側所觀看的概略部分側面圖。

圖 3 係顯示中間連接體的概略部分平面圖。

圖 4 係顯示中間連接體的一部分的概略部分斜視圖。

圖 5 係半導體裝置的電源系的概略等效電路圖。

圖 6 係顯示藉由電容所得之電源阻抗特性的圖表。

圖 7 係顯示藉由基板配線所得之電源阻抗特性的圖表。

圖 8 係顯示藉由 LSI 內的配線所得之電源阻抗特性的圖表。

圖 9 係顯示藉由阻尼電阻所得之電源阻抗特性的圖表。

圖 10 係顯示增加電容後的電源阻抗特性的圖表。

圖 11 係說明中間連接體之製造方法的圖。

圖 12 係說明中間連接體之製造方法的圖。

圖 13 係說明中間連接體之製造方法的圖。

圖 14 係說明中間連接體之製造方法的圖。

圖 15 係說明中間連接體之製造方法的圖。

圖 16 係說明中間連接體之製造方法的圖。

圖 17 係說明中間連接體之製造方法的圖。

圖 18 係說明中間連接體之製造方法的圖。

## 【實施方式】

[0015]

### < 實施形態 >

參照圖 1 至圖 18，說明一實施形態 1。其中，在圖中，同一符號係表示相同或相當部分。此外，對於同一構成係有省略元件符號的情形。

[0016]

### 1. 半導體裝置的構成

如圖 1 所示，半導體裝置 100 係大致包含：中間連接體 1、及 LSI 晶片（「半導體積體電路」之一例）2。半導體裝置 100 係透過中間連接體 1 而被裝載在母板等電路基板 50。LSI 係例如 CPU 或 MPU。

[0017] 其中，在以下，元件符號所附加的文字「V」意指有關被施加於 LSI 晶片 2 的正極性的電源電壓的構件等，文字「G」意指有關被施加於 LSI 晶片 2 之接地電壓的構件等。此外，文字「S」係表示有關被輸出入至 LSI 晶片 2 的訊號的構件等。此外，圖 3 係中間連接體 1 的概略部分平面圖，惟由於凸塊配置相同，因此亦可謂為大致顯示 LSI 晶片 2 的凸塊裝載面 2S。因此，在凸塊裝載面 2S 的說明中兼用圖 3。

[0018] 本實施形態之 LSI 晶片 2 係區域陣列類型的 LSI，如圖 3 所示，具有並列配置有：由複數（在本實施形態中為 192 個）電源焊墊 21V 所成之電源焊墊列 21VL、由複數（在本實施形態中為 192 個）接地焊墊 21G 所成之接地焊墊列 21GL、及由複數（在本實施形態中 192 個）訊號焊墊 21S 所成之訊號焊墊列 21SL 的凸塊裝載面 2S。如圖 3 所示，藉由各焊墊列所致之總並列數係 192 例。亦即，在本實施形態中，假想焊墊數為  $192 \times 192$ （36864）個，且晶片尺寸為大致  $23 \times 23 \text{mm}$  的 LSI 晶片 2。此外，在本實施形態中，區域陣列的間距係設為例如

120 $\mu\text{m}$  (微米)。

[0019] 在各焊墊 21 係形成有用以連接 LSI 晶片 2 與中間連接體 1 的凸塊 22 (參照圖 1 等)。凸塊 22 在本實施形態中為例如 Au (金) 柱形凸塊。

[0020] 中間連接體 1 係如圖 1 所示，包含：複數電源匯流條 11、複數接地匯流條 12、複數薄膜絕緣體層 13、及複數導電路部 14。各電源匯流條 11、各接地匯流條 12、及各薄膜絕緣體層 13 係構成電容器 (旁路電容器) 10。薄膜絕緣體層 13 係具有相對較高的相對介電常數，作為電容器 10 的介電質層。其中，將圖 1 等中的箭號 X 方向設為中間連接體 1 的寬幅 W 方向，將圖 2 等中的箭號 Y 方向設為中間連接體 1 的長度 L 方向，將圖 1 等中的箭號 Z 方向設為中間連接體 1 的高度 H 方向 (參照圖 18)。

此外，電源匯流條 11、接地匯流條 12、及導電路部 14 的長度 L 及高度 H 係等於中間連接體 1 的長度 L 及高度 H。電源匯流條 11、接地匯流條 12、及導電路部 14 的厚度 T 方向係等於中間連接體 1 的寬幅 W 方向 (箭號 X 方向)，各厚度 T (120 $\mu\text{m}$ ) 與中間連接體 1 的寬幅 W (23mm) 相比，為極小。

[0021] 各電源匯流條 11 係具有細長薄板形狀，至少具有 LSI 晶片 2 的電源焊墊列 21VL 的長度，且連接於電源焊墊列 21VL 的各電源焊墊 21V。

[0022] 同樣地，各接地匯流條 12 係具有細長薄板形

狀，至少具有 LSI 晶片 2 的接地焊墊列 21GL 的長度，且連接於接地焊墊列 21GL 的各接地焊墊 21G。電源匯流條 11 及接地匯流條 12 係藉由低電阻的金屬導體，例如薄銅板所構成，例如厚度 T 為  $120\mu\text{m}$ ，高度 H 為 3mm，長度 L 為大約 23mm（參照圖 4、圖 16、圖 18）。其中，並非侷限於此，兩匯流條 11、12 亦可藉由例如碳等所構成。

[0023] 同樣地，各導電路部 14 係具有細長薄板形狀，至少具有訊號焊墊列 21SL 的長度，包含：連接於訊號焊墊列 21SL 的各訊號焊墊 21S 的複數訊號線（導電路）15 與絕緣體部 16。複數訊號線 15 係形成在絕緣體部 16 之中。

[0024] 電源匯流條 11、接地匯流條 12、及導電路部 14 係在分別以薄板的長邊方向（圖 2 的箭號 Y 方向）相對 LSI 晶片 2 的凸塊裝載面 2S 成為平行的方式呈豎立的狀態下，對應藉由 LSI 晶片 2 的電源焊墊列 21VL、接地焊墊列 21GL、及訊號焊墊列 21SL 所致之並列配置作並列配置且相接合（參照圖 1 至圖 4）。亦即，在本實施形態中，電源匯流條 11、接地匯流條 12、及導電路部 14 係形成縱方向的平面構造。

[0025] 此外，如圖 3 所示，電源匯流條 11 的上端面亦即對 LSI 晶片 2 的連接面 11S 係包含對應複數電源焊墊 21V 的複數連接體側電源焊墊 18V，接地匯流條 12 的上端面亦即對 LSI 晶片 2 的連接面 12S 係包含對應複數接地焊墊 21G 的複數連接體側接地焊墊 18G。

[0026] 此外，如圖 4 所示，在各連接體側電源焊墊 18V 的下部、及各連接體側接地焊墊 18G 的下部係形成有具有大於電源匯流條 11 及接地匯流條 12 的薄片電阻的薄片電阻的阻尼電阻  $R_d$ 。阻尼電阻  $R_d$  係具有例如由金屬系高電阻材料所成之薄板狀的形狀。金屬系高電阻材料係例如 TaN（氮化鉭）。

其中，電源匯流條 11、接地匯流條 12、及訊號線 15 係透過基板側凸塊 19 而與電路基板 50 相連接。電路基板 50 係形成為一般的橫方向的平面構造，訊號線 15 係經由電路基板 50 且被展開（fan-out）。

[0027]

## 2. 電源阻抗的模擬

圖 5 係顯示模擬所使用之有關 LSI 晶片 2 的電源阻抗  $Z_s$  的概略等效電路。

[0028] 以等效電路的參數而言，至少使用形成在 LSI 晶片 2 的電晶體電路的近傍的 Vdd-Gnd 間的靜電電容  $C_1$ 、由 LSI 晶片 2 的電晶體電路至焊墊 21 的配線電阻  $R_1$  與電感  $L_1$ 、阻尼電阻  $R_d$ 、及電容器 10 的單位長電容  $C_s$ 。

在此，各值係設為  $C_1=90\text{pF}$ 、 $R_1=5.16\text{m}\Omega$ 、 $L_1=0.05\text{nH}$ 。

[0029] 此外，各匯流條 11、12 的尺寸係將厚度  $T$ （圖 4 的箭號 X 方向的長度）設為  $100\mu\text{m}$ 、高度  $H$ （圖 4 的箭號 Z 方向的長度）設為  $3\text{mm}$ 、及長度  $L$ （圖 4 的箭號

Y 方向的長度) 設為 30mm。其中，在圖 6 至圖 10 中，縱軸以 dB 顯示分流通過中的反射的比。-50dB 附近所示之直線的位置相當於大致  $0.1\Omega$  的電源阻抗  $Z_s$ 。

[0030] 圖 6 係顯示未設有阻尼電阻  $R_d$ ，將單位長電容  $C_s$  設為  $500\text{pF}/\text{mm}$  (合計相當於  $75\text{nF}$ ) 時的電源阻抗  $Z_s$  的模擬結果。

[0031] 此外，圖 7 係顯示作為電源線，在一般的印刷基板上為銅配線之情形下的電源阻抗  $Z_s$  的模擬結果。將此時的銅圖案的厚度  $T$  設為  $48\mu\text{m}$ 、寬幅  $W$  設為  $100\mu\text{m}$ 、長度  $L$  設為 30mm，在 LSI 晶片 2 的正下方附加有電容 1F 的電容器  $C_o$ 。

[0032] 以圖 6 與圖 7 的相異處而言，在 10MHz 的電源阻抗  $Z_s$  分別成為 -70dB、-64dB，且在使用匯流條 11、12 的圖 6 中，係提供由 DC 至 10MHz 為非常低的電源阻抗  $Z_s$ 。此外，電源阻抗  $Z_s$  成為 -50dB ( $0.1\Omega$ ) 的頻率係分別形成為 130MHz、80MHz，使用匯流條 11、12 時，顯示可維持較低的電源阻抗  $Z_s$  至較高頻率為止。

[0033] 此外，在圖 6 中，反共振點發生在 400MHz 與 2GHz，在圖 7 中，反共振點發生在 1.2GHz。在圖 6 中的 400MHz 的反共振點被認為係藉由匯流條 11、12 所形成之相當  $75\text{nF}$  的電容器 10 所貢獻者。此外，圖 7 係顯示即使在 LSI 晶片 2 的正下方附加有電容 1F 的電容器  $C_o$  的情形下，以 80MHz 以上，並無法達成電源阻抗  $Z_s=0.1\Omega$ 。



[0034] 圖 8 係顯示模擬出被施加於 LSI 晶片 2 的電晶體電路附近的配線（電源線）的影響者。此時，若電源線（銅）的厚度  $T$  為  $5\mu\text{m}$ ，顯示出具有關於  $400\text{MHz}$  附近的反共振點的峰值的阻尼效果（參照圖 6）。

[0035] 圖 9 係顯示在 LSI 晶片 2 與匯流條 11、12 之間，在本實施形態中，在匯流條 11、12 的各連接面（上端面）11S、12S 上附加有阻尼電阻  $R_d$  的情形。藉由阻尼電阻  $R_d$ ， $100\text{MHz}$  附近的反共振點的峰值被阻尼。相反地，阻尼電阻  $R_d$  係為了上拉基極的阻抗（接近 DC 的頻率的阻抗），以最適值為宜。藉由模擬，確認出阻尼電阻  $R_d$  的最適值為  $0.125\Omega$ 。此時，若將 LSI 晶片 2 內的靜電電容  $C_1$  由  $90\text{pF}$  變更為  $4000\text{pF}$  時，以模擬顯示出在  $1\text{GHz}$  附近的反共振點會消滅，在  $10\text{MHz}$  至  $1\text{GHz}$  的範圍，大致可達成  $-50\text{dB}$ 。

[0036] 圖 10 係在有圖 9 的阻尼電阻  $R_d$  的情形下，顯示將單位長電容  $C_s$  由  $500\text{pF}/\text{mm}$  變更為  $5000\text{pF}/\text{mm}$  的情形。此時，顯示出在  $100\text{MHz}$  附近發生的反共振點幾乎消滅。

[0037]

### 3. 中間連接體之製造方法

接著，參照圖 11 至圖 18，說明中間連接體之製造方法。

[0038] 首先，如圖 11 所示，例如，在用以形成電源匯流條 11 的銅板 11A 上黏貼用以形成導電部 14 的絕緣

體部 16 的有機材料 16A (相當於「電源匯流條形成工程」的一部分)。銅板 11A 的厚度  $T$  為  $120\mu\text{m}$ ，長度為數  $10\text{cm}$ ，例如  $60\text{cm}$ ，寬幅 (相當於電源匯流條 11 的高度  $H$ ) 為  $3\text{mm}$  (參照圖 16)。有機材料 16A 的厚度為例例如  $50\mu\text{m}$ 。有機材料 16A 係例如 BT (雙馬來醯亞胺-三氫雜苯) 樹脂、ABF (Ajinomoto Build-Up Film) 等。

[0039] 接著，如圖 12 所示，載置用以在有機材料 16A 上形成訊號線 15 之厚度例如  $50\mu\text{m}$  的銅板 15A。接著如圖 13 所示，將銅板 15A 蝕刻而形成訊號線 15。之後，如圖 14 所示以有機材料 16B 進行回蝕，並且另外在其上貼合厚度例如  $50\mu\text{m}$  的有機材料 16C (相當於「導電路部形成工程」)。其中，導電路部 14 亦可以一般的減成法、或半加成法作成。接著，在成為銅板 11A 的電源匯流條 11 的上端面 11S 的面上形成阻尼電阻  $R_d$  (相當於「阻尼電阻工程」)，在阻尼電阻  $R_d$  之上形成焊墊 18V。

[0040] 另一方面，如圖 15 所示，在用以形成接地匯流條 12 的銅板 12A 上，塗佈成為電容器 10 之薄膜絕緣體層 13 的例如有機絕緣材料 (相當於「接地匯流條形成工程」及「絕緣體層形成工程」的一部分)。有機絕緣材料係以使用旋塗等，形成為例例如  $0.4\mu\text{m}$  等， $1\mu\text{m}$  以下為宜。以薄膜絕緣體層 13 而言，亦可塗佈絕緣性的無機材料。接著，在薄膜絕緣體層 13 的表面，使用濺鍍等而閃覆 (flash coat) 銅 11B。接著，在成為銅板 12A 的接地匯流條 12 的上面 12S 的面上形成阻尼電阻  $R_d$ ，且在阻尼電阻

Rd 之上形成焊墊 18G。

[0041] 接著，將圖 14 的銅板 11A 的表面、與圖 15 之經閃覆的銅 11B 的表面進行粗化。接著，使用矽烷耦合材等，將銅板 11A 的表面與銅 11B 的表面強力接著，形成用以形成圖 16 所示之中間連接體 1 的單元 1A（相當於「接合工程」的一部分）。

[0042] 接著，如圖 17 所示，將複數（在本實施形態中為 8 個）單元 1A 接合（多重化），形成單元 1A 的積層體，亦即中間連接體 1 的第 1 次中間物 1B（第 1 次中間物形成工程、接合工程）。其中，在單元 1A 多重化時，例如形成導電路部 14 時，以有機材料 16A 而言，在熱硬化性的 BT 樹脂薄片上形成訊號線 15。此外，以有機材料 16C 而言，將熱硬化性的 BT 樹脂薄片塗佈在積層的接下來的單元 1A 的接地匯流條 12 的全面。接著，以二層 BT 樹脂薄片夾入訊號線 15，且藉由熱硬化，可在形成導電路部 14 的同時，使單元 1A 多重化。其中，單元 1A 的多重化亦可為與一般之多層基板之製造方法相同的方法。

[0043] 接著，使第 1 次中間物 1B 對應 LSI 晶片 2 的尺寸（在本實施形態中為約 23mm），例如藉由雷射切斷長條狀，形成複數中間連接體 1 的第 2 次中間物 1C（第 2 次中間物形成工程）。

[0044] 接著，將複數（在本實施形態中為 8 個）第 2 次中間物 1C 接合，形成圖 18 所示之中間連接體 1（連接體形成工程、接合工程）。亦即，將電源匯流條 11、接

地匯流條 12、及導電路部 14，分別在以薄板的長邊方向（箭號 Y 方向）相對半導體積體電路 2 的凸塊裝載面 2S 成為平行的方式呈豎立的狀態下，形成對應藉由電源焊墊列 21VL、接地焊墊列 21GL、及訊號焊墊列 21SL 所致之並列配置作並列配置的中間連接體 1。

其中，第 2 次中間物 1C 的接合係例如與單元 1A 的多重化的方法同樣地，使用熱硬化性的 BT 樹脂薄片來進行。亦即，以形成在二個第 2 次中間物 1C 的接合部的 BT 樹脂薄片，夾著其中一方第 2 次中間物 1C 的導電路部 14 的訊號線 15，進行熱硬化，藉此可在形成其中一方第 2 次中間物 1C 的導電路部 14 的同時，接合另一方第 2 次中間物 1C。

[0045]

#### 4.實施形態的效果

藉由薄板形狀的匯流條 11、12、及薄板形狀的導電路部 14，對並列配置有焊墊列 21GL、21VL 的 LSI 晶片 2，進行電力與訊號的供給。此外，電源匯流條 11、接地匯流條 12、及導電路部 14 係分別在以薄板的長邊方向（圖 2 等的箭號 Y 方向）相對 LSI 晶片 2 的凸塊裝載面 2S 成為平行的方式呈豎立的狀態下，對應 LSI 晶片 2 的焊墊的並列配置作並列配置。亦即，在本實施形態中，換言之，中間連接體形成為縱方向的平面構造。因此，藉由本構成之中間連接體 1，與習知之由形成為橫方向之平面構造的多層基板所構成的中間連接體相比，不需要形成通

孔等，可一邊維持電源的低阻抗狀態至高頻率區域，一邊對應焊墊數多的半導體積體電路。

[0046] 此外，在電源匯流條 11 與接地匯流條 12 之間設有薄膜絕緣體層 13。因此，藉由電源匯流條 11 與接地匯流條 12 與薄膜絕緣體層 13，可形成電容器 10。藉此，在使用匯流條 11、12 作為中間連接體 1 的構成中，可將低電源阻抗維持至高頻率區域。

此外，藉由阻尼電阻  $R_d$ ，可使中間連接體 1 的電源阻抗特性提升。

[0047]

< 其他實施形態 >

本發明並非為限定於藉由上述記述及圖示所說明的實施形態者，例如以下所示之實施形態亦包含在本發明之技術範圍中。

[0048] (1) 在上述實施形態中，係顯示在電源匯流條 11 的連接面（上端面）11S 上、及接地匯流條 12 的連接面（上端面）12S 上形成阻尼電阻  $R_d$  之例，惟並非侷限於此。例如，亦可僅在電源匯流條 11 的連接面（上端面）11S 上、或僅在接地匯流條 12 的連接面（上端面）12S 上形成阻尼電阻  $R_d$ 。此外，阻尼電阻  $R_d$  亦可省略。

[0049] (2) 電源匯流條亦可包含電源電壓不同的複數種類的電源匯流條。此時，可對應在 LSI 晶片 2 必須要有電源電壓不同的複數種類的電源（例如 3V（伏特）及 1V）的情形。此時，亦可例如在單元 1A 內包含電源電壓

不同的複數種類的電源匯流條，亦可在單元 1A 單位，構成使電源電壓為不同。

[0050] (3) 電源匯流條 11、接地匯流條 12、及導電路部 14 之並列配置的順序為任意。亦即，亦可以對應藉由 LSI 晶片 2 的電源焊墊列、接地焊墊列、及訊號焊墊列所致之並列配置的方式，適當變更。例如，亦可將作並列配置的順序，形成為導電路部 14、接地匯流條 12、電源匯流條 11 的順序，或者亦可形成為導電路部 14、電源匯流條 11、電源匯流條 11、接地匯流條 12、接地匯流條 12 的順序。

[0051] (4) 在上述實施形態中，係假定將 LSI 晶片 2 的晶片尺寸設為約  $23 \times 23 \text{mm}$ ，焊墊數為  $192 \times 192$  (36864) 個，焊墊間距為  $120 \mu\text{m}$  的情形，顯示出對應該 LSI 晶片 2 的焊墊的中間連接體 1 的構成例，惟並非侷限於此。亦即，本案之中間連接體對於其他任意晶片尺寸、焊墊數、及焊墊間距的 LSI 晶片，亦可適用。

### 【符號說明】

[0052]

1：中間連接體

1A：單元

1B：第 1 次中間體

1C：第 2 次中間體

2：LSI 晶片（半導體積體電路）

- 2S：凸塊裝載面
- 10：電容器
- 11：電源匯流條
- 11A：銅板
- 11B：銅
- 11S：電源匯流條的上端面（連接面）
- 12：接地匯流條
- 12S：接地匯流條的上端面（連接面）
- 13：薄膜絕緣體層
- 14：導電路部
- 15：訊號線（導電路）
- 15A：銅板
- 16：絕緣體部
- 16A：有機材料
- 16B：有機材料
- 16C：有機材料
- 18G：連接體側接地焊墊
- 18V：連接體側電源焊墊
- 19：基板側凸塊
- 21G：接地焊墊
- 21GL：接地焊墊列
- 21S：訊號焊墊
- 21SL：訊號焊墊列
- 21V：電源焊墊

21VL：電源焊墊列

22：凸塊

50：電路基板

100：半導體裝置

Rd：阻尼電阻



## 【發明申請專利範圍】

### 【第 1 項】

一種中間連接體，其係設在半導體積體電路與裝載前述半導體積體電路的電路基板之間，且將前述半導體積體電路與前述電路基板作電性連接的中間連接體，

前述半導體積體電路係具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的凸塊裝載面，

前述中間連接體係具備有：

細長薄板形狀的電源匯流條，其係至少具有前述電源焊墊列的長度，且連接於前述電源焊墊列的各電源焊墊；

細長薄板形狀的接地匯流條，其係至少具有前述接地焊墊列的長度，且連接於前述接地焊墊列的各接地焊墊；

薄膜絕緣體層，其係形成在前述電源匯流條與前述接地匯流條之間；及

細長薄板形狀的導電路部，其係至少具有前述訊號焊墊列的長度，且包含連接於前述訊號焊墊列的各訊號焊墊的複數導電路，

前述電源匯流條、前述接地匯流條、及前述導電路部係分別在以薄板的長邊方向相對前述半導體積體電路的前述凸塊裝載面成為平行的方式呈豎立的狀態下，對應藉由前述電源焊墊列、前述接地焊墊列、及前述訊號焊墊列所致之前述並列配置作並列配置而相接合。

### 【第 2 項】

如申請專利範圍第 1 項之中間連接體，其中，具備有以下之中的至少一方的阻尼電阻：

在前述電源匯流條的上端面亦即對前述半導體積體電路的連接面上，形成在對應前述複數電源焊墊的位置且具有大於前述電源匯流條的薄片電阻的薄片電阻的阻尼電阻；及

在前述接地匯流條的上端面亦即對前述半導體積體電路的連接面上，形成在對應前述複數接地焊墊的位置且具有大於前述接地匯流條的薄片電阻的薄片電阻的阻尼電阻。

### 【第 3 項】

如申請專利範圍第 1 項之中間連接體，其中，前述電源匯流條係包含電源電壓不同的複數種類的電源匯流條。

### 【第 4 項】

一種半導體裝置，其係具備有：

具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊列所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的焊墊面的半導體積體電路；及

如申請專利範圍第 1 項至第 3 項中任一項之中間連接體。

### 【第 5 項】

一種中間連接體之製造方法，其係設在半導體積體電路與裝載前述半導體積體電路的電路基板之間，且將前述半導體積體電路與前述電路基板作電性連接的中間連接體

之製造方法，

前述半導體積體電路係具有：並列配置有由複數電源焊墊所成之電源焊墊列、由複數接地焊墊所成之接地焊墊列、及由複數訊號焊墊所成之訊號焊墊列的凸塊裝載面，

該中間連接體之製造方法係包含：

電源匯流條形成工程，其係形成細長薄板形狀的電源匯流條，該細長薄板形狀的電源匯流條至少具有前述電源焊墊列的長度，且連接於前述電源焊墊列的各電源焊墊；

接地匯流條形成工程，其係形成細長薄板形狀的接地匯流條，該細長薄板形狀的接地匯流條至少具有前述接地焊墊列的長度，且連接於前述接地焊墊列的各接地焊墊；

絕緣體層形成工程，其係在前述電源匯流條與前述接地匯流條之間形成薄膜絕緣體層；

導電路部形成工程，其係形成細長薄板形狀的導電路部，該細長薄板形狀的導電路部至少具有前述訊號焊墊列的長度，且包含連接於前述訊號焊墊列的各訊號焊墊的複數導電路；及

接合工程，其係將前述電源匯流條、前述接地匯流條、及前述導電路部，分別在以薄板的長邊方向相對前述半導體積體電路的前述凸塊裝載面成為平行的方式呈豎立的狀態下，對應藉由前述電源焊墊列、前述接地焊墊列、及前述訊號焊墊列所致之前述並列配置作並列配置而相接合。

【第 6 項】

如申請專利範圍第 5 項之中間連接體之製造方法，其中，前述接合工程係包含：

第 1 次中間物形成工程，其係將相接合的前述電源匯流條、前述接地匯流條、及前述導電路部進行接合為單元，形成單元的積層體亦即前述中間連接體的第 1 次中間物；

第 2 次中間物形成工程，其係使前述第 1 次中間物，對應前述半導體積體電路的尺寸而切斷成長條狀，形成複數前述中間連接體的第 2 次中間物；及

連接體形成工程，其係將複數前述第 2 次中間物接合而形成該中間連接體。

【發明圖式】

圖 1

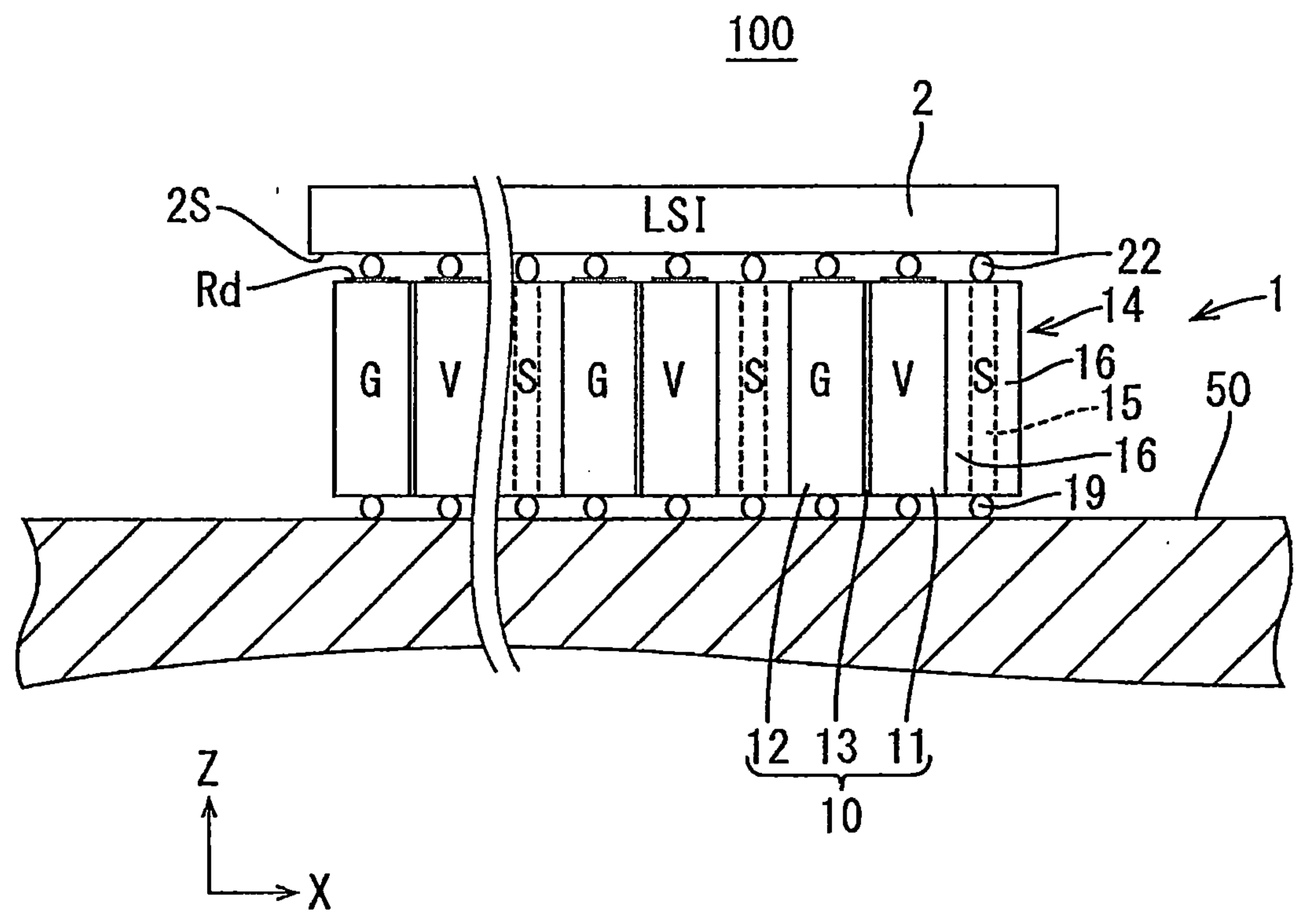


圖 2

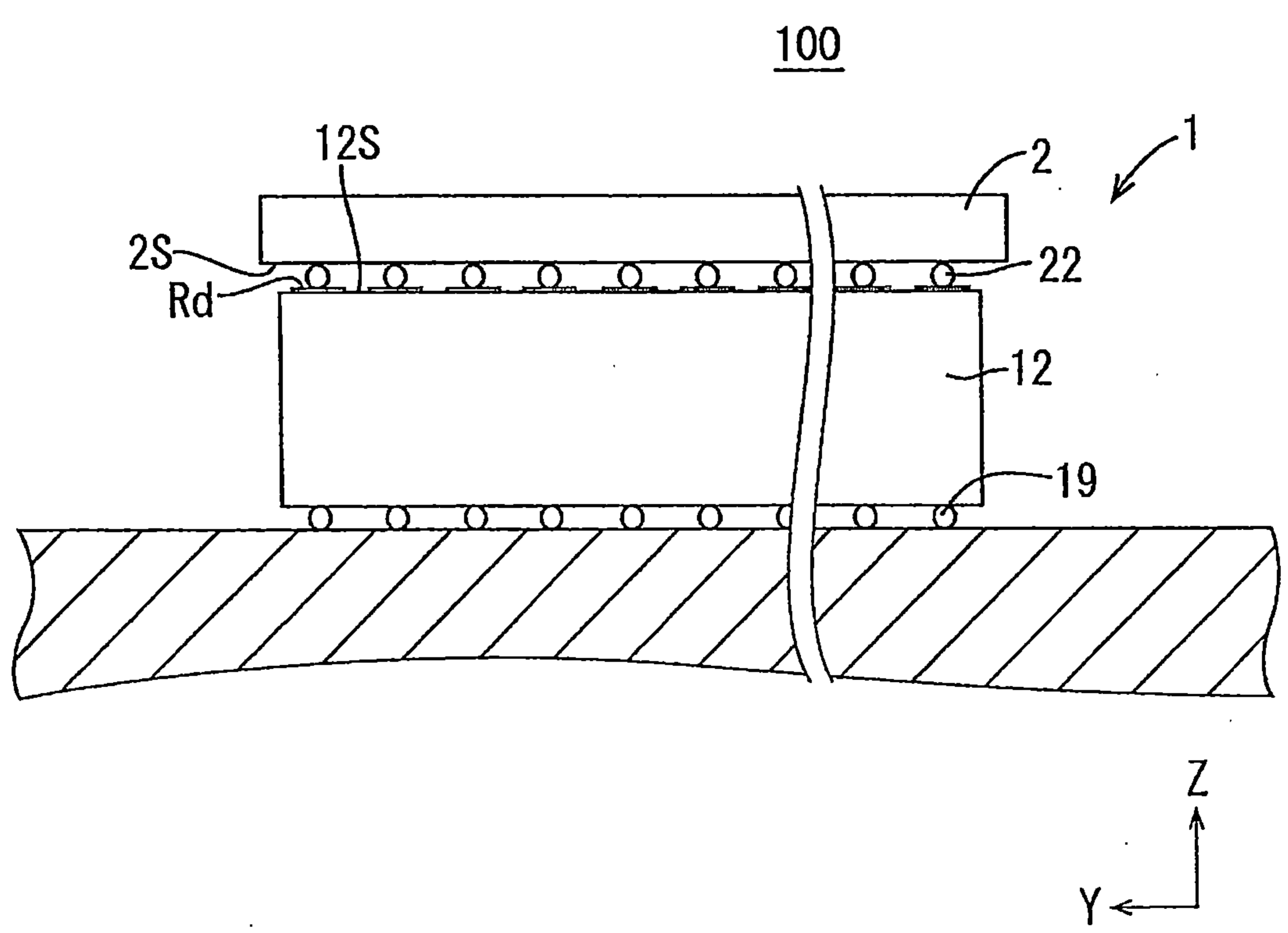


圖 3

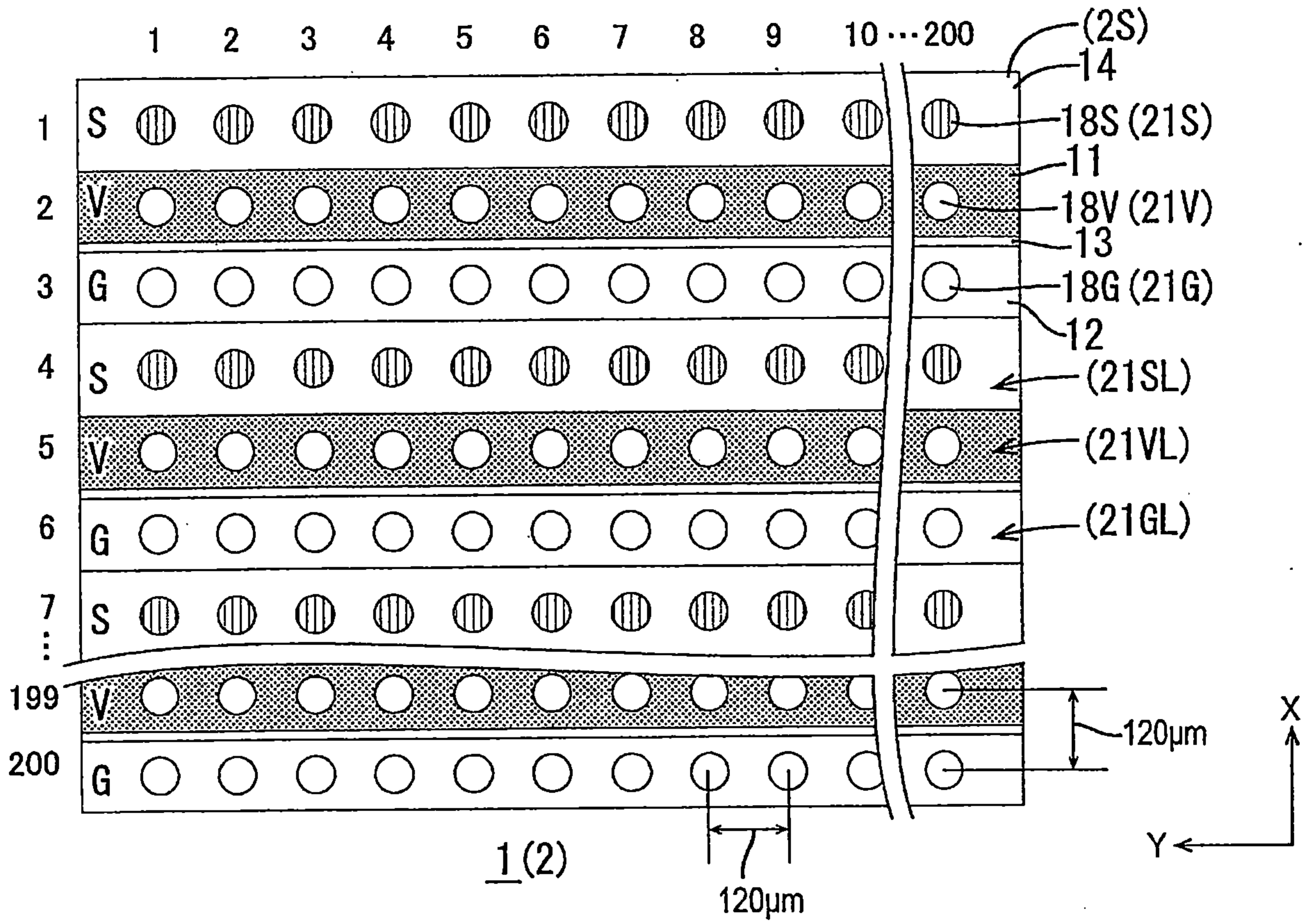


圖 4

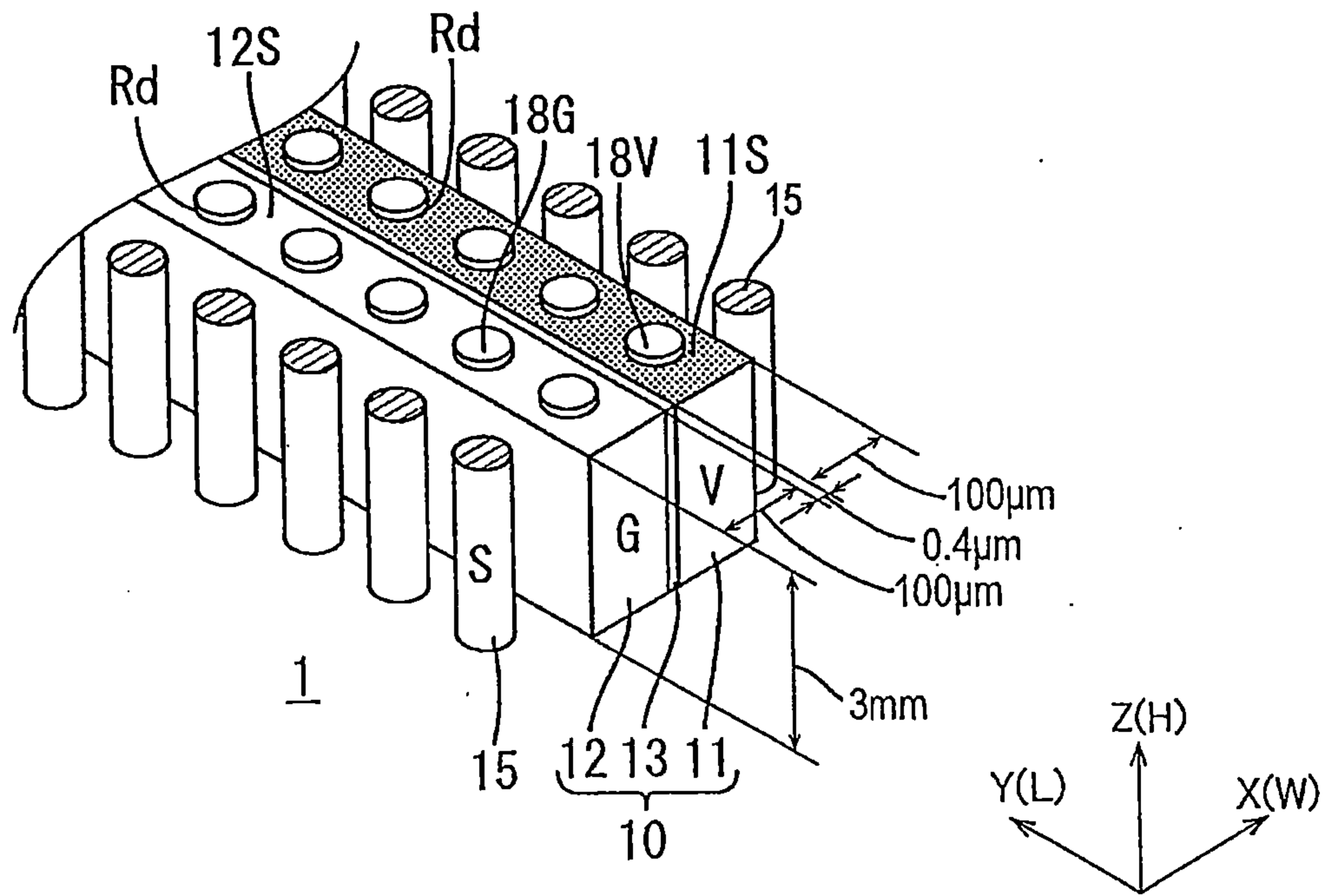


圖 5

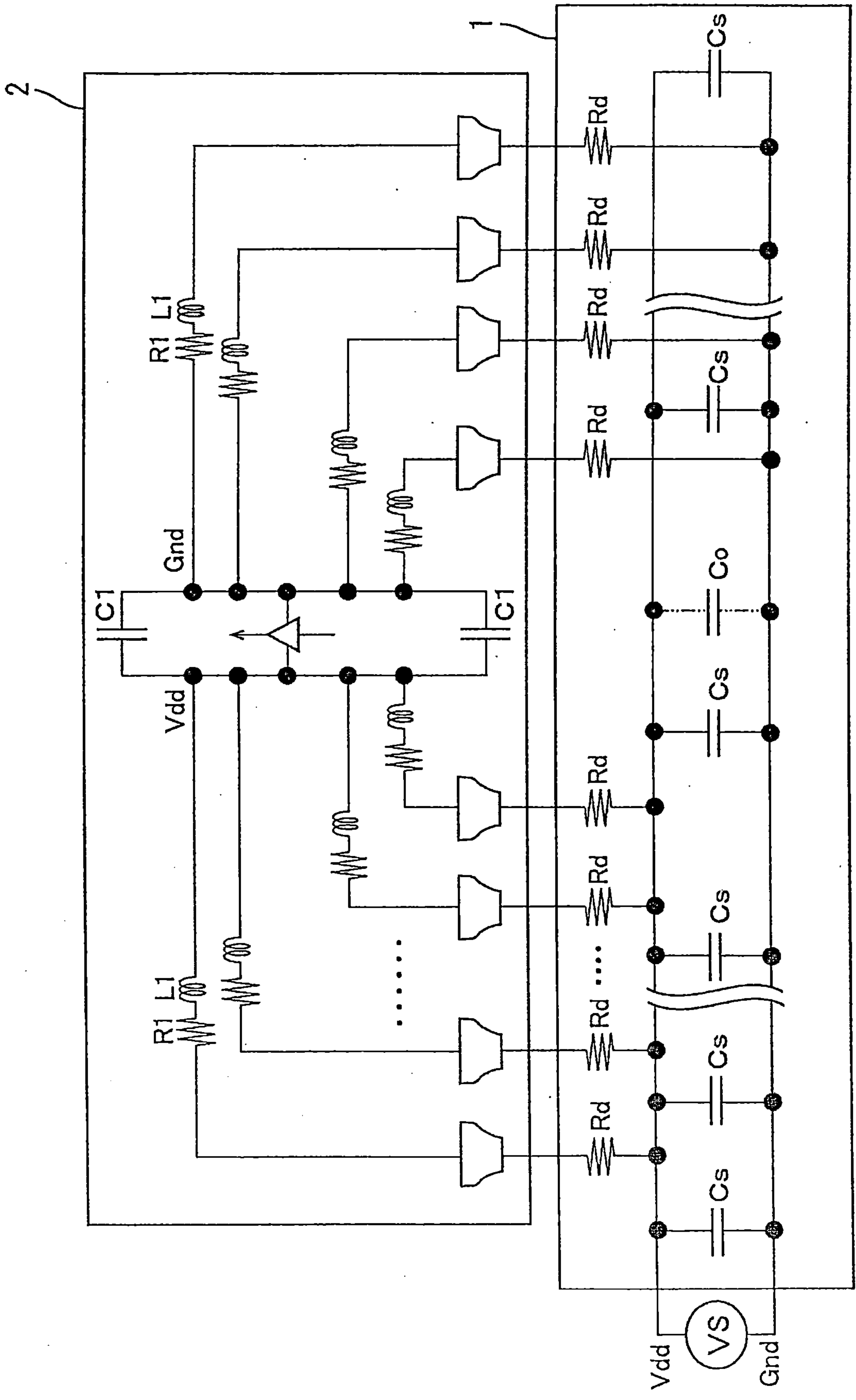


圖 6

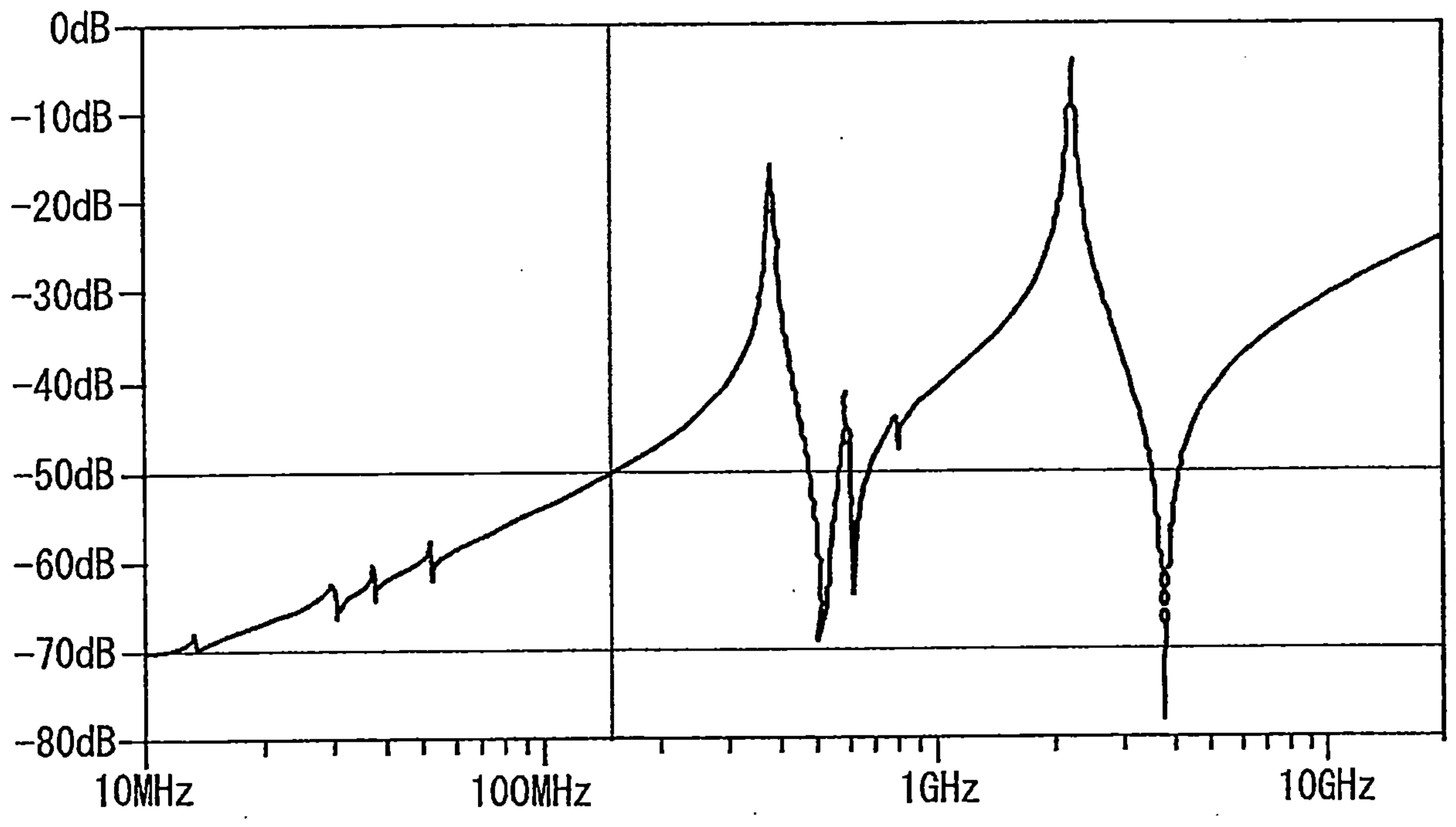


圖 7

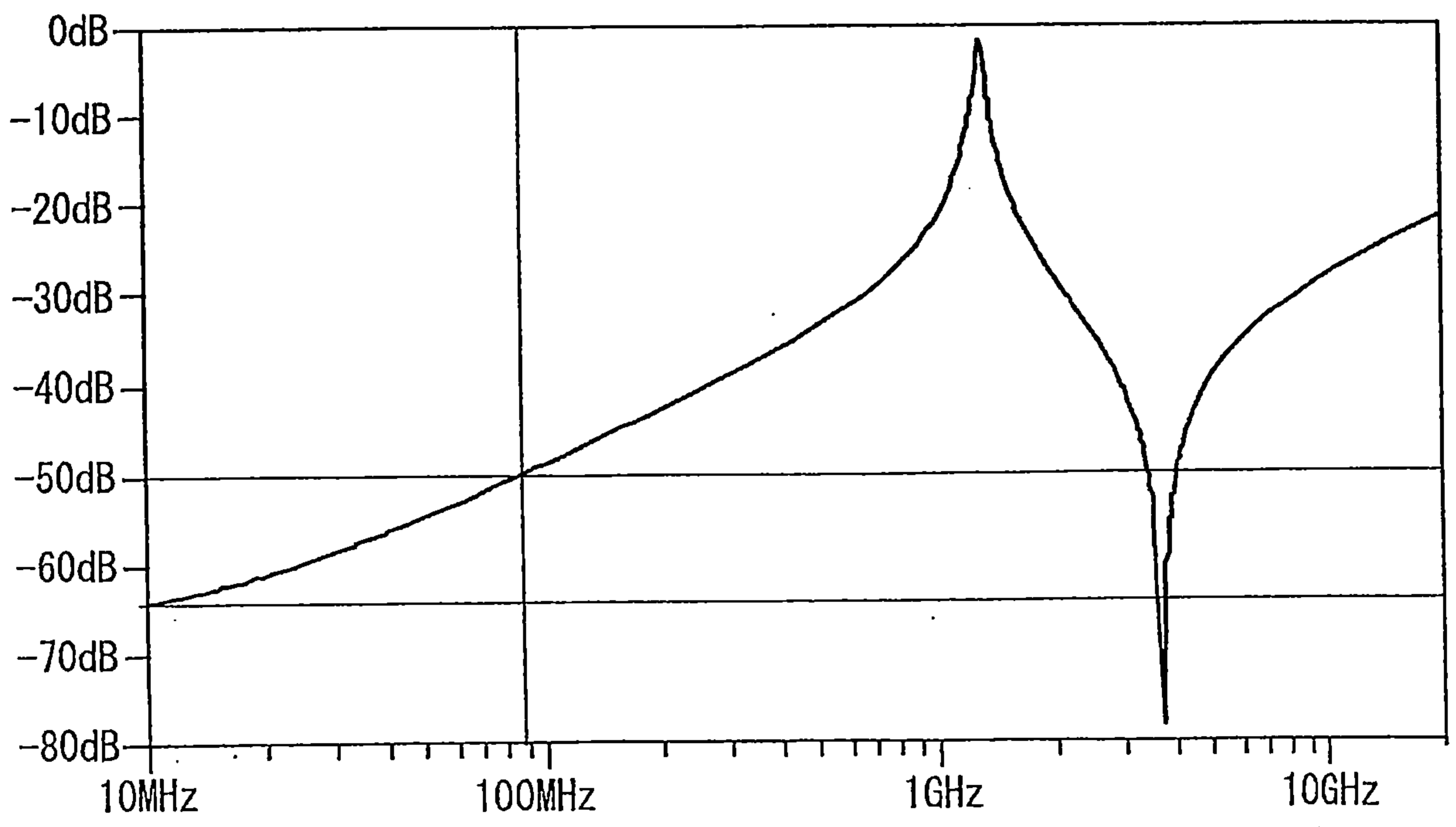




圖 8

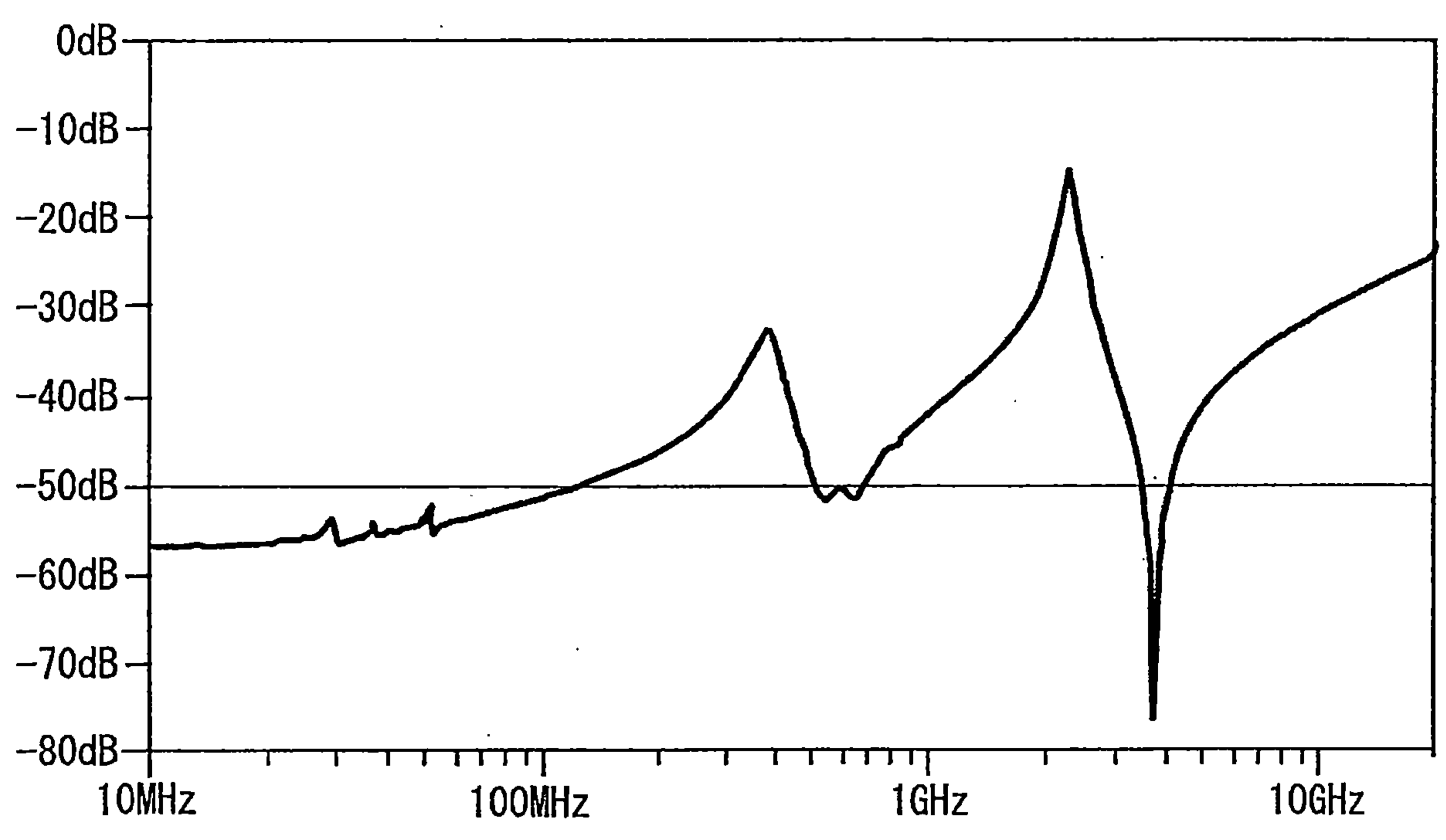


圖 9

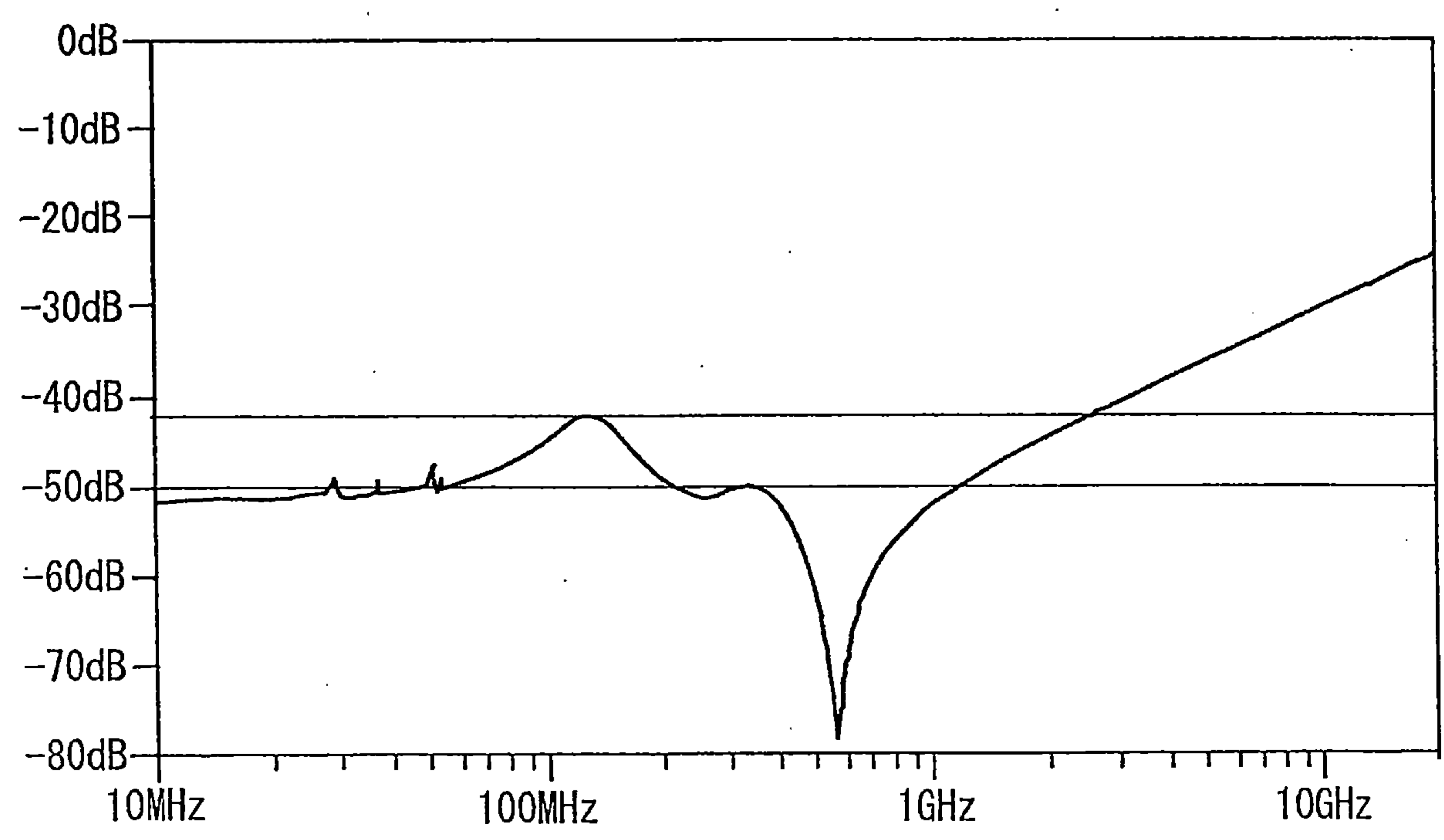


圖 10

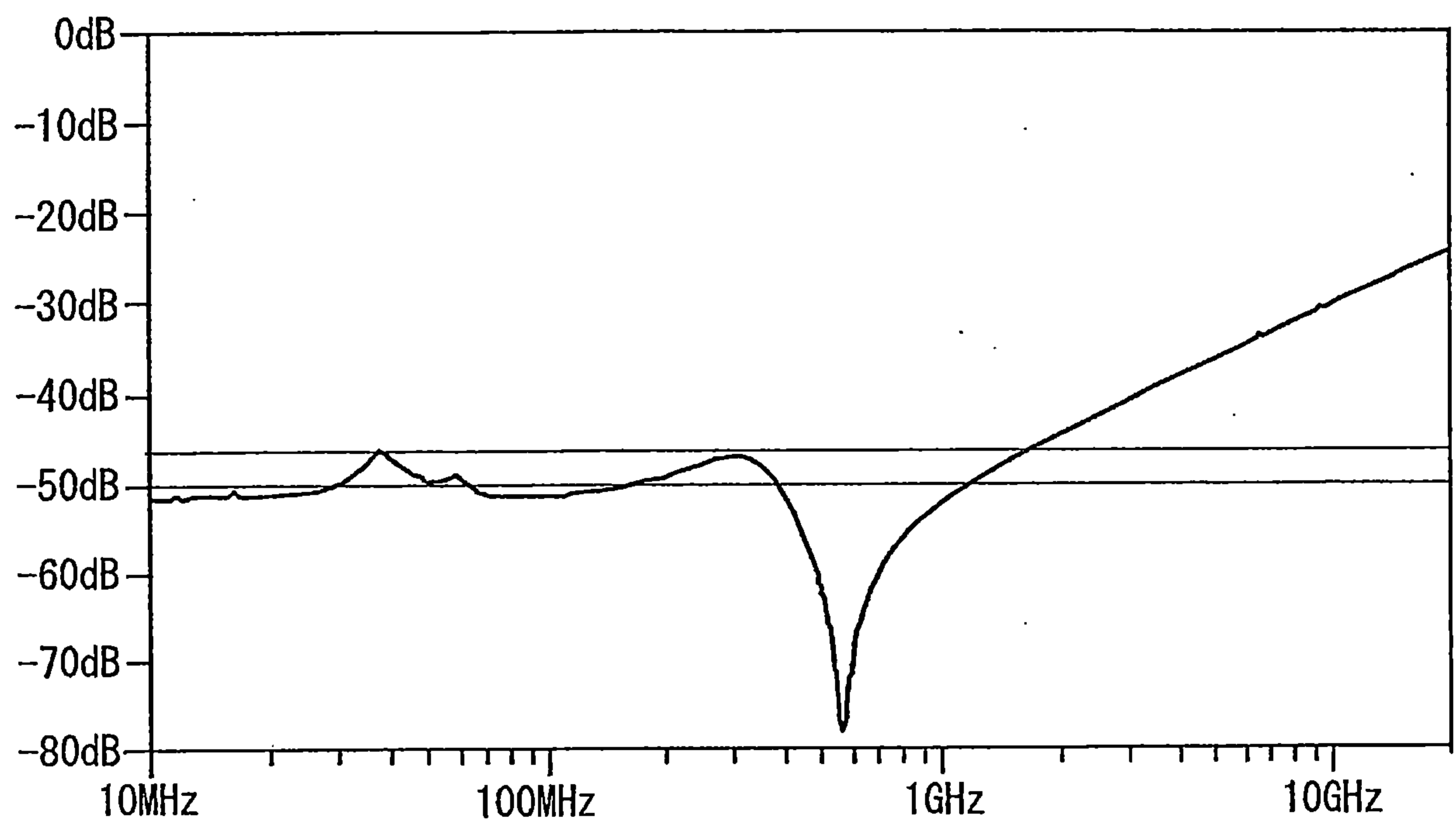


圖 11

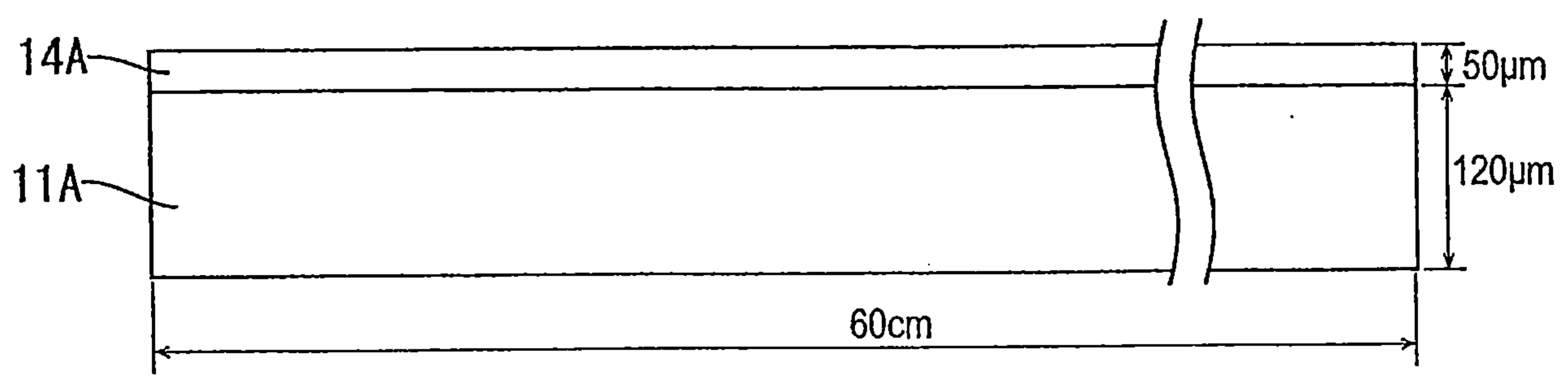


圖 12

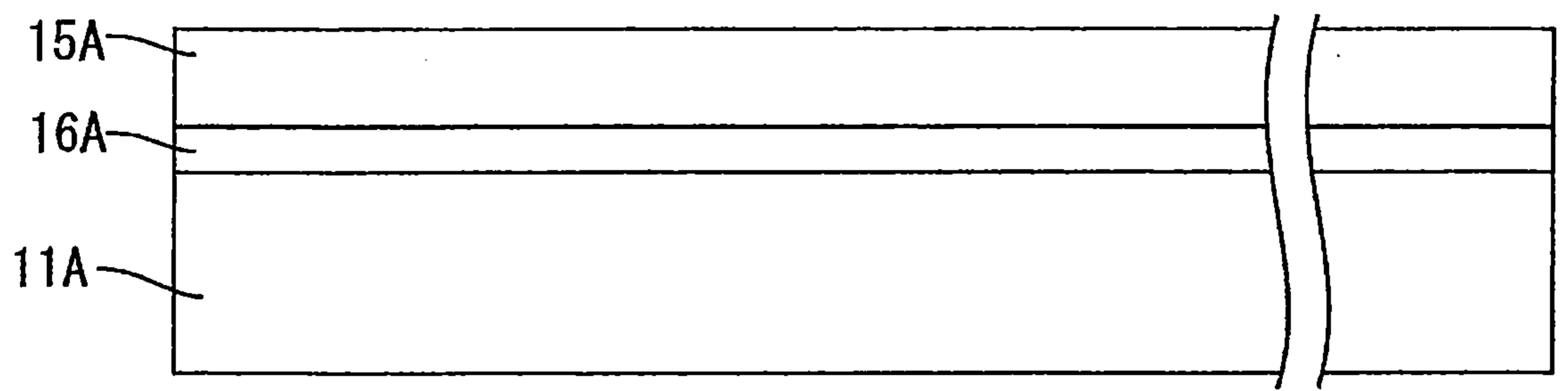


圖 13

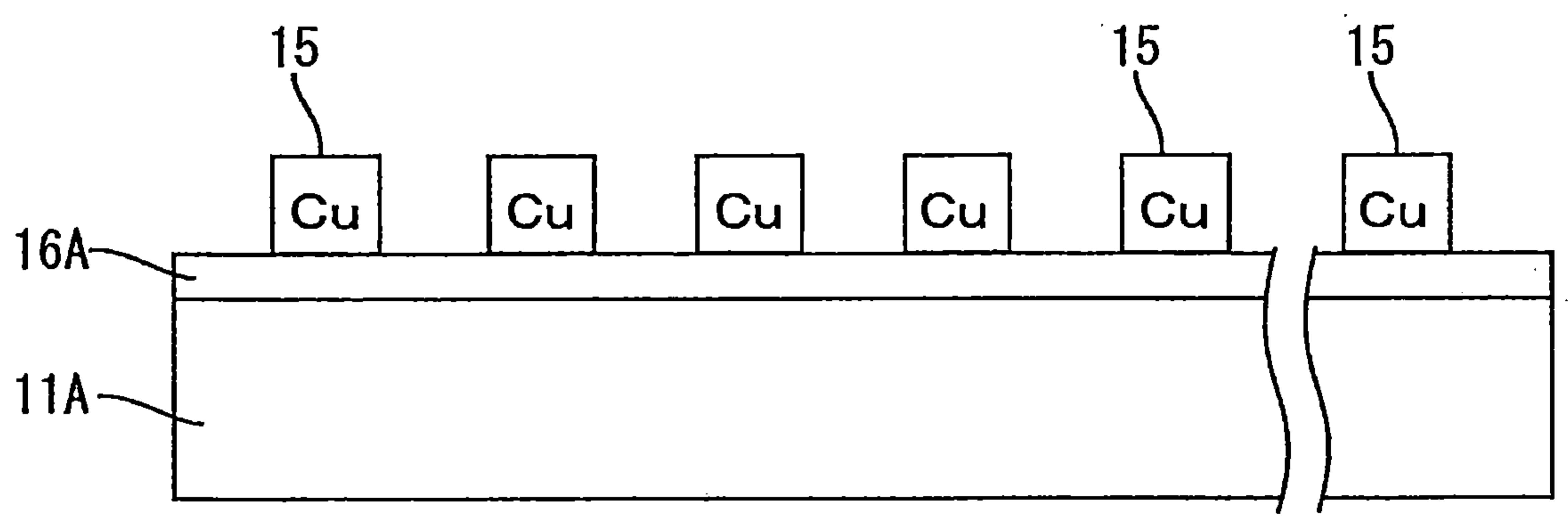


圖 14

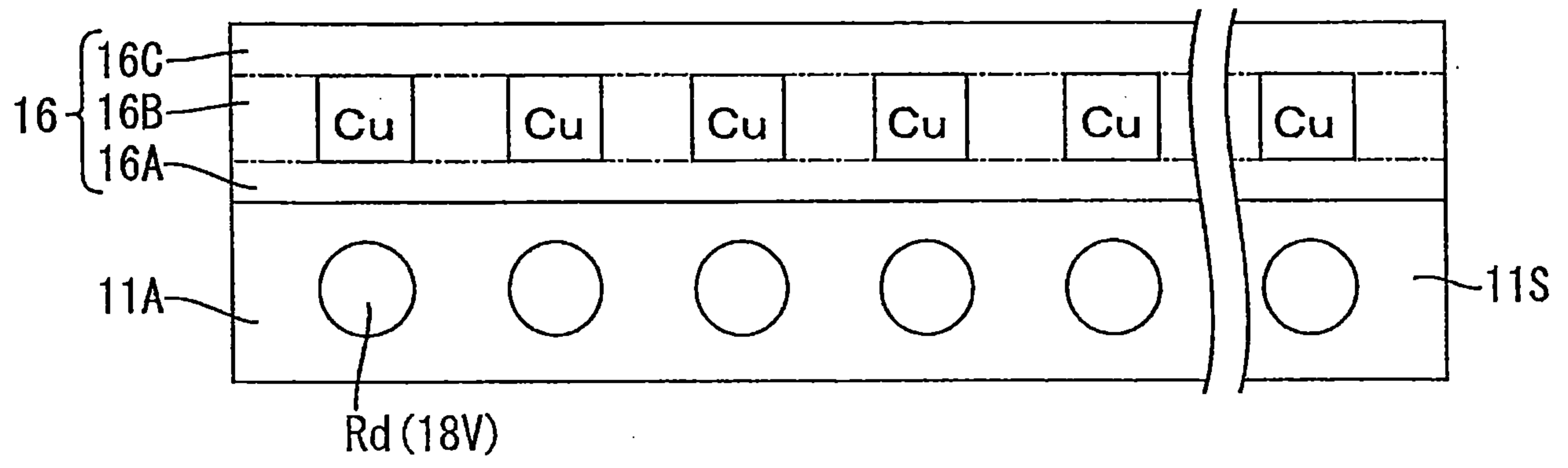


圖 15

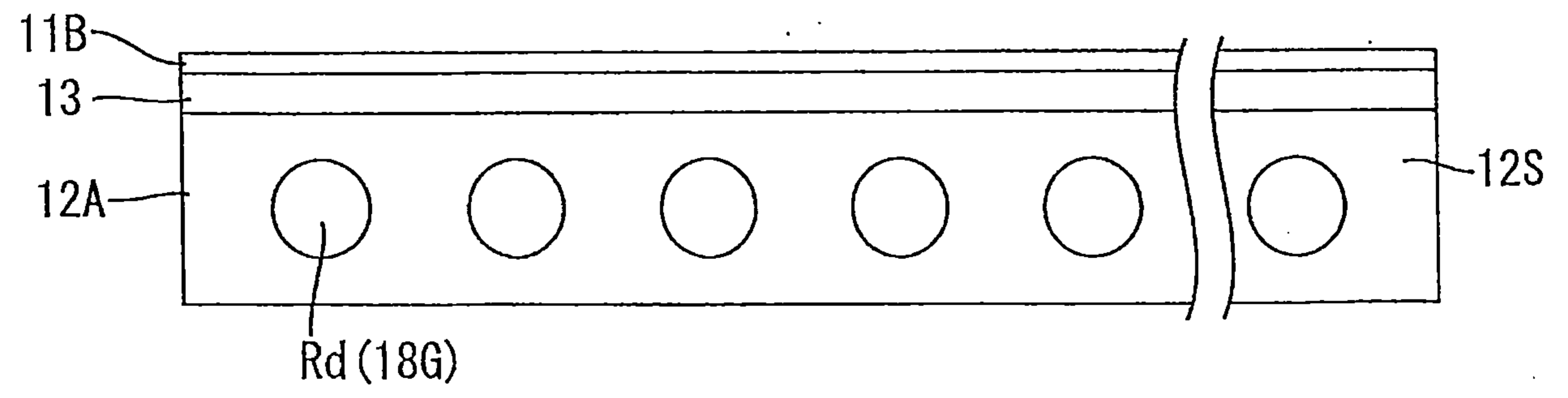


圖 16

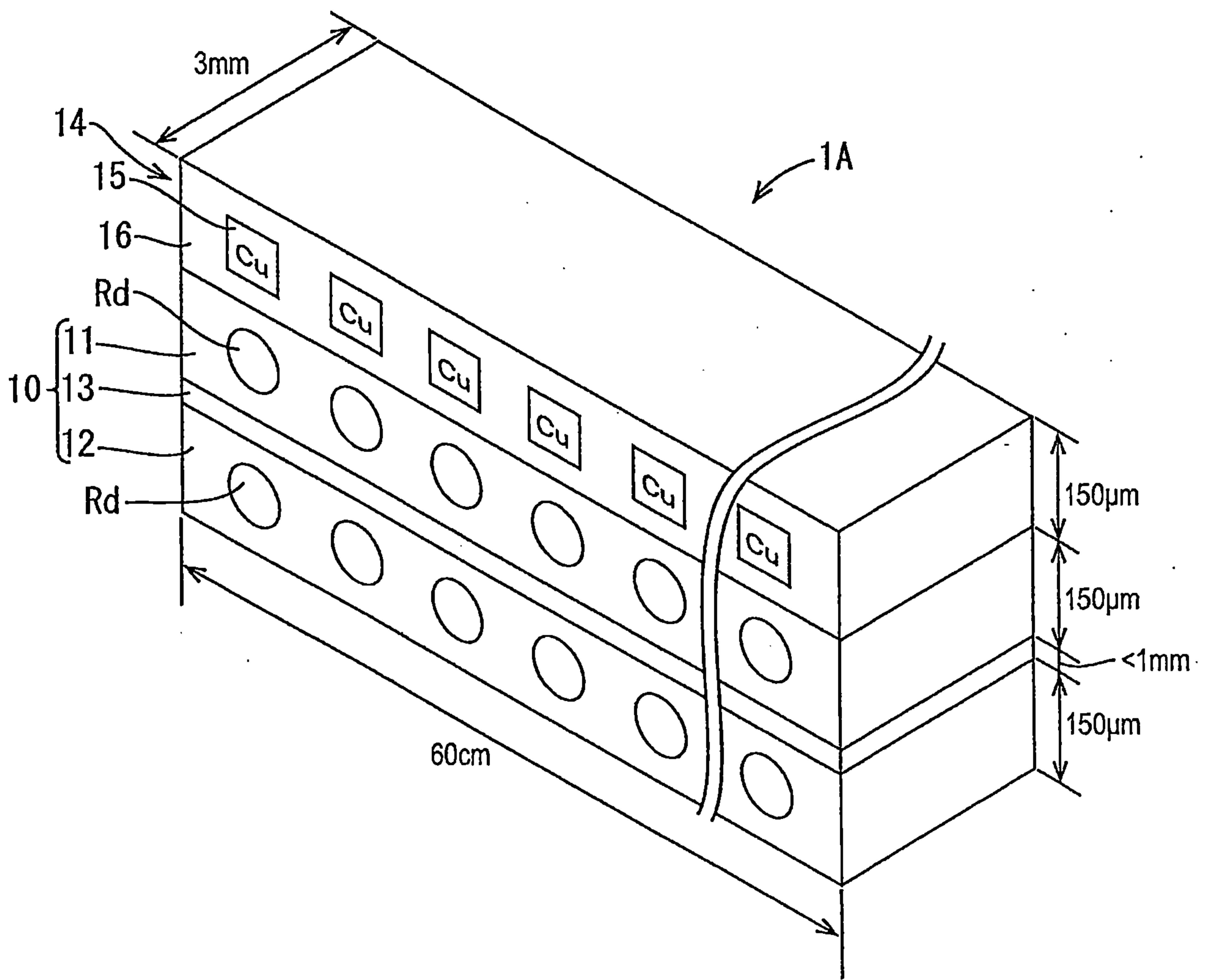


圖 17

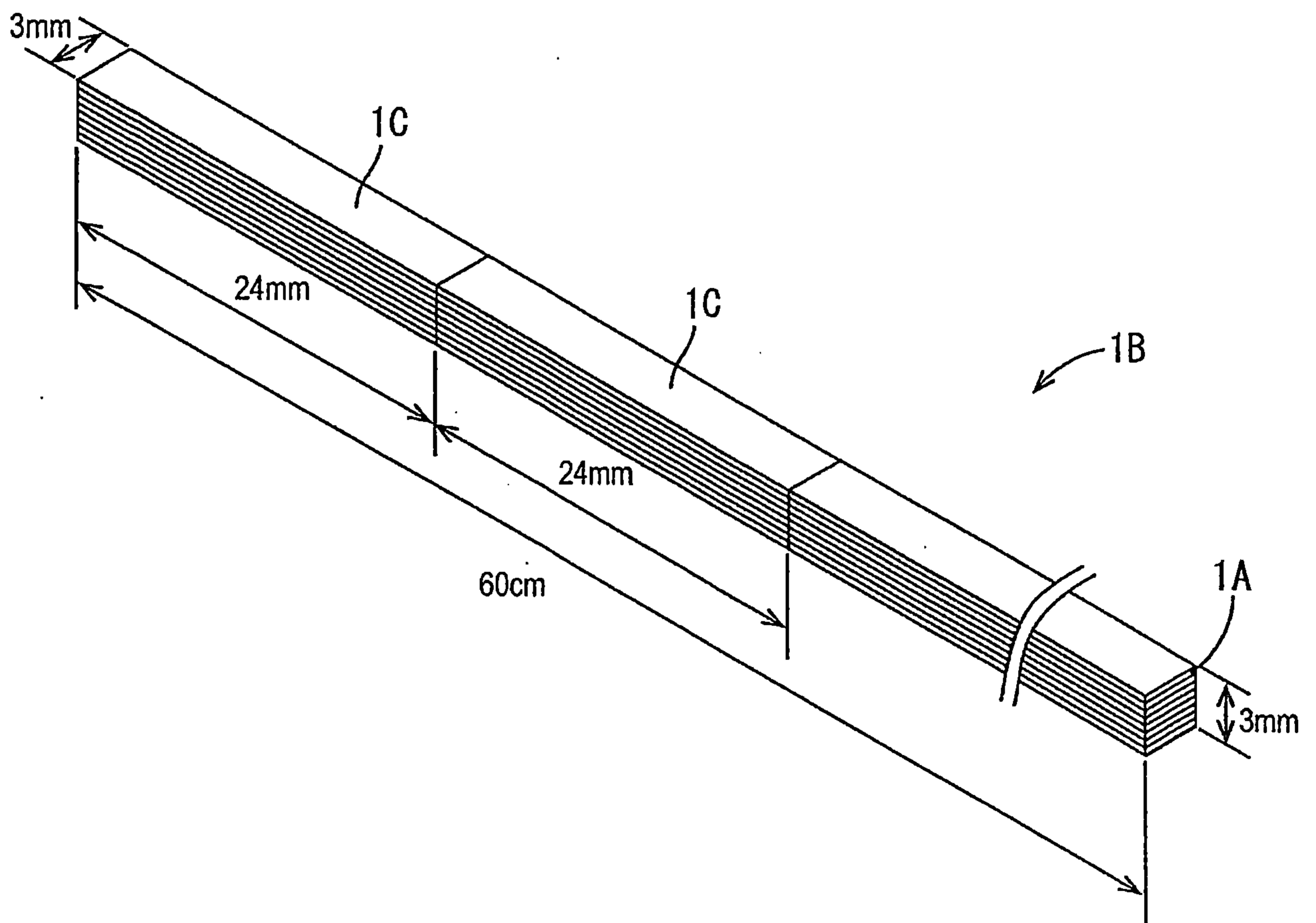


圖 18

