

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年3月11日(2021.3.11)

【公表番号】特表2021-502648(P2021-502648A)

【公表日】令和3年1月28日(2021.1.28)

【年通号数】公開・登録公報2021-004

【出願番号】特願2020-526207(P2020-526207)

【国際特許分類】

G 06 F 8/65 (2018.01)

G 06 F 21/12 (2013.01)

【F I】

G 06 F 8/65

G 06 F 21/12 3 1 0

【手続補正書】

【提出日】令和2年7月14日(2020.7.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

開発管理プラットフォームに適用されるFPGAクラウドホストの開発方法であって、開発デバイスによってアップロードされた設計ファイルに応答して、前記設計ファイルに含まれる実際の制約ファイルの有効性を検出することであって、前記実際の制約ファイルが、前記FPGAクラウドホストのFPGAに対応する、検出することと、

前記実際の制約ファイルが有効であることを検出したことに応答して、前記設計ファイルを合成処理することと、

前記合成処理から得られたバーナーファイルを前記FPGAに書き込むことと、を含む、方法。

【請求項2】

前記合成処理から得られた前記バーナーファイルの前記FPGAへの前記書き込みの前に、前記方法は、前記合成処理から得られた合成レポートを前記開発デバイスにフィードバックすることをさらに含み、

前記合成処理から得られた前記バーナーファイルの前記FPGAへの前記書き込みが、前記開発デバイスによってトリガーされた書き込み命令に応答して、前記書き込み命令に対応する前記バーナーファイルを前記FPGAに書き込むことを含む、請求項1に記載の方法。

【請求項3】

前記設計ファイルに含まれる前記実際の制約ファイルの有効性の前記検出が、

ローカルに記憶されているテンプレート制約ファイルと前記実際の制約ファイルとの比較の結果が、前記テンプレート制約ファイルが前記実際の制約ファイルと一致していることを示すことを決定することに応答して、前記実際の制約ファイルが有効であると決定することを含み、前記テンプレート制約ファイルが前記FPGAに対応する、請求項1に記載の方法。

【請求項4】

前記方法は、

前記開発デバイスによってトリガーされた開発要求に応答して、前記テンプレート制約

ファイルを前記開発デバイスに送信することをさらに含む、請求項3に記載の方法。

#### 【請求項5】

前記設計ファイルの前記合成処理は、サードパーティのIPコアが前記設計ファイルに呼び出されたことを決定することに応答して、ローカルに記憶されている前記呼び出されたサードパーティのIPコアおよび前記設計ファイルを合成処理することを含み、

前記合成処理から得られた前記合成レポートの前記開発デバイスへの前記フィードバックは、

前記合成処理から得られた事前定義の非機密合成レポートを前記開発デバイスにフィードバックすることを含み、前記非機密合成レポートは、前記呼び出されたサードパーティのIPコアの情報を含まない、請求項1に記載の方法。

#### 【請求項6】

前記書き込み命令に対応する前記バーナーファイルの前記FPGAへの前記書き込みは、

前記バーナーファイルをFPGAクラウドホストに対応する仮想マシンマネージャに、前記仮想マシンマネージャを通して前記バーナーファイルを前記FPGAに書き込むために伝送することを含む、請求項2に記載の方法。

#### 【請求項7】

開発デバイスに適用されるFPGAクラウドホストの開発方法であって、

設計ファイルを開発管理プラットフォームにアップロードすることであって、前記設計ファイルは、前記開発管理プラットフォームによって、実際の制約ファイルの有効性を検出し、前記実際の制約ファイルが有効であることを検出したことに応答して前記設計ファイルを合成処理するために、前記FPGAクラウドホストのFPGAに対応する前記実際の制約ファイルを含む、アップロードすることと、

前記開発管理プラットフォームによって送信された合成レポートを受信することと、

前記合成レポートに従ってトリガーされた書き込み命令を、前記開発管理プラットフォームに送信することであって、前記書き込み命令は、前記設計ファイルに対応するバーナーファイルを前記FPGAに書き込むように命令する、送信することと、を含む、方法。

#### 【請求項8】

FPGAクラウドホストの開発システムであって、

開発デバイスと、

前記開発デバイスと遠隔通信する開発管理プラットフォームと、

FPGAクラウドホストにおけるFPGAと、を含み、

前記開発デバイスは、前記FPGAに対応する実際の制約ファイルを含む設計ファイルを設計し、前記得られた設計ファイルを前記開発管理プラットフォームにアップロードするように構成され、

前記開発管理プラットフォームは、前記実際の制約ファイルの有効性を検出し、前記実際の制約ファイルが有効であることを検出したことに応答して前記設計ファイルを合成処理し、前記合成処理から得られたバーナーファイルを前記FPGAに書き込むように構成されている、システム。

#### 【請求項9】

前記開発デバイスは、前記合成処理から得られ、前記開発管理プラットフォームによってフィードバックされた合成レポートを受信し、前記合成レポートに従ってトリガーされた書き込み命令を前記開発管理プラットフォームに送信するようにさらに構成され、

前記開発管理プラットフォームは、前記合成処理から得られた前記合成レポートを前記開発デバイスにフィードバックし、前記書き込み命令に従って前記バーナーファイルを前記FPGAに書き込むようにさらに構成されている、請求項8に記載のシステム。

#### 【請求項10】

前記開発管理プラットフォームは、

ローカルに記憶されているテンプレート制約ファイルを前記実際の制約ファイルと比較し、比較の結果が、前記テンプレート制約ファイルが前記実際の制約ファイルと一致して

いることを示すことを決定したことに応答して、前記実際の制約ファイルが有効であることを決定するように具体的に構成され、前記テンプレート制約ファイルは、前記 F P G A に対応する、請求項 8 に記載のシステム。

#### 【請求項 1 1】

前記開発デバイスは、開発開始動作に応答して開発要求を前記開発管理プラットフォームに送信するようにさらに構成され、

前記開発管理プラットフォームは、前記開発要求に応答して前記テンプレート制約ファイルを前記開発デバイスに送信するようにさらに構成されている、請求項 1 0 に記載のシステム。

#### 【請求項 1 2】

前記開発管理プラットフォームは、サードパーティの I P コアを記憶し、

前記開発管理プラットフォームは、

前記サードパーティの I P コアが前記設計ファイルに呼び出されたことを決定したことに応答して、前記呼び出されたサードパーティの I P コアおよび前記設計ファイルを合成処理し、前記合成処理から得られた事前定義の非機密合成レポートを前記開発デバイスにフィードバックするように具体的に構成され、前記非機密合成レポートは、前記呼び出されたサードパーティの I P コアの情報を含まない、請求項 8 に記載のシステム。

#### 【請求項 1 3】

前記開発管理プラットフォームによって送信された前記バーナーファイルを受信し、前記バーナーファイルを前記 F P G A に書き込むように構成された仮想マシンマネージャをさらに含む、請求項 8 に記載のシステム。

#### 【請求項 1 4】

前記 F P G A とのデータアクセスリンクを有し、前記設計ファイルにコードを配置し、前記データアクセスリンクを通して前記 F P G A にアクセスするように構成されたユーザー仮想マシンをさらに含む、請求項 8 に記載のシステム。

#### 【請求項 1 5】

開発管理プラットフォームであって、

プロセッサと、

前記プロセッサによって実行されたとき、請求項 1 ~ 6 のいずれかに記載の F P G A クラウドホストの開発方法を実施する 1 つ以上のコンピュータ可読命令を記憶するメモリと、を含む、開発管理プラットフォーム。

#### 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

ユーザーは、自分で購入した F P G A クラウドホストを開発し、開発管理プラットフォームは、統合管理プラットフォームとみなすことができ、これは、異なるユーザーがそれぞれの F P G A クラウドホストを開発することを支援し得る。したがって、ユーザーの F P G A クラウドホスト用の識別情報の設定項目は、開発デバイスにおいて設けることができる。ユーザーが設定項目を書き込み、あらかじめ設定された制御またはメニュー項目をトリガーした後、ユーザーが開発開始動作をトリガーしたとみなされる。したがって、F P G A クラウドホストの識別情報は、開発管理プラットフォームが、識別情報に基づいて F P G A クラウドホストで F P G A のテンプレート制約ファイルを取得し、得られたテンプレート制約ファイルを開発デバイスにフィードバックするよう開発デバイスから開発管理プラットフォームに送信される開発要求で伝達され得る。任意で、複数の F P G A クラウドホスト中の F P G A に対応するテンプレート制約ファイルは、F P G A クラウドホストの識別情報をストレージインデックスとすることによって開発管理プラットフォームに事前記憶され得る。

**【手続補正3】****【補正対象書類名】**明細書**【補正対象項目名】**0035**【補正方法】**変更**【補正の内容】****【0035】**

合成処理は、分析、合成、および最適化の3つのステップを含む。設計ファイルは、ハードウェア記述言語（HDL）で記述され得る。分析とは、標準HDL文法規則を使用することによってHDL文法HDL設計ファイルを分析し、文法エラーを訂正することを意味する。合成とは、選択されたFPGA構造とデバイスを対象としてHDLおよびFPGAネットリストファイルを論理的に合成し、設計ファイルを実際のゲートレベル回路ではなく、ANDゲート、ORゲート、NOTゲート、RAM、フリップフロップ、および他の基本論理ユニットから成る論理接続のネットリストにコンパイルすることを意味する。最適化とは、ユーザーの設計制約に従って速度および領域を論理的に最適化してFPGAレイアウトおよび配線ツールによる使用のために最適化されたFPGAネットリストファイルを生成することを意味する。合成完了後、多くの合成レポートおよびバーナーファイルが出力され得る。例えば、合成レポートは、タイミングレポート、電力レポート、温度レポート等を含み、バーナーファイルは、アプリケーションによってコンパイルされた実行可能ファイルと比較され得る。合成後のリソース使用やレベル情報等、合成ステータスおよび合成結果は、レポートファイルにリストされる。