

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年9月6日(06.09.2013)



(10) 国際公開番号
WO 2013/128583 A1

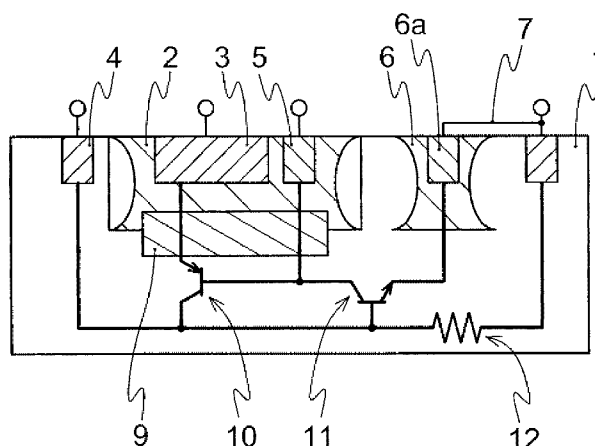
- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 21/8232 (2006.01) H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054997
- (22) 国際出願日: 2012年2月28日(28.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 新日本無線株式会社(NEW JAPAN RADIO CO., LTD.) [JP/JP]; 〒1038456 東京都中央区日本橋横山町3番10号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 松本 英顯 (MATSUMOTO, Hideaki) [JP/JP]; 〒3568510 埼玉県ふじみ野市福岡二丁目1番1号 新日本無線株式会社川越製作所内 Saitama (JP). 山下 順 (YAMASHITA, Jun) [JP/JP]; 〒3568510 埼玉県ふじみ野市福岡二丁目1番1号 新日本無線株式会社川越製作所内 Saitama (JP). 江刺家 健司 (ESASHIKA, Kenji) [JP/JP]; 〒3568510 埼玉県ふじみ野市福岡二丁目1番1号 新日本無線株式会社川越製作所内 Saitama (JP). 杉野 高夫 (SUGINO, Takao) [JP/JP]; 〒3568510 埼玉県ふじみ野市福岡二丁目1番1号 新日本無線株式会社川越製作所内 Saitama (JP).
- (74) 代理人: 河村 洌, 外(KAWAMURA, Kiyoshi et al.); 〒5400012 大阪府大阪市中央区谷町二丁目2番22号 NSビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: The present invention provides a semiconductor device that is equipped with an ESD protection element, which has a size increase thereof suppressed, does not require extra process, and can be formed without inducing deterioration of characteristics of the semiconductor device. This semiconductor device includes: a semiconductor substrate (1); a circuit element (10), that includes a PN junction formed of a region (2), which is formed on the semiconductor substrate, and which has a conductivity type different from that of the substrate; and a protection element (11) for the circuit element. The protection element (11) is a transistor formed of the region (2), another region (6) having the conductivity type same as that of the region (2), and the semiconductor substrate (1). The emitter for the transistor and the semiconductor substrate (1) are connected to each other.

(57) 要約:

[続葉有]

WO 2013/128583 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本発明は、サイズ拡大を抑え、追加プロセスを必要とせず、半導体装置の性能低下を招かずに形成できるESD保護素子を備えた半導体装置を提供するものであり、この装置は、半導体基板（1）と、その上に形成されたこの基板と異なる導電型の領域（2）から形成されるPN接合を含む回路素子（10）と、その保護素子（11）とを含み、この保護素子（11）は前記領域（2）、この領域と同じ導電型の他の領域（6）および半導体基板（1）から形成されるトランジスタであり、そのエミッタと半導体基板（1）とが接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置の入力回路に用いられるバイポーラトランジスタまたは接合型電界効果トランジスタを、静電気放電（ESD：Electrostatic Discharge）から保護するための素子が形成される半導体装置に関し、特に、この保護素子形成のための追加の工程を抑制し、その占有面積を縮小化した半導体装置に関する。

背景技術

[0002] 今日、半導体集積回路のような半導体装置は、移動体通信端末、表示機器、およびノート型PC等の民生用途、また各種生産設備や工場用ロボット等の産業用途を始め、あらゆる分野に数多く使用されている。一方で、その利用分野の拡大に伴い、求められる信頼性のレベルは高まり、とりわけ医療機器や輸送機器の様な人命に関わる利用分野では、特に高い信頼性が求められる。

[0003] しかしながら、半導体基板上に形成される一般的な構造の半導体装置は、その基板上の配線ルールの微細化とも相まって、帯電した人が接すること等によって生じる静電気放電に対して極めて脆弱である。そこで、このような半導体装置を静電気放電から保護するため、半導体装置の入力回路には、ESD保護素子が備えられる。

[0004] 図28、図29に、従来技術による半導体装置の入力回路の保護素子周辺部を示す回路図を示す。図28では、ESD保護素子としてダイオード30が、入力端子13と高位電圧源端子15または低位電圧源端子14との間に接続されており、そのPN接合の降伏を利用して入力回路の各素子の保護を図っている。また図29では、ESD保護素子31が、入力端子13と低位電圧源端子14との間に接続されている。このESD保護素子31は、幾つかの回路素子によって構成され、例えば、特許文献1、特許文献2、および

特許文献 3 に開示されている。特許文献 1 および特許文献 2 に記載された ESD 保護素子は、その内部のトランジスタの PN 接合の降伏を利用するものであり、また、特許文献 3 に記載された ESD 保護素子は、ESD による過電圧印加によってその内部のツェナーダイオードおよび電界効果型トランジスタを動作させて保護素子として機能させるものである。

[0005] これら従来技術の ESD 保護素子は、この入力回路内のトランジスタ等の回路素子の保護のために、別途に設けられているため、半導体装置が本来の機能を備えるために必要とする領域に加えて、この ESD 保護素子を形成するための領域も必要としている。また製造プロセスにおいても、この ESD 保護素子の形成のための工程を必要としている。

先行技術文献

特許文献

[0006] 特許文献 1：特開 2009-295764 号公報

特許文献 2：特開 2010-109165 号公報

特許文献 3：特開 2010-232572 号公報

発明の概要

発明が解決しようとする課題

[0007] 前述のように従来技術の半導体装置では、入力回路に用いるバイポーラトランジスタおよび接合型電界効果トランジスタの ESD 保護のために、各電圧源の端子と入力端子間に専用の保護素子を形成している。このため、半導体装置の本来の機能のために必要な領域に加えて、この保護素子自体の大きさと数量に応じた領域が必要となることから、半導体装置全体の面積が大きくなるという問題がある。

[0008] また、従来技術の半導体装置では、保護素子が入力回路のトランジスタを保護するためには、この保護素子が入力回路のトランジスタの素子耐圧よりも低い電圧で機能する必要がある、保護素子をこのトランジスタと異なるプロセスで形成することが必要となる。この追加プロセスのために半導体装置

の製造コストの増加を招いているという問題もある。

[0009] さらに、従来技術による保護素子は、入力回路のトランジスタのベース端子等に付加的に接続されるため、入力回路の特性に影響を与えるおそれがあり、入力回路の寄生容量、リーク電流、およびノイズを増加させ、その結果、半導体装置の性能を低下させるおそれがあるという問題もある。

[0010] 本発明は、このような問題を解決するためになされたものであり、従来技術による保護素子との比較において小さい面積で、追加プロセスを必要とせずに形成することができ、半導体装置の性能の低下を招くことなく入力回路のトランジスタのESD保護が図れる保護素子を備えた半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 一般に保護素子の開発、特にESD保護素子の開発においては、保護素子が動作する電圧を決定するトリガ機構の設計と、ESD電圧を抑制するための電流を流す機構の設計が必要となる。本発明者らは、保護素子が動作する電圧の決定にあたり、半導体装置内に形成されるPNPトランジスタにおいて、そのベースであるN型領域とコレクタであるP型半導体基板との間に形成されるPN接合が、ESDによる降伏電圧を超える電圧の印加によって直ちに破壊に至るわけではないことを見出した。すなわち、図27に、TLP (Transmission Line Pulser) と呼ばれる、サージ電圧印加に対する、回路素子の電流－電圧特性を評価する装置を使用して得られた、前述のPN接合の降伏時の電流－電圧特性の測定結果が示されるように、この例によると、40V付近で降伏を起こしているものの直ぐに破壊には至らず、その後も電流を流し続けて90V弱で破壊に至っていることを示している。本発明者らは、この現象を利用して、この降伏から破壊に至る範囲内の電圧で保護素子を動作させることを発明した。

[0012] 本発明者らは、さらに鋭意検討を重ね、前述の電圧範囲内で動作する素子としてこのPNPトランジスタのベースとコレクタ (P型半導体基板) 間の接合をコレクターベース間接合として形成されるNPNトランジスタを利用

して、ESD電圧が印加された場合は、このNPNトランジスタのコレクターベース間を降伏させ、その後に流れる電流でこのNPNトランジスタをオンさせてESDによる電流をこのトランジスタを介してP型半導体基板に流す方法を見出した。このNPNトランジスタは、P型半導体基板に、エミッタとなるN型領域を設けることのみによって、前述のPNPトランジスタのベース領域をコレクタとし、P型半導体基板をベースとして形成することができる。さらに、このNPNトランジスタのエミッタとP型半導体基板とを接続することによって、このNPNトランジスタのコレクターベース間の降伏後にこのP型半導体基板内を流れる電流とこの基板内の寄生抵抗とによって生じるこのトランジスタのベースエミッタ間の電位差で、このNPNトランジスタ自身をオンさせ、ESDによる電流をこのトランジスタを介してP型半導体基板に流すことが可能となる。

[0013] 本発明による半導体装置は、第1導電型の半導体基板、および該半導体基板の表面に形成された第2導電型半導体層の第1領域を有し、前記半導体基板および前記第1領域により形成されるPN接合を含む回路素子と、前記第1領域に接続される入力端子と、前記入力端子に印加されるESDから前記回路素子を保護する保護素子とを有する半導体装置であって、前記保護素子が、前記半導体基板に前記第2導電型半導体層の第2領域が形成されることによって、前記第1領域をコレクタとし、前記半導体基板をベースとし、前記第2領域をエミッタとして形成されるトランジスタを含み、該エミッタと前記半導体基板とが前記半導体基板に設けられた接続領域を介して導電体によって接続されることにより形成されることを特徴とする。

[0014] また、前記半導体基板に設けられた前記接続領域を、前記第1領域と、前記第2領域との間に設けると、前記トランジスタのベースエミッタ間に生じる電圧が減少し、前記トランジスタがオンしなくなるおそれがあるため、前記第2領域が、前記第1領域に面する側と反対側に、前記接続領域を配置することが好ましい。

[0015] 前記第1領域が、複数個に分離して形成され、該複数個の前記第1領域の

それぞれを用いた複数個の前記回路素子が形成され、前記保護素子の前記第 2 領域は前記複数個の第 1 領域で挟まれる中間部に 1 個で形成されてもよい。

[0016] 前記第 1 領域の前記半導体基板表面における外周形状の少なくとも一部を曲線とし、該第 1 領域に隣接して形成される前記第 2 領域の前記第 1 領域と対向する部分の外周形状は、前記第 1 領域の曲線に沿った曲線とすることが、前記 P N 接合の降伏電圧を高めつつ、保護素子 1 1 が E S D による電流を流す能力を維持する点で好ましい。

[0017] 前記第 1 領域の下層には、該第 1 領域より高不純物濃度の第 2 導電型領域を形成し、前記第 2 領域の下層は直接半導体基板と接触する構造で形成してもよい。

[0018] 前記第 2 導電型半導体層を前記半導体基板上にエピタキシャル成長で形成し、前記第 1 および第 2 領域を、前記エピタキシャル層に第 1 導電型の不純物を注入して前記エピタキシャル層を分離することによって形成してもよい。

[0019] 前記回路素子は、前記第 1 領域をベース、コレクタもしくはエミッタとする縦型バイポーラトランジスタまたは前記第 1 領域をベース、コレクタもしくはエミッタとする横型バイポーラトランジスタであってもよく、或いは前記第 1 領域をゲート、ソースもしくはドレインとする接合型電界効果トランジスタであってもよい。

発明の効果

[0020] 本発明によれば、集積回路を構成する入力段の回路素子を保護する保護素子を、その回路素子を構成する第 1 導電型半導体基板と、その表面に形成される第 2 導電型の第 1 領域をそれぞれベース、コレクタとし、さらに半導体基板に形成される第 2 導電型の第 2 領域をエミッタとするトランジスタとし、さらにそのエミッタと半導体基板とを導電体で接続する構成にしているため、第 1 領域に E S D が印加されて第 1 領域と半導体基板との P N 接合に降伏電流が流れた場合でも、半導体基板に流れる降伏電流と半導体基板が有す

る固有抵抗により発生する電圧が、保護素子として形成されたトランジスタのベース－エミッタ間に印加されて、トランジスタをオンにする。その結果、第1領域に印加されるESDが発生しても、保護素子のトランジスタを介して半導体基板に流れる電流として消費され、高電圧が第1領域と半導体基板との間に印加されることはなくなり、PN接合、すなわち回路素子を破壊することは無い。すなわち、保護素子としてのトランジスタが機能し、回路素子はESDに対して保護される。

[0021] さらに、本発明によれば、集積回路の入力段を構成する回路素子の第2導電型半導体層の第1領域と、半導体基板とをそれぞれ保護素子のコレクタ、ベースとしているため、トランジスタを構成するエミッタを半導体基板表面の第2導電型半導体層の第2領域として形成するだけで、保護素子のトランジスタを構成することができ、さらにこのトランジスタをオンさせるためのベース－エミッタ間の電位差を発生させる抵抗素子は、半導体基板が有する固有抵抗を利用しているため、保護素子を形成するためのスペースとしては、エミッタとする第2導電型半導体層の第2領域およびエミッタを半導体基板と接続するために半導体基板表面に形成される接続領域だけのスペースで保護素子を形成することができる。その結果、従来のダイオードやトランジスタとその付属素子を形成するスペースに比べて、遥かに小さい占有面積で保護素子を形成することができる。

[0022] さらに、本発明によれば、前述のように、回路素子の領域を用いて保護素子のトランジスタを形成しており、当然のことながら、素子を形成するPN接合は回路素子と保護素子とで同じであり、従来の保護素子のように、保護される素子よりも耐圧を低く形成することにより、保護される素子よりも先に降伏させるという必要が無いため、保護素子を特別なプロセスにより形成する必要がなく、通常の回路素子を形成するプロセスだけで保護素子を形成することができる。そのため、保護素子を形成するための工数も大幅に減少させることができ、非常に安価に形成することができる。

[0023] さらに、本発明によれば、保護される集積回路などの回路素子の端子に追

加的な保護素子を接続する必要がないため、本来の回路素子の性能に影響を与えるおそれがなく、半導体装置の性能を低下させずに集積回路の回路素子を保護することができる。

図面の簡単な説明

[0024] [図1]本発明の第1の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図2]本発明の第1の実施形態による半導体装置の保護素子周辺部の模式断面に等価回路を記入した断面説明図である。

[図3]本発明の第1の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図4]本発明の第1の実施形態による半導体装置の入力回路のPNPトランジスタのベースとコレクタ間の降伏時の電流－電圧特性の測定データである。

[図5]本発明の第2の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図6]本発明の第2の実施形態による半導体装置の保護素子周辺部の模式断面に等価回路を記入した断面説明図である。

[図7]本発明の第2の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図8]本発明の第3の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図9]本発明の第3の実施形態による半導体装置の保護素子周辺部の模式断面に等価回路を記入した断面説明図である。

[図10]本発明の第3の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図11]本発明の第4の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図12]本発明の第4の実施形態による半導体装置の保護素子周辺部の模式断面に等価回路を記入した断面説明図である。

[図13]本発明の第4の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図14]本発明の第5の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図15]本発明の第5の実施形態による半導体装置の保護素子周辺部の模式断面に等価回路を記入した断面説明図である。

[図16]本発明の第5の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図17]本発明の第1の実施形態に適用した第6の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図18]本発明の第2の実施形態に適用した第6の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図19]本発明の第4の実施形態に適用した第6の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図20]本発明の第6の実施形態等の応用例である半導体装置における各領域の配置例を示す平面説明図である。

[図21]本発明の第1の実施形態に適用した第7の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図22]本発明の第2の実施形態に適用した第7の実施形態による半導体装置の保護素子周辺部を示す平面説明図である。

[図23]本発明の第8の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図24]本発明の第8の実施形態による半導体装置の保護素子周辺部の模式断面に図23の等価回路を記入した断面説明図である。

[図25]本発明の第9の実施形態による半導体装置の保護素子周辺部の等価回路図である。

[図26]本発明の第9の実施形態による半導体装置の保護素子周辺部の模式断面に図25の等価回路を記入した断面説明図である。

[図27]保護素子が接続されていないPNPトランジスタのベースとコレクタ間の降伏時の電流－電圧特性の測定データである。

[図28]従来技術による半導体装置の入力回路の保護素子周辺部を示す回路図である。

[図29]従来技術による半導体装置の他の入力回路の保護素子周辺部を示す回路図である。

発明を実施するための形態

[0025] (第1の実施形態)

次に、図面を参照しながら本発明の半導体装置について説明する。本発明による半導体装置は、図1～3に、その半導体構造の平面説明図、断面説明図および等価回路図がそれぞれ示されるように、第1導電型の半導体基板（図1～3に示される例ではP型半導体基板）1、およびその半導体基板1の表面に形成された第2導電型半導体層（図1～3に示される例ではN型エピタキシャル半導体層）の第1領域2を有し、その半導体基板1および第1領域2により形成されるPN接合を含む回路素子（図1～3に示される例ではPNPトランジスタ）10と、第1領域2に接続される入力端子13と、入力端子13に印加されるESDから回路素子（PNPトランジスタ）10を保護する保護素子（図1～3に示される例ではNPNトランジスタ）11とを有している。そして、本発明では、保護素子（NPNトランジスタ）11が、半導体基板1に第2導電型半導体層の第2領域6が形成されることによって、第1領域2をコレクタとし、半導体基板1をベースとし、第2領域6をエミッタとして形成されるNPNトランジスタ11を含み、そのエミッタ（第2領域6）と半導体基板1とが半導体基板1に設けられた接続部8を介して導電体7によって接続されることにより形成されている。

[0026] 図1～3に示される例では、回路素子10が、第1領域2内にP型領域が形成されてエミッタ3とし、第1領域2をベースとし、P型半導体基板1をコレクタとした縦型のPNPトランジスタ10として形成されており、このPNPトランジスタ10が入力段を構成する半導体集積回路の例であり、こ

のPNPトランジスタ10のベース（第1領域2）にコンタクト領域5を介して入力端子13が形成されている。しかし、この入力段の構成は、この例に限らず、後述するように、横型PNPトランジスタやPチャネルの接合型電界効果トランジスタなど、種々の場合に本発明のESD保護素子を用いることができる。なお、図1～3で、4はPNPトランジスタ10のコレクタであり半導体基板1に設けられたP型半導体によるコンタクト領域、9は第1領域2の下層に形成されたコレクターエミッタ間の耐圧低下を防ぐための埋め込み領域、14はPNPトランジスタ10のコレクタにも相当する半導体基板1の低位電圧源端子、15は高位電圧源端子を示している。

[0027] 保護素子11は、図1～3に示される例では、半導体基板1の表面側に形成された第2導電型（N型）半導体層の第2領域6が形成されることにより、第1領域2をコレクタ、半導体基板1をベース、第2領域6をエミッタとするNPN型トランジスタ11として形成されている。このエミッタとする第2領域6は、コンタクト領域6aを介して、たとえばアルミニウム等からなる導電体7により、半導体基板1の表面に設けられた接続領域（コンタクト領域）8と接続されている。その結果、半導体基板1の寄生抵抗12を介してNPNトランジスタ11のベースとエミッタとが接続される構造になっている。

[0028] この半導体基板1の接続領域8は、第2領域6の第1領域2とは反対側に形成されている。この接続領域8を半導体基板1の他の場所に配置することも可能であるが、本実施形態のような位置に配置することが好ましい。その理由は、後述の通りESD電圧が印加されると、NPNトランジスタ11のベースーコレクタ間のPN接合が降伏し、P型半導体基板1の寄生抵抗12を電流が流れ、このNPNトランジスタ11のベースーエミッタ間に電位差が発生し、NPNトランジスタ11をオンさせるが、接続領域8を第1領域2と第2領域6の間に設けると、この電流が半導体基板1の中を流れる経路が短くなり、実質的な寄生抵抗12の抵抗値が低下することによって、NPNトランジスタ11のベースーエミッタ間に発生する電位差が所定の値に到

達せず、このトランジスタがオンしなくなるおそれがあるからである。

[0029] なお、第1領域2の下層には、前述のように、第1領域2よりも不純物濃度の高い埋め込み層9が形成されているが、第2領域6の下層には、そのような埋め込み領域は形成されておらず、直接半導体基板1と接触している。

[0030] 保護素子11のコレクタとベースは、PNPトランジスタ10のベースおよびP型半導体基板1で構成されているため、保護素子11を形成するために必要な面積は、前述の第2領域6、および半導体基板1に設けられた接続領域8の形成部分だけの面積を増加させるだけですむ。その結果、たとえば従来技術の保護素子を形成する場合には、例えば $7298\mu\text{m}^2$ の面積を必要としていたのに対して、本実施形態によれば、例えば $1504\mu\text{m}^2$ で形成できることが確認されており、従来技術による保護素子に対して、保護素子形成のために増加する面積を80%程度低減する効果が得られていることとなる。

[0031] この構造を等価回路図で示すと、図3に示されるようになる。なお、図2の断面説明図内にもPNPトランジスタ10および保護素子であるNPNトランジスタ11とベース-エミッタ間の寄生抵抗12も示してある。図3からも明らかなように、保護素子であるNPNトランジスタ11が入力端子13と低位電圧源端子14との間に接続された構造になっている。

[0032] つぎに、この構造でNPNトランジスタ11が保護素子として機能する動作について説明をする。ESDによって、本実施形態の半導体装置の入力端子13に、P型半導体基板1を基準として正の過電圧が印加されると、保護素子11のコレクタとベース間のPN接合が降伏し、降伏後の電流が保護素子11のベースであるP型半導体基板1内を流れる。この電流とP型半導体基板1の寄生抵抗12とによって、保護素子11のベースとエミッタの間に電位差が生じ、この電位差が所定の値以上に達すると保護素子11がオンして、ESDによる電流を、そのコレクタからエミッタすなわちP型半導体基板1に流し、半導体装置の入力回路のPNPトランジスタ10をESDによる電圧から保護する。すなわち、前述のように、このPN接合が降伏しても

、その電圧が60～80Vの範囲であれば、PN接合は直ちに破壊されないため、その間に半導体基板を流れる電流で、NPNトランジスタ11のベース－エミッタ間の電圧が、このNPNトランジスタ11がオンするしきい値電圧に到達して、このNPNトランジスタ11をオンさせるように半導体基板の比抵抗（不純物濃度）を設定しておけば、降伏後、破壊に至る前にNPNトランジスタ11をオンさせて、降伏後の電流をNPNトランジスタ11を介して半導体基板側に逃がすことができ、PN接合の破壊を防止することができる。換言すれば、NPNトランジスタ11がオンするしきい値電圧と、降伏後の電流の大きさとの関係から、半導体基板の比抵抗を設定しておくことにより、ESDに対しても、PN接合を破壊することなく、保護素子であるNPNトランジスタ11をオンさせて、PNPトランジスタ10を保護することができる。

[0033] この状況を図4のESD電圧と降伏電流との関係を用いて説明する。図4は、前述の図29で示した測定データと同じ方法で測定した、本実施形態による半導体装置の入力回路のPNPトランジスタ10の、ベースとコレクタ間の降伏時の電流－電圧特性の測定データである。この図から、60V付近で保護素子であるNPNトランジスタ11のベースとコレクタ間の降伏が始まり、80V付近でこの保護素子11が動作し、保護素子が動作を始めると、電流が増えても、ESDによる電流を保護素子であるNPNトランジスタ11のコレクタからP型半導体基板1に流すことによってESDによる過電圧を抑制しており、NPNトランジスタ11が、PNPトランジスタ10の保護素子として機能していることが解る。

[0034] このように半導体装置内の回路素子をESDから保護できる保護素子の性能を得るためには、前述のP型半導体基板の比抵抗を5～50 $\Omega \cdot \text{cm}$ 程度とし、前述の第1および第2の領域の半導体装置表面からの深さを3～20 μm 程度の範囲として、保護素子であるNPNトランジスタ11がオンする電圧の著しい上昇、このトランジスタの電流増幅率の著しい低下、またはこのトランジスタの動作後のパンチスルーの発生を招かない程度の値とするこ

とが好ましい。

[0035] 本発明による半導体装置は、特に追加のプロセスを必要としないことから、一般的な半導体装置のプロセスで製造することができる。

前述のN型半導体による第1の領域2および第2の領域6は、半導体基板上にエピタキシャル成長により成膜させた後、半導体基板の導電型と同じP型の不純物をドーピングして、このエピタキシャル層を分離することによって形成してもよく、或いはP型半導体基板にN型不純物を注入した後にアニーリングすることによって形成することもできる。

[0036] なお、本実施形態においては、半導体基板1をP型、第1領域をN型の例で、回路素子をPNPトランジスタ、保護素子をNPNトランジスタの例で説明したが、半導体基板1をN型にして、各導電型をそれぞれ逆の導電型にしても、同様に保護素子としての機能を発揮させることができる。この場合、入力端子13に印加される、半導体基板を基準として負の過電圧に対して、保護素子のトランジスタが機能する。以下の各実施形態においても同様である。

[0037] (第2の実施形態)

本発明の第2の実施形態による半導体装置の、半導体構造の平面説明図、断面説明図および等価回路図が、図5～7に示されている。本実施形態では、回路素子が横型PNPトランジスタである点が、第1の実施形態と異なっている。図5および図6に示されるように、実施形態1との構造上の相違は、PNPトランジスタ10のコレクタ4が、第1の実施形態におけるP型半導体基板1ではなく、前述のN型半導体で形成された第1領域2内に、このトランジスタのエミッタ3の周囲を囲んで形成されたP型半導体領域である点のみである。図7の等価回路においても、PNPトランジスタ10のコレクタ4と保護素子11のベース(半導体基板1)が直接接続されていない点のみで異なる。それ以外の構造は、第1の実施形態と同じであり、図1と図5、図2と図6、および図3と図7のそれぞれにおいて、同じ部分には同じ符号を付して、その詳細な説明は省略する。

[0038] 本実施形態では、第１の実施形態と異なりＰ型半導体基板１は、ＰＮＰトランジスタ１０のエミッタ、コレクタと絶縁されているため、パッケージング構造の設計や、この半導体装置が実装される配線基板のパターン設計の自由度が高まるという利点がある。

[0039] 本実施形態による半導体装置では、保護対象の回路素子が横型ＰＮＰトランジスタ１０である点で第１の実施形態と異なるが、入力端子１３にＥＳＤが印加されれば、第１の実施形態と同様に、前述の第１領域２および前述の高不純物濃度の埋め込み層９を介してＰ型半導体基板１とのＰＮ接合に電圧が加わることとなる。しかし、第１の実施形態と同様に、ＮＰＮトランジスタ１１からなる保護素子が形成されているため、第１の実施形態と同様に、その電圧を抑制することができ、回路素子である横型ＰＮＰトランジスタ１０は保護される。

[0040] (第３の実施形態)

本発明の第３の実施形態による半導体装置の、半導体構造の平面説明図、断面説明図および等価回路図が、図８～１０に示されている。本実施形態では、回路素子がＮＰＮトランジスタ１９であり、入力端子１３がコレクタに接続されている点が、第２の実施形態と異なっている。このＮＰＮトランジスタ１９は、図８および図９に示されるように、コンタクト領域１８を介して入力端子１３に接続された第１領域２をコレクタとし、第１領域２内に形成されたＰ型領域１６をベースとし、このＰ型領域１６内に形成されたＮ型領域１７をエミッタとして形成されている。図９および図１０に示されるように、等価回路においても、入力端子１３および保護素子１１のコレクタが、回路素子であるＮＰＮトランジスタ１９のコレクタと接続されている点が異っている。それ以外の構造は、第２の実施形態と同じであり、図５と図８、図６と図９、および図７と図１０がそれぞれ対応しており、同じ部分には同じ符号を付して、その詳細な説明を省略する。また、入力端子１３にＥＳＤが印加されれば、第１の実施形態と同様に第１領域２および埋め込み層９を介してＰ型半導体基板１とのＰＮ接合に電圧が加わる。しかし、第１の実

施形態と同様に保護素子 11 が形成されているため、その電圧を抑制することができ、回路素子である NPN トランジスタ 19 は保護される。

[0041] なお、図 8 および図 9 において、NPN トランジスタ 19 は、縦型 NPN トランジスタとして示されているが、この NPN トランジスタ 19 が、ベースである P 型領域 16 とコレクタである第 1 領域 2 内のコンタクト領域 18 とを接して形成された横型 NPN トランジスタであっても、保護素子 11 は、入力端子 13 への ESD 電圧印加に対して、同様に回路素子を保護する機能を発揮する。またさらに、図 8 および図 9 に示される本実施形態の構造において、前述の第 1 領域 2 をコレクタではなくエミッタとして機能させ、P 型領域 16 内に形成された N 型領域 17 をエミッタではなくコレクタとして機能させるように形成された、NPN トランジスタのエミッタが入力端子に接続される入力回路を有する半導体装置としても、保護素子 11 は、入力端子 13 への ESD 電圧印加に対して、同様に回路素子を保護する機能を発揮する。

[0042] (第 4 の実施形態)

本発明の第 4 の実施形態による半導体装置の、半導体構造の平面説明図、断面説明図および等価回路図が、図 11 ~ 13 に示されている。本実施形態では、回路素子が P チャネル接合型電界効果トランジスタ 23 であり、入力端子 13 がゲートに接続されている点が、第 2 の実施形態と異なっている。この P チャネル接合型電界効果トランジスタ 23 は、図 11 および図 12 に示されるように、コンタクト領域 22 を介して入力端子 13 に接続された第 1 領域 2 をゲートとし、第 1 領域 2 内に形成された P 型領域 20 をソースとし、同様に第 1 領域 2 内に形成された P 型領域 21 をドレインとして形成されている。図 12 および図 13 に示されるように、等価回路においても、回路素子が P チャネル接合型電界効果トランジスタ 23 であり、入力端子 13 および保護素子 11 のコレクタが、この P チャネル接合型電界効果トランジスタ 23 のゲートに接続されている点が第 2 の実施形態と異なっている。それ以外の構造は、第 2 の実施形態と同じであり、図 5 と図 11、図 6 と図 1

2、および図7と図13がそれぞれ対応しており、同じ部分には同じ符号を付して、その詳細な説明を省略する。また、入力端子13にESDが印加されれば、第1の実施形態と同様に第1領域2および埋め込み層9を介してP型半導体基板1とのPN接合に電圧が加わる。しかし、第1の実施形態と同様に保護素子11が形成されているため、その電圧を抑制することができ、回路素子であるPチャネル接合型電界効果トランジスタ23は保護される。

[0043] (第5の実施形態)

本発明の第5の実施形態による半導体装置の、半導体構造の平面説明図、断面説明図および等価回路図が、図14～16に示されている。本実施形態では、回路素子がNチャネル接合型電界効果トランジスタ28であり、入力端子13がドレインに接続されている点が、第2の実施形態と異なっている。このNチャネル接合型電界効果トランジスタ28は、図14および図15に示されるように、コンタクト領域26を介して入力端子13に接続された第1領域2をドレインとし、コンタクト領域27を有し第1領域2内に形成されたP型領域24をゲートとし、このP型領域24内に形成されたN型領域25をソースとして形成されている。図15および16に示されるように、等価回路においても、回路素子がNチャネル接合型電界効果トランジスタ28であり、入力端子13および保護素子11のコレクタが、このNチャネル接合型電界効果トランジスタ28のドレインに接続されている点が第2の実施形態と異なっている。それ以外の構造は、第2の実施形態と同じであり、図5と図14、図6と図15、および図7と図16がそれぞれ対応しており、同じ部分には同じ符号を付して、その詳細な説明を省略する。また、入力端子13にESDが印加されれば、第1の実施形態と同様に第1領域2および埋め込み層9を介してP型半導体基板1とのPN接合に電圧が加わる。しかし、第1の実施形態と同様に保護素子11が形成されているため、その電圧を抑制することができ、回路素子であるNチャネル接合型電界効果トランジスタ28は保護される。

[0044] なお、図15および図16に示される本実施形態の構造において、前述の

第1領域2をドレインではなくソースとして機能させ、P型領域24内に形成されたN型領域25をソースではなくドレインとして機能させるように形成された、Nチャネル接合型電界効果トランジスタのソースが入力端子に接続される入力回路を有する半導体装置としても、保護素子11は、入力端子13へのESD電圧印加に対して、同様に回路素子を保護する機能を発揮する。

[0045] (第6の実施形態)

本実施形態は、平面説明図として図17～19に示されているように、前述の第1、第2、および第4の実施形態の第1領域2が2個設けられ、保護される回路素子も2個形成され、保護素子を構成する第2領域6がその間に共通に設けられた例である。すなわち、図17～19では、第1領域2およびその中に形成されるPNPトランジスタ10を構成するベース、エミッタおよびコレクタや、Pチャネル接合型電界効果トランジスタ23を構成するゲート、ソースおよびドレインの各領域が線対称に形成され、第2領域6、第2領域6と半導体基板1との接続領域8、および図17における縦型PNPトランジスタ10のコレクタ4は、それぞれ1個で形成されている。ただし、第1領域2内に形成されている各トランジスタを構成する各領域は必ずしも線対称に設けられる必要はなく、また縦型PNPトランジスタ10のコレクタ4または接続領域8を、2個の第1領域それぞれに1個ずつ設けることも可能である。

[0046] このように第1領域2を2個配置することによって、第1領域2とP型半導体基板1との間でPN接合がそれぞれ形成されることとなる。このため、この第1領域2をコレクタとして形成される前述の保護素子11は、2個の第1領域2をコレクタとして備えたマルチコレクタ形式のNPNトランジスタとして、ベースをP型半導体基板1、エミッタを前述の1個の第2領域6として形成される。従って、この1個の保護素子11は、2つの第1領域2のいずれにESD電圧が印加されても保護素子として機能することができるため、1つの保護素子で、2つのトランジスタをESDから保護することが

できる。この点においても、本発明の半導体装置は、トランジスタごとに保護素子を必要とする従来技術の半導体装置と比べて、より小さい面積で形成することができるのである。なお、図17、図18および図19は、第1、第2および第4の実施形態にこの実施形態を適用した図であるが、第3および第5の実施形態への本実施形態の適用も可能である。

[0047] 図20は、前述の第6の実施形態の応用例である、本発明の半導体装置においてトランジスタがその中に形成される前述の第1領域2と、その保護素子11のエミッタとなる前述の第2領域6の配置例を示す平面説明図である。この例では、前述の第1領域2が縦横それぞれの方向に並んで配置されており、前述の第2領域6が、これら第1領域2の間にそれぞれ配置されている。

[0048] 第6の実施形態と同様に、前述の保護素子11は、この第2領域6をエミッタとし、その周囲に隣接して複数個配置されている第1領域2のそれぞれ全てをコレクタとして形成される。従って、1個の保護素子11は、隣接する4個の第1領域2に形成されているそれぞれのトランジスタの保護素子として機能することができる。この応用例から解るように、本発明の半導体装置は、保護対象となるトランジスタの数が増えるほど、従来技術による半導体装置に対する面積縮小の効果が大きくなるのである。

[0049] (第7の実施形態)

それぞれ図21および図22に示されている実施形態は、第1および第2の実施形態の第1領域2の平面形状を円形状にした例である。この第1領域2が、図17や図18に示すような矩形の形状の場合、この領域とこの領域が形成されている半導体基板1との間に電圧が印加された際に、その矩形の四隅の頂点付近に電界が集中し、その周辺で降伏が起こり易くなる。従って、この第1領域2の形状を円形にすることは、この第1領域2とP型半導体1との接合の降伏電圧を高めることができるという利点がある。

[0050] ここで、本発明の半導体装置の保護素子11が、そのコレクタからエミッタに流すことができる電流の大きさは、そのコレクタやエミッタに比べて不

純物濃度が低く高い電気抵抗を有する半導体基板 1 をその領域とする保護素子 1 1 のベースの幅と反比例する関係にある。そして、この保護素子 1 1 のベース領域の実質的な幅は、コレクタ領域である前述の第 1 領域と、これに隣接して配置されエミッタ領域となる前述の第 2 領域との間隔である。

[0051] このため、この第 1 領域の形状を前述のように円形とした場合は、これに隣接して配置される第 2 領域の第 1 領域と対向する部分の形状を、第 1 領域の外形における第 2 領域と対向する部分の形状に沿った形状にすることが、保護素子 1 1 の、ESD による降伏電流を流す能力を維持する点で好ましい。図 2 1 ~ 2 2 に示されている例は、この考えに基づき、この第 2 領域の形状の一部を図 2 1 や図 2 2 に示す曲線形状としたものであり、保護素子 1 1 の ESD による電流を流す能力を低下させることなく、前述の降伏電圧の向上を図れるという利点がある。なお、図 2 1 および図 2 2 は、第 1 および第 2 の実施形態の構造に適用した例であるが、第 3 ないし第 5 の実施形態の構造にも適用することが可能である。

[0052] (第 8 の実施形態)

本発明の第 8 の実施形態である半導体装置の半導体構造の等価回路図および断面説明図が、それぞれ図 2 3 および図 2 4 に示されている。本実施形態では、入力端子 1 3 a および入力端子 1 3 b の 2 つの入力端子を含む差動入力式の入力回路を持つ半導体装置への適用を想定したものである。

[0053] 図 2 3 を参照すると、本実施形態の等価回路は、入力端子 1 3 a、1 3 b、差動入力部を構成する 1 組の NPN トランジスタ 1 9 a、1 9 b、入力端子 1 3 a、1 3 b の間の過大な電圧差を制限する他の 1 組の NPN トランジスタ 1 9 c、1 9 d、保護素子 1 1 a、1 1 b、P 型半導体基板 1 の寄生抵抗 1 2 a、1 2 b、および電流源 2 9 から構成されている。NPN トランジスタ 1 9 a、1 9 b は、そのベースが、入力端子 1 3 a、1 3 b、NPN トランジスタ 1 9 c、1 9 d のベースおよびコレクタ、および保護素子 1 1 a、1 1 b のコレクタにそれぞれ接続され、そのエミッタが、共に電流源 2 9 の一端に接続されている。NPN トランジスタ 1 9 c、1 9 d のエミッタは

、相互にNPNトランジスタ19d、19cのベースに接続されている。さらに保護素子11a、11bは、そのベースが寄生抵抗12a、12bの一端にそれぞれ接続され、そのエミッタが、寄生抵抗12a、12bの他端および電流源29の他端と共に、低位電圧源端子14に接続されている。

[0054] NPNトランジスタ19c、19dは、そのコレクタが入力端子13a、13bに接続された前述の第3の実施形態と同じ構成であるため、保護素子11a、11bは、前述の第3の実施形態と同様にNPNトランジスタ19c、19dの保護素子として動作する。一方NPNトランジスタ19a、19bは、ベースが入力端子13a、13bに接続された構成であるが、前述のとおり、保護素子11a、11bが、入力端子13a、13bへのESD電圧の印加に対してNPNトランジスタ19c、19dが破壊されないよう保護素子として動作し、そのコレクタへの電圧を抑制するため、そのコレクタに接続されたNPNトランジスタ19a、19bのベースにも破壊に至るような過大な電圧は印加されないこととなり、実質的に保護素子11a、11bは、NPNトランジスタ19aないし19dの全ての保護素子として機能することができる。

[0055] (第9の実施形態)

本発明の第9の実施形態である半導体装置の半導体構造の等価回路図および断面説明図が、それぞれ図25および図26に示されている。本実施形態では、入力端子13a、13bの間の過大な電圧差を制限する1組のトランジスタが、NPNトランジスタ19c、19dではなくPNPトランジスタ10a、10bである点が、前述の第8の実施形態と異なっている。その他の構成は、各素子間の接続状態を含めて第8の実施形態と同じであり、同じ部分には同じ符号を付して、その詳細な説明は省略する。

[0056] PNPトランジスタ10a、10bは、そのベースが入力端子13a、13bに接続された前述の第2の実施形態と同じ構成であるため、保護素子11a、11bは、前述の第2の実施形態と同様にPNPトランジスタ10a、10bの保護素子として動作する。一方NPNトランジスタ19a、19

bは、前述の第8の実施形態同様に、ベースが入力端子13a、13bに接続された構成であるが、第8の実施形態と同様に、保護素子11a、11bが、入力端子13a、13bへのESD電圧の印加に対してPNPトランジスタ10a、10bが破壊されないよう保護素子として動作し、そのベースへの電圧を抑制するため、そのベースに接続されたNPNトランジスタ19a、19bのベースにも破壊に至るような過大な電圧は印加されないこととなり、実質的に保護素子11a、11bは、PNPトランジスタ10a、10b、およびNPNトランジスタ19a、19b全ての保護素子として機能することができる。

産業上の利用可能性

[0057] 本発明による半導体装置は、表示機器や移動体通信端末等の民生用途、また各種生産設備等の一般産業用途を始め、あらゆる産業分野に利用できるが、特に、人に触れられる機会が多くESDが印加されやすい携帯機器や、高い信頼性が求められる医療機器や輸送機器関係の産業に利用することができる。

符号の説明

- [0058]
- 1 P型半導体基板
 - 2 N型半導体による第1領域
 - 3 第1および第2の実施形態の回路素子のエミッタ
 - 4 第1および第2の実施形態の回路素子のコレクタ
 - 5 第1領域2内のコンタクト領域
 - 6 N型半導体による第2領域
 - 6a N型半導体による第2領域6のコンタクト領域
 - 7 導電体
 - 8 N型半導体による第2領域とP型半導体基板1の接続領域
 - 9 第1領域よりも高不純物濃度のN型領域（埋め込み領域）
 - 10、10a、10b 第1、第2および第9の実施形態の回路素子（PNPトランジスタ）

- 1 1、1 1 a、1 1 b 保護素子（NPNトランジスタ）
- 1 2、1 2 a、1 2 b P型半導体基板の寄生抵抗
- 1 3、1 3 a、1 3 b 入力端子
- 1 4 低位電圧源端子
- 1 5 高位電圧源端子
- 1 6 第3の実施形態における第1領域2内のP型領域
- 1 7 第3の実施形態におけるP型領域16内のN型領域
- 1 8 第3の実施形態における第1領域2のコンタクト領域
- 1 9、1 9 a、1 9 b、1 9 c、1 9 d 第3、第8および第9の実施形態における回路素子（NPNトランジスタ）
- 2 0 第4の実施形態における第1領域2内のP型領域
- 2 1 第4の実施形態における第1領域2内の他のP型領域
- 2 2 第4の実施形態における第1領域2内のN型領域
- 2 3 第4の実施形態における回路素子（Pチャネル接合型電界効果トランジスタ）
- 2 4 第5の実施形態における第1領域2内のP型領域
- 2 5 第5の実施形態における第1領域2内のP型領域24内のN型領域
- 2 6 第5の実施形態における第1領域2のコンタクト領域
- 2 7 第5の実施形態における第1領域2内のP型領域24のコンタクト領域
- 2 8 第5の実施形態における回路素子（Nチャネル接合型電界効果トランジスタ）
- 2 9 電流源
- 3 0 従来技術によるESD保護素子（ダイオード）
- 3 1 従来技術による他のESD保護素子
- 3 2 従来技術を示す図28および図29における回路素子

請求の範囲

- [請求項1] 第1導電型の半導体基板、および該半導体基板の表面に形成された第2導電型半導体層の第1領域を有し、前記半導体基板および前記第1領域により形成されるPN接合を含む回路素子と、前記第1領域に接続される入力端子と、前記入力端子に印加されるESDから前記回路素子を保護する保護素子とを有する半導体装置であって、前記保護素子が、前記半導体基板に前記第2導電型半導体層の第2領域が形成されることによって、前記第1領域をコレクタとし、前記半導体基板をベースとし、前記第2領域をエミッタとして形成されるトランジスタを含み、該エミッタと前記半導体基板とが前記半導体基板に設けられた接続領域を介して導電体によって接続されることにより形成される半導体装置。
- [請求項2] 前記半導体基板に設けられた前記接続領域が、前記第2領域の前記第1領域と反対側に形成されてなる請求項1記載の半導体装置。
- [請求項3] 前記第1領域が、複数個に分離して形成され、該複数個の前記第1領域のそれぞれを用いた複数個の前記回路素子が形成され、前記保護素子の前記第2領域は前記複数個の第1領域で挟まれる中間部に1個で形成されてなる請求項1または2記載の半導体装置。
- [請求項4] 前記第1領域の前記半導体基板表面における外周形状の少なくとも一部が曲線であり、該第1領域に隣接して形成される前記第2領域の前記第1領域と対向する部分の外周形状は、前記第1領域の曲線に沿った曲線である請求項1～3のいずれか1項に記載の半導体装置。
- [請求項5] 前記第1領域の下層に、該第1領域より高不純物濃度の第2導電型領域が形成されており、前記第2領域の下層は直接半導体基板と接触する構造である請求項1～4のいずれか1項に記載の半導体装置。
- [請求項6] 前記第2導電型半導体層が前記半導体基板上に形成されたエピタキシャル層であり、前記第1および第2領域が、前記エピタキシャル層に第1導電型の不純物を注入して前記エピタキシャル層を分離するこ

とによって形成された領域である請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 前記回路素子が、前記第 1 領域をベースとする縦型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項8] 前記回路素子が、前記第 1 領域をコレクタとする縦型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記回路素子が、前記第 1 領域をエミッタとする縦型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置

[請求項10] 前記回路素子が、前記第 1 領域をベースとする横型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項11] 前記回路素子が、前記第 1 領域をコレクタとする横型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

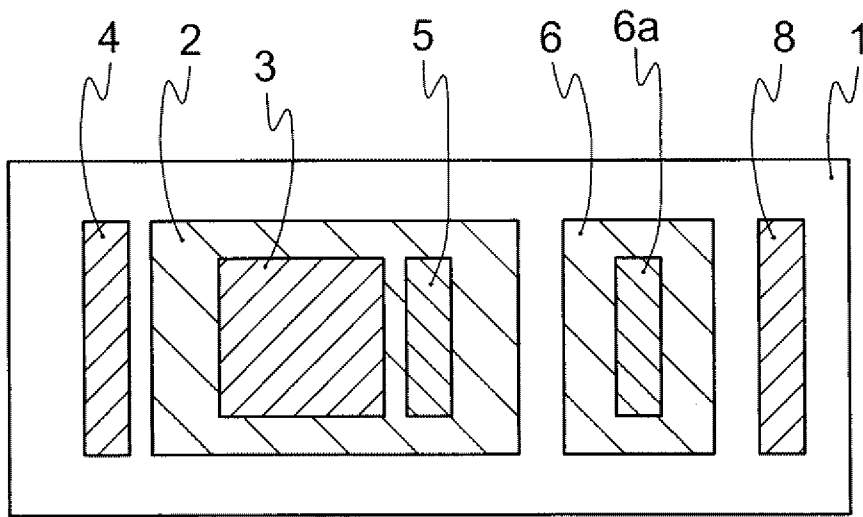
[請求項12] 前記回路素子が、前記第 1 領域をエミッタとする横型バイポーラトランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置

[請求項13] 前記回路素子が、前記第 1 領域をゲートとする接合型電界効果トランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

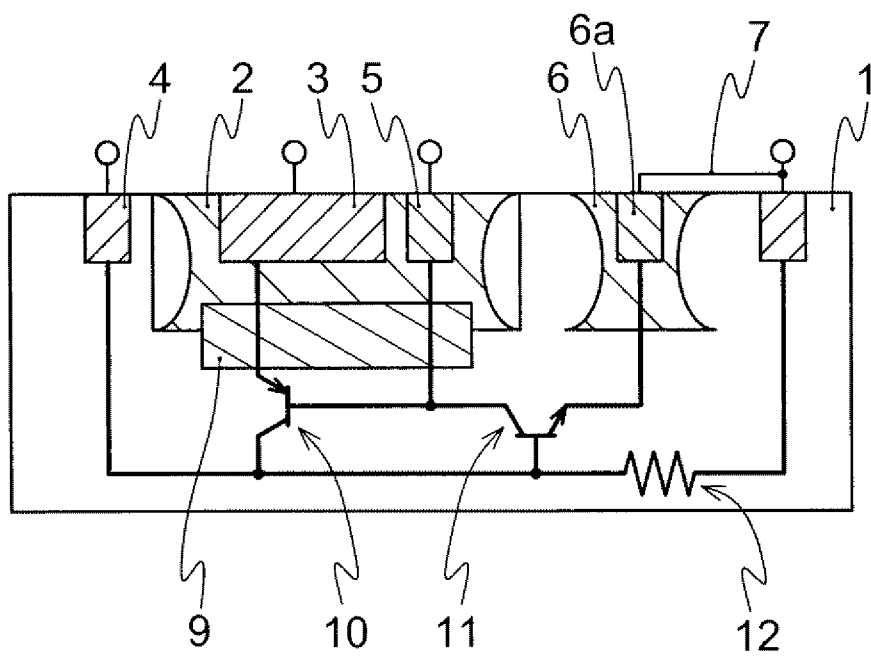
[請求項14] 前記回路素子が、前記第 1 領域をドレインとする接合型電界効果トランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項15] 前記回路素子が、前記第 1 領域をソースとする接合型電界効果トランジスタである請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

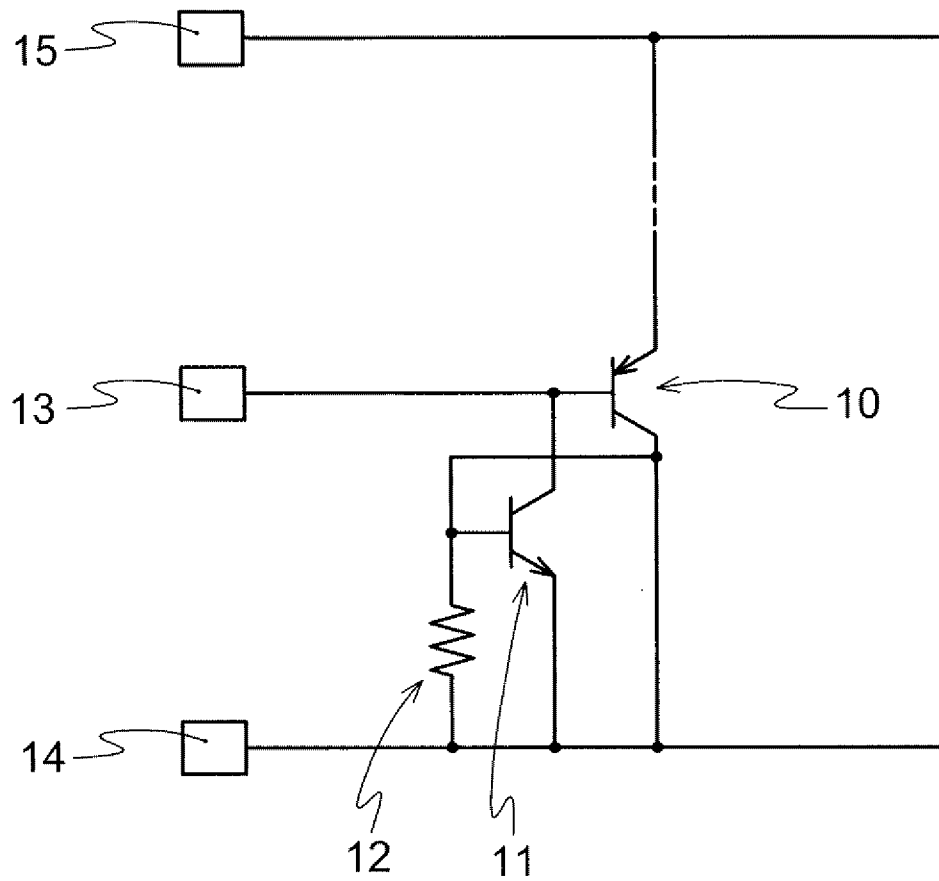
[図1]



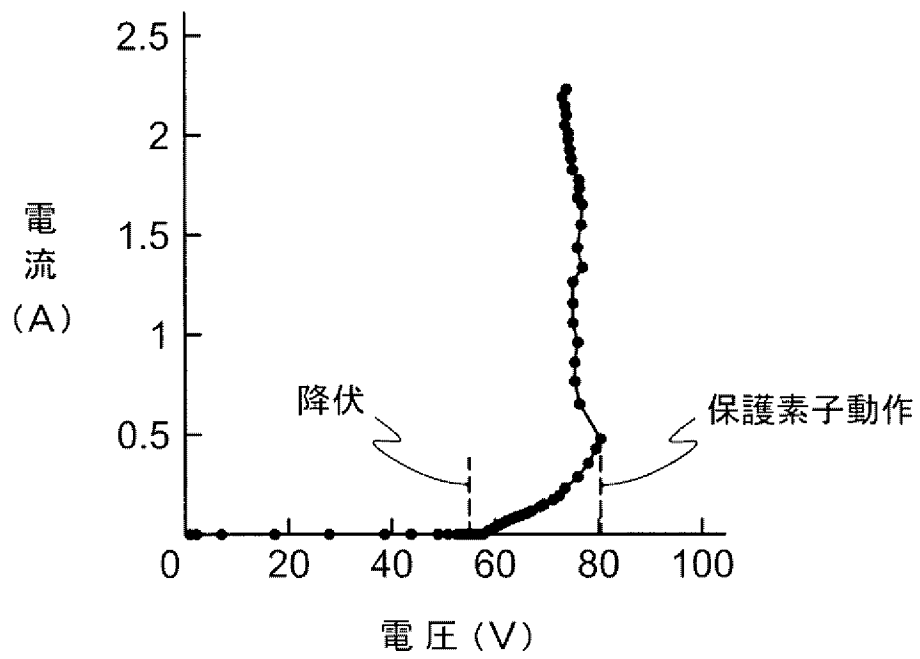
[図2]

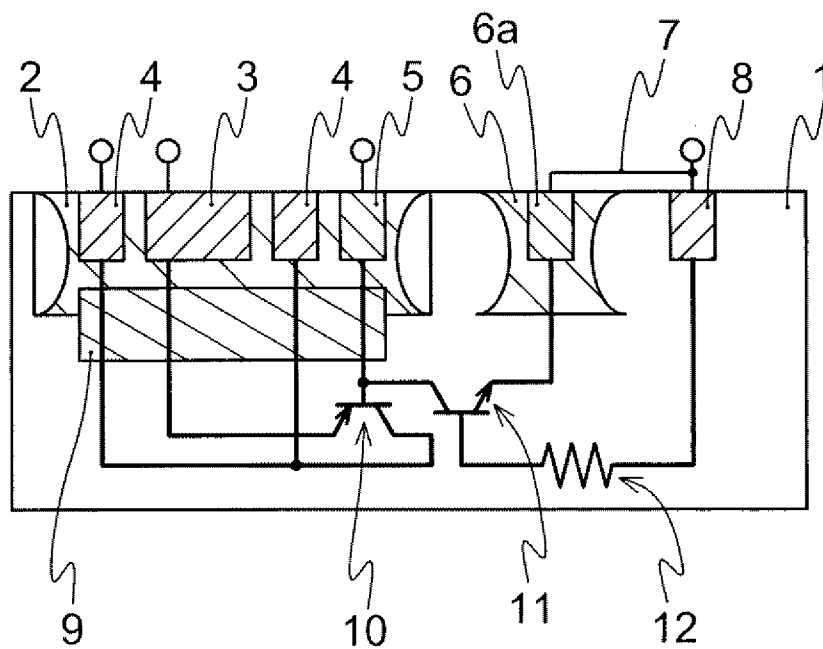
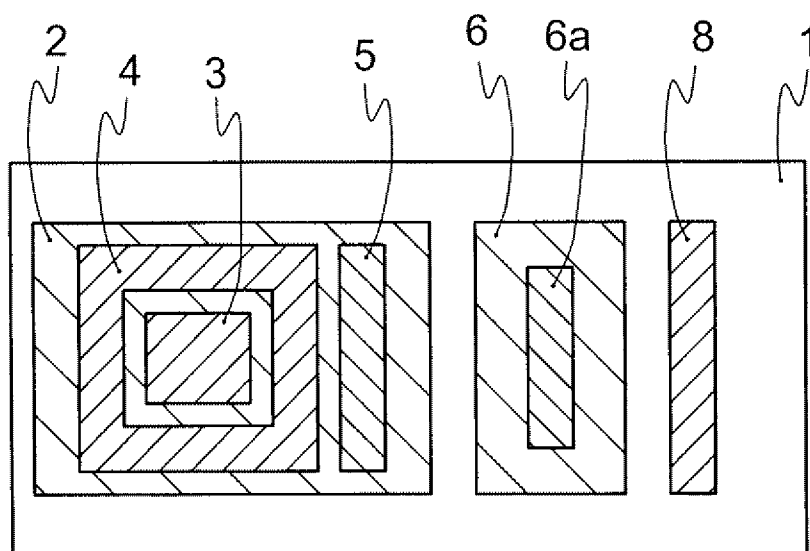


[図3]

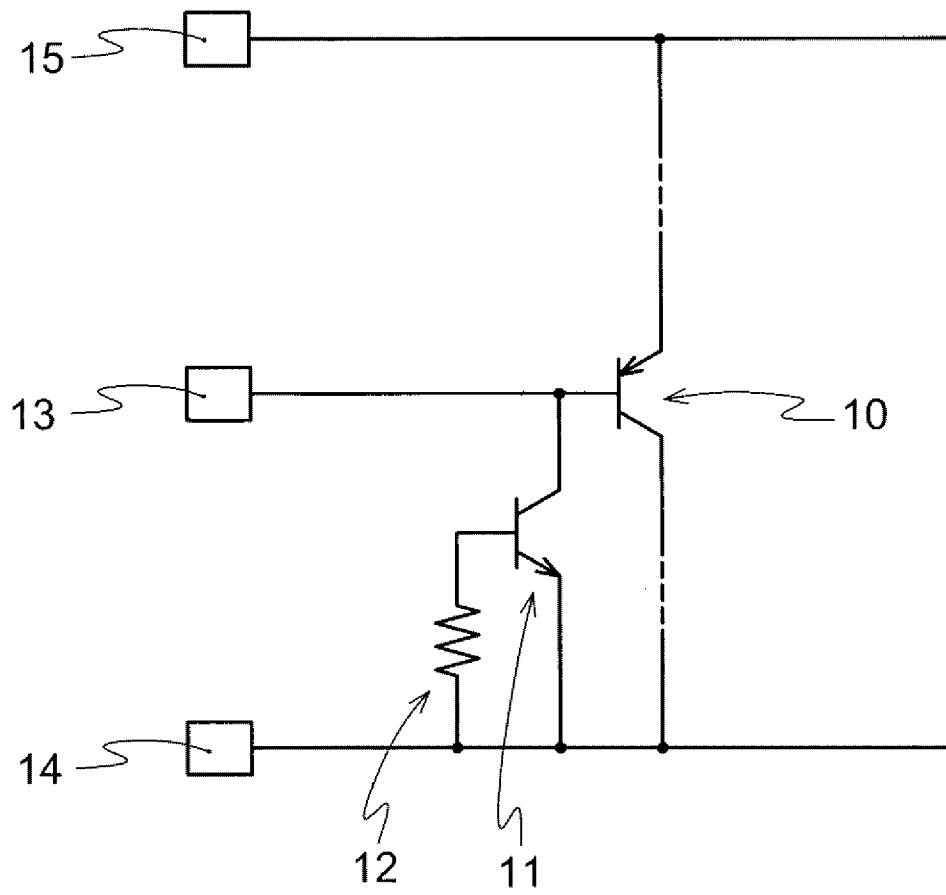


[図4]

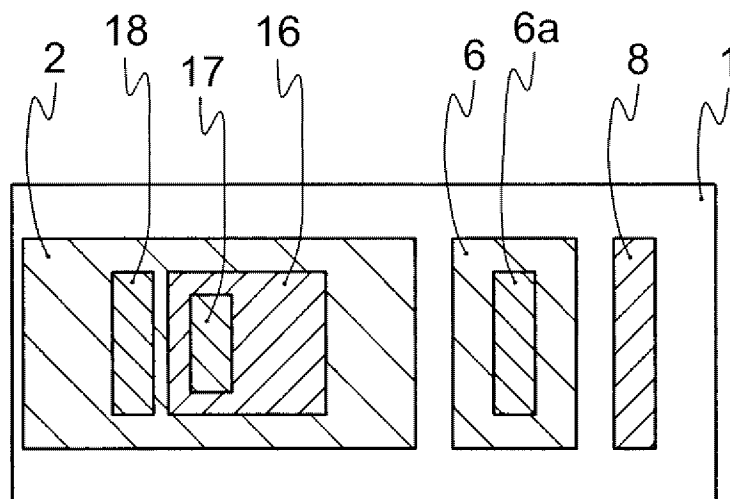




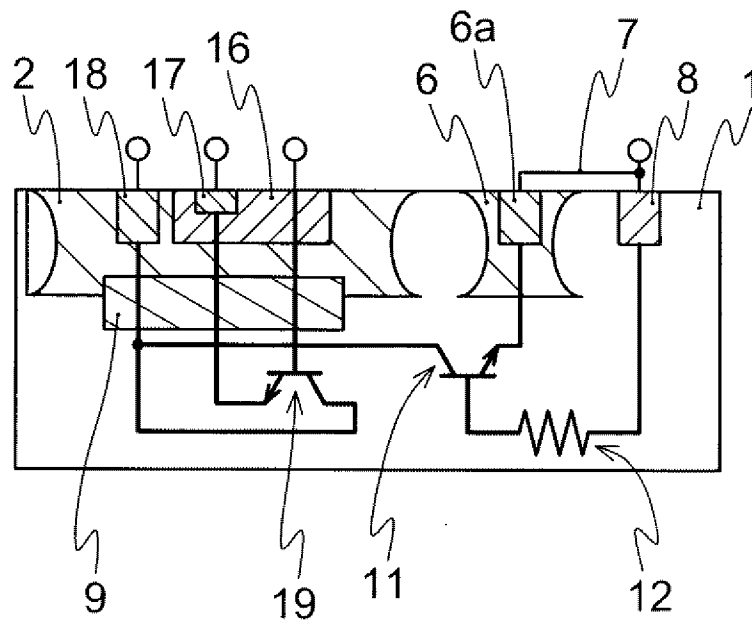
[図7]



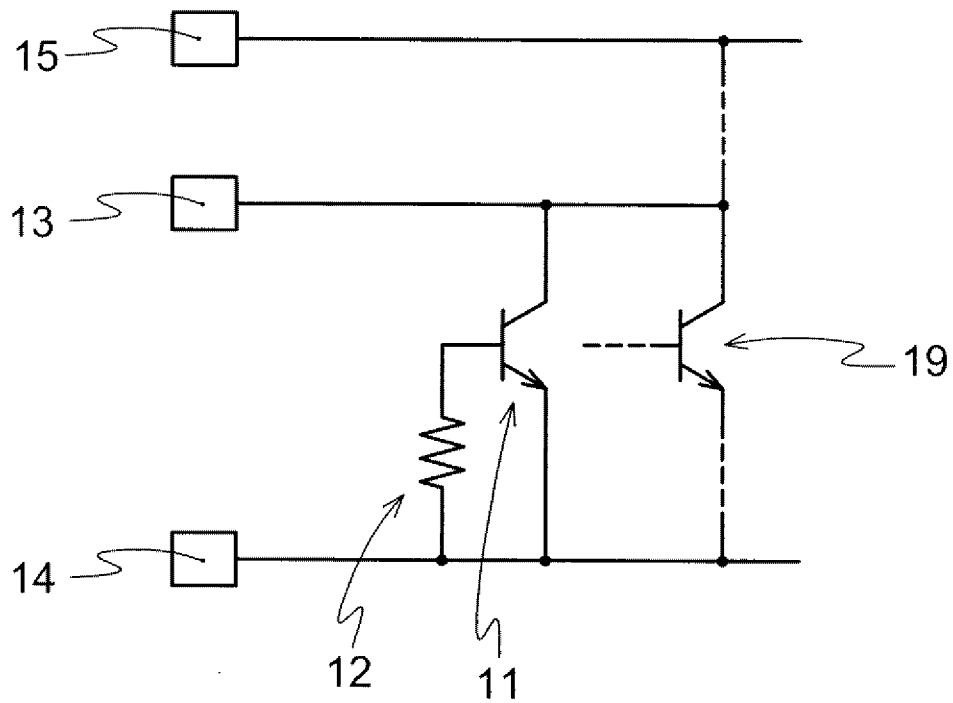
[図8]



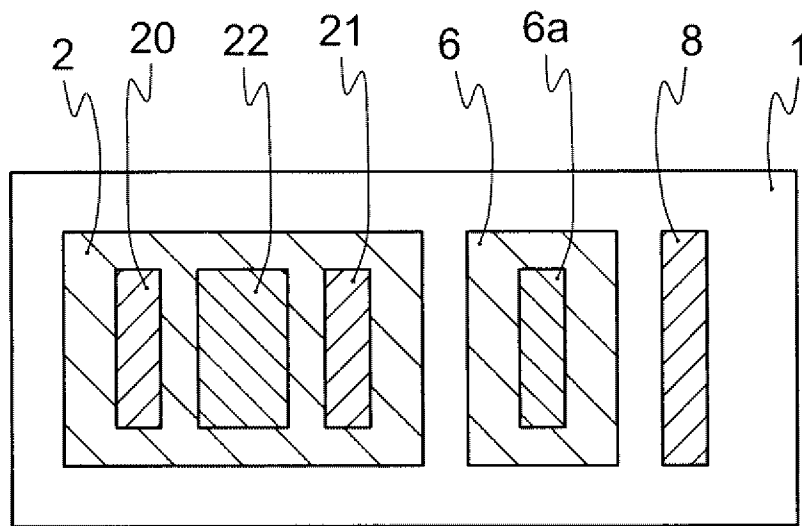
[図9]



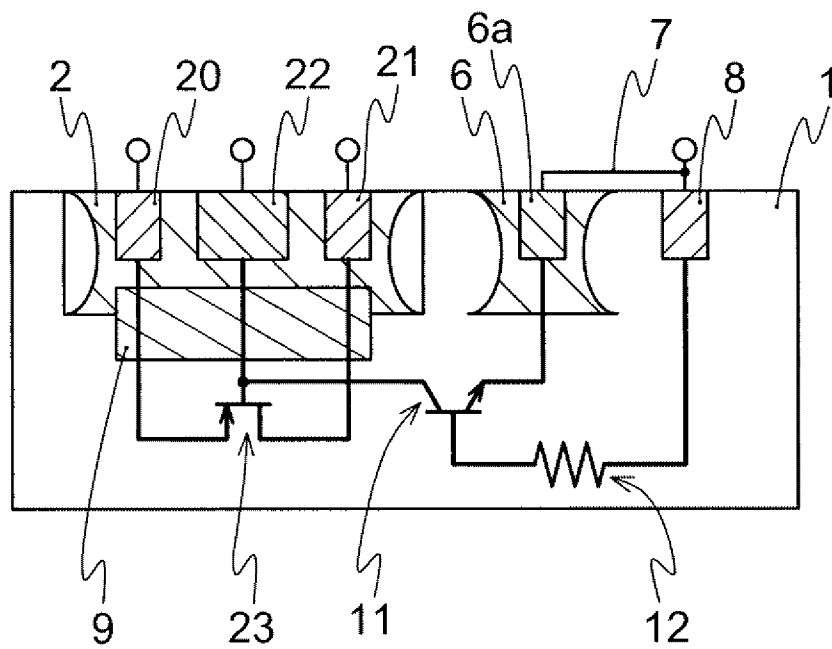
[図10]



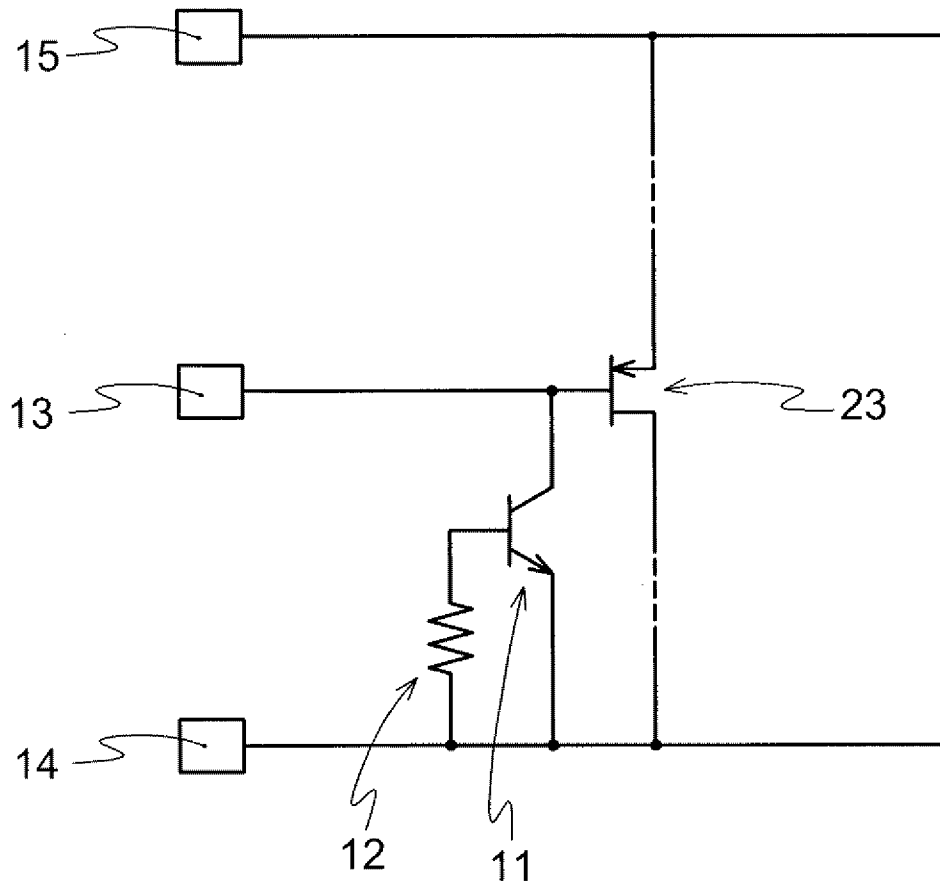
[図11]



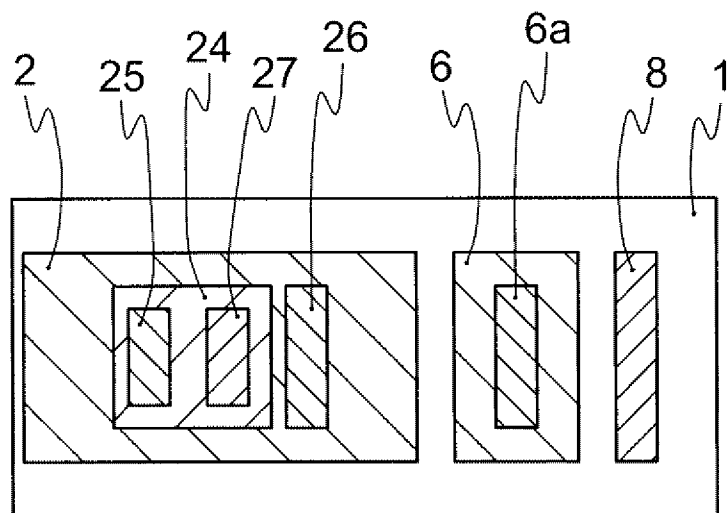
[図12]



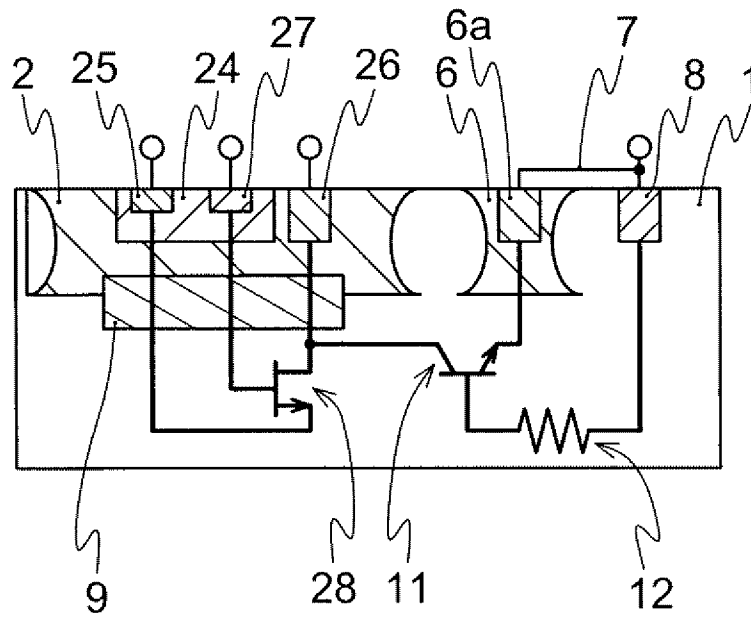
[図13]



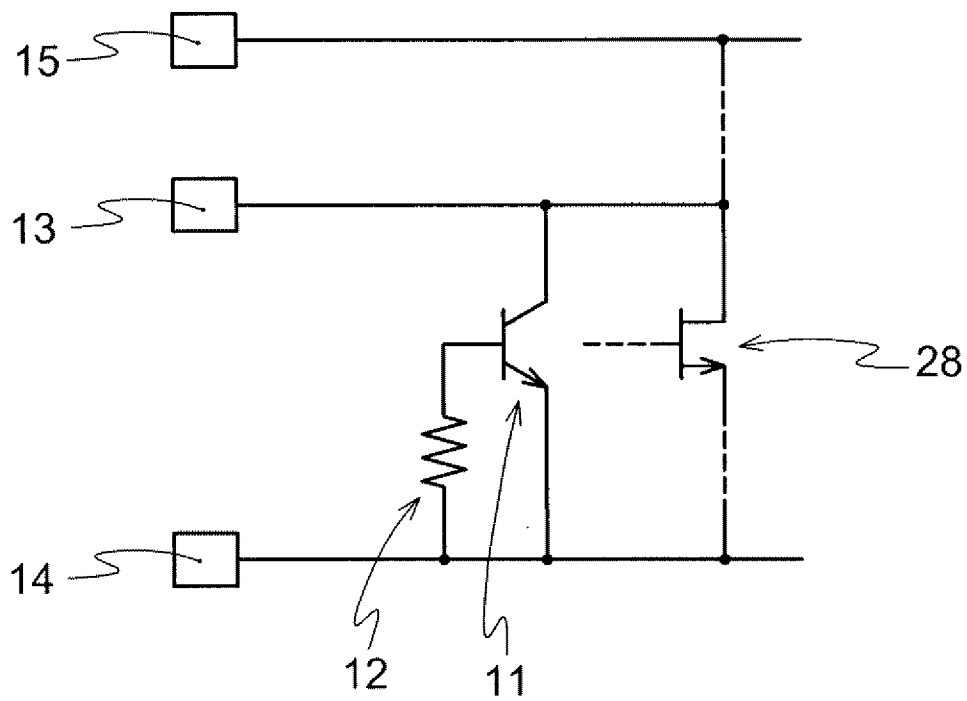
[図14]



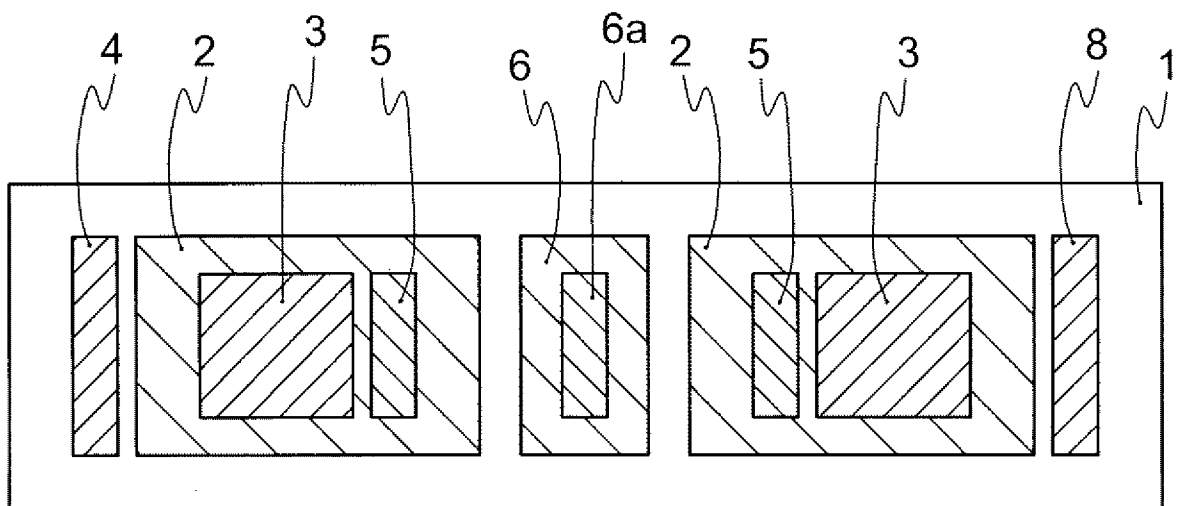
[図15]



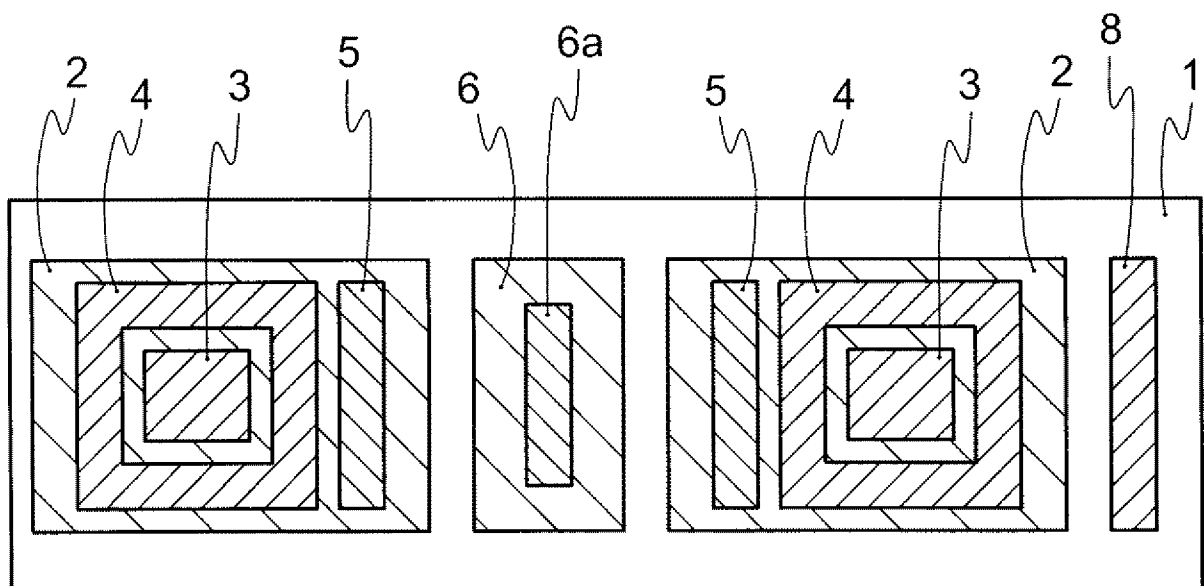
[図16]



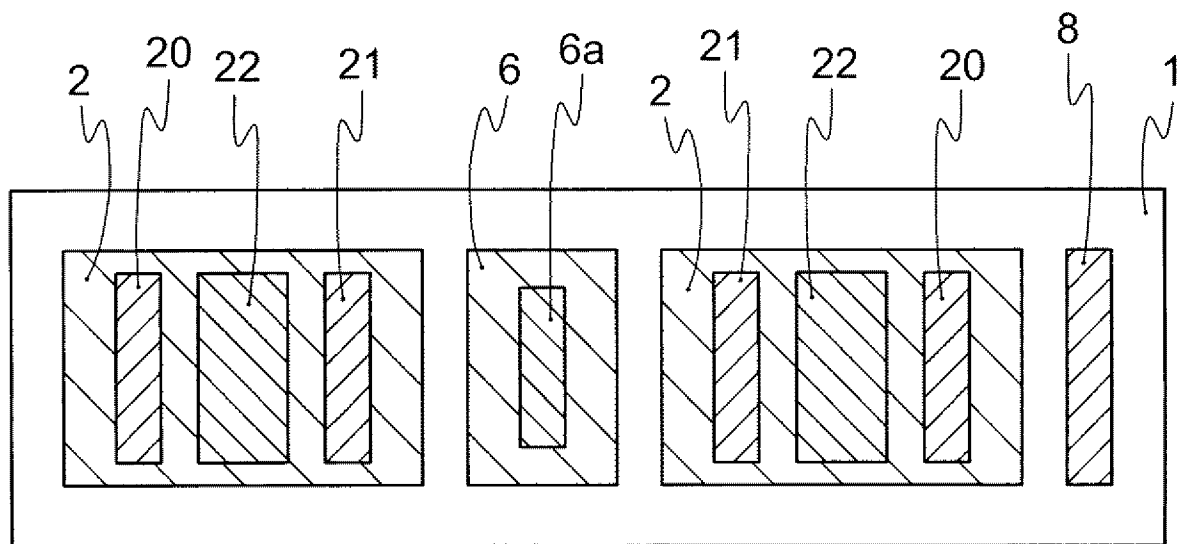
[図17]



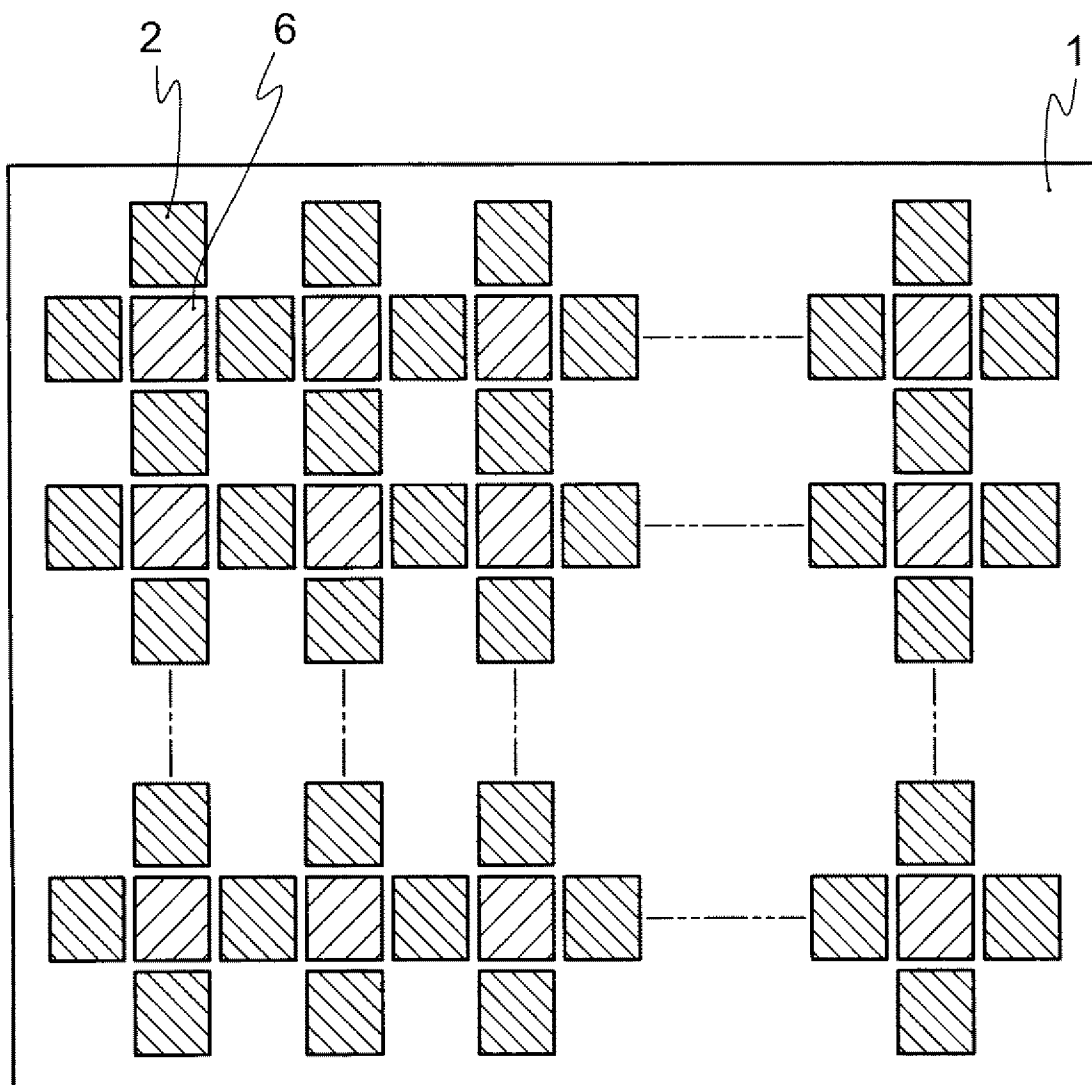
[図18]



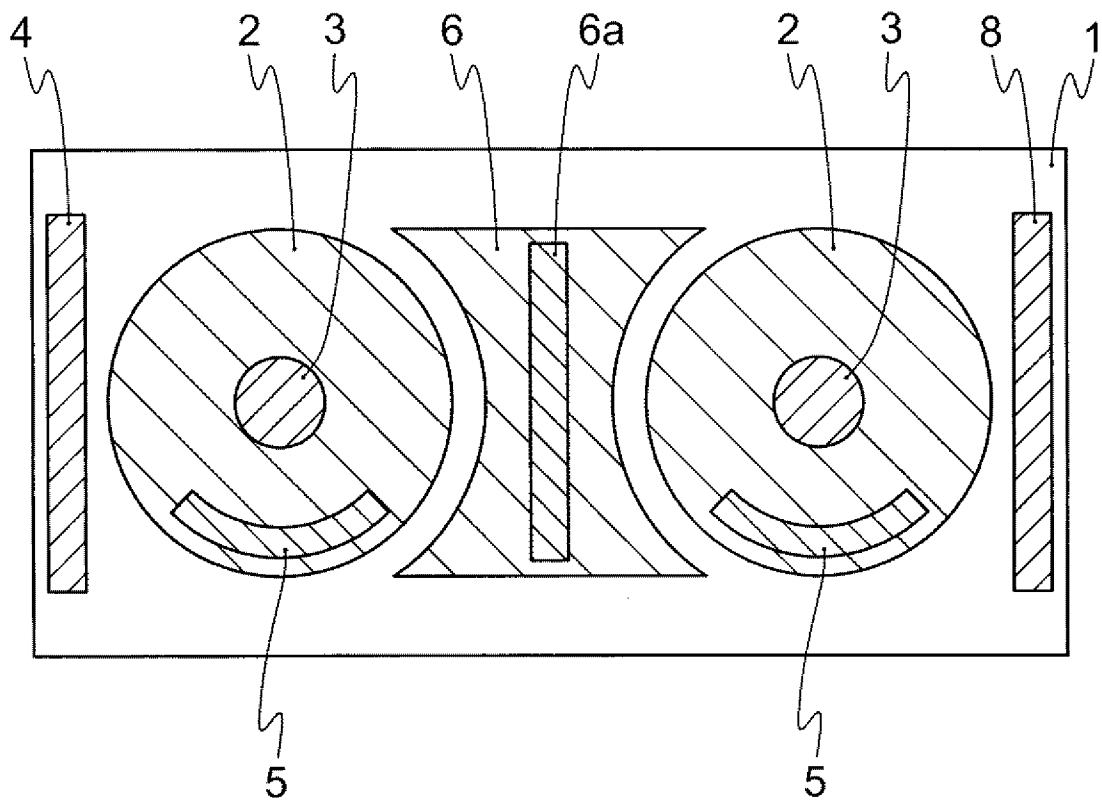
[図19]



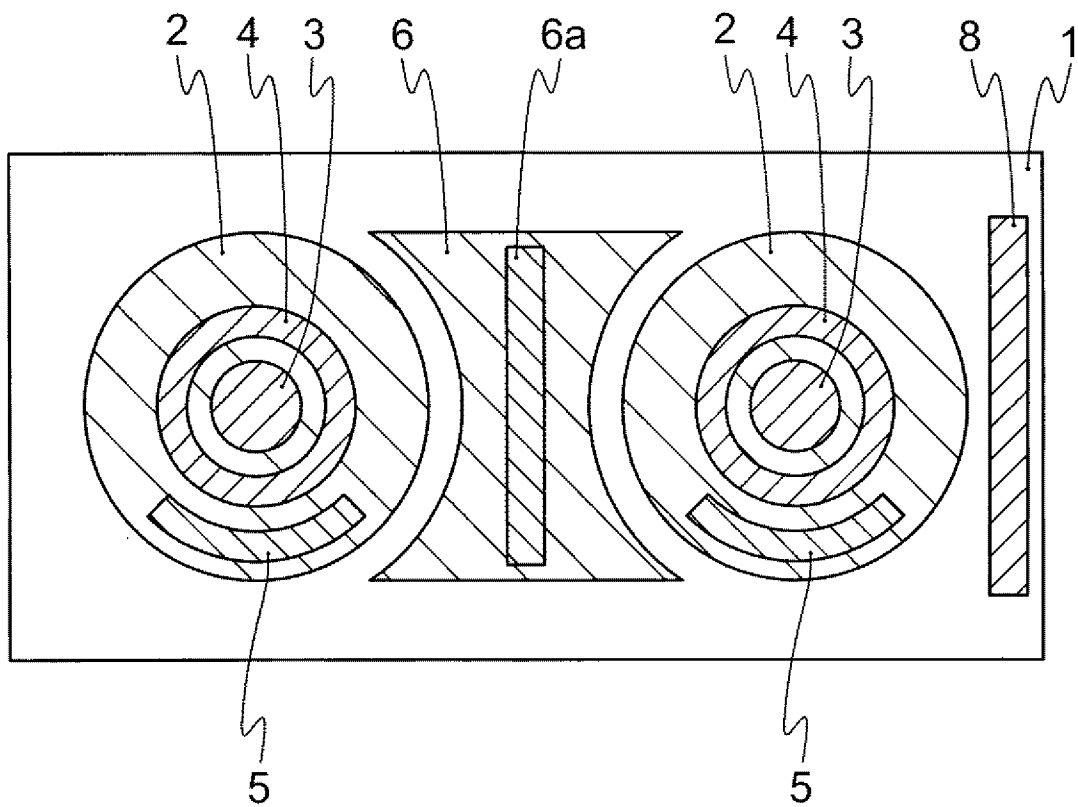
[図20]



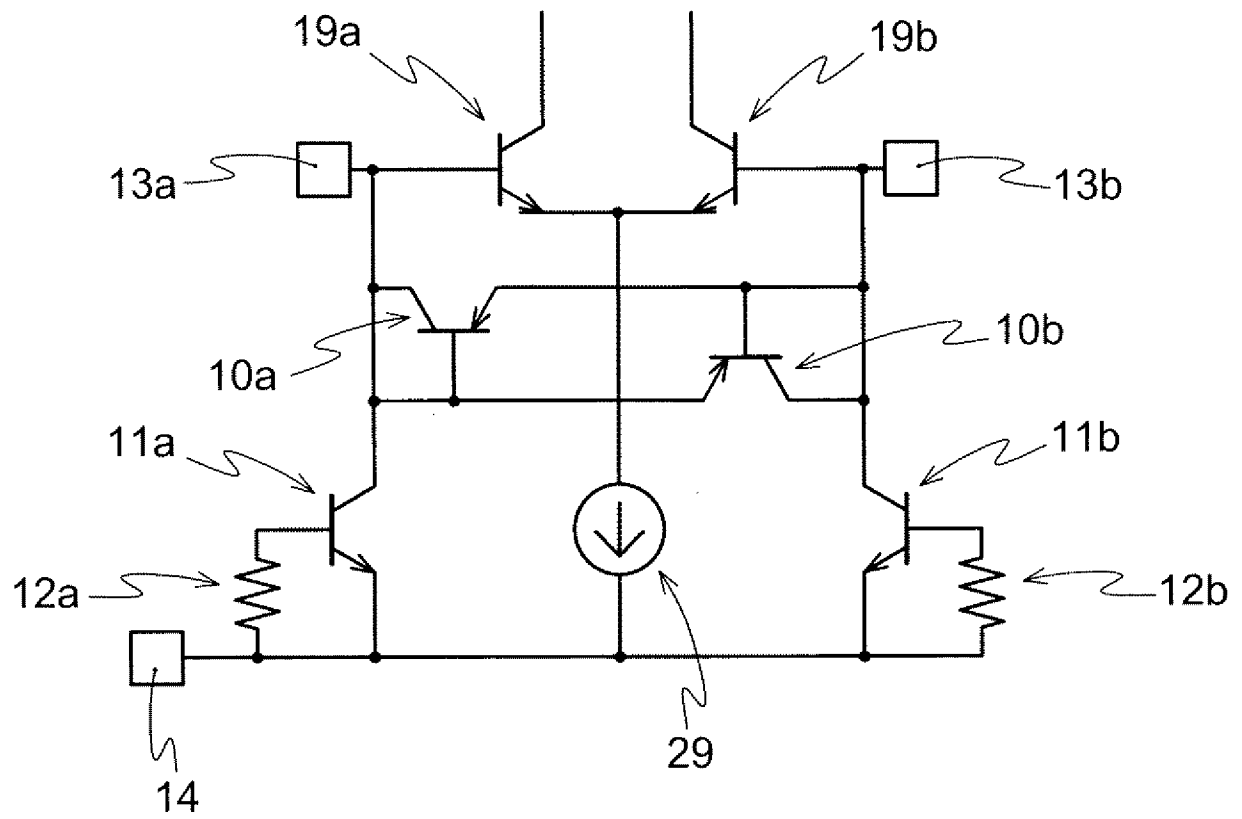
[図21]



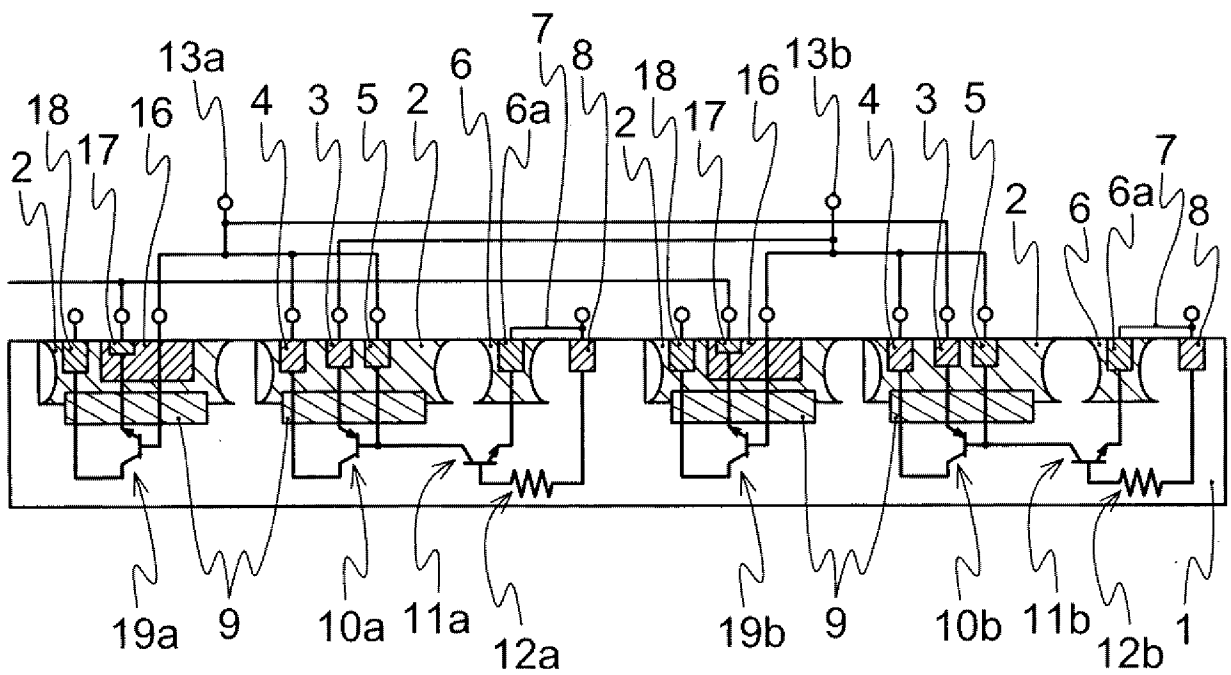
[図22]



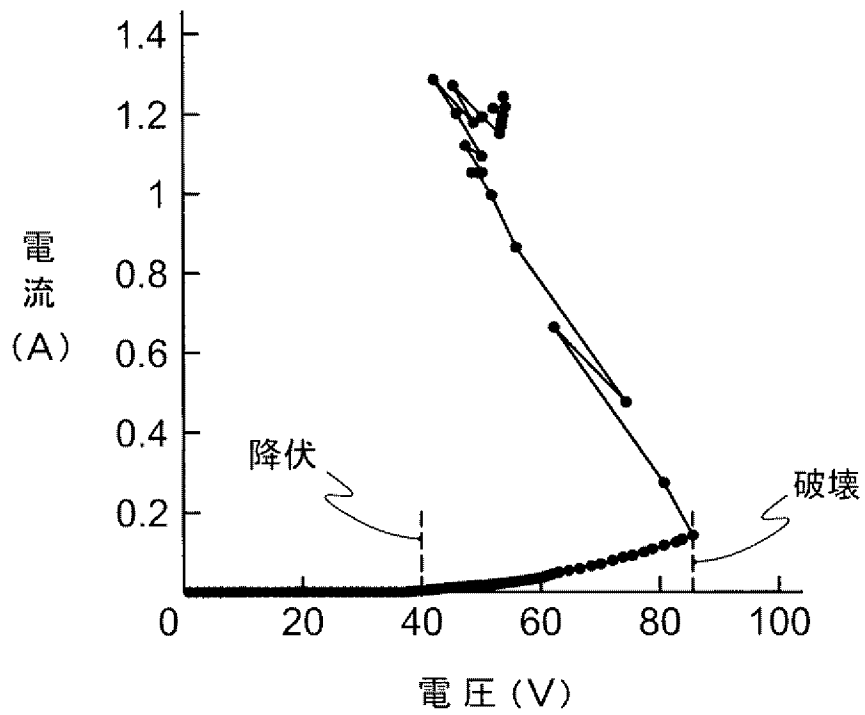
[図25]



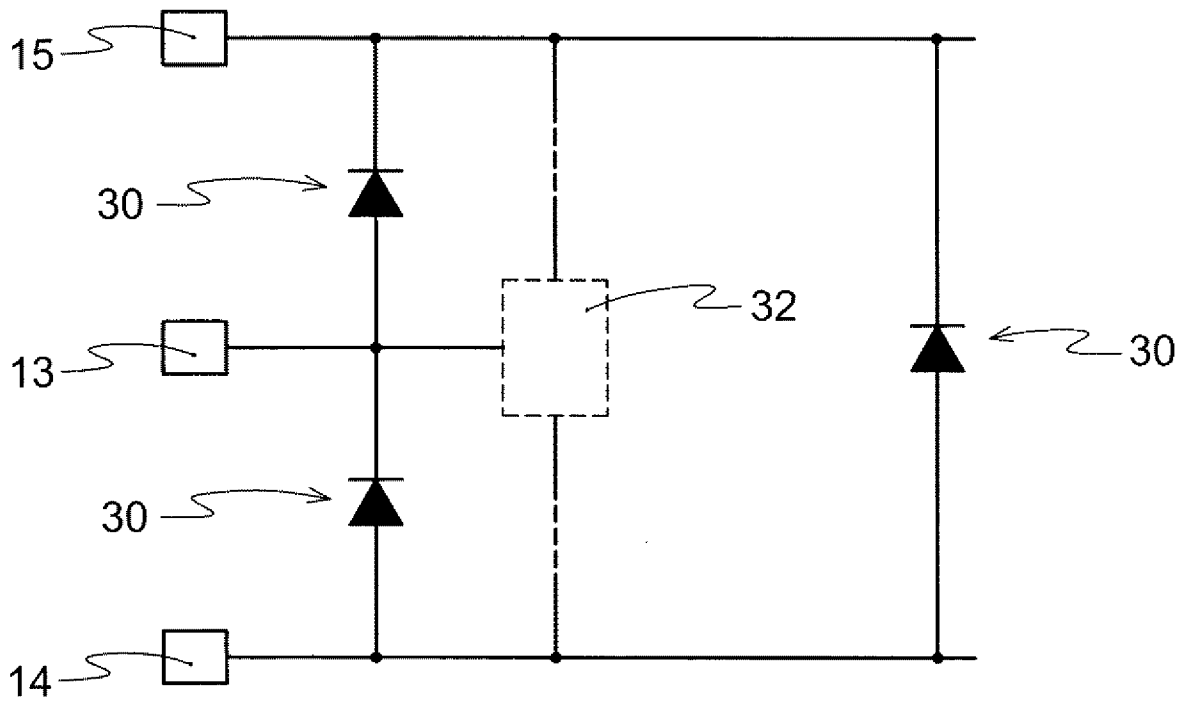
[図26]



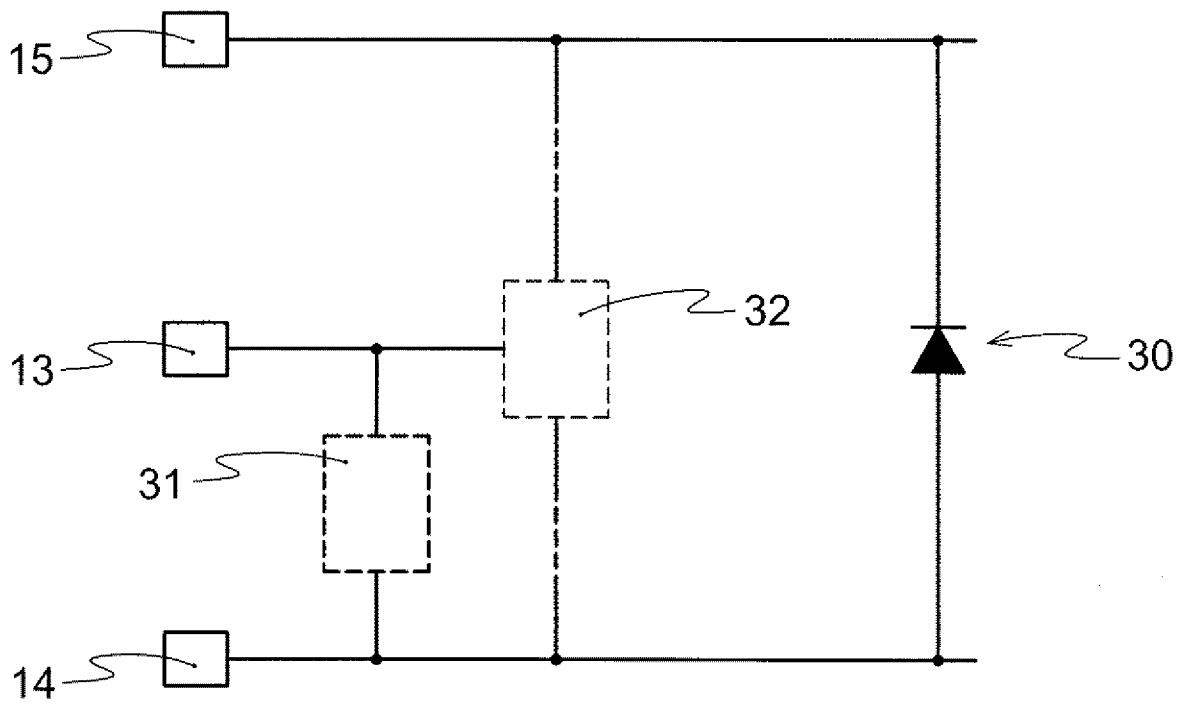
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054997

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/8232(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/8232, H01L27/04, H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 61-23353 A (Hitachi, Ltd.), 31 January 1986 (31.01.1986), fig. 1, 2 and the explanations thereof (Family: none)	1, 2, 4-15 3
Y A	JP 2008-205148 A (New Japan Radio Co., Ltd.), 04 September 2008 (04.09.2008), paragraphs [0004] to [0014]; fig. 1, 2 (Family: none)	1, 2, 4-15 3
Y A	JP 2007-173524 A (Sharp Corp.), 05 July 2007 (05.07.2007), paragraphs [0066] to [0070]; fig. 3 & US 2007/0145484 A1 & CN 1988154 A	4-15 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2012 (07.05.12)

Date of mailing of the international search report
22 May, 2012 (22.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054997

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-267496 A (Ricoh Co., Ltd.), 28 September 2001 (28.09.2001), paragraphs [0012] to [0027]; fig. 1, 2 (Family: none)	3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/822 (2006.01)i, H01L21/8232 (2006.01)i, H01L27/04 (2006.01)i, H01L27/06 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/822, H01L21/8232, H01L27/04, H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 61-23353 A (株式会社日立製作所) 1986.01.31, 第 1, 2 図及びその説明箇所 (ファミリーなし)	1, 2, 4-15 3
Y A	JP 2008-205148 A (新日本無線株式会社) 2008.09.04, 段落【0004】 - 【0014】, 図 1, 2 (ファミリーなし)	1, 2, 4-15 3
Y A	JP 2007-173524 A (シャープ株式会社) 2007.07.05, 段落【0066】 - 【0070】, 図 3 & US 2007/0145484 A1 & CN 1988154 A	4-15 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

須原 宏光

5 F

4 6 6 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-267496 A (株式会社リコー) 2001.09.28, 段落【0012】 - 【0027】, 図 1, 2 (ファミリーなし)	3