

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62548

(P2010-62548A)

(43) 公開日 平成22年3月18日 (2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/786 (2006.01)	H01L 29/78 616U	2H092
H01L 21/336 (2006.01)	H01L 29/78 618B	3K107
H01L 21/28 (2006.01)	H01L 29/78 616V	4M104
G02F 1/1368 (2006.01)	H01L 29/78 616K	5C094
H01L 51/50 (2006.01)	H01L 29/78 627B	5F110
審査請求 未請求 請求項の数 14 O L (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2009-181705 (P2009-181705)	(71) 出願人	000153878
(22) 出願日	平成21年8月4日 (2009.8.4)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2008-205753 (P2008-205753)		神奈川県厚木市長谷398番地
(32) 優先日	平成20年8月8日 (2008.8.8)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮入 秀和
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮永 昭治
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	秋元 健吾
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
			最終頁に続く

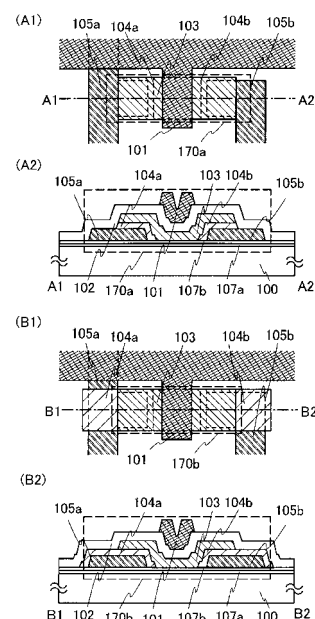
(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【要約】

【課題】電気特性及び信頼性の高い薄膜トランジスタを有する半導体装置、及び該半導体装置を量産高く作製する方法を提案することを課題とする。

【解決手段】半導体層としてIn、Ga、及びZnを含む酸化物半導体膜を用い、半導体層とソース電極層及びドレイン電極層との間にバッファ層が設けられた順スタガ型（トップゲート構造）の薄膜トランジスタを含むことを要旨とする。ソース電極層及びドレイン電極層と半導体層との間に、半導体層よりもキャリア濃度の高いバッファ層を意図的に設けることによってオーミック性のコンタクトを形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ソース電極層及びドレイン電極層と、前記ソース電極層及びドレイン電極層上に n 型の導電型を有するバッファ層と、前記 n 型の導電型を有するバッファ層上に半導体層と、前記半導体層上にゲート絶縁層と、前記ゲート絶縁層上にゲート電極層とを含む薄膜トランジスタを有し、
前記半導体層及び前記バッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、
前記バッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、
前記半導体層と前記ソース電極層及び前記ドレイン電極層とは前記バッファ層を介して電

10

【請求項 2】

ソース電極層及びドレイン電極層と、前記ソース電極層及びドレイン電極層上に n 型の導電型を有するバッファ層と、前記 n 型の導電型を有するバッファ層上に半導体層と、前記半導体層上にゲート絶縁層と、前記ゲート絶縁層上にゲート電極層とを含む薄膜トランジスタを有し、
前記半導体層及び前記バッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、
前記ソース電極層及び前記ドレイン電極層は、前記ゲート電極層と前記半導体層のチャンネル形成領域において重ならず、
前記バッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、
前記半導体層と前記ソース電極層及び前記ドレイン電極層とは前記バッファ層を介して電

20

【請求項 3】

請求項 1 又は請求項 2 において、前記ソース電極層及び前記ドレイン電極層は前記半導体層側の端部を前記バッファ層で覆われることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、前記バッファ層は n 型を付与する不純物元素を含むことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記半導体層のキャリア濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 未満であり、前記バッファ層のキャリア濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上であることを特徴とする半導体装置。

30

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、前記半導体層と前記バッファ層との間にキャリア濃度が前記半導体層より高く、前記バッファ層より低い第 2 のバッファ層を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、前記ソース電極層及び前記ドレイン電極層はチタンを含むことを特徴とする半導体装置。

40

【請求項 8】

基板上にソース電極層及びドレイン電極層を形成し、
前記ソース電極層及びドレイン電極層上に n 型の導電型を有するバッファ層を形成し、
前記バッファ層上に半導体層を形成し、
前記半導体層上にゲート絶縁層を形成し、
前記ゲート絶縁層上にゲート電極層を形成し、
前記半導体層及び前記バッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層を用いて形成し、
前記バッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、
前記半導体層と前記ソース電極層及び前記ドレイン電極層とは前記バッファ層を介して電

50

氣的に接続することを特徴とする半導体装置の作製方法。

【請求項 9】

基板上にソース電極層及びドレイン電極層を形成し、
前記ソース電極層及びドレイン電極層上に n 型の導電性を有するバッファ層を形成し、
前記バッファ層上に半導体層を形成し、
前記半導体層上にゲート絶縁層を形成し、
前記ゲート絶縁層上にゲート電極層を形成し、
前記半導体層及び前記バッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層を用いて形成し、
前記バッファ層のキャリア濃度は、前記半導体層のキャリア濃度より高く、
前記半導体層と前記ソース電極層及び前記ドレイン電極層とは前記バッファ層を介して電氣的に接続し、
前記半導体層、前記ゲート絶縁層、及び前記ゲート電極層は大気に曝さずに連続的に形成することを特徴とする半導体装置の作製方法。

10

【請求項 10】

請求項 8 又は請求項 9 において、前記ソース電極層、前記ドレイン電極層、前記バッファ層、前記半導体層、前記ゲート絶縁層、及び前記ゲート電極層はスパッタリング法によって形成することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 10 において、前記半導体層及び前記ゲート絶縁層は酸素雰囲気下で形成することを特徴とする半導体装置の作製方法。

20

【請求項 12】

請求項 10 又は請求項 11 のいずれか一項において、前記バッファ層は希ガス雰囲気下で形成することを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 8 乃至 12 のいずれか一項において、前記半導体層のキャリア濃度は 1×10^{17} atoms/cm³ 未満とし、前記バッファ層のキャリア濃度は 1×10^{18} atoms/cm³ 以上とすることを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 8 乃至 13 のいずれか一項において、前記バッファ層にマグネシウム、アルミニウム、又はチタンを含んで形成することを特徴とする半導体装置の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はチャンネル形成領域に酸化物半導体膜を用いた薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

40

【背景技術】

【0003】

近年、マトリクス状に配置された表示画素毎に TFT からなるスイッチング素子を設けたアクティブマトリクス型の表示装置（液晶表示装置や発光表示装置や電気泳動式表示装置）が盛んに開発されている。アクティブマトリクス型の表示装置は、画素（又は 1 ドット）毎にスイッチング素子が設けられており、単純マトリクス方式に比べて画素密度が増えた場合に低電圧駆動できるので有利である。

【0004】

また、チャンネル形成領域に酸化物半導体膜を用いて薄膜トランジスタ（TFT）などを作

50

製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛（ ZnO ）を用いるTFTや、 $\text{InGaO}_3(\text{ZnO})_m$ を用いるTFTが挙げられる。これらの酸化物半導体膜を用いたTFTを、透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

チャネル形成領域に酸化物半導体膜を用いる薄膜トランジスタには、動作速度が速く、製造工程が比較的簡単であり、十分な信頼性が求められている。

【0007】

薄膜トランジスタを形成するにあたり、ソース電極及びドレイン電極は、低抵抗な金属材料を用いる。特に、大面積の表示を行う表示装置を製造する際、配線の抵抗による信号の遅延問題が顕著になってくる。従って、配線や電極の材料としては、電気抵抗値の低い金属材料を用いることが望ましい。電気抵抗値の低い金属材料からなるソース電極及びドレイン電極と、酸化物半導体膜とが直接接する薄膜トランジスタ構造とすると、コンタクト抵抗が高くなる恐れがある。コンタクト抵抗が高くなる原因は、ソース電極及びドレイン電極と、酸化物半導体膜との接触面でショットキー接合が形成されることが要因の一つと考えられる。

20

【0008】

加えて、ソース電極及びドレイン電極と、酸化物半導体膜とが直接接する部分には容量が形成され、周波数特性（f特性と呼ばれる）が低くなり、薄膜トランジスタの高速動作を妨げる恐れがある。

【0009】

本発明の一形態は、インジウム（ In ）、ガリウム（ Ga ）、及び亜鉛（ Zn ）を含む酸化物半導体膜を用いる薄膜トランジスタにおいて、ソース電極またはドレイン電極のコンタクト抵抗を低減した薄膜トランジスタ及びその作製方法を提供することを課題の一つとする。

30

【0010】

また、 In 、 Ga 、及び Zn を含む酸化物半導体膜を用いる薄膜トランジスタの動作特性や信頼性を向上させることも課題の一つとする。

【0011】

また、 In 、 Ga 、及び Zn を含む酸化物半導体膜を用いる薄膜トランジスタの電気特性のバラツキを低減することも課題の一つとする。特に、液晶表示装置においては、個々の素子間でのバラツキが大きい場合、そのTFT特性のバラツキに起因する表示むらが発生する恐れがある。

40

【0012】

また、発光素子を有する表示装置においても、画素電極に一定の電流が流れるように配置されたTFT（駆動回路または画素に配置される発光素子に電流を供給するTFT）のオン電流（ I_{on} ）のバラツキが大きい場合、表示画面において輝度のバラツキが生じる恐れがある。

【0013】

以上、本発明は、上記課題の少なくとも一つを解決することを目的とする。

【課題を解決するための手段】

【0014】

50

本発明の一形態は、半導体層として In 、 Ga 、及び Zn を含む酸化物半導体膜を用い、半導体層とソース電極層及びドレイン電極層との間にバッファ層が設けられた順スタガ型（トップゲート構造）の薄膜トランジスタを含むことを要旨とする。

【0015】

本明細書において、 In 、 Ga 、及び Zn を含む酸化物半導体膜を用いて形成された半導体層を「IGZO半導体層」とも記す。

【0016】

ソース電極層とIGZO半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。同様に、ドレイン電極層とIGZO半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。

10

【0017】

そこで、ソース電極層及びドレイン電極層とIGZO半導体層との間に、IGZO半導体層よりもキャリア濃度の高いバッファ層を意図的に設けることによってオーミック性のコンタクトを形成する。

【0018】

バッファ層としては、 n 型の導電性を有する In 、 Ga 、及び Zn を含む酸化物半導体膜を用いる。バッファ層に n 型を付与する不純物元素を含ませてもよい。不純物元素として、例えば、マグネシウム、アルミニウム、チタン、鉄、錫、カルシウム、ゲルマニウム、スカンジウム、イットリウム、ジルコニウム、ハフニウム、ボロン、タリウム、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

20

【0019】

バッファ層は、 $n+$ 層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0020】

薄膜トランジスタの電気特性のバラツキを低減するためには、IGZO半導体層はアモルファス状態であることが好ましい。

【0021】

本発明の半導体装置の一形態は、ソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に n 型の導電性を有するバッファ層と、 n 型の導電性を有するバッファ層上に半導体層と、半導体層上にゲート絶縁層と、ゲート絶縁層上にゲート電極層とを含む薄膜トランジスタを有し、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、バッファ層のキャリア濃度は、半導体層のキャリア濃度より高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電氣的に接続する。

30

【0022】

本発明の半導体装置の一形態は、ソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に n 型の導電性を有するバッファ層と、 n 型の導電性を有するバッファ層上に半導体層と、半導体層上にゲート絶縁層と、ゲート絶縁層上にゲート電極層とを含む薄膜トランジスタを有し、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、ソース電極層及びドレイン電極層は、ゲート電極層と半導体層のチャネル形成領域において重ならず、バッファ層のキャリア濃度は、半導体層のキャリア濃度より高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電氣的に接続する。

40

【0023】

酸化物半導体層は光吸収が少ないために、半導体層のチャネル形成領域をゲート電極層で覆って光から遮光する必要がない。よって、ソース電極層及びドレイン電極層と、ゲート電極層とを、半導体層のチャネル形成領域において重ならない構造にすることができ寄生

50

容量を軽減することができる。

【0024】

本発明の一形態では、半導体層においてソース領域又はドレイン領域であるバッファ層間に設けられる領域がチャンネル形成領域となる。よってチャンネル長はチャンネル長方向においてソース領域となるバッファ層とドレイン領域となるバッファ層との間の長さである。半導体層のチャンネル形成領域において、ゲート電極層と重なっていない領域であっても、ゲート電極層の電圧印加によってチャンネルは形成され、チャンネル領域となる。また、ゲート電極層の端部とバッファ層の端部とが一致していてもよい。

【0025】

バッファ層はソース電極層及びドレイン電極層と半導体層との間に設ける。よって、少なくともバッファ層はソース電極層及びドレイン電極層において半導体層と接する側（ゲート絶縁層と接する側とは反対側）の端部を覆うように設けられる。

【0026】

上記構成において、半導体層とバッファ層との間にキャリア濃度が半導体層より高く、バッファ層より低い第2のバッファ層を設けてもよい。第2のバッファ層は n^- 層として機能する。

【0027】

In、Ga、及びZnを含む酸化物半導体膜（IGZO膜）はキャリア濃度が高くなるにつれ、ホール移動度も高くなる特性を有している。よって、In、Ga、及びZnを含む酸化物半導体膜のキャリア濃度とホール移動度の関係は図27に示すようになる。本発明の一形態において、半導体層のチャンネルとして適するIGZO膜のキャリア濃度範囲（チャンネル用濃度範囲1）は $1 \times 10^{17} \text{ atoms/cm}^3$ 未満（より好ましくは $1 \times 10^{11} \text{ atoms/cm}^3$ 以上）、バッファ層として適するIGZO膜のキャリア濃度範囲（バッファ層濃度範囲2）は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上（ $1 \times 10^{22} \text{ atoms/cm}^3$ 以下）が好ましい。上記IGZO膜のキャリア濃度は、半導体層として用いた場合、室温で、ソース、ドレイン、及びゲート電圧を印加しない状態での値である。

【0028】

チャンネル用のIGZO膜のキャリア濃度範囲が上記範囲を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。よって本発明の一形態のキャリア濃度範囲のIGZO膜を半導体層のチャンネルとして用いることで信頼性の高い薄膜トランジスタとすることができる。

【0029】

また、ソース電極層及びドレイン電極層にチタン膜を用いることが好ましい。例えば、チタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。

【0030】

本発明の半導体装置の作製方法の一形態は、基板上にソース電極層及びドレイン電極層を形成し、ソース電極層及びドレイン電極層上にn型の導電性を有するバッファ層を形成し、バッファ層上に半導体層を形成し、半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成し、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層を用いて形成し、バッファ層のキャリア濃度は、半導体層のキャリア濃度より高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電氣的に接続する。

【0031】

半導体層、ゲート絶縁層、及びゲート電極層は大気に曝さずに連続的に形成することができる。連続して成膜すると、ごみとなる大気中の不純物が界面に混入することによる不良を軽減することができる。

【0032】

ソース電極層、ドレイン電極層、バッファ層、半導体層、ゲート絶縁層、及びゲート電極層はスパッタ法（スパッタリング法）で形成すればよい。ゲート絶縁層及び半導体層は酸

10

20

30

40

50

素雰囲気下（又は酸素 90%以上、希ガス（アルゴン）10%以下）で、n型の導電型を有するバッファ層は希ガス（アルゴン）雰囲気下で成膜することが好ましい。

【0033】

このようにスパッタ法を用いて連続的に成膜すると、生産性が高く、薄膜界面の信頼性が安定する。また、半導体層とゲート絶縁層を酸素雰囲気下で成膜し、酸素を多く含ませるようにすると、劣化による信頼性の低下や、薄膜トランジスタ特性のノーマリーオン側へのシフトなどを軽減することができる。

【発明の効果】

【0034】

本発明の一形態によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0035】

【図1】半導体装置を説明する図。

【図2】半導体装置を説明する図。

【図3】半導体装置の作製方法を説明する図。

【図4】半導体装置の作製方法を説明する図。

【図5】半導体装置を説明する図。

【図6】半導体装置を説明する図。

【図7】電子ペーパーの使用形態の例を説明する図。

【図8】電子書籍の一例を示す外観図。

【図9】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図10】遊技機の例を示す外観図。

【図11】携帯電話機の一例を示す外観図。

【図12】半導体装置のブロック図を説明する図。

【図13】信号線駆動回路の構成を説明する図。

【図14】信号線駆動回路の動作を説明するタイミングチャート。

【図15】信号線駆動回路の動作を説明するタイミングチャート。

【図16】シフトレジスタの構成を説明する図。

【図17】図16に示すフリップフロップの接続構成を説明する図。

【図18】マルチチャンバー型の製造装置の上面模式図。

【図19】半導体装置を説明する図。

【図20】半導体装置を説明する図。

【図21】半導体装置を説明する図。

【図22】半導体装置を説明する図。

【図23】半導体装置を説明する図。

【図24】半導体装置を説明する図。

【図25】半導体装置を説明する図。

【図26】半導体装置を説明する図。

【図27】ホール移動度とキャリア濃度の関係を説明する図。

【発明を実施するための形態】

【0036】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

20

30

40

50

【0037】

(実施の形態1)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図1乃至図4を用いて説明する。

【0038】

本実施の形態のトップゲート構造の順スタガ型薄膜トランジスタである薄膜トランジスタ170a、170bを図1に示す。図1(A1)は平面図であり、図1(A2)は図1(A1)における線A1-A2の断面図である。図1(B1)は平面図であり、図1(B2)は図1(B1)における線B1-B2の断面図である。

【0039】

図1において、基板100上に、絶縁層107a、絶縁層107b、ソース電極層又はドレイン電極層105a、105b、n型の導電性を有するバッファ層104a、104b、半導体層103、ゲート絶縁層102、ゲート電極層101を有する薄膜トランジスタ170a、170bが設けられている。

【0040】

半導体層103としてIn、Ga、及びZnを含む酸化物半導体膜を用い、ソース電極層又はドレイン電極層105a、105bとIGZO半導体層である半導体層103との間に、半導体層103よりもキャリア濃度の高いバッファ層104a、104bを意図的に設けることによってオーミック性のコンタクトを形成する。

【0041】

バッファ層104a、104bとしては、n型の導電性を有するIn、Ga、及びZnを含む酸化物半導体膜を用いる。バッファ層104a、104bにn型を付与する不純物元素を含ませてもよい。不純物元素として、例えばマグネシウム、アルミニウム、チタン、鉄、錫、カルシウム、ゲルマニウム、スカンジウム、イットリウム、ジルコニウム、ハフニウム、ボロン、タリウム、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含ませると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

【0042】

本発明の一形態において、半導体層のキャリア濃度範囲は $1 \times 10^{17} \text{ atoms/cm}^3$ 未満(より好ましくは $1 \times 10^{11} \text{ atoms/cm}^3$ 以上)、バッファ層のキャリア濃度範囲は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上($1 \times 10^{22} \text{ atoms/cm}^3$ 以下)が好ましい。

【0043】

チャネル用のIGZO層のキャリア濃度範囲が上記範囲を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。よって本発明の一形態のキャリア濃度範囲のIGZO膜を半導体層のチャネルとして用いることで信頼性の高い薄膜トランジスタとすることができる。

【0044】

また半導体層とバッファ層との間に、n層として機能するバッファ層よりキャリア濃度が低く半導体層よりキャリア濃度が高い第2のバッファ層を設ける場合は、第2のバッファ層のキャリア濃度を、半導体層とバッファ層のキャリア濃度の間の濃度範囲とすればよい。

【0045】

バッファ層104a、104bは、n+層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0046】

図1(A1)(A2)の薄膜トランジスタ170aは、半導体層103のエッチング加工の工程で、バッファ層104a、104bも同マスクでエッチング加工した例であり、半導体層103及びゲート絶縁層102と接するバッファ層104a、104bの端部とは一致しており連続的になっている。

【0047】

図1 (B1) (B2) の薄膜トランジスタ170bは、半導体層103のエッチング加工の工程で、バッファ層104a、104bにはエッチング加工を行わない例であり、バッファ層104a、104bはソース電極層又はドレイン電極層105a、105b上に、半導体層103端部より延在して露出している。

【0048】

薄膜トランジスタ170a、170bでは、ソース電極層又はドレイン電極層105a、105b、バッファ層104a、104b、及び半導体層103をゲート絶縁層102が覆うように設けられる例を示すが、ゲート絶縁層102を半導体層103と同じ形状にエッチング加工してもよい。

10

【0049】

本発明の一形態において半導体層103として用いる酸化物半導体層は光吸収が少ないために、半導体層のチャネル形成領域をゲート電極層で覆って光から遮光する必要がない。よって、ソース電極層及びドレイン電極層と、ゲート電極層とを、半導体層のチャネル形成領域において重ならない構造にすることができ寄生容量を軽減することができる。

【0050】

本発明の一形態では、半導体層103においてソース領域又はドレイン領域であるバッファ層104a、104b間に設けられる領域がチャネル形成領域となる。よってチャネル長はチャネル長方向においてソース領域となるバッファ層とドレイン領域となるバッファ層との間の長さである。半導体層103のチャネル形成領域において、ゲート電極層101と重なっていない領域であっても、ゲート電極層101の電圧印加によってチャネルは形成され、チャネル領域となる。また、ゲート電極層101の端部とバッファ層104a、104bの端部とが一致していてもよい。

20

【0051】

バッファ層104a、104bはソース電極層又はドレイン電極層105a、105bと半導体層103との間に設ける。よって、少なくともバッファ層104a、104bはソース電極層及びドレイン電極層105a、105bにおいて半導体層103と接する側（ゲート絶縁層と接する側とは反対側）の端部を覆うように設けられる。

【0052】

図1 (A1) (A2) の薄膜トランジスタ170aの作製方法を図3 (A) 乃至 (F) を用いて説明する。

30

【0053】

本発明の一形態の順スタガ型薄膜トランジスタでは、半導体層が基板と接して設けられるので、基板からの不純物による半導体層の汚染を防止するために下地膜として絶縁膜を形成することが好ましい。下地膜としては、CVD法やスパッタ法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、又は積層で形成すればよい。本実施の形態では、基板100上に下地膜として機能する絶縁層107a、107bを形成する。

【0054】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板100の大きさは、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、又は2850mm×3050mm等を用いることができる。

40

【0055】

50

絶縁層 107b 上にソース電極層又はドレイン電極層 105a、105b を形成し、ソース電極層又はドレイン電極層 105a、105b 上に n 型の導電型を有する半導体膜 114 を形成する。半導体膜 114 は、n 型の導電型を有する In、Ga、及び Zn を含む酸化物半導体膜である n 型の導電型を有する半導体膜である。

【0056】

ソース電極層又はドレイン電極層 105a、105b は、スパッタ法や真空蒸着法で絶縁層 107b 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。

【0057】

ソース電極層又はドレイン電極層 105a、105b は、アルミニウム、銅、又はシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、n 型の導電型を有する半導体膜 114 と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その下にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、ソース電極層又はドレイン電極層 105a、105b として、チタン膜、アルミニウム膜、及びチタン膜の積層導電膜を用いる。

【0058】

チタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。

【0059】

ソース電極層又はドレイン電極層 105a、105b は、スパッタ法や真空蒸着法で形成する。また、ソース電極層又はドレイン電極層 105a、105b は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

【0060】

なお、ソース電極層又はドレイン電極層 105a、105b 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。

【0061】

n 型の導電型を有する半導体膜 114 は膜厚 2 ~ 100 nm (好ましくは 20 ~ 50 nm) とすればよい。n 型の導電型を有する半導体膜 114 は希ガス (好ましくはアルゴン) 雰囲気下で成膜することが好ましい。

【0062】

例えば、n 型の導電型を有する半導体膜 114 としては、DC マグネトロンスパッタ法を用いて形成することができる。希ガスのみの雰囲気下でパルス DC スパッタ法のスパッタリングを行い、バッファ層となる IGZO 膜を形成する。この IGZO 膜は、後に形成される半導体層 103 となる酸素過剰の IGZO 膜 (半導体膜 111) よりも膜中の酸素濃度が低い。また、IGZO 膜としては、酸素過剰の IGZO 膜 (半導体膜 111) よりも高いキャリア濃度とすることが好ましく、ターゲットとして In、Ga、及び Zn を含む酸化物半導体にさらに Mg や Al や Ti を含むターゲットを用いてもよい。Mg や Al や Ti は、酸化反応しやすい材料であり、これらの材料を IGZO 膜に含ませると酸素のブロッキング効果などがあり、成膜後の加熱処理などを行ったとしても半導体層の酸素濃度を最適な範囲内に保持できる。この IGZO 膜はソース領域またはドレイン領域として機能する。

【0063】

n 型の導電型を有する半導体膜 114 上にマスク 116 を形成する。マスク 116 は、フォトリソグラフィ技術またはインクジェット法により形成する。n 型の導電型を有する半

10

20

30

40

50

導体膜 114 を、マスク 116 を用いてエッチングにより加工し、n 型の導電型を有する半導体層 115 a、115 b を形成する（図 3（B）参照。）。

【0064】

次に、半導体層 115 a、115 b 上に半導体膜 111 を形成する（図 3（C）参照。）。

【0065】

半導体膜 111 としては、In、Ga、及び Zn を含む酸化物半導体膜を形成する。例えば、半導体膜 111 として、スパッタ法を用いて、In、Ga、及び Zn を含む酸化物半導体膜を膜厚 50 nm で形成すればよい。具体的な条件例としては、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲットを用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流（DC）電源 0.5 kW、アルゴン又は酸素雰囲気下で成膜することができる。また、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0066】

半導体膜 111 や n 型の導電型を有する半導体膜 114 などの酸化物半導体膜のスパッタ法以外の他の成膜方法としては、パルスレーザー蒸着法（PLD 法）及び電子ビーム蒸着法などの気相法を用いることができる。気相法の中でも、材料系の組成を制御しやすい点では、PLD 法が、量産性の点からは、上述したようにスパッタ法が適している。

【0067】

また、半導体膜 111 や n 型の導電型を有する半導体膜 114 などの IGZO 半導体膜のエッチングには、クエン酸やシュウ酸などの有機酸をエッチャントに用いることができる。例えば、50 nm の半導体膜 111 は ITO07N（関東化学社製）を使い 150 秒でエッチング加工できる。

【0068】

In、Ga、及び Zn を含む酸化物半導体膜である半導体膜 111 は酸素雰囲気下（又は酸素 90% 以上、希ガス（アルゴン、又はヘリウムなど）10% 以下）で成膜することが好ましい。

【0069】

次に半導体膜 111 及び n 型の導電型を有する半導体層 115 a、115 b を、マスク 113 を用いてエッチングにより加工し、半導体層 103、及びバッファ層 104 a、104 b を形成する（図 3（D）参照。）。半導体層 103 及びバッファ層 104 a、104 b は、フォトリソグラフィ技術または液滴吐出法によりマスク 113 を形成し、当該マスク 113 を用いて半導体膜 111 及び n 型の導電型を有する半導体層 115 a、115 b をエッチングすることで、形成することができる。

【0070】

図 3（D）に示すように、薄膜トランジスタ 170 a は、半導体層 103 のエッチング加工の工程で、バッファ層 104 a、104 b も同マスクでエッチング加工する。よって、半導体層 103 及びゲート絶縁層 102 と接するバッファ層 104 a、104 b の端部とは一致しており連続的になっている。

【0071】

半導体層 103 及びバッファ層 104 a、104 b の端部をテーパーを有する形状にエッチングすることで、半導体層 103 及びバッファ層 104 a、104 b の段差形状による、上に積層される配線の段切れを防ぐことができる。

【0072】

マスク 113 を除去した後、ソース電極層又はドレイン電極層 105 a、105 b、バッファ層 104 a、104 b、半導体層 103 上にゲート絶縁層 102 を形成し、ゲート絶縁層 102 上に導電膜 117 を形成する（図 3（E）参照。）。

【0073】

ゲート絶縁層 102 は、窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜との順に積層して形成することができる。なお、ゲート絶縁層を 2 層とせず、基板

10

20

30

40

50

側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。また、ゲート絶縁層を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

【0074】

また、ゲート絶縁層102として、スパッタ法により半導体層103上に酸化珪素膜を形成し、酸化珪素膜上にプラズマCVD法により窒化珪素膜を積層してもよい。スパッタ法により酸化珪素膜を形成し、酸化珪素膜上にプラズマCVD法により窒化珪素膜と酸化珪素膜を順に積層してもよい。

【0075】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものをいう。

【0076】

また、ゲート絶縁層102として、アルミニウム、イットリウム、又はハフニウムの酸化物、窒化物、酸化窒化物、又は窒化酸化物の一種又はそれらの化合物を少なくとも2種以上含む化合物を用いることもできる。

【0077】

また、ゲート絶縁層102に、塩素、フッ素などのハロゲン元素を含ませてもよい。ゲート絶縁層102中のハロゲン元素の濃度は、濃度ピークにおいて $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすればよい。

【0078】

また、ゲート絶縁層102は酸素雰囲気下（又は酸素90%以上、希ガス（アルゴン、又はヘリウムなど）10%以下）で成膜することが好ましい。

【0079】

次に、導電膜117上にマスク118を形成する。マスク118を用いて導電膜117をエッチング加工して、ゲート電極層101を形成する（図3（F）参照。）。

【0080】

ゲート電極層101は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極層101を形成することができる。なお、ゲート電極層上に、上記金属材料の窒化物膜を設けてもよい。また、ゲート電極層101は単層構造としても積層構造としてもよく、例えばゲート絶縁層102側からアルミニウム膜とモリブデン膜との積層、アルミニウムとネオジムとの合金膜とモリブデン膜との積層、アルミニウム膜とチタン膜との積層、チタン膜、アルミニウム膜及びチタン膜との積層などを用いることができる。

【0081】

この後、マスク118を除去する。以上の工程により、薄膜トランジスタ170aを形成することができる。

【0082】

次に図1（B1）（B2）に示す薄膜トランジスタ170bの作製工程を図4に示す。

【0083】

図4（A）は図3（A）の工程と対応しており、絶縁層107a、107bが設けられた基板100上に、ソース電極層又はドレイン電極層105a、105b、n型の導電型を有する半導体膜114が形成されている。

【0084】

n型の導電型を有する半導体膜114上にマスク121を形成し、マスク121を用いて

10

20

30

40

50

、n型の導電性を有する半導体膜114をエッチング加工して、バッファ層104a、104bを形成する(図4(B)参照。)

【0085】

絶縁層107b、バッファ層104a、104b上に半導体膜を形成し、マスク113を用いて該半導体膜をエッチング加工して半導体層103を形成する(図4(C)参照。)。図4(C)では、半導体層103を形成するエッチング工程を、バッファ層104a、104bがエッチングされない条件で行う。よって、バッファ層104a、104bはソース電極層又はドレイン電極層105a、105b上に、半導体層103端部より延在して露出する。

【0086】

マスク113を除去した後、ソース電極層又はドレイン電極層105a、105b、バッファ層104a、104b、半導体層103上にゲート絶縁層102を形成し、ゲート絶縁層102上にゲート電極層101を導電膜をマスク118によってエッチング加工して形成する。

【0087】

この後、マスク118を除去する。以上の工程により、薄膜トランジスタ170bを形成することができる。

【0088】

また、本発明の一形態において、半導体層、ゲート絶縁層、及びゲート電極層は大気に曝さずに連続的に形成することができる。連続して成膜すると、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができる。半導体層、ゲート絶縁層、及びゲート電極層を連続して成膜する例を図2(A)(B)に示す。

【0089】

図2(A)は、図3(B)において、マスク116を除去した後の工程である。その後のエッチング加工において半導体層103となる半導体膜131、ゲート絶縁層132、ゲート電極層101となる導電膜133を大気に曝さずに連続成膜する(図2(B)参照。)。半導体膜131、ゲート絶縁層132、及び導電膜133はスパッタ法によって形成することが好ましい。

【0090】

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧(V_{th})が重要である。nチャネル型の薄膜トランジスタの場合、電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では薄膜トランジスタとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、nチャネル型の薄膜トランジスタの場合、しきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【0091】

nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【0092】

よって、In、Ga、及びZnを含む酸化物半導体膜を用いる薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが望ましい。

【0093】

薄膜トランジスタのしきい値電圧値は、酸化物半導体層の界面、即ち、酸化物半導体層と

10

20

30

40

50

ゲート絶縁層の界面に大きく影響すると考えられる。

【0094】

そこで、これらの界面を清浄な状態で形成することによって、薄膜トランジスタの電気特性を向上させるとともに、製造工程の複雑化を防ぐことができ、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0095】

特に酸化物半導体層とゲート絶縁層との界面に大気中の水分が存在すると、薄膜トランジスタの電気的特性の劣化、しきい値電圧のばらつき、ノーマリーオンになりやすいといった問題を招く。酸化物半導体層とゲート絶縁層とを連続成膜することで、このような水素化合物を排除することができる。

10

【0096】

よって、大気に曝すことなく半導体膜131と、ゲート絶縁層132をスパッタ法により、減圧下で連続成膜することで良好な界面を有し、リーク電流が低く、且つ、電流駆動能力の高い薄膜トランジスタを実現することができる。

【0097】

このようにスパッタ法を用いて連続的に成膜すると、生産性が高く、薄膜界面の信頼性が安定する。また半導体層とゲート絶縁層を酸素雰囲気下で成膜し、酸素を多く含ませるようにすると、劣化による信頼性の低下や、薄膜トランジスタがノーマリーオンとなることを軽減することができる。

【0098】

また、半導体層とゲート電極層とを形成するエッチングに用いるマスクを、多階調マスク（代表例としては、グレートーンマスク、ハーフトーンマスク）による露光を行って形成してもよい。

20

【0099】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。マスク数を減らすことができるため、工程簡略化、低コスト化が計れる。

【0100】

薄膜トランジスタ170a、170b上に保護膜として絶縁膜を形成してもよい。保護膜としてはゲート絶縁層と同様に形成することができる。なお、保護膜は、大気中に浮遊する有機物や金属、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。例えば、薄膜トランジスタ170a、170b上に保護膜として酸化珪素膜と窒化珪素膜との積層を形成すればよい。

30

【0101】

また、半導体層103、及びバッファ層104a、104bなどの酸化物半導体膜は成膜後に加熱処理を行うことが好ましい。加熱処理は成膜後であればどの工程で行ってもよいが、成膜直後、導電膜117の形成後、保護膜の形成後などで行うことができる。また、他の加熱処理と兼ねて行ってもよい。また加熱温度は300℃以上400℃以下、好ましくは350℃とすればよい。加熱処理は半導体層103とバッファ層104a、104bと別工程で複数回行ってもよい。

40

【0102】

バッファ層（In、Ga、及びZnを含みn型の導電性を有する酸化物半導体層）を設けない、ソース電極層及びドレイン電極層、半導体層（In、Ga、及びZnを含む酸化物半導体層）、ゲート絶縁層、ゲート電極層という積層構造であると、ゲート電極層とソース電極層又はドレイン電極層との距離が近くなり、間に生じる寄生容量が増加してしまう。さらに、この寄生容量の増加は、半導体層の薄膜化によってより顕著になる。本実施の形態では、In、Ga、及びZnを含むn型の導電性を有する酸化物半導体層というようなキャリア濃度が高いバッファ層を設ける、ソース電極層及びドレイン電極層、バッファ

50

層、半導体層、ゲート絶縁層、ゲート電極層という積層構造を有する薄膜トランジスタとしているため、半導体層の膜厚が薄膜であっても寄生容量を抑制することができる。

【0103】

本実施の形態によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【0104】

(実施の形態2)

本実施の形態は、マルチゲート構造の薄膜トランジスタの例である。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【0105】

本実施の形態では、半導体装置に用いられる薄膜トランジスタについて、図5(A1)(A2)(B1)(B2)を用いて説明する。図5(A1)は平面図であり、図5(A2)は図5(A1)における線E1-E2の断面図である。図5(B1)は平面図であり、図5(B2)は図5(B1)における線F1-F2の断面図である。

【0106】

図5(A1)(A2)に示すように、基板150上に、絶縁層157a、157b、ソース電極層又はドレイン電極層155a、155b、配線層156、半導体層153、バッファ層154a、154b、154c、ゲート電極層151a、151bを含むマルチゲート構造の薄膜トランジスタ171aが設けられている。薄膜トランジスタ171aにおいては、半導体層153はゲート絶縁層152を介して、ゲート電極層151a、151bの下に跨って連続して設けられる。

【0107】

図5(B1)(B2)は他の構成のマルチゲート構造の薄膜トランジスタ171bを示す。図5(B1)(B2)に示すように、基板150上に、絶縁層157a、157b、ソース電極層又はドレイン電極層155a、155b、配線層156、半導体層153a、153b、バッファ層154a、154b、154c、154d、ゲート電極層151a、151bを含むマルチゲート構造の薄膜トランジスタ171bが設けられている。

【0108】

薄膜トランジスタ171bでは、配線層156上において、半導体層が半導体層153a、153bに、バッファ層が154c、154dに分断されている。半導体層153aと半導体層153bとは、一方をバッファ層154c、バッファ層154d及び配線層156を介して電氣的に接続しており、他方でそれぞれ半導体層153aはバッファ層154aを介してソース電極層又はドレイン電極層155aと、半導体層153bはバッファ層154bを介してソース電極層又はドレイン電極層155bと電氣的に接続している。

【0109】

半導体層153(153a、153b)は、In、Ga、及びZnを含む酸化物半導体層であり、バッファ層154a、154b、154c、154dはn型の導電性を有するIn、Ga、及びZnを含む酸化物半導体層である。バッファ層154a、154b、154c、154dは、半導体層153(153a、153b)よりキャリア濃度が高い。

【0110】

このように、本発明の一形態のマルチゲート構造の薄膜トランジスタにおいては、各ゲート電極層下に形成される半導体層は連続して設けられてもよいし、バッファ層及び配線層などを介して複数の半導体層が電氣的に接続して設けられてもよい。

【0111】

本発明の一形態のマルチゲート構造の薄膜トランジスタは、オフ電流が少なく、そのような薄膜トランジスタを含む半導体装置は高い電気特性及び高信頼性を付与することができる。

10

20

30

40

50

【0112】

本実施の形態では、マルチゲート構造としてゲート電極層が2つのダブルゲート構造の例を示すが、より多くのゲート電極層を有するトリプルゲート構造などにも適用することができる。

【0113】

本実施の形態は他の実施の形態と適宜組み合わせ実施することができる。

【0114】

(実施の形態3)

本実施の形態は、薄膜トランジスタにおいてバッファ層を積層する例である。従って、他は実施の形態1又は実施の形態2と同様に行うことができ、実施の形態1又は実施の形態2と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

10

【0115】

本実施の形態では、半導体装置に用いられる薄膜トランジスタ173について、図6を用いて説明する。

【0116】

図6に示すように、基板100上に、絶縁層107a、107b、ソース電極層又はドレイン電極層105a、105b、バッファ層104a、104b、バッファ層106a、106b、半導体層103、ゲート絶縁層102、ゲート電極層101を含む薄膜トランジスタ173が設けられている。

20

【0117】

本実施の形態の薄膜トランジスタ173は、半導体層103とバッファ層104a、104bとの間にそれぞれ第2のバッファ層としてバッファ層106a、106bが設けられている。

【0118】

半導体層103は、In、Ga、及びZnを含む酸化物半導体層であり、バッファ層104a、104b、バッファ層106a、106bはn型の導電性を有するIn、Ga、及びZnを含む酸化物半導体層である。

【0119】

半導体層103とバッファ層104a、104bとの間に設けられる第2のバッファ層（バッファ層106a、106b）は、キャリア濃度が半導体層103より高く、バッファ層104a、104bより低い。バッファ層104a、104bがn+層として機能するのに対して、第2のバッファ層（バッファ層106a、106b）はn-層として機能する。

30

【0120】

本発明の一形態において、半導体層103として適するキャリア濃度範囲は 1×10^{17} atoms/cm³未満（より好ましくは 1×10^{11} atoms/cm³以上）、バッファ層として適するキャリア濃度範囲は、 1×10^{18} atoms/cm³以上（ 1×10^{22} atoms/cm³以下）が好ましい。

【0121】

チャネル用の半導体層103キャリア濃度範囲が上記範囲を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。よって本発明の一形態のキャリア濃度範囲のIGZO膜を半導体層103のチャネルとして用いることで信頼性の高い薄膜トランジスタとすることができる。

40

【0122】

n-層として機能するバッファ層106a、106bとして適する濃度範囲は、n+層として機能するバッファ層104a、104bよりキャリア濃度が低く半導体層103よりキャリア濃度が高い濃度範囲とすればよい。

【0123】

このように、半導体層とソース電極層又はドレイン電極層との間に設けられるバッファ層は積層構造としてもよく、そのキャリア濃度は半導体層からソース電極層又はドレイン電

50

極層へ向かって高くなるように制御する。

【0124】

本発明の一形態の積層バッファ層を有する薄膜トランジスタは、オフ電流が少なく、そのような薄膜トランジスタを含む半導体装置は高い電気特性及び高信頼性を付与することができる。また、半導体層103からソース電極層又はドレイン電極層に向かってキャリア濃度が上昇するように勾配をつけることにより、半導体層103とソース電極層又はドレイン電極層との間の接触抵抗を低減することができる。また、第2のバッファ層を設けることにより半導体層103との接合界面に集中する電界をより緩和することができる。

【0125】

本実施の形態は他の実施の形態と適宜組み合わせて実施することができる。

10

【0126】

(実施の形態4)

本実施の形態では、半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0127】

画素部に配置する薄膜トランジスタは、実施の形態1乃至実施の形態3のいずれか一に従って形成する。また、実施の形態1乃至実施の形態3のいずれか一に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

20

【0128】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図12(A)に示す。図12(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

【0129】

画素部5301は、信号線駆動回路5303から列方向に伸張して配置された複数の信号線S1～Sm(図示せず。)により信号線駆動回路5303と接続され、走査線駆動回路5302から行方向に伸張して配置された複数の走査線G1～Gn(図示せず。)により走査線駆動回路5302と接続され、信号線S1～Sm並びに走査線G1～Gnに対応してマトリクス状に配置された複数の画素(図示せず。)を有する。そして、各画素は、信号線Sj(信号線S1～Smのうちいずれか一)、走査線Gi(走査線G1～Gnのうちいずれか一)と接続される。

30

【0130】

また、実施の形態1乃至実施の形態3のいずれか一に示す薄膜トランジスタは、nチャネル型TFTであり、nチャネル型TFTで構成する信号線駆動回路について図13を用いて説明する。

【0131】

図13に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602__1～5602__M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1～5621__Mを有する。スイッチ群5602__1～5602__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

40

【0132】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1～5621__Mに接続される。そして、スイッチ群5602__1～5602__Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602__1～5602__Mそれぞれに対応した配線5621__1～5621__Mに接続される。そして、配線5621__1～5621__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トラン

50

ジスタ 5 6 0 3 c を介して、3 つの信号線に接続される。例えば、J 列目の配線 5 6 2 1 __ J (配線 5 6 2 1 __ 1 ~ 配線 5 6 2 1 __ M のうちいずれか) は、スイッチ群 5 6 0 2 __ J が有する第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S j - 1、信号線 S j、信号線 S j + 1 に接続される。

【0133】

なお、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 には、それぞれ信号が入力される。

【0134】

なお、ドライバ IC 5 6 0 1 は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5 6 0 1 とスイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M とは FPC などを通じて接続するとよい。

【0135】

次に、図 1 3 に示した信号線駆動回路の動作について、図 1 4 のタイミングチャートを参照して説明する。なお、図 1 4 のタイミングチャートは、i 行目の走査線 G i が選択されている場合のタイミングチャートを示している。さらに、i 行目の走査線 G i の選択期間は、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 に分割されている。さらに、図 1 3 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 1 4 と同様の動作をする。

【0136】

なお、図 1 4 のタイミングチャートは、J 列目の配線 5 6 2 1 __ J が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S j - 1、信号線 S j、信号線 S j + 1 に接続される場合について示している。

【0137】

なお、図 1 4 のタイミングチャートは、i 行目の走査線 G i が選択されるタイミング、第 1 の薄膜トランジスタ 5 6 0 3 a のオン・オフのタイミング 5 7 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b のオン・オフのタイミング 5 7 0 3 b、第 3 の薄膜トランジスタ 5 6 0 3 c のオン・オフのタイミング 5 7 0 3 c 及び J 列目の配線 5 6 2 1 __ J に入力される信号 5 7 2 1 __ J を示している。

【0138】

なお、配線 5 6 2 1 __ 1 ~ 配線 5 6 2 1 __ M には第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間 T 1 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j - 1 に入力され、第 2 のサブ選択期間 T 2 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j に入力され、第 3 のサブ選択期間 T 3 において配線 5 6 2 1 __ J に入力されるビデオ信号は信号線 S j + 1 に入力される。さらに、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、配線 5 6 2 1 __ J に入力されるビデオ信号をそれぞれ Data __ j - 1、Data __ j、Data __ j + 1 とする。

【0139】

図 1 4 に示すように、第 1 のサブ選択期間 T 1 において第 1 の薄膜トランジスタ 5 6 0 3 a がオンし、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される Data __ j - 1 が、第 1 の薄膜トランジスタ 5 6 0 3 a を介して信号線 S j - 1 に入力される。第 2 のサブ選択期間 T 2 では、第 2 の薄膜トランジスタ 5 6 0 3 b がオンし、第 1 の薄膜トランジスタ 5 6 0 3 a 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される Data __ j が、第 2 の薄膜トランジスタ 5 6 0 3 b を介して信号線 S j に入力される。第 3 のサブ選択期間 T 3 では、第 3 の薄膜トランジスタ 5 6 0 3 c がオンし、第 1

10

20

30

40

50

の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621__J に入力される $Data_j + 1$ が、第 3 の薄膜トランジスタ 5603c を介して信号線 S_{j+1} に入力される。

【0140】

以上のことから、図 13 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線 5621 から 3 つの信号線にビデオ信号を入力することができる。したがって、図 13 の信号線駆動回路は、ドライバ IC 5601 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 $1/3$ にすることができる。接続数が約 $1/3$ になることによって、図 13 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

10

【0141】

なお、図 13 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0142】

例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割されることが望ましい。

20

【0143】

別の例として、図 15 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間 T_p 、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 、第 3 の選択期間 T_3 に分割してもよい。さらに、図 15 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 の薄膜トランジスタ 5603a のオン・オフのタイミング 5803a、第 2 の薄膜トランジスタ 5603b のオン・オフのタイミング 5803b、第 3 の薄膜トランジスタ 5603c のオン・オフのタイミング 5803c 及び J 列目の配線 5621__J に入力される信号 5821__J を示している。図 15 に示すように、プリチャージ期間 T_p において第 1 の薄膜トランジスタ 5603a、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c がオンする。このとき、配線 5621__J に入力されるプリチャージ電圧 V_p が第 1 の薄膜トランジスタ 5603a、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第 1 のサブ選択期間 T_1 において第 1 の薄膜トランジスタ 5603a がオンし、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__J に入力される $Data_j - 1$ が、第 1 の薄膜トランジスタ 5603a を介して信号線 S_{j-1} に入力される。第 2 のサブ選択期間 T_2 では、第 2 の薄膜トランジスタ 5603b がオンし、第 1 の薄膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__J に入力される $Data_j$ が、第 2 の薄膜トランジスタ 5603b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621__J に入力される $Data_j + 1$ が、第 3 の薄膜トランジスタ 5603c を介して信号線 S_{j+1} に入力される。

30

40

【0144】

以上のことから、図 15 のタイミングチャートを適用した図 13 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 15 において、図 14 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0145】

50

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号（CLK）及びスタートパルス信号（SP）が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0146】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図16及び図17を用いて説明する。

10

【0147】

図16にシフトレジスタの回路構成を示す。図16に示すシフトレジスタは、複数のフリップフロップ5701__i（フリップフロップ5701__1～5701__nのうちいずれか）で構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0148】

図16のシフトレジスタの接続関係について説明する。図16のシフトレジスタは、i段目のフリップフロップ5701__i（フリップフロップ5701__1～5701__n）は、図17に示した第1の配線5501が第7の配線5717__i-1に接続され、図17に示した第2の配線5502が第7の配線5717__i+1に接続され、図17に示した第3の配線5503が第7の配線5717__iに接続され、図17に示した第6の配線5506が第5の配線5715に接続される。

20

【0149】

また、図17に示した第4の配線5504が奇数段目のフリップフロップでは第2の配線5712に接続され、偶数段目のフリップフロップでは第3の配線5713に接続され、図17に示した第5の配線5505が第4の配線5714に接続される。

【0150】

ただし、1段目のフリップフロップ5701__1の図17に示す第1の配線5501は第1の配線5711に接続され、n段目のフリップフロップ5701__nの図17に示す第2の配線5502は第6の配線5716に接続される。

30

【0151】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0152】

次に、図16に示すフリップフロップの詳細について、図17に示す。図17に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧（Vgs）がしきい値電圧（Vth）を上回ったとき導通状態になるものとする。

40

【0153】

次に、図16に示すフリップフロップの接続構成について、以下に示す。

【0154】

50

第1の薄膜トランジスタ5571の第1の電極（ソース電極またはドレイン電極の一方）が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極（ソース電極またはドレイン電極の他方）が第3の配線5503に接続される。

【0155】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

【0156】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

10

【0157】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0158】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

20

【0159】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0160】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

30

【0161】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

40

【0162】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

【0163】

また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態3のいずれかに示すnチャネル型TFTのみで作製することも可能である。実施の形態1乃至実施の形

50

態 3 のいずれかーに示す n チャンネル型 T F T はトランジスタの移動度が大きいこと、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 1 乃至実施の形態 3 のいずれかーに示す n チャンネル型 T F T は n 型の導電性を有するインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であるバッファ層により寄生容量が低減されるため、周波数特性（f 特性と呼ばれる）が高い。例えば、実施の形態 1 乃至実施の形態 3 のいずれかーに示す n チャンネル型 T F T を用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

【0164】

さらに、走査線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

【0165】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図 12（B）に示す。

【0166】

図 12（B）に示す発光表示装置は、基板 5400 上に表示素子を備えた画素を複数有する画素部 5401 と、各画素を選択する第 1 の走査線駆動回路 5402 及び第 2 の走査線駆動回路 5404 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5403 とを有する。

【0167】

図 12（B）に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0168】

発光素子は、液晶素子などに比べて応答速度が速いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0169】

なお、図 12（B）に示す発光表示装置では、一つの画素にスイッチング用 T F T と、電流制御用 T F T との 2 つを配置する場合、スイッチング用 T F T のゲート配線である第 1 の走査線に入力される信号を第 1 走査線駆動回路 5402 で生成し、電流制御用 T F T のゲート配線である第 2 の走査線に入力される信号を第 2 の走査線駆動回路 5404 で生成している例を示しているが、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第 1 の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第 1 の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

【0170】

また、発光表示装置においても、駆動回路のうち、 n チャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態3のいずれかに示す n チャネル型TFTのみで作製することも可能である。

【0171】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

10

【0172】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0173】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

20

【0174】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0175】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至実施の形態3のいずれか一の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

30

【0176】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0177】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

40

【0178】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0179】

（実施の形態5）

ここでは、少なくともゲート絶縁層と酸化物半導体層の積層を大気に触れることなく、連続成膜を行う順スタガ型の薄膜トランジスタの作製例を以下に示す。ここでは、連続成膜を行う工程までの工程を示し、その後の工程は、実施の形態1乃至実施の形態3のいずれか一に従って薄膜トランジスタを作製すればよい。

【0180】

50

本明細書中で連続成膜とは、スパッタ法で行う第1の成膜工程からスパッタ法で行う第2の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜を行うことができる。

【0181】

同一チャンバー内で第1の成膜工程から第2の成膜工程までの一連のプロセスを行うことは本明細書における連続成膜の範囲にあるとする。

【0182】

また、異なるチャンバーで第1の成膜工程から第2の成膜工程までの一連のプロセスを行う場合、第1の成膜工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第2の成膜を施すことも本明細書における連続成膜の範囲にあるとする。

10

【0183】

なお、第1の成膜工程と第2の成膜工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続成膜の範囲にあるとする。

【0184】

ただし、洗浄工程、ウェットエッチング、レジスト形成といった液体を用いる工程が第1の成膜工程と第2の成膜工程の間にある場合、本明細書でいう連続成膜の範囲には当てはまらないとする。

20

【0185】

大気に触れることなく連続成膜を行う場合、図18に示すようなマルチチャンバー型の製造装置を用いることが好ましい。

【0186】

製造装置の中央部には、基板を搬送する搬送機構（代表的には搬送ロボット81）を備えた搬送室80が設けられ、搬送室80には、搬送室内へ搬入および搬出する基板を複数枚収納するカセットケースをセットするカセット室82がゲートバルブ83を介して連結されている。

【0187】

また、搬送室80には、それぞれゲートバルブ84～88を介して複数の処理室が連結される。ここでは、上面形状が六角形の搬送室80に5つの処理室を連結する例を示す。なお、搬送室の上面形状を変更することで、連結できる処理室の数を変えることができ、例えば、四角形とすれば3つの処理室が連結でき、八角形とすれば7つの処理室が連結できる。

30

【0188】

5つの処理室のうち、少なくとも1つの処理室はスパッタリングを行うスパッタチャンバーとする。スパッタチャンバーは、少なくともチャンバー内部に、スパッタターゲット、ターゲットをスパッタするための電力印加機構やガス導入手段、所定位置に基板を保持する基板ホルダー等が設けられている。また、スパッタチャンバー内を減圧状態とするため、チャンバー内の圧力を制御する圧力制御手段がスパッタチャンバーに設けられている。

40

【0189】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0190】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0191】

50

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0192】

スパッタチャンバーとしては、上述した様々なスパッタ法を適宜用いる。

【0193】

また、成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0194】

また、5つの処理室のうち、他の処理室の一つはスパッタリングの前に基板の予備加熱などを行う加熱チャンバー、スパッタリング後に基板を冷却する冷却チャンバー、或いはプラズマ処理を行うチャンバーとする。

【0195】

次に製造装置の動作の一例について説明する。

【0196】

被成膜面を下向きとした基板94を収納した基板カセットをカセット室82にセットして、カセット室82に設けられた真空排気手段によりカセット室を減圧状態とする。なお、予め、各処理室および搬送室80内部をそれぞれに設けられた真空排気手段により減圧しておく。こうしておくことで、各処理室間を基板が搬送されている間、大気に触れることなく清浄な状態を維持することができる。

【0197】

なお、被成膜面を下向きとした基板94は、少なくともソース電極層、ドレイン電極層及びバッファ層が予め設けられている。例えば、基板とソース電極層及びドレイン電極層の間にプラズマCVD法で得られる窒化シリコン膜、窒化酸化シリコン膜などの下地絶縁膜を設けてもよい。基板94としてアルカリ金属を含むガラス基板を用いる場合、下地絶縁膜は、基板からナトリウム等の可動イオンがその上の半導体領域中に侵入して、TFTEの電気特性が変化することを抑制する作用を有する。

【0198】

次いで、ゲートバルブ83を開いて搬送ロボット81により1枚目の基板94をカセットから抜き取り、ゲートバルブ84を開いて第1の処理室89内に搬送し、ゲートバルブ84を閉める。第1の処理室89では、加熱ヒータやランプ加熱で基板を加熱して基板94に付着している水分などを除去する。特に、ゲート絶縁膜に水分が含まれるとTFTEの電気特性が変化する恐れがあるため、スパッタ成膜前の加熱は有効である。なお、カセット室82に基板をセットした段階で十分に水分が除去されている場合には、この加熱処理は不要である。

【0199】

また、第1の処理室89にプラズマ処理手段を設け、膜の表面にプラズマ処理を行ってもよい。また、カセット室82に加熱手段を設けてカセット室82で水分を除去する加熱を行ってもよい。

【0200】

次いで、ゲートバルブ84を開いて搬送ロボット81により基板を搬送室80に搬送し、ゲートバルブ85を開いて第2の処理室90内に搬送し、ゲートバルブ85を閉める。

【0201】

ここでは、第2の処理室90は、DCマグネトロンスパッタ法を用いたスパッタチャンバーとする。第2の処理室90では、半導体層として酸化金属層（IGZO膜）の成膜を行う。In、Ga、及びZnを含む酸化物半導体ターゲットを用いて、希ガス雰囲気下、または酸素雰囲気下で成膜することができる。ここでは酸素を限りなく多くIGZO膜中に含ませるために、ターゲットとしてIn、Ga、及びZnを含む酸化物半導体を用い、酸素のみの雰囲気下、または酸素が90%以上、且つ、Arが10%以下の雰囲気下でパル

10

20

30

40

50

スDCスパッタ法のスパッタリングを行い、酸素過剰のIGZO膜を形成する。

【0202】

酸素過剰のIGZO膜の成膜後、大気に触れることなく、ゲートバルブ85を開いて搬送ロボット81により基板を搬送室80に搬送し、ゲートバルブ86を開いて第3の処理室91内に搬送し、ゲートバルブ86を閉める。

【0203】

ここでは、第3の処理室91は、RFマグネトロンスパッタ法を用いたスパッタチャンバーとする。第3の処理室91では、ゲート絶縁層として酸化シリコン膜(SiO_x膜)の成膜を行う。ゲート絶縁層として、酸化シリコン膜の他に、酸化アルミニウム膜(Al₂O₃膜)、酸化マグネシウム膜(MgO_x膜)、窒化アルミニウム膜(AlN_x膜)、酸化イットリウム膜(YO_x膜)などを用いることができる。

10

【0204】

また、ゲート絶縁層にハロゲン元素、例えばフッ素、塩素などを膜中に少量添加し、ナトリウム等の可動イオンの固定化をさせてもよい。その方法としては、チャンバー内にハロゲン元素を含むガスを導入してスパッタリングを行う。ただし、ハロゲン元素を含むガスを導入する場合にはチャンバーの排気手段に除害設備を設ける必要がある。ゲート絶縁膜に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークが $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下の範囲内とすることが好ましい。

【0205】

SiO_x膜を得る場合、ターゲットとして人工石英を用い、希ガス、代表的にはアルゴンを用いるスパッタ方法や、ターゲットとして単結晶シリコンを用い、酸素ガスと化学反応させてSiO_x膜を得るリアクティブスパッタ法を用いることができる。ここでは酸素を限りなく多くSiO_x膜中に含ませるために、ターゲットとして人工石英を用い、酸素のみの雰囲気下、または酸素が90%以上、且つ、Arが10%以下の雰囲気下でスパッタリングを行い、酸素過剰のSiO_x膜を形成する。

20

【0206】

このように、大気に触れることなく、酸素過剰のIGZO膜と酸素過剰のSiO_x膜とを連続成膜することにより、酸素過剰の膜同士のため界面状態を安定させ、TF Tの信頼性を向上させることができる。SiO_x膜の成膜前に基板が大気に触れた場合、水分などが付着し、界面状態に悪影響を与え、しきい値のバラツキや、電気特性の劣化、ノーマリーオンのTF Tになってしまう症状などを引き起こす恐れがある。水分は水素化合物であり、大気に触れることなく、連続成膜することによって、水素化合物が界面に存在することを排除することができる。従って、連続成膜することにより、しきい値のバラツキの低減や、電気特性の劣化の防止や、TF Tがノーマリーオン側にシフトすることを低減、望ましくはシフトをなくすことができる。

30

【0207】

また、第2の処理室90のスパッタチャンバーにIn、Ga、及びZnを含む酸化物半導体ターゲットと、人工石英のターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で積層を行うこともできる。シャッターは、ターゲットと基板の間に設け、成膜を行うターゲットはシャッターを開け、成膜を行わないターゲットはシャッターにより閉じる。同一チャンバー内で積層する利点としては、使用するチャンバーの数を減らせる点と、異なるチャンバー間を基板搬送する間にパーティクル等が基板に付着することを防止できる点である。

40

【0208】

次いで、大気に触れることなく、ゲートバルブ86を開いて搬送ロボット81により基板を搬送室80に搬送する。

【0209】

次いで、大気に触れることなく、ゲートバルブ87を開いて第4の処理室92内に搬送し、ゲートバルブ87を閉める。

50

【0210】

ここでは、第4の処理室92は、DCマグネトロンスパッタ法を用いたスパッタチャンバーとする。第4の処理室92では、ゲート電極層となる金属多層膜（導電膜）の成膜を行う。第4の処理室92のスパッタチャンバーにチタンのターゲットと、アルミニウムのターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で積層を行う。ここでは、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。

【0211】

本実施の形態では、ソース電極層、ドレイン電極層及びバッファ層が予め設けられている基板94を用いたが、ソース電極層、ドレイン電極層、又はバッファ層もマルチチャンバー型の製造装置で大気開放をせずに連続成膜してもよい。成膜する膜の数や種類の増減によって使用する処理室を適宜選択すればよく、例えば、成膜工程が増加する場合第5の処理室93も用いればよい。

10

【0212】

また、大気に触れることなく、ゲート絶縁層とゲート電極層となる金属多層膜の成膜とを連続成膜することにより、ゲート絶縁層と金属多層膜との間で良好な界面状態を実現でき、接触抵抗を低減できる。

【0213】

以上の工程を繰り返してカセットケース内の基板に成膜処理を行って複数の基板の処理を終えた後、カセット室の真空を大気に開放して、基板およびカセットを取り出す。

20

【0214】

また、第1の処理室89で、酸素過剰のIGZO膜の成膜後の加熱処理、具体的には300℃～400℃の加熱処理、好ましくは350℃以上の加熱処理を行うことができる。この加熱処理を行うことにより順スタガ型の薄膜トランジスタの電気特性を向上させることができる。この加熱処理は、酸素過剰のIGZO膜の成膜後であれば特に限定されず、例えば、酸素過剰のIGZO膜の成膜直後や、金属多層膜成膜直後に行うことができる。金属多層膜成膜後に加熱処理を行う場合、金属多層膜にヒロックが生じないように金属材料や加熱条件（温度、時間）を選択する必要がある。金属多層膜にヒロックが生じやすい材料を用いる場合は、金属多層膜上に保護層を形成した後に加熱処理を行ってもよい。

【0215】

30

次いで、マスクを用いて各積層膜をエッチング加工する。ドライエッチングやウェットエッチングを用いて形成してもよいし、複数回のエッチングに分けてそれぞれ選択的にエッチングしてもよい。

【0216】

以降の工程は、上述した実施の形態1乃至実施の形態3のいずれか一に従えば、順スタガ型の薄膜トランジスタが作製できる。

【0217】

ここではマルチチャンバー方式の製造装置を例に説明を行ったが、スパッタチャンバーを直列に連結するインライン方式の製造装置を用いて大気に触れることなく連続成膜を行ってもよい。

40

【0218】

また、図18に示す装置は被成膜面を下向きに基板をセットする、所謂フェイスダウン方式の処理室としたが、基板を垂直に立て、縦置き方式の処理室としてもよい。縦置き方式の処理室は、フェイスダウン方式の処理室よりもフットプリントが小さいメリットがあり、さらに基板の自重により撓む恐れのある大面積の基板を用いる場合に有効である。

【0219】

（実施の形態6）

本明細書に開示する発明の薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、本発明の薄膜トランジスタを駆動回路の一部または全体を、画素部と

50

同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0220】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0221】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本明細書に開示する発明は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0222】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0223】

本実施の形態では、本発明の半導体装置の一形態として液晶表示装置の例を示す。

【0224】

図19（A）（B）に、本発明の一形態を適用したアクティブマトリクス型の液晶表示装置を示す。図19（A）は液晶表示装置の平面図であり、図19（B）は図19（A）における線V-Xの断面図である。半導体装置に用いられる薄膜トランジスタ201としては、実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1又は実施の形態3で示す薄膜トランジスタも本実施の薄膜トランジスタ201として適用することもできる。

【0225】

図19（A）の本実施の形態の液晶表示装置は、ソース配線層202、マルチゲート構造の順スタガ型の薄膜トランジスタ201、ゲート配線層203、容量配線層204を含む。

【0226】

また、図19（B）において、本実施の形態の液晶表示装置は、絶縁層215a、215b、マルチゲート構造の薄膜トランジスタ201、絶縁層211、絶縁層212、絶縁層213、及び表示素子に用いる電極層255、配向膜として機能する絶縁層261、偏光板268が設けられた基板200と、配向膜として機能する絶縁層263、表示素子に用いる電極層265、カラーフィルタとして機能する着色層264、偏光板267が設けられた基板266とが液晶層262を挟持して対向しており、液晶表示素子260を有している。

【0227】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層262に用

10

20

30

40

50

いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10 \mu s \sim 100 \mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0228】

なお図19は透過型液晶表示装置の例であるが、本発明の一形態は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0229】

また、図19の液晶表示装置では、基板266の外側（視認側）に偏光板267を設け、内側に着色層264、表示素子に用いる電極層265という順に設ける例を示すが、偏光板267は基板266の内側に設けてもよい。また、偏光板と着色層の積層構造も図19に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0230】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態2で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層211、絶縁層212、絶縁層213）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、CVD法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、又は積層で形成すればよい。また、保護膜として、プロセスガスに有機シランガスと酸素を用いて、プラズマCVD法で酸化珪素膜を形成してもよい。

【0231】

有機シランとは、珪酸エチル（TEOS：化学式 $Si(OC_2H_5)_4$ ）、テトラメチルシラン（TMS：化学式 $Si(CH_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $SiH(OC_2H_5)_3$ ）、またはトリスジメチルアミノシラン（ $SiH(N(CH_3)_2)_3$ ）などの化合物である。

【0232】

保護膜の一層目として絶縁層211を形成する。絶縁層211は、アルミニウム膜のヒロック防止に効果がある。ここでは、絶縁層211として、プラズマCVD法を用いて酸化珪素膜を形成する。酸化珪素膜の成膜用プロセスガスには、TEOS、および O_2 を用い、その流量比は、 $TEOS \setminus O_2 = 15 \setminus 750$ である。成膜工程の基板温度は $300^\circ C$ である。

【0233】

また、保護膜の二層目として絶縁層212を形成する。ここでは、絶縁層212として、プラズマCVD法を用いて窒化珪素膜を形成する。窒化珪素膜の成膜用プロセスガスには、 SiH_4 、 N_2 、 NH_3 および H_2 を用いる。保護膜の一層として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0234】

また、保護膜を形成した後に、IGZO半導体層の加熱処理（ $300^\circ C \sim 400^\circ C$ ）を行ってもよい。

【0235】

また、平坦化絶縁膜として絶縁層213を形成する。絶縁層213としては、ポリイミド、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、またはアリール基のうち少なくとも1種を有していてもよい。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層213を形成してもよい。

【0236】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していてもよい。

【0237】

絶縁層213の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層213を材料液を用いて形成する場合、ベークする工程で同時に、IGZO半導体層の加熱処理（300℃～400℃）を行ってもよい。絶縁層213の焼成工程とIGZO半導体層の加熱処理を兼ねることで効率よく半導体装置を作製することが可能となる。

10

【0238】

画素電極層として機能する電極層255、265は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0239】

また、電極層255、265として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000Ω/□以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1Ω・cm以下であることが好ましい。

20

【0240】

導電性高分子としては、いわゆるπ電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0241】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

30

【0242】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0243】

（実施の形態7）

本実施の形態では、半導体装置として電子ペーパーの例を示す。

【0244】

図26は、本発明の一形態を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1又は実施の形態3で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

40

【0245】

図26の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0246】

50

絶縁層 586 a、586 b が設けられた基板 580 と、基板 596 との間に封止される薄膜トランジスタ 581 は、マルチゲート構造の順スタガ型の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第 1 の電極層 587 と、絶縁層 583、584、585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590 a 及び白色領域 590 b を有し、周りに液体で満たされているキャビティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 26 参照。）。

【0247】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正または負に帯電した白い微粒子と、白い微粒子と逆の極性に帯電した黒い微粒子とを封入した直径 $10\ \mu\text{m} \sim 200\ \mu\text{m}$ 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0248】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0249】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0250】

（実施の形態 8）

本実施の形態では、本発明の半導体装置の一形態として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0251】

有機 EL 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0252】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

【0253】

図 22（A）（B）は、本発明の一形態を適用した半導体装置の例としてアクティブマトリクス型の発光表示装置を示す。図 22（A）は発光表示装置の平面図であり、図 22（

10

20

30

40

50

B)は図22(A)における線Y-Zの断面図である。なお、図23に、図22に示す発光表示装置の等価回路を示す。

【0254】

半導体装置に用いられる薄膜トランジスタ301、302としては、実施の形態1及び実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態3で示す薄膜トランジスタも本実施の薄膜トランジスタ301、302として適用することもできる。

【0255】

図22(A)及び図23に示す本実施の形態の発光表示装置は、マルチゲート構造の薄膜トランジスタ301、薄膜トランジスタ302、発光素子303、容量素子304、ソース配線層305、ゲート配線層306、電源線307を含む。薄膜トランジスタ301、302はnチャネル型薄膜トランジスタである。

【0256】

また、図22(B)において、本実施の形態の発光表示装置は、基板300、絶縁層315a、315b、薄膜トランジスタ302、絶縁層311、絶縁層312、絶縁層313、隔壁321、及び発光素子303に用いる第1の電極層320、電界発光層322、第2の電極層323を有している。

【0257】

絶縁層313は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0258】

本実施の形態では画素の薄膜トランジスタ302がn型であるので、画素電極層である第1の電極層320として、陰極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi等を用いることができる。

【0259】

隔壁321は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層320上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0260】

電界発光層322は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0261】

電界発光層322を覆うように、陽極を用いた第2の電極層323を形成する。第2の電極層323は、実施の形態6に画素電極層として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。第1の電極層320と電界発光層322と第2の電極層323とが重なり合うことで、発光素子303が形成されている。この後、発光素子303に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層323及び隔壁321上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0262】

さらに、実際には、図22(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0263】

次に、発光素子の構成について、図24を用いて説明する。ここでは、駆動用TFETがn型の場合を例に挙げて、画素の断面構造について説明する。図24(A)(B)(C)の半導体装置に用いられる駆動用TFETであるTFET7001、7011、7021は、実

10

20

30

40

50

施の形態 1 で示す薄膜トランジスタと同様に作製でき、I G Z O 半導体層及び n 型の導電性を有する I G Z O 半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2、又は実施の形態 3 で示す薄膜トランジスタを T F T 7 0 0 1、7 0 1 1、7 0 2 1 として適用することもできる。

【0264】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本明細書に開示する発明の画素構成はどの射出構造の発光素子にも適用することができる。

10

【0265】

上面射出構造の発光素子について図 2 4 (A) を用いて説明する。

【0266】

図 2 4 (A) に、駆動用 T F T である T F T 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 2 4 (A) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と駆動用 T F T である T F T 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、C a、A l、C a F、M g A g、A l L i 等が望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、I T O と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

20

【0267】

陰極 7 0 0 3 及び陽極 7 0 0 5 で発光層 7 0 0 4 を挟んでいる領域が発光素子 7 0 0 2 に相当する。図 2 4 (A) に示した画素の場合、発光素子 7 0 0 2 から発せられる光は、矢印で示すように陽極 7 0 0 5 側に射出する。

30

【0268】

次に、下面射出構造の発光素子について図 2 4 (B) を用いて説明する。駆動用 T F T 7 0 1 1 が n 型で、発光素子 7 0 1 2 から発せられる光が陰極 7 0 1 3 側に射出する場合の、画素の断面図を示す。図 2 4 (B) では、駆動用 T F T 7 0 1 1 と電氣的に接続された透光性を有する導電膜 7 0 1 7 上に、発光素子 7 0 1 2 の陰極 7 0 1 3 が成膜されており、陰極 7 0 1 3 上に発光層 7 0 1 4、陽極 7 0 1 5 が順に積層されている。なお、陽極 7 0 1 5 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7 0 1 6 が成膜されていてもよい。陰極 7 0 1 3 は、図 2 4 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 n m ~ 3 0 n m 程度）とする。例えば 2 0 n m の膜厚を有するアルミニウム膜を、陰極 7 0 1 3 として用いることができる。そして発光層 7 0 1 4 は、図 2 4 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 1 5 は光を透過する必要はないが、図 2 4 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7 0 1 6 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

40

【0269】

陰極 7 0 1 3 及び陽極 7 0 1 5 で、発光層 7 0 1 4 を挟んでいる領域が発光素子 7 0 1 2 に相当する。図 2 4 (B) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、

50

矢印で示すように陰極 7013 側に射出する。

【0270】

次に、両面射出構造の発光素子について、図 24 (C) を用いて説明する。図 24 (C) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 24 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 24 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 24 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0271】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 24 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0272】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0273】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

20

【0274】

なお本実施の形態で示す半導体装置は、図 24 に示した構成に限定されるものではなく、本明細書に開示する発明の技術的思想に基づく各種の変形が可能である。

【0275】

以上の工程により、半導体装置として信頼性の高い発光表示装置を作製することができる。

【0276】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

30

【0277】

（実施の形態 9）

次に、本発明の半導体装置の一形態である表示パネルの構成について、以下に示す。本実施の形態では、表示素子として液晶素子を有する液晶表示装置の一形態である液晶表示パネル（液晶パネルともいう）、表示素子として発光素子を有する半導体装置の一形態である発光表示パネル（発光パネルともいう）について説明する。

【0278】

次に、本発明の半導体装置の一形態に相当する発光表示パネルの外観及び断面について、図 25 を用いて説明する。図 25 (A) は、第 1 の基板上に形成された IGZO 半導体層及び n 型の導電性を有する IGZO 半導体層を含む信頼性の高い薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 25 (B) は、図 25 (A) の H-I における断面図に相当する。

40

【0279】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 45

50

04a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。

【0280】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図25(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0281】

薄膜トランジスタ4509、4510は、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む薄膜トランジスタに相当し、実施の形態1、実施の形態2、又は実施の形態3に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0282】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0283】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

20

【0284】

本実施の形態では、接続端子4515が、第2の電極層4512と同じ導電膜から形成され、配線4516は、発光素子4511が有する第1の電極層4517と同じ導電膜から形成されている。

【0285】

接続端子4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0286】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

30

【0287】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材4507として窒素を用いた。

【0288】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

40

【0289】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図25の構成に限定されない。

50

【0290】

次に、本発明の半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図20を用いて説明する。図20(A)(B)は、第1の基板4001上に形成されたIGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図20(B)は、図20(A1)(A2)のM-Nにおける断面図に相当する。

【0291】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

10

【0292】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図20(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図20(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0293】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図20(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。

【0294】

薄膜トランジスタ4010、4011は、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む薄膜トランジスタに相当し、実施の形態1、実施の形態2、又は実施の形態3に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

30

【0295】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0296】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

40

【0297】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。

【0298】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4

50

002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0299】

本実施の形態では、接続端子4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、配線4016は、薄膜トランジスタ4010、4011のゲート電極層と同じ導電膜で形成されている。

【0300】

接続端子4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0301】

また図20においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

10

【0302】

図21は、本発明の一形態を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0303】

図21は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

20

【0304】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

30

【0305】

以上の工程により、半導体装置として信頼性の高い表示パネルを作製することができる。

【0306】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

40

【0307】

(実施の形態10)

本発明の半導体装置の一形態は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図7、図8に示す。

【0308】

50

図 7 (A) は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一形態を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0309】

また、図 7 (B) は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一形態を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

10

【0310】

また、図 8 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0311】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 8 では表示部 2 7 0 5) に文章を表示し、左側の表示部 (図 8 では表示部 2 7 0 7) に画像を表示することができる。

20

【0312】

また、図 8 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

30

【0313】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0314】

(実施の形態 11)

本発明の一形態に係る半導体装置は、さまざまな電子機器 (遊技機も含む) に適用することができる。電子機器としては、例えば、テレビジョン装置 (テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機 (携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

40

【0315】

図 9 (A) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

【0316】

50

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0317】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

10

【0318】

図 9（B）は、デジタルフォトフレーム 9700 の一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0319】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

20

【0320】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0321】

図 10（A）は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 10（A）に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段（操作キー 9885、接続端子 9887、センサ 9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一形態に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 10（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 10（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

40

【0322】

図 10（B）は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明の一形態に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0323】

図 11 は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、

50

スピーカ 1005、マイク 1006などを備えている。

【0324】

図 11 に示す携帯電話機 1000 は、表示部 1002 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触れることにより行うことができる。

【0325】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示＋入力モードである。

【0326】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0327】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か横か）を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0328】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0329】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0330】

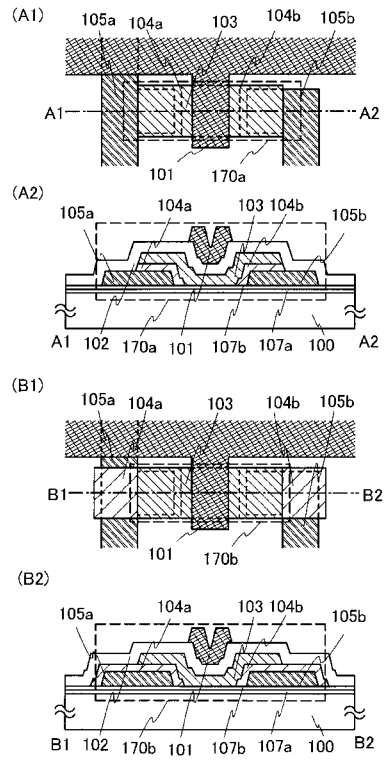
表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

10

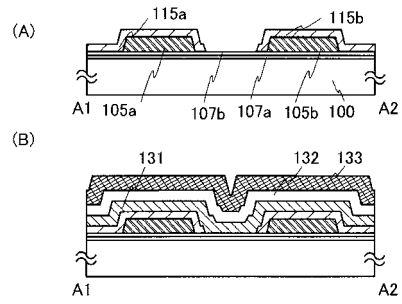
20

30

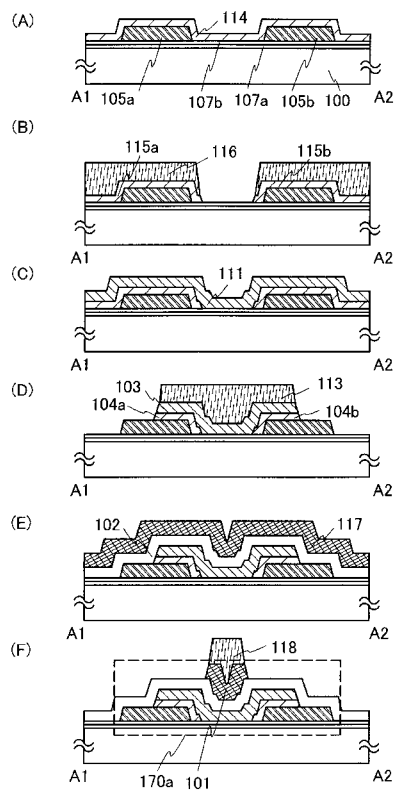
【図 1】



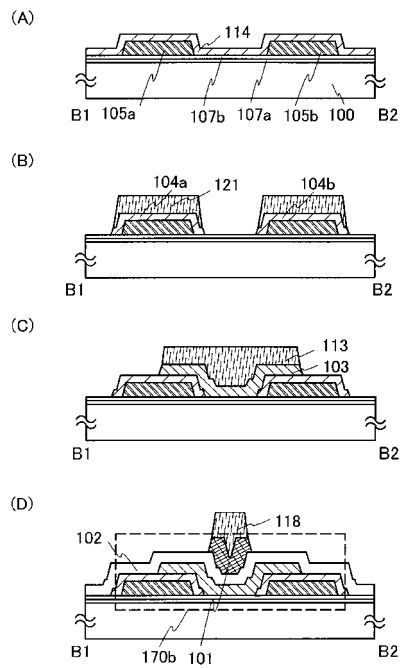
【図 2】



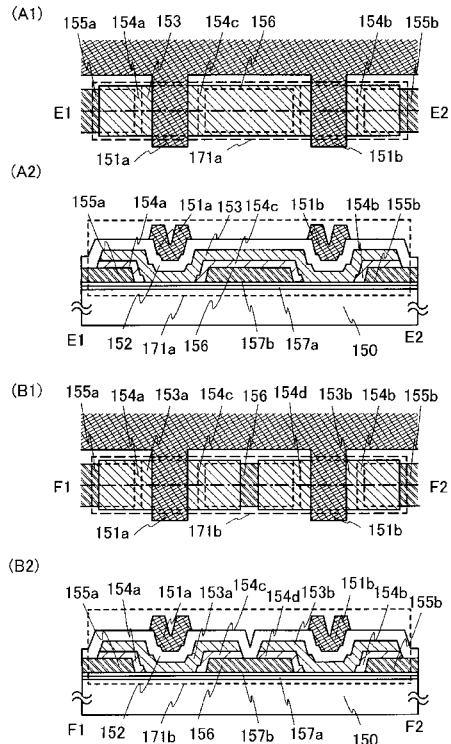
【図 3】



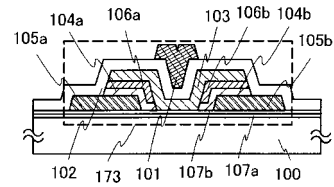
【図 4】



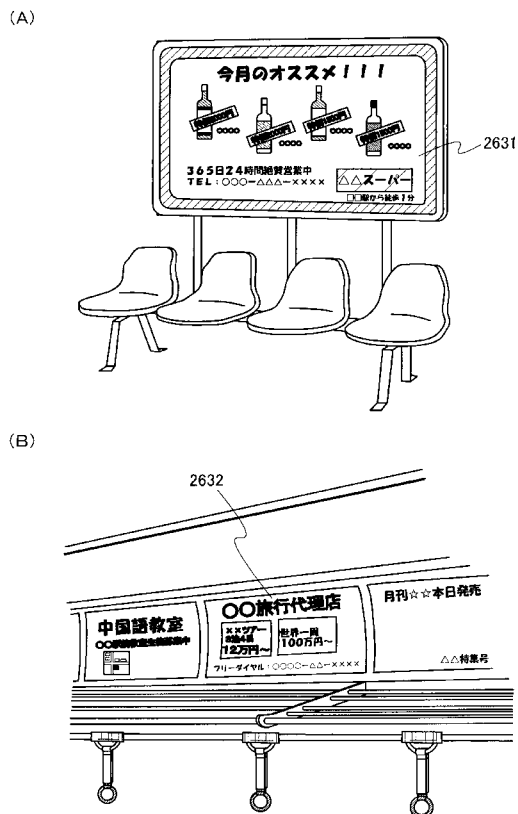
【図 5】



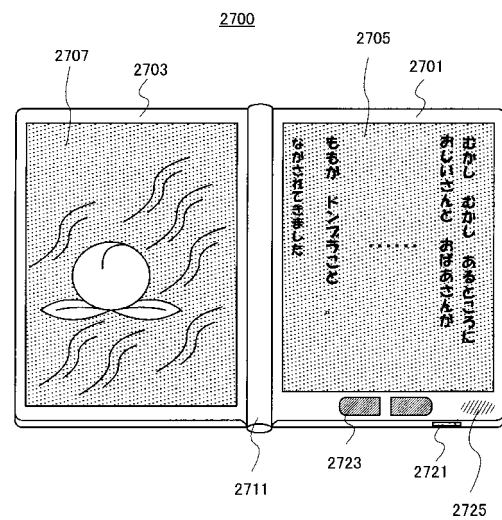
【図 6】



【図 7】

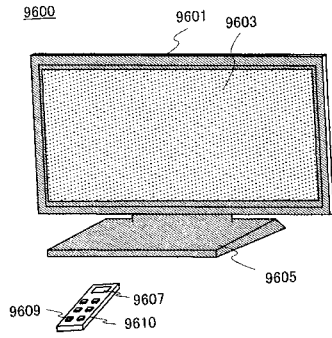


【図 8】

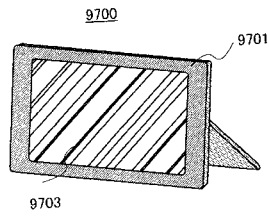


【図 9】

(A)

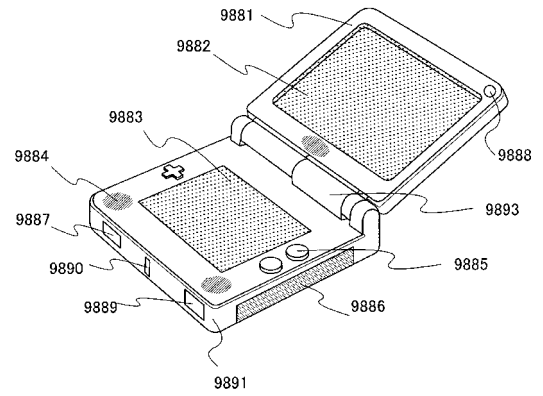


(B)

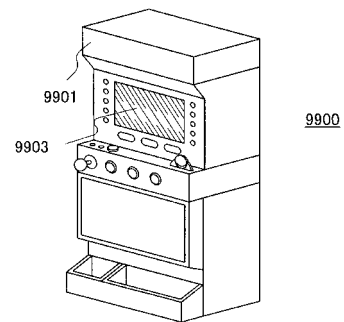


【図 10】

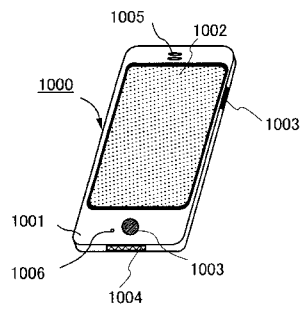
(A)



(B)

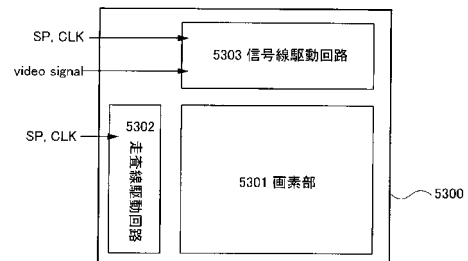


【図 11】

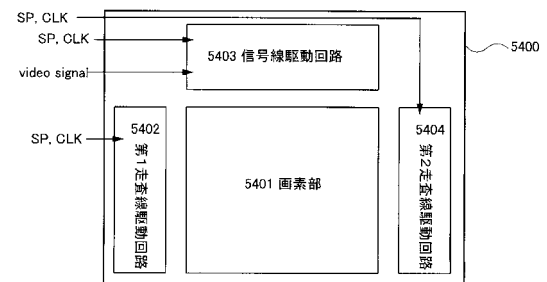


【図 12】

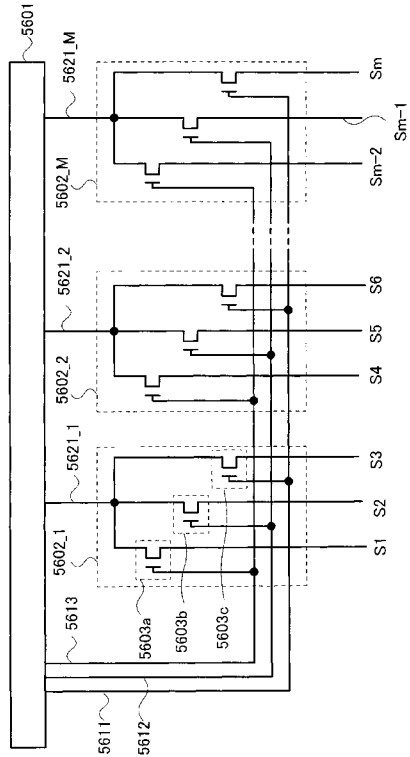
(A)



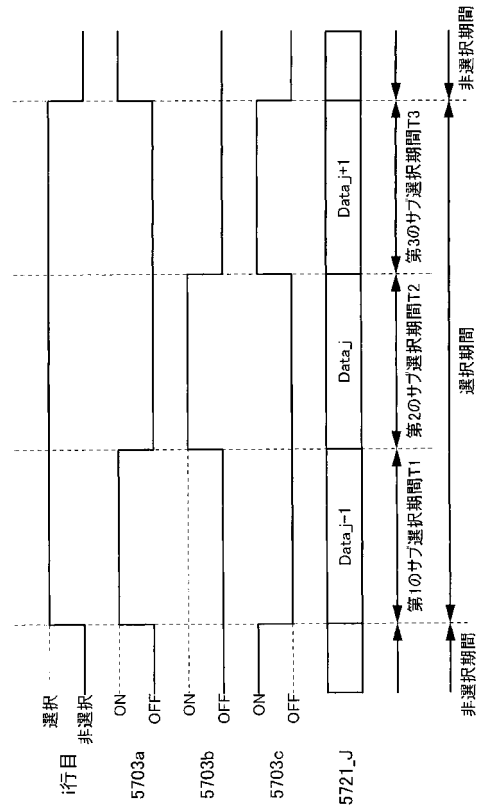
(B)



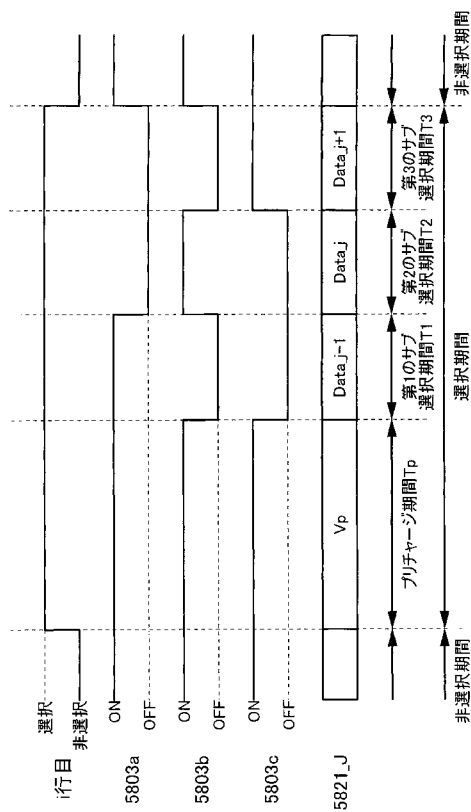
【図 1 3】



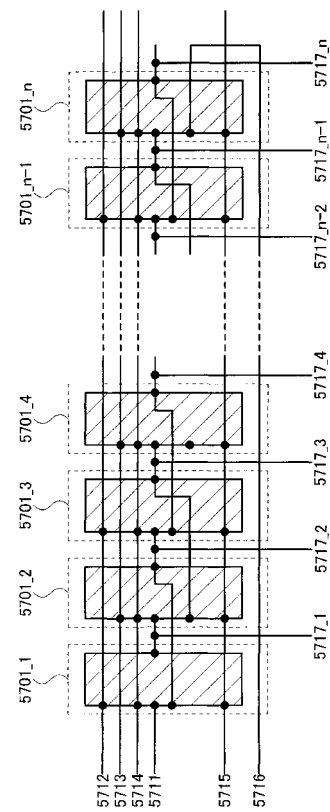
【図 1 4】



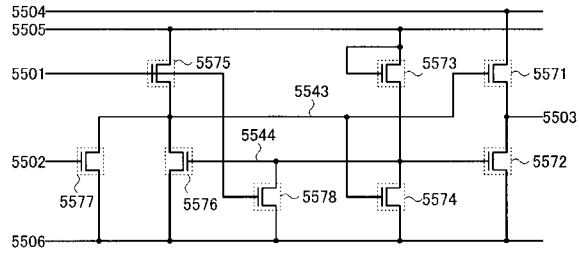
【図 1 5】



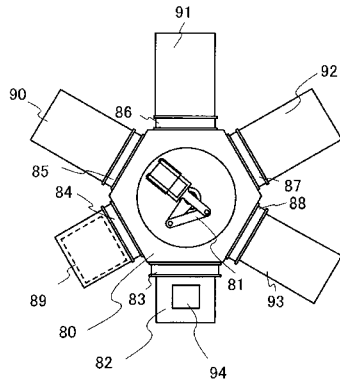
【図 1 6】



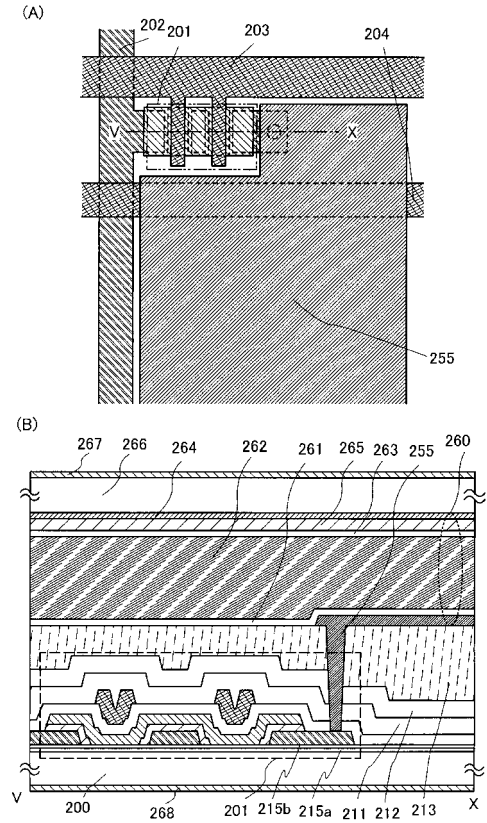
【図 17】



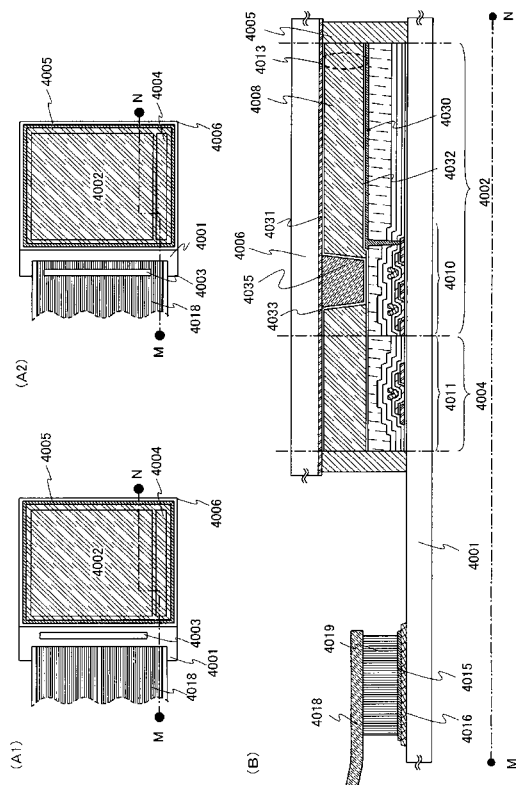
【図 18】



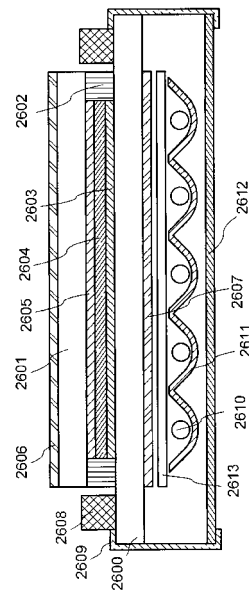
【図 19】



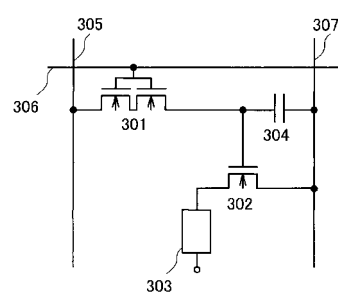
【図 20】



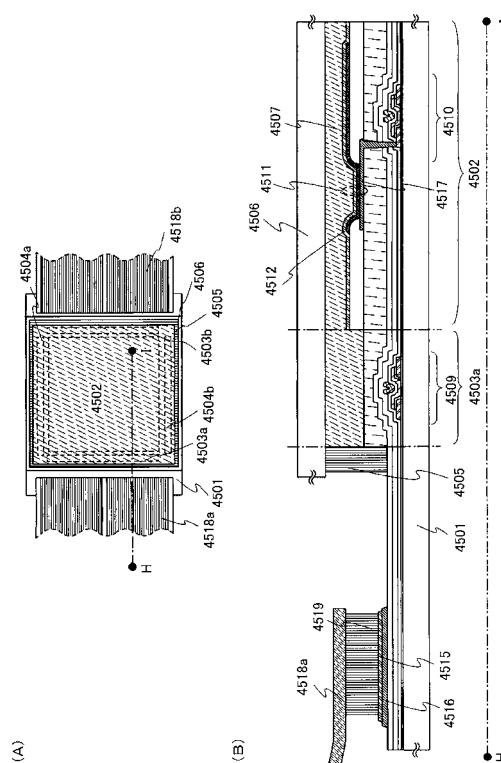
【図 21】



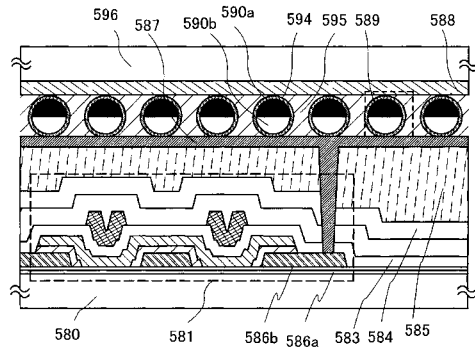
【図 2 3】



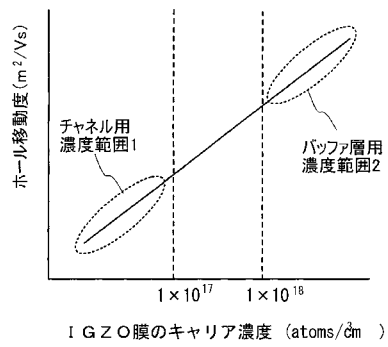
【図 25】



【図 26】



【図 27】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 5 B 33/26 (2006.01)	H 0 1 L 21/28 3 0 1 B	
H 0 5 B 33/10 (2006.01)	G 0 2 F 1/1368	
G 0 9 F 9/30 (2006.01)	H 0 5 B 33/14 A	
	H 0 5 B 33/26 Z	
	H 0 5 B 33/10	
	G 0 9 F 9/30 3 3 8	

(72)発明者 白石 康次郎

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム (参考) 2H092 JA25 JA28 JA33 JA40 KA05 KA08 MA04 MA05 MA13 MA17
 NA22 NA23 NA24 PA01 PA06 RA10
 3K107 AA01 BB01 CC02 CC11 CC33 CC42 DD39 EE04 GG05 GG28
 4M104 AA03 AA08 AA09 BB01 BB02 BB04 BB08 BB09 BB13 BB14
 BB16 BB30 BB31 BB32 BB33 BB36 CC01 CC05 DD34 DD37
 DD51 DD63 DD78 FF08 FF13 GG09 GG10 GG14 HH03
 5C094 AA21 AA31 BA03 BA27 BA43 BA75 CA19 DA13 FB02 FB05
 FB14 GB10 JA20
 5F110 AA01 AA02 AA03 AA05 AA16 AA28 BB02 CC05 DD01 DD02
 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE14
 EE15 EE28 EE44 FF01 FF02 FF03 FF04 FF07 FF09 FF10
 FF28 FF30 GG01 GG22 GG34 GG42 GG43 GG58 HK01 HK02
 HK03 HK04 HK08 HK21 HK22 HK25 HK27 HK28 HK32 HK33
 HL01 HL07 HL09 HM02 HM03 HM15 NN03 NN22 NN23 NN24
 NN25 NN27 NN33 NN34 NN35 NN36 NN40 NN71 NN72 NN73
 QQ02 QQ09