



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0032847
(43) 공개일자 2025년03월07일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 11/413</i> (2006.01) <i>G06N 3/063</i> (2023.01)
 <i>G11C 11/412</i> (2006.01) <i>G11C 5/14</i> (2021.01)
 <i>G11C 7/12</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G11C 11/413</i> (2013.01)
 <i>G06N 3/063</i> (2013.01)</p> <p>(21) 출원번호 10-2024-0040528
 (22) 출원일자 2024년03월25일
 심사청구일자 2024년03월25일</p> <p>(30) 우선권주장
 1020230113668 2023년08월29일 대한민국(KR)</p> | <p>(71) 출원인
 고려대학교 산학협력단
 서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)</p> <p>(72) 발명자
 박중선
 서울특별시 서초구 신반포로 32
 이경호
 서울특별시 성북구 고려대로11길 20(안암동2가)
 박준우
 서울특별시 관악구 신림로29길 8(신림동, 신림현대아파트)</p> <p>(74) 대리인
 특허법인주연케이알피</p> |
|--|--|

전체 청구항 수 : 총 10 항

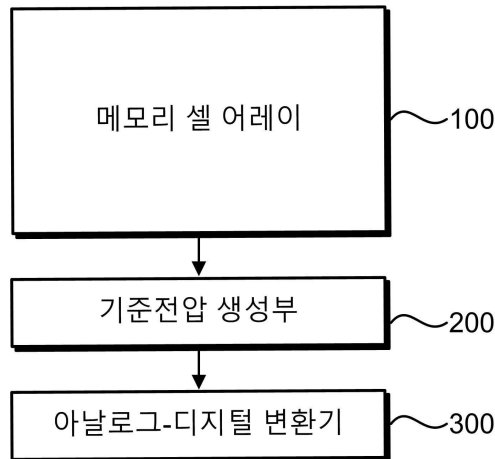
(54) 발명의 명칭 **비트라인의 전하를 공유하여 기준전압을 생성하는 컴퓨팅 인 메모리 장치 및 그 동작 방법**

(57) 요약

본 발명은 컴퓨팅 인 메모리 장치에 대한 것이다. 본 발명의 일 실시 예에 있어서 컴퓨팅 인 메모리 장치는 복수의 연산 워드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 출력신호 및 제2 출력신호를 생성하는 복수의 로컬 어레이를 포함하는 메모리 셀 어레이; 인접한 글로벌 비트라인으로 상기 제1 출력신호의 전하를 공유하여 기준전압을 생성하는 기준전압 생성부; 및 상기 기준전압과 상기 제2 출력신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력신호를 디지털 신호로 변환하는 아날로그-디지털 변환기를 포함할 수 있다.

대표도 - 도1

10



(52) CPC특허분류

G11C 11/412 (2013.01)

G11C 5/147 (2013.01)

G11C 7/12 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193790
과제번호	2022-0-00266-002
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	초저전력 Low-Bit Precision 혼성모드 SRAM PIM 개발
과제수행기관명	서울대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711182941
과제번호	2020R1A2C3014820
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	온-디바이스 개인화를 위한 에너지 효율적인 딥러닝 가속기 설계
과제수행기관명	고려대학교 산학협력단
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711195797
과제번호	RS-2023-00229028
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	e-MRAM에 기반한 고신뢰성 저전력 인증 하드웨어 개발
과제수행기관명	고려대학교 산학협력단
연구기간	2023.04.01 ~ 2023.12.31

명세서

청구범위

청구항 1

복수의 연산 워드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 출력신호 및 제2 출력신호를 생성하는 복수의 로컬 어레이를 포함하는 메모리 셀 어레이;

인접한 글로벌 비트라인으로 상기 제1 출력신호의 전하를 공유하여 기준전압을 생성하는 기준전압 생성부; 및

상기 기준전압과 상기 제2 출력신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력신호를 디지털 신호로 변환하는 아날로그-디지털 변환기를 포함하는 컴퓨팅 인 메모리 장치.

청구항 2

제1항에 있어서,

상기 로컬 어레이는:

상기 가중치를 저장하는 복수의 제1 트랜지스터들과 상기 입력신호를 컴퓨팅하는 제2 트랜지스터를 포함하고, 상기 복수의 제1 트랜지스터들과 상기 제2 트랜지스터를 이용하여 상기 입력신호에 대한 맥 연산 결과를 생성하는 로컬 셀; 및

상기 로컬 셀 하단에 위치하고, 상기 맥 연산 결과를 글로벌 비트라인쌍에 전달하는 주변 회로를 포함하는 컴퓨팅 인 메모리 장치.

청구항 3

제2항에 있어서,

상기 로컬 셀은,

상기 입력신호와 상기 가중치의 곱셈 연산으로 최하위 비트를 생성하여 로컬 비트라인바에 전달하고,

상기 입력신호의 반전된 신호와 상기 가중치의 곱셈 연산으로 최상위 비트를 생성하여 셀 스트래핑 라인 및 공통 소스라인에 전달하는 컴퓨팅 인 메모리 장치.

청구항 4

제3항에 있어서,

상기 주변 회로는,

상기 글로벌 비트라인쌍과 연결되고, 로컬 비트라인쌍, 상기 셀 스트래핑 라인 및 상기 공통 소스라인과 공통으로 연결되는 컴퓨팅 인 메모리 장치.

청구항 5

제4항에 있어서,

상기 주변 회로는,

상기 최상위 비트 및 상기 최하위 비트가 인가되면, 상기 로컬 비트라인쌍, 셀 스트래핑 라인 및 상기 공통 소스라인들을 전기적으로 연결하여 상기 최상위 비트 및 상기 최하위 비트를 아날로그 전압으로 변환하는 컴퓨팅 인 메모리 장치.

청구항 6

제1항에 있어서,

상기 기준전압 생성부는,

제1 글로벌 비트라인을 마스터 비트라인으로 결정하고, 상기 제1 글로벌 비트라인과 인접한 제2 글로벌 비트라인을 슬레이브 비트라인으로 결정하는 컴퓨팅 인 메모리 장치.

청구항 7

제6항에 있어서,

상기 기준전압 생성부는,

상기 마스터 비트라인 및 슬레이브 비트라인의 전하를 공유하여 서로 다른 16개의 전압 레벨을 가지는 기준전압을 생성하는 컴퓨팅 인 메모리 장치.

청구항 8

제1항에 있어서,

상기 디지털 신호는,

상기 제2 출력신호에 대한 5비트 신호인 컴퓨팅 인 메모리 장치.

청구항 9

컴퓨팅 인 메모리 동작 방법에 있어서,

복수의 연산 워드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 출력신호 및 제2 출력신호를 생성하는 단계;

인접한 글로벌 비트라인으로 상기 제1 출력신호의 전하를 공유하여 기준전압을 생성하는 단계;

상기 기준전압과 상기 제2 출력신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력신호를 디지털 신호로 변환하는 단계를 포함하는 컴퓨팅 인 메모리 장치의 동작 방법.

청구항 10

제9항에 있어서,

상기 기준전압을 생성하는 단계는,

제1 글로벌 비트라인을 마스터 비트라인으로 결정하고, 상기 제1 글로벌 비트라인과 인접한 제2 글로벌 비트라인을 슬레이브 비트라인으로 결정하고, 상기 마스터 비트라인 및 슬레이브 비트라인의 전하를 공유하여 서로 다른 16개의 전압 레벨을 가지는 기준전압을 생성하는 컴퓨팅 인 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비트라인의 전하를 공유하여 기준전압을 생성하는 컴퓨팅 인 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 기존의 컴퓨터 구조 상에서 읽기/쓰기 동작을 지원하는 메모리와 데이터 연산을 지원하는 연산기가 분리되어 있어, 메모리와 연산기 사이의 데이터 이동에서 발생하는 에너지 소모가 연산 자체에 사용되는 에너지 소모에 비해 매우 크다. 특히, 최신 어플리케이션에 주로 쓰이는 인공 신경망의 컨볼루션(convolution) 층에서 사용되는 곱셈-누적 연산인 MAC (Multiply-Accumulate) 연산은 막대한 양의 데이터를 필요로 한다. 따라서, 이러한 인공 신경망 연산을 위해 필요한 데이터의 이동에서 일반적인 연산보다 훨씬 더 많은 에너지가 소모된다. 이를 해결하기 위해 기존 읽기/쓰기 동작만이 가능한 메모리 안에 연산 동작을 추가하여 메모리와 연산기 간의 데이터 이동을 줄여주는 컴퓨팅-인-메모리(CIM) 이라는 메모리 기술이 개발되었다.

[0003] 그러나, 기존의 CIM 메모리의 다중 비트에 대응되도록 기준전압을 생성하기에는 다수의 레지스터 및 커패시터가

필요하므로, 메모리의 면적 및 전력 소모가 증가한다는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 공개특허 제10-2020-0012928호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 비트라인의 전하를 공유하여 기준전압을 생성하는 컴퓨팅 인 메모리 장치 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 복수의 연산 워드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 출력신호 및 제2 출력신호를 생성하는 복수의 로컬 어레이를 포함하는 메모리 셀 어레이; 인접한 글로벌 비트라인으로 상기 제1 출력신호의 전하를 공유하여 기준전압을 생성하는 기준전압 생성부; 및 상기 기준전압과 상기 제2 출력신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력신호를 디지털 신호로 변환하는 아날로그-디지털 변환기를 포함할 수 있다.

[0007] 본 발명의 일 실시 예에 있어서, 상기 로컬 어레이는: 상기 가중치를 저장하는 복수의 제1 트랜지스터들과 상기 입력신호를 컴퓨팅하는 제2 트랜지스터를 포함하고, 상기 복수의 제1 트랜지스터들과 상기 제2 트랜지스터를 이용하여 상기 입력신호에 대한 맥 연산 결과를 생성하는 로컬 셀; 및 상기 로컬 셀 하단에 위치하고, 상기 맥 연산 결과를 글로벌 비트라인쌍에 전달하는 주변 회로를 포함할 수 있다.

[0008] 본 발명의 일 실시 예에 있어서, 상기 로컬 셀은, 상기 입력신호와 상기 가중치의 곱셈 연산으로 최하위 비트를 생성하여 로컬 비트라인쌍에 전달하고, 상기 입력신호의 반전된 신호와 상기 가중치의 곱셈 연산으로 최상위 비트를 생성하여 셀 스트래핑 라인 및 공통 소스라인에 전달할 수 있다.

[0009] 본 발명의 일 실시 예에 있어서, 상기 주변 회로는, 상기 글로벌 비트라인쌍과 연결되고, 로컬 비트라인쌍, 상기 셀 스트래핑 라인 및 상기 공통 소스라인과 공통으로 연결될 수 있다.

[0010] 본 발명의 일 실시 예에 있어서, 상기 주변 회로는, 상기 최상위 비트 및 상기 최하위 비트가 인가되면, 상기 로컬 비트라인쌍, 셀 스트래핑 라인 및 상기 공통 소스라인들을 전기적으로 연결하여 상기 최상위 비트 및 상기 최하위 비트를 아날로그 전압으로 변환할 수 있다.

[0011] 본 발명의 일 실시 예에 있어서, 상기 기준전압 생성부는, 제1 글로벌 비트라인을 마스터 비트라인으로 결정하고, 상기 제1 글로벌 비트라인과 인접한 제2 글로벌 비트라인을 슬레이브 비트라인으로 결정할 수 있다.

[0012] 본 발명의 일 실시 예에 있어서, 상기 기준전압 생성부는, 상기 마스터 비트라인 및 슬레이브 비트라인의 전하를 공유하여 서로 다른 16개의 전압 레벨을 가지는 기준전압을 생성할 수 있다.

[0013] 본 발명의 일 실시 예에 있어서, 상기 디지털 신호는, 상기 제2 출력신호에 대한 5비트 신호일 수 있다.

[0014] 본 발명은 컴퓨팅 인 메모리 동작 방법에 있어서, 복수의 연산 워드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 출력신호 및 제2 출력신호를 생성하는 단계; 인접한 글로벌 비트라인으로 상기 제1 출력신호의 전하를 공유하여 기준전압을 생성하는 단계; 상기 기준전압과 상기 제2 출력신호를 비교하고, 비교 결과에 기초하여 상기 제2 출력신호를 디지털 신호로 변환하는 단계를 포함할 수 있다.

[0015] 본 발명의 일 실시 예에 있어서, 상기 기준전압을 생성하는 단계는, 제1 글로벌 비트라인을 마스터 비트라인으로 결정하고, 상기 제1 글로벌 비트라인과 인접한 제2 글로벌 비트라인을 슬레이브 비트라인으로 결정하고, 상기 마스터 비트라인 및 슬레이브 비트라인의 전하를 공유하여 서로 다른 16개의 전압 레벨을 가지는 기준전압을 생성할 수 있다.

발명의 효과

- [0016] 본 발명에 따른 비트라인의 전하를 공유하여 기준전압을 생성하는 컴퓨팅 인 메모리 장치는 아날로그 신호를 디지털 신호로 변환하기 위해 비트라인을 사용함으로써 레지스터 또는 커패시터를 생략할 수 있다. 이에 따라, 컴퓨팅 인 메모리 장치의 전력 소모 및 설계 면적을 최소화할 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치를 나타내는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 메모리 셀 어레이(100)를 나타내는 도면이다.
- 도 3은 본 발명의 실시 예에 따른 로컬 어레이의 구성을 도시한 도면이다.
- 도 4a 및 도 4b는 본 발명의 실시 예에 따른 로컬 셀의 회로도이다.
- 도 5a 및 도 5b는 본 발명의 실시 예에 따른 기준전압 생성부의 동작을 설명하기 위한 도면이다.
- 도 6은 본 발명의 실시 예에 따른 아날로그-디지털 변환기의 회로도이다.
- 도 7은 도 6의 아날로그-디지털 변환기에 따른 결과를 도시한 표이다.
- 도 8은 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0019] 도 1은 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치를 나타내는 블록도이다.
- [0020] 컴퓨팅 인 메모리 장치(Computing In-Memory, 10)는 메모리 셀 어레이(100), 기준전압 생성부(200) 및 아날로그-디지털 변환기(300)를 포함할 수 있다.
- [0021] 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치(10)는 메모리 장치에 구현될 수 있다. 예를 들어, 컴퓨팅 인 메모리 장치(10)는 랩탑 컴퓨터(Laptop Computer), 데스크탑 컴퓨터(Desktop Computer), 노트북 컴퓨터(Notebook Computer), 태블릿 컴퓨터(Tablet Computer), 스마트폰(Smart Phone), PDA(Personal Digital Assistants), 웨어러블 디바이스 등과 같은 다양한 장치의 인 메모리 컴퓨팅에 구현될 수 있다.
- [0022] 메모리 셀 어레이(100)는 복수의 연산 워드 라인(WL_w, WL_{wb})을 통해 인가되는 입력신호와 기 저장된 가중치의 맥(Multiply-Accumulate, MAC) 연산을 수행할 수 있다.
- [0023] 또한, 메모리 셀 어레이(100)는 맥 연산에 따른 제1 출력신호 및 제2 출력신호를 각각 글로벌 비트라인쌍(GBL, GBLB)에 내보내도록 구성될 수 있다.
- [0024] 일 실시 예에 있어서, 메모리 셀 어레이(100)의 로컬 어레이는 복수의 로컬 셀을 포함할 수 있다. 여기서, 복수의 로컬 셀 각각은 가중치를 저장할 수 있다. 가중치는 복수의 연산 워드 라인(WL_w, WL_{wb})이 아닌 가중치를 저장하기 위하여 별도로 로컬 셀에 연결되는 워드 라인에 기초하여 각 로컬 셀에 저장될 수 있다.
- [0025] 일 실시 예에 있어서, 메모리 셀 어레이(100)에 의해 수행되는 맥 연산은 로컬 어레이에 포함된 복수의 로컬 셀들에서 동시에 수행될 수 있으며, 메모리 셀 어레이(100)는 각 셀에서 수행된 맥 연산 결과를 글로벌 비트라인쌍(GBL, GBLB)을 통해 제1 및 제2 출력신호로 출력할 수 있다.
- [0026] 기준전압 생성부(200)는 글로벌 비트라인(GBL)을 통해 제1 출력신호를 수신하고, 프리차지 기반 전하 공유 반복을 통해 제1 출력신호에 대한 기준전압을 생성할 수 있다. 기준전압은 메모리 셀 어레이(100)의 아날로그 신호를 기반으로 생성함으로써, 제2 출력신호를 읽기 위한 기준전압일 수 있다.
- [0027] 기준전압 생성부(200)는 인접한 로컬 셀들의 제1 출력신호들을 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)으로 수신하고, 각각의 비트라인쌍을 프리차지 또는 방전하여 복수의 기준전압을 생성할 수 있다.
- [0028] 예를 들어, 기준전압 생성부(200)는 메모리 셀 어레이(100)와 32개의 글로벌 비트라인(GBL)으로 연결될 경우, 인접한 로컬 셀들의 제1 출력신호 쌍을 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)으로 수신

하여 16개의 전압 레벨을 가지는 기준전압을 생성할 수 있다.

- [0029] 아날로그-디지털 변환기(300)는 글로벌 비트라인(GBL)을 통해 기준전압을 수신하고, 글로벌 비트라인바(GBLB)를 통해 맥 연산된 제2 출력신호를 수신할 수 있다. 이에 따라, 아날로그-디지털 변환기(300)는 기준전압과 제2 출력신호를 순차적으로 비교함으로써 제2 출력신호에 대한 다중 비트 신호인 디지털 값을 출력할 수 있다.
- [0030] 예를 들어, 아날로그-디지털 변환기(300)는 16개의 전압 레벨을 가지는 기준전압과 제2 출력신호를 비교함으로써 5비트의 디지털 값을 출력할 수 있다. 보다 상세한 설명은 이하의 도 5에서 설명할 것이다
- [0031] 이상에서 상술한 바와 같이, 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치(10)는 아날로그 신호를 디지털 신호로 변환하기 위해 비트라인을 사용함으로써 전체적인 컴퓨팅 인 메모리 장치(10)의 전력 소모를 줄일 수 있으며, 레지스터 또는 캐패시터를 생략하여 설계 면적 및 비용을 줄일 수 있다.
- [0033] 도 2는 본 발명의 실시 예에 따른 메모리 셀 어레이(100)를 나타내는 도면이다.
- [0034] 도 2를 참조하면, 메모리 셀 어레이(100)는 복수의 로컬 어레이(110)를 포함할 수 있다. 열(Column) 방향으로 배열된 복수의 로컬 어레이(110)는 다수의 비트라인쌍 중 동일한 글로벌 비트라인(GBL)에 공통으로 연결되고, 각각 행(Row) 방향으로 진행되는 서로 다른 다수의 워드라인(WL) 중 하나에 연결된다. 도 2에서는 제0 내지 제 31 글로벌 비트라인(GBL[0:31])이 복수의 로컬 어레이(110)와 연결된 예를 도시하였으나, 메모리 셀 어레이(100)에 포함될 수 있는 복수의 로컬 어레이(110)와 글로벌 비트라인(GBL)의 개수는 이에 한정되는 것은 아니다. 일 실시 예에 따르면, 메모리 셀 어레이(100)는 SRAM(Static Random Access Memory) 메모리 셀 어레이일 수 있으나 이에 한정되는 것은 아니다.
- [0035] 로컬 어레이(110)는 맥 연산을 위해 필요한 가중치를 저장하는 로컬 셀들 및 아날로그 전압에 대한 맥 연산을 수행하는 로컬 맥 연산부를 포함할 수 있다. 이에 따라, 로컬 어레이(110)는 셀에 기 저장된 가중치와, 다중 비트 입력 데이터에 대응하는 아날로그 전압에 대한 맥 연산을 수행할 수 있다.
- [0036] 이상에서 상술한 바와 같이, 본 발명의 실시 예에 따른 메모리 셀 어레이(100)는 맥 연산을 메모리 내에서 수행할 수 있어 에너지 효율이 올라갈 수 있으며, 로컬 셀들의 열(Column)방향 구조를 활용한 기준전압을 생성함으로써 컴퓨팅 인 메모리의 비용과 설계 복잡도를 줄일 수 있다.
- [0038] 도 3은 본 발명의 실시 예에 따른 로컬 어레이의 구성을 도시한 도면이다.
- [0039] 도 3를 참조하면, GBL 및 GBLB는 글로벌 비트라인 쌍을, LBL 및 LBLB는 로컬 비트라인 쌍을, CSS는 셀 스트래핑 라인을, CSL은 공통 소스라인을 나타낸다.
- [0040] 일 실시 예에 있어서, 로컬 어레이(110)는 로컬 셀(111) 및 주변 회로(112)를 포함할 수 있다. 로컬 셀(111)은 P-7T SRAM 셀 구조를 가질 수 있다. 다시 말해, 로컬 셀(111)은 가중치를 저장하는 6개의 트랜지스터와 입력신호를 컴퓨팅하는 1개의 트랜지스터로 구현되는 P-7T SRAM 셀 구조를 가질 수 있다.
- [0041] P-7T SRAM 셀 구조는, 읽기/쓰기 동작만 가능한 기존 6T SRAM 구조에 1개의 PMOS 트랜지스터(N0)가 도시된 바와 같이 추가적으로 연결된 구조일 수 있다. 예를 들어, P-7T SRAM 셀은 NMOS 트랜지스터(N0)의 소스 전극과 드레인 전극이 각각 셀 스트래핑 라인(CSS) 및 공통 소스라인(CSL)에 연결될 수 있다.
- [0042] 주변 회로(112)는 복수의 로컬 셀(111) 하단에 위치하고, 로컬 셀(111)의 맥 연산 결과를 글로벌 비트라인쌍(GBL, GBLB)에 전달할 수 있다. 일 실시 예에 있어서, 주변 회로(112)는 2개의 스위치(SW1, SW2)를 통해 글로벌 비트라인쌍(GBL, GBLB)과 연결되고, 로컬 비트라인 쌍(LBL, LBLB), 셀 스트래핑 라인(CSS) 및 공통 소스라인(CSL)에 공통으로 연결될 수 있다.
- [0043] 일 실시 예에 있어서, 주변 회로(112)는 디지털-아날로그 변환기(Digital to Analog Converter, DAC)로서 동작할 수 있다. 예를 들어, 주변 회로(112)는 로컬 셀(111)의 맥 연산 결과를 아날로그 전압으로 변환하여 글로벌 비트라인쌍(GBL, GBLB)에 전달할 수 있다.
- [0045] 도 4a 및 도 4b는 본 발명의 실시 예에 따른 로컬 셀의 회로도이다. 구체적으로, 도 4a는 최하위 비트(Least Significant Bit, LSB)를 생성하는 로컬 셀의 일부분이고, 도 4b는 최상위 비트(Most Significant Bit, MSB)를

생성하는 로컬 셀의 일부분을 보여주는 회로도이다.

- [0046] 도 4a를 참조하면, 로컬 셀(111)의 최하위 비트는 로컬 셀(111)과 연결된 연산 워드 라인바(WL_{wb})를 통해 인가되는 입력신호를 로컬 셀(111)의 가중치(W)와 곱셈 연산을 수행하여 생성될 수 있다. 이에 따라, 생성된 로컬 셀(111)의 최하위 비트는 로컬 비트라인바(LBLB)에 전달될 수 있다.
- [0048] 도 4b를 참조하면, 로컬 셀(111)의 최상위 비트는 입력신호의 반전된 신호를 로컬 셀(111)의 가중치(W)와 곱셈 연산을 수행하여 생성될 수 있다. 일 실시 예로, 로컬 셀(111)은 3개의 트랜지스터(N0, N1, N3)를 통해 곱셈 연산을 수행하여 생성될 수 있다. 이에 따라, 생성된 로컬 셀(111)의 최상위 비트는 셀 스트래핑 라인(CSS), 공통 소스라인(CSL)에 전달될 수 있다.
- [0049] 예를 들어, 로컬 셀(111)은 연산 시작 전에 3개의 비트라인(LBLB, CSS, CSL)은 모두 전원전압(VDD)로 프리차지시킬 수 있다. 이때, 최하위 비트가 1이고 가중치가 1인 경우, 로컬 셀(111) 내부의 2개의 트랜지스터를 통해 방전 경로가 형성되어 글로벌 비트라인바(LBLB)는 접지전압(VSS)로 방전될 수 있다. 또한, 최상위 비트가 1이고, 가중치가 1인 경우, 3개의 트랜지스터(N0, N1, N2) 모두 ON되어 셀 스트래핑 라인(CSS), 공통 소스라인(CSL) 모두 접지전압(VSS)로 방전될 수 있다. 반면 최상위 비트가 1이고 가중치가 0인 경우, 1개의 트랜지스터(N2)는 ON되고 나머지 2개의 트랜지스터(N0, N1)은 OFF되어 셀 스트래핑 라인(CSS)과 공통 소스라인(CSL)의 방전 경로가 형성되지 않아 전원전압(VDD)을 유지할 수 있다.
- [0050] 일 실시 예에 있어서, 로컬 셀(111)들의 연산에 대한 전체 결과는 누적되어 로컬 비트라인 쌍(LBL, LBLB), 셀 스트래핑 라인(CSS) 및 공통 소스라인(CSL)을 통해 주변 회로(112)에 전달될 수 있다.
- [0052] 도 5a 및 도 5b는 본 발명의 실시 예에 따른 기준전압 생성부의 동작을 설명하기 위한 도면이다. 구체적으로, 도 5a는 기준전압 생성부(200)의 회로도를 간략하게 나타내는 도면이고, 도 5b는 기준전압의 생성 방법을 설명하기 위한 도면이다.
- [0053] 도 5a를 참조하면, 기준전압 생성부(200)는 32개의 글로벌 비트라인(GBL[0:31]) 중 인접한 셀의 2개의 글로벌 비트라인(예를 들어, GLB[0], GLB[1])을 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)으로 수신할 수 있다.
- [0054] 기준전압 생성부(200)는 복수의 제어 신호(Pch, Dch)와 초기화 신호(Init)를 기반으로 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)을 연결하는 스위치를 ON 또는 OFF하여 전하 공유를 수행할 수 있다.
- [0055] 예를 들어, 기준전압 생성부(200)는 마스터 비트라인(Master BL)을 프리차지하고, 슬레이브 비트라인(Slave BL)을 방전시키는 단계를 반복 수행하여 복수개의 기준전압(REF[0:15])을 생성할 수 있다.
- [0057] 도 5b를 참조하면, 기준전압 생성부(200)는 마스터 비트라인(Master BL)과 슬레이브 비트라인(Slave BL)의 전하 공유를 반복 수행하여 복수개의 기준전압을 생성할 수 있다.
- [0058] 일 실시 예에 있어서, 기준전압 생성부(200)는 마스터 비트라인(Master BL)과 슬레이브 비트라인(Slave BL)을 연결하여 프리차지된 16개의 마스터 비트라인(Master BL)과 방전된 16개의 슬레이브 비트라인(Slave BL)의 전하를 공유하도록 제어할 수 있다. 이 경우, 전체 글로벌 비트라인 중 절반의 글로벌 비트라인 만이 전원전압(VDD)로 프리차지 되어있었기 때문에 전하량 보존 법칙에 의해 1/2의 전원전압(VDD)이 생성되게 된다.
- [0059] 이후, 기준전압 생성부(200)는 다시 마스터 비트라인(Master BL)과 슬레이브 비트라인(Slave BL)을 연결하여 방전된 8개의 마스터 비트라인(Master BL)과 프리차지된 8개의 슬레이브 비트라인(Slave BL)의 전하를 유도하도록 제어할 수 있다. 다시 말해, 1/2의 전원전압(VDD)으로 프리차지되어 있는 8개의 슬레이브 비트라인(Slave BL)과 방전된 8개의 마스터 비트라인(Master BL)을 연결함으로써 1/4의 전원전압(VDD)을 형성할 수 있다.
- [0060] 이상에서 상술한 바와 같이, 기준전압 생성부(200)는 글로벌 비트라인 쌍을 방전 혹은 프리차지하며, 어느 하나의 비트라인에 프리차지된 전하를 재사용하는 동작을 기반으로 16개의 전압 레벨을 가지는 복수의 기준전압(REF[0:15])을 생성할 수 있다.

- [0062] 도 6은 본 발명의 실시 예에 따른 아날로그-디지털 변환기의 회로도이다.
- [0063] 도 6을 참조하면, 아날로그-디지털 변환기(300)는 기준전압 생성부(200)로부터 기준전압(REF[0:15])을 수신하고, 글로벌 비트라인바(GBLB)를 통해 제2 출력신호인 맥 연산 결과값을 수신할 수 있다. 아날로그-디지털 변환기(300)는 수신한 기준전압(REF[0:15])과 제2 출력신호를 비교하여 다중 비트 신호인 디지털 값을 출력할 수 있다. 이를 위해, 아날로그-디지털 변환기(300)는 믹스(310), 비교기(320), 디코더(330) 및 시프트 레지스터(340)를 포함할 수 있다.
- [0064] 일 실시 예에 있어서, 믹스(310)는 기준전압 생성부(200)에서 생성된 기준전압(REF[0:15])을 수신하고 어느 하나의 기준전압(V_{REF})을 출력할 수 있다. 이를 위해, 믹스(310)은 16:1 MUX일 수 있다.
- [0065] 비교기(320)는 제1 입력단으로 어느 하나의 기준전압(V_{REF})을 수신하고, 제2 입력단으로 맥 연산값을 수신하여 전압 크기하고, 4비트 신호 중 하나를 결정할 수 있다.
- [0066] 디코더(330)는 비교기(320)의 비교 결과에 따라 믹스(310)에서 출력되는 어느 하나의 기준전압(V_{REF})을 변경하도록 제어할 수 있다.
- [0067] 시프트 레지스터(340)는 기준전압 생성부(200)의 반복 동작을 통해 결정된 4비트의 신호에 시프트(Shift) 연산을 수행하여 5비트의 디지털 값을 출력할 수 있다.
- [0069] 도 7은 도 6의 아날로그-디지털 변환기에 따른 결과를 도시한 표이다.
- [0070] 도 7을 참조하면, 아날로그-디지털 변환기(300)는 각 단계에 따라 맥 연산값과 15개의 기준전압(REF[0:15])을 비교하여 4비트의 디지털 값을 출력할 수 있다.
- [0071] 예를 들어, 맥 연산값이 600mV이고 전원전압(VDD)이 900mV일 경우, 제0 단계에서 아날로그-디지털 변환기(300)는 600mV와 1/2의 전원전압(VDD)인 450mV의 크기를 비교하여 4비트 중 제1 비트를 결정할 수 있다. 또한, 제1 단계에서 아날로그-디지털 변환기(300)는 600mV와 1/4 및 3/4의 전원전압(VDD)를 비교하여 4비트 중 제2 비트를 결정할 수 있다. 다시 말해, 아날로그-디지털 변환기(300)는 총 5단계의 비교 단계를 통해 16개의 기준전압(REF[0:15])에 대응하는 서로 다른 4비트의 16가지 디지털 값을 생성할 수 있다. 또한, 아날로그-디지털 변환기(300)는 시프트(Shift) 연산을 수행하여 5비트의 디지털 값을 출력할 수 있다.
- [0072] 예를 들어, 4비트의 디지털 값이 0101인 경우, 맥 연산값은 1/2의 전원전압(VDD), 3/4의 전원전압(VDD), 5/8의 전원전압(VDD), 11/16의 전원전압(VDD) 및 21/32의 전원전압(VDD)과 비교될 수 있다. 이는 도 7의 결과와 일치함을 확인할 수 있다.
- [0074] 도 8은 본 발명의 실시 예에 따른 컴퓨팅 인 메모리 장치의 동작 순서도이다.
- [0075] 도 8을 참조하면, S110 단계에서, 제1 및 제2 출력신호는 복수의 연산 위드라인을 통해 인가되는 입력신호와 저장된 가중치의 맥 연산을 통해 생성될 수 있다. 예를 들어, 메모리 셀 어레이(100)는 복수의 연산 위드 라인을 통해 인가되는 입력신호와 저장된 가중치를 맥 연산하여 제1 및 제2 출력신호를 생성할 수 있다.
- [0076] S120 단계에서, 기준전압은 제1 출력신호의 전하를 반복적으로 공유하여 생성될 수 있다. 예를 들어, 기준전압 생성부(200)는 제1 출력신호의 전하를 반복적으로 공유하여 기준전압을 생성할 수 있다.
- [0077] 이후, 기준전압을 생성하는 단계가 수행될 수 있다. 해당 단계는 아래와 같이 세부 단계를 거쳐 수행될 수 있으며, 각 세부 단계들은 동시에 이루어지는 것일 수 있다.
- [0078] 우선, S121 단계에서, 기준전압 생성부(200)는 인접한 2개의 글로벌 비트라인(GBL) 각각을 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)으로 수신할 수 있다.
- [0079] S122 단계에서, 기준전압 생성부(200)는 마스터 비트라인(Master BL) 및 슬레이브 비트라인(Slave BL)의 전하를 공유하여 서로 다른 16개의 전압 레벨을 가지는 기준전압을 생성할 수 있다.
- [0080] S130 단계에서, 디지털 신호는 기준전압과 제2 출력신호를 비교한 결과를 토대로 생성될 수 있다. 예를 들어, 아날로그-디지털 변환기(300)는 기준전압과 제2 출력신호를 비교하고, 비교 결과에 기초하여 제2 출력신호를 디

지털 신호로 변환할 수 있다.

[0081] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0082] 10 : 컴퓨팅 인 메모리 장치.

100 : 메모리 셀 어레이

200 : 기준전압 생성부

300 : 아날로그-디지털 변환기

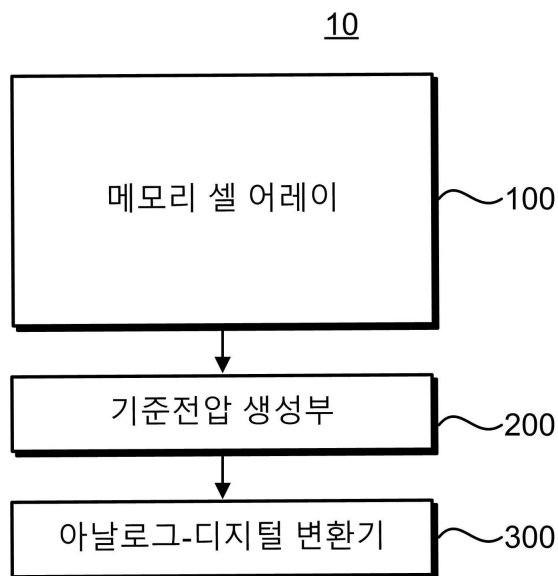
110 : 로컬 어레이

111 : 로컬 셀

112 : 주변 회로

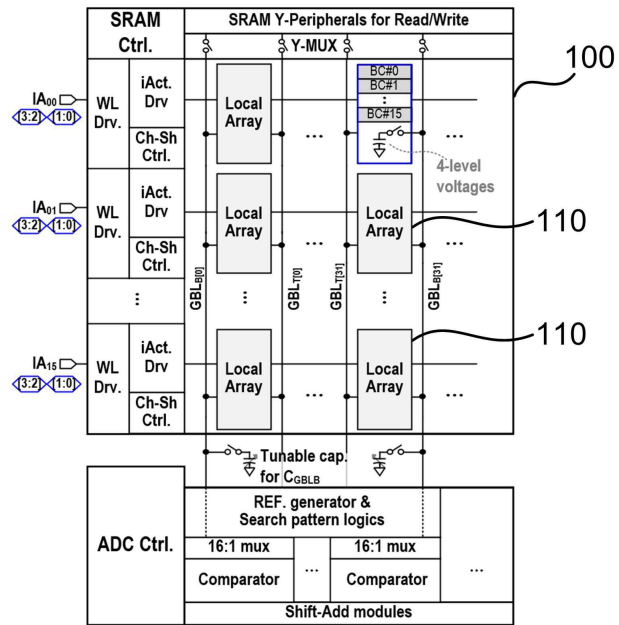
도면

도면1

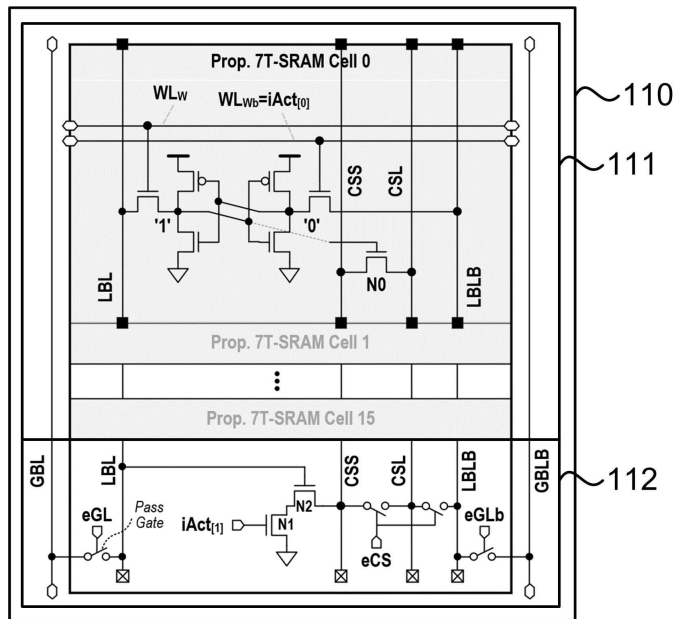


도면2

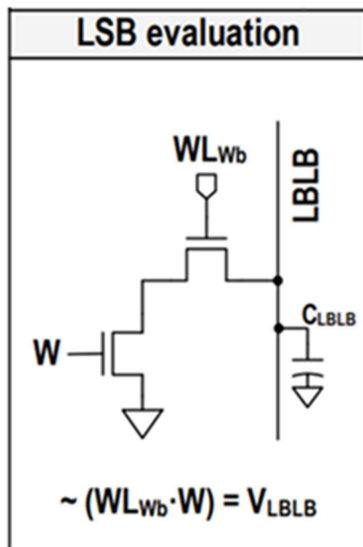
10



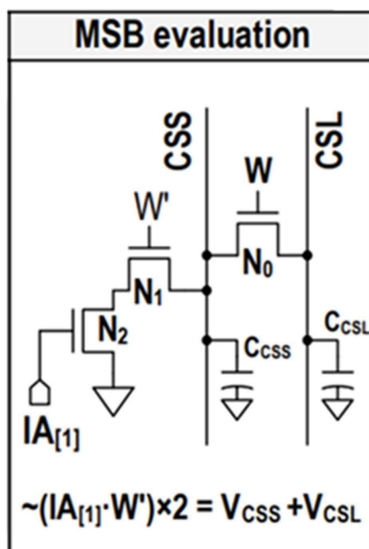
도면3



도면4a

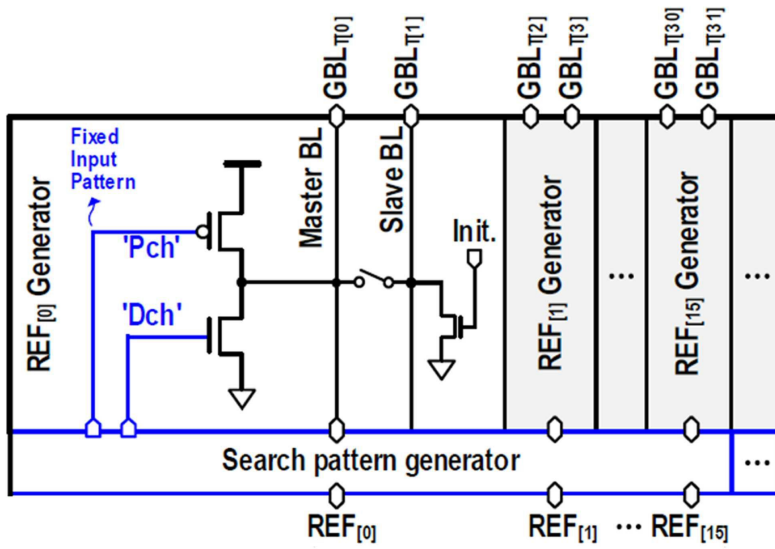


도면4b

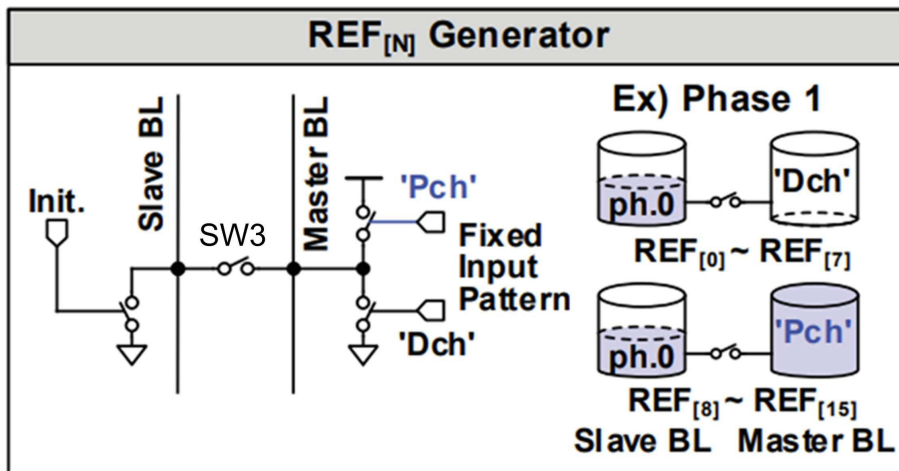


도면5a

200

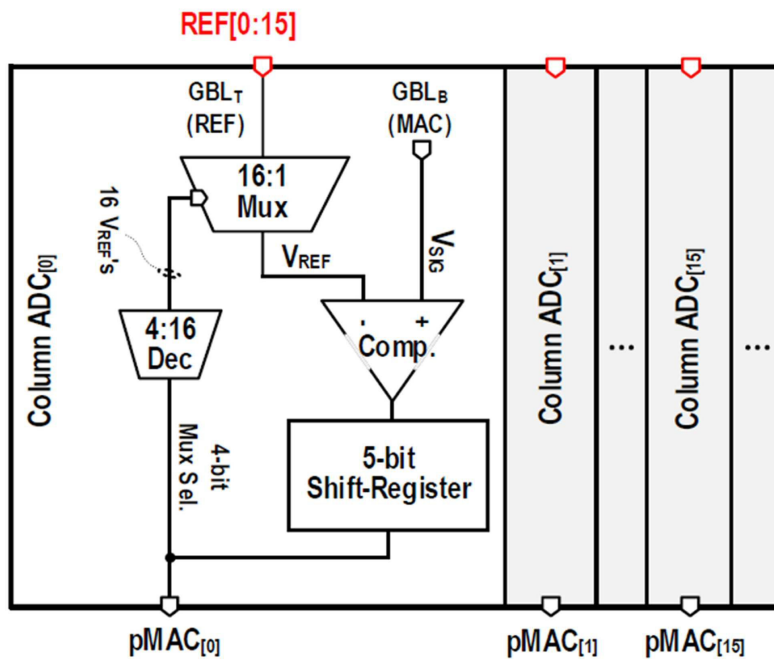


도면5b



도면6

300



도면7

Designated pattern of reference generation (5-bit ADC)

REF _[N]	Phase 0	Phase 1	Phase 2	Phase 3	Phase 4	Mux Sel.
0	1/2	1/4	1/8	1/16	1/32	0000
1				17/32	0001	
2				9/16	0010	
3				25/32	0011	
4			5/8	5/16	5/32	0100
5				21/32	0101	
6				13/16	13/32	0110
7				29/32	0111	
8		3/4	3/8	3/16	3/32	1000
9				19/32	1001	
10				11/16	11/32	1010
11				27/32	1011	
12			7/8	7/16	7/32	1100
13				23/32	1101	
14				15/16	15/32	1110
15				31/32	1111	
V _{GBL}	1/2	3/4	5/8	11/16	21/32	V _{GBLB} : 600mV
Mux Sel.	XXXX	1XXX	01XX	101X	0101	
SR output	XXXX1	XXX10	XX101	X1010	10101	

도면8

