(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3693204号

(P3693204)

(45)発行日　平成17年9月7日(2005.9.7)　(24)登録日　平成17年7月1日(2005.7.1)

(51)Int.Cl.[7]	F I		
H03K 19/0175	H03K	19/00	101K
G11C 11/407	G11C	11/34	305
G11C 11/409	G11C	11/34	354P
G11C 11/417	G11C	11/34	362S
H01L 21/8234	H01L	27/08	102F

請求項の数 4　(全 20 頁)　最終頁に続く

(21)出願番号　特願平8-342519
(22)出願日　平成8年12月6日(1996.12.6)
(65)公開番号　特開平10-173509
(43)公開日　平成10年6月26日(1998.6.26)
審査請求日　平成15年3月31日(2003.3.31)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　高橋　敏郎
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

審査官　石井　研一

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

一つの半導体基板上に形成された半導体集積回路装置であって、

入力信号を受ける入力端子に接続された入力回路と、

出力信号を出力するための外部端子に接続された出力回路と、

この出力回路は入力回路の近隣に配置され、前記入力回路と前記出力回路に接続される内部回路と、

前記入力回路と前記出力回路に共通に電源供給電圧を供給するための電源供給線であって、前記内部入力回路は更に、前記入力信号を供給されるゲートを有する第１の伝導型を有する第１のＭＯＳＦＥＴと、

参照電圧を供給されるゲートを有する第１の伝導型を有する第２ＭＯＳＦＥＴと、

前記各第１と第２のＭＯＳＦＥＴのドレインに供給される複数の負荷素子と、

前記第１と第２のＭＯＳＦＥＴのソースに供給される電流素子と、

前記入力信号が供給される前記入力端子に接続される静電保護回路と、

前記第２ＭＯＳＦＥＴに接続される第１回路であって、前記静電保護回路を介して前記第１ＭＯＳＦＥＴのゲートと前記第２ＭＯＳＦＥＴのゲートに供給するための電源供給線に同様のノイズを伝播させるための第１回路とを有することを特徴とする半導体集積回路装置。

【請求項２】

請求項１において、

前記第１回路は前記共通の電源供給線によって電源供給電圧供給されることを特徴とする半導体集積回路装置。

【請求項３】

入力信号を供給される入力回路と、出力信号を出力する出力回路と、前記入力回路と前記出力回路に接続される内部回路と、前記入力回路と前記出力回路に共通の電源供給電圧を供給するための電源供給線とで構成される一つの半導体基板に形成される半導体集積回路装置であって、

前記入力回路は、

前記入力信号をゲートに受ける第１伝導型を有する第１ＭＯＳＦＥＴと、

参照電圧をゲートに受ける第１伝導型を有する第２ＭＯＳＦＥＴと、

前記第１および第２ＭＯＳＦＥＴのドレインにそれぞれ供給される複数の負荷素子と、

前記第１および第２ＭＯＳＦＥＴのソースに供給される電流素子と、

前記入力信号を受ける入力端子に接続される静電保護回路と、

前記第２ＭＯＳＦＥＴのゲートに接続される前記第１回路であって、更に前記静電保護回路を介して前記第１のＭＯＳＦＥＴのゲートと、前記第２のＭＯＳＦＥＴのゲートと前記電源供給線上のノイズと同様のノイズを伝播させることが可能な前記第１回路とを有することを特徴とする半導体集積回路装置。

【請求項４】

請求項３において、

前記静電保護回路と前記第１回路は共通の前記電源供給線によって電源供給電圧を供給されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えば３．３Ｖ用スタブ直列終端型論理（ＳＳＴＬ；Stub Series Terminated Logic）等のような小振幅インターフェイスを採用する半導体集積回路装置に利用して有効な技術に関するものである。

【０００２】

【従来の技術】

従来のＣＭＯＳ(Complementary Metal-Oxide Semiconductor) 集積回路装置の相互間のインターファイスとして広く使用されているＴＴＬ(Transistor Transistor Logic) 又はＣＭＯＳ信号においては、信号伝送線路の両端で乱反射が生じるためにデータ転送周波数としてせいぜい６０ＭＨｚ～１００ＭＨｚが性能の限界と言われている。これに対して、上記ＳＳＴＬやＧＴＬ(Gunning Transceiver Logic) では、信号伝送線路の終端に終端抵抗を接続して、波形の反射を防止することにより、データ転送周波数を高くするようにしている。ただし、半導体集積回路装置の動作電圧が３．３Ｖであるのに対して、信号振幅をそれより小さく０．８Ｖ程度にしている。上記ＳＳＴＬに関しては、１９９６年３月に制定された日本電子機械工業会規格　ＥＩＡＪ　ＥＤ－５５１２（３．３Ｖ用スタブ直列終端型論理（ＳＳＴＬ－３）標準機能仕様）がある。また、ＧＴＬに関しては、米国特許公報第５，０２３，４８８号（１９９１年１月１１日）がある。

【０００３】

【発明が解決しようとする課題】

本願発明者においては、上記のような小振幅信号を受ける入力回路として、かかる小振幅のハイレベル／ロウレベルを基準電圧で判定するというシングル入力の差動回路を用いた場合、電源線や接地線からのノイズによって動作マージンが悪化することに気が付いた。

【０００４】

この発明の目的は、シングル入力の差動回路を用いた入力回路における動作マージンの大幅な改善を実現した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろ

う。

【０００５】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電源電圧に対して小さな信号振幅にされた受信信号がゲートに供給された第１のＭＯＳＦＥＴ（Metal-Oxide Semiconductor Field Effect Transistor)と、上記受信信号の中間値に対応した基準電圧がゲートに供給された第２のＭＯＳＦＥＴを含んでシングル入力の差動回路とされた入力回路において、上記受信信号が入力される外部端子に設けられた実質的な静電保護回路を通して上記第１のＭＯＳＦＥＴのゲートに伝えられる電源ノイズと実質的に同等の電源ノイズを上記第２のＭＯＳＦＥＴのゲートに伝えるダミー回路を設ける。

【０００６】

【発明の実施の形態】

図１には、この発明に係る半導体集積回路装置における入出力回路の一実施例の回路図が示されている。同図の入出力回路は、上記ＳＳＴＬ－３の規格を適合するようにされている。同図の各回路素子は、公知のＣＭＯＳ集積回路の製造技術により、図示しない内部論理回路等からなる他の回路とともに１つの半導体基板上において形成される。

【０００７】

この実施例では、出力ＭＯＳＦＥＴ及び静電保護回路の電源系ＶＤＤ２，ＶＳＳ２は、図示しない内部回路や、入力回路及び上記出力回路を構成する出力ＭＯＳＦＥＴを駆動するプリバッファ回路用の電源系ＶＤＤ１，ＶＳＳ１と分離されて形成される。上記のような電源系の分離に伴い、出力回路は、上記出力ＭＯＳＦＥＴとそれを駆動するプリバッファと分離され、出力ＭＯＳＦＥＴは、上記のように電源系ＶＤＤ２，ＶＳＳ２に接続され、プリバッファを構成するゲート回路及びインバータ回路は上記内部回路に対応した電源系ＶＤＤ１，ＶＳＳ１に接続される。

【０００８】

同図においては、ＰＡＤ１～ＰＡＤ３に対応して設けられた３個の入力回路と、パッドＰＡＤ４，ＰＡＤ５に対応して設けられる２個の出力回路が代表として例示的に示されいてる。上記パッドＰＡＤ１に対応して設けられたＭＯＳＦＥＴＱ１、Ｑ２は、出力回路を構成するために作り込まれているものを、静電保護回路の一部を構成する素子として利用したものである。つまり、Ｐチャンネル型ＭＯＳＦＥＴＱ１のゲートを電源電圧ＶＤＤ２に接続し、Ｎチャンネル型ＭＯＳＦＥＴＱ２のゲートを回路の接地電位ＶＳＳ２に接続して定常的にオフ状態になるようにし、そのドレインをパッドＰＡＤ１に接続することにより、かかるＭＯＳＦＥＴＱ１，Ｑ２のドレインでの寄生容量等を静電保護ダイオードＤ１，Ｄ２とともに静電保護に利用するものである。

【０００９】

上記パッドＰＡＤ１において、入出力機能を設けるようにするなら、上記ＭＯＳＦＥＴＱ１とＱ２のゲートには、上記バッドＰＡＤ４に対応した出力バッファ４のようなゲート回路とインバータ回路からなるプリバッファが設けられる。このようにパッドＰＡＤ１に対して入出力回路を設けた場合において、入力回路を中心にしてみるとき、言い換えるならば、信号入力状態では上記プリバッファによりＰチャンネル型ＭＯＳＦＥＴＱ１のゲートにハイレベルが供給され、Ｎチャンネル型ＭＯＳＦＥＴＱ２のゲートにはロウレベルが供給されて上記両ＭＯＳＦＥＴＱ１とＱ２が共にオフ状態にされて出力回路が出力ハイインピーダンス状態にされるものであるあるので、同図のＭＯＳＦＥＴＱ１とＱ２は、それと等価の状態を表すものと理解されてもよい。このことは、他のパッドＰＡＤ２，ＰＡＤ３の上記同様なＭＯＳＦＥＴにおいても同様である。

【００１０】

入力回路は、上記バッドＰＡＤ１からの信号がゲートに供給されたＮチャンネル型ＭＯＳＦＥＴＱ５と、基準電圧ＶＲＥＦがゲートに印加されたＮチャンネル型ＭＯＳＦＥＴＱ６のエミッタが共通化されることにより差動形態とされる。上記ＭＯＳＦＥＴＱ５とＱ６の

共通化されたエミッタには、動作電流を流すNチャンネル型ＭＯＳＦＥＴＱ７が設けられる。特に制限されないが、このＭＯＳＦＥＴＱ７のゲートには、上記パッドＰＡＤ１から伝えられる入力信号が供給される。あるいは、上記ＭＯＳＦＥＴＱ７は、低消費電力化を図るためにバッドＰＡＤ１から入力信号が入力されるときにのみにオン状態にされるような制御信号を供給するものであってもよい。上記ＭＯＳＦＥＴＱ５とＱ６のドレインには、電流ミラー形態にされたＰチャンネル型ＭＯＳＦＥＴＱ８とＱ９が設けられる。

【００１１】

上記入力信号がゲートに供給されたＭＯＳＦＥＴＱ５のドレインに、上記基準電圧ＶＲＥＦがゲートに供給されたＭＯＳＦＥＴＱ６のドレイン電流が上記電流ミラー回路のＭＯＳＦＥＴＱ８とＱ９を介して電流が供給されることにより、かかるＭＯＳＦＥＴＱ５とＱ９の接続点において、上記両ＭＯＳＦＥＴＱ５とＱ６のＭＯＳＦＥＴのドレイン電流差に対応した出力電流が形成され、ＣＭＯＳインバータ回路等からなる増幅回路の入力容量をチャージアップ又はディスチャージさせ、かかる増幅回路を通して電源電圧ＶＤＤ１，ＶＳＳ１に対応した信号振幅の入力信号Ｄinが形成されて、図示しない内部回路に伝えられる。

【００１２】

特に制限されないが、基準電圧ＶＲＥＦは、図示しない基準電圧発生回路により形成され、信号線を介して上記複数の入力回路に対して共通に供給される。このとき、後述するようなカップリングノイズの影響を無くすために、入力バッファ１に示すように、上記基準電圧ＶＲＥＦは、抵抗Ｒ１等を介してＭＯＳＦＥＴＱ６のゲートに伝えられる。他の入力バッファ２，３においても上記同様な抵抗素子が設けられる。

【００１３】

この実施例では、上記入力バッファ１を構成するＭＯＳＦＥＴＱ５のゲートに伝えられる電源ノイズの影響を低減させるために、基準電圧ＶＲＥＦが供給されるＭＯＳＦＥＴＱ６のゲートに、上記ＭＯＳＦＥＴＱ５のゲートに付加される静電保護回路と相似とされたダイオードＤ３，Ｄ４とＭＯＳＦＥＴＱ３とＱ４がダミー回路として付加される。ただし、上記ダイオードＤ１，Ｄ２や出力ＭＯＳＦＥＴＱ１，Ｑ２は、本来の静電保護や大きな出力電流を得るために比較的大きなサイズにされるものであるのに対して、上記ダミー回路を構成するダイオードＤ３，Ｄ４及びＭＯＳＦＥＴＱ３，Ｑ４は、上記静電保護回路を通して上記ＭＯＳＦＥＴＱ５のゲートに伝えられる電源ノイズと同等の電源ノイズをＭＯＳＦＥＴＱ６のゲートに伝えるだけでよいので、そのサイズは縮小されたものとされる。つまり、上記ＭＯＳＦＥＴＱ１とＱ２のサイズ比とＭＯＳＦＥＴＱ３とＱ４のサイズ比が等しく、上記ダイオードＤ１，Ｄ２のサイズ比と上記ダイオードＤ３，Ｄ４のサイズ比が等しい関係となるように縮小される。パッドＰＡＤ２，ＰＡＤ３に対応されて入力バッファ２と３においても、上記同様なダミー回路が設けられる。

【００１４】

図２には、上記入力バッファの動作を説明するための波形図が示されている。同図には、本願発明の理解を容易にするために、上記ダミー回路が付加されてい回路を従来回路とし、上記ダミー回路を付加した回路を本発明回路としてそれぞれの動作波形図が比較して示されている。

【００１５】

同図（Ａ）には、電源電圧ＶＤＤ２にノイズの発生した場合が示されている。つまり、パッドＰＡＤ４とＰＡＤ５に対応して設けられた出力バッファが動作状態にされて、その出力信号がロウレベルからハイレベルに切り替わった場合に、Ｐチャンネル型の出力ＭＯＳＦＥＴがオン状態になって電源電圧線ＶＤＤ２から上記出力ＭＯＳＦＥＴを介して瞬間的に大電流が流れる。このとき、電源電圧線ＶＤＤ２のインダクタンス成分により電源電圧線ＶＤＤ２には比較的大きなノイズが発生する。なお、ＳＳＴＬにおいては、上記のようなＣＭＯＳ回路で形成されたハイレベル又はロウレベルの出力信号は、伝送線路が終端抵抗を介して上記基準電圧ＶＲＥＦに接続されるものであので、上記終端抵抗と伝送線路等との抵抗比により上記のような小振幅の信号とされるものである。

【００１６】
このように電源電圧線ＶＤＤ２に発生したノイズは、上記ダイオードＤ１，Ｄ２及び出力ＭＯＳＦＥＴＱ１，Ｑ２等からなる実質的な静電保護回路を通して上記入力回路のＭＯＳＦＥＴＱ５のゲートに伝えられる。このとき、上記のようなダミー回路が存在しない従来回路では、パッドＰＡＤから入力された入力信号が基準電圧ＶＲＥＦに対してハイレベルであるとき、上記電源電圧ＶＤＤ２の上記インダクタンス成分による電源ノイズによるロウレベルへの変化が上記静電保護回路を介してパッドＰＡＤに伝えられて基準電圧ＶＲＥＦよりもロウレベルに逆転してしまう。つまり、ＳＳＴＬでは、基準電圧ＶＲＥＦと上記ハイレベルとの最小値は０．２Ｖ程度しかないので上記のような電源ノイズによりるレベルの逆転は十分に起こり得るものである。この結果、入力回路においては、ロウレベルであるべき出力信号を一時的にハイレベルにしてしまうという誤動作が生じる。

【００１７】
本願発明回路では、上記ダミー回路が設けられているので、電源電圧線ＶＤＤ２に発生したノイズは、上記静電保護回路とダミー回路とを介して、それぞれＭＯＳＦＥＴＱ５とＱ６のゲートにほぼ等しく伝えられる。この結果、パッドＰＡＤから入力された入力信号が基準電圧ＶＲＥＦに対してハイレベルであるとき、上記入力回路での両電圧ＰＡＤとＶＲＥＦ１は上記ノイズの影響を同等に受けて両者の相対的なレベル差が維持される。この結果、入力回路においては、ロウレベルであるべき出力信号は上記電源ノイズが発生してもロウレベルを維持して正常動作となるものである。

【００１８】
このとき、ＭＯＳＦＥＴＱ６のゲート電圧ＶＲＥＦ１は上記のように電源ノイズにより変化するが、基準電圧ＶＲＥＦそのものは上記抵抗Ｒ１が設けれていることにより不変とされ、図示ない他の回路に不所望な悪影響を及ぼすことはない。つまり、上記電源ノイズは、上記出力回路に近い入力回路では比較的大きく、上記出力回路より離れて設けられた入力回路では小さく、あるいは殆ど影響無い場合、上記基準電圧ＶＲＥＦそのものを変動させると他の入力回路で逆に入力レベルマージンを悪化させてしまうことがある。そこで、上記ダミー回路による電源ノイズは、それが設けられた入力回路にのみ有効にするように上記抵抗Ｒ１等が設けられるものである。

【００１９】
同図では省略されているが、回路の接地線ＶＳＳ２にノイズの発生した場合も上記（Ａ）と同様である。つまり、パッドＰＡＤ４とＰＡＤ５に対応して設けられた出力バッファが動作状態にされて、その出力信号がハイレベルからロウレベルに切り替わった場合に、Ｎチャンネル型の出力ＭＯＳＦＥＴがオン状態になって接地線ＶＳＳ２から上記出力ＭＯＳＦＥＴを介して瞬間的に大電流が流れる。このとき、接地線ＶＳＳ２インダクタンス成分により上記同様な比較的大きなノイズが発生する。このノイズに対しても、上記ダミー回路が有効に作用して静電保護回路からのノイズを相殺させる。ただし、このときに問題になるのは、接地線ＶＳＳ２に正の電位に変化するノイズが乗るので、パッドＰＡＤから入力された入力信号が基準電圧ＶＲＥＦに対してロウレベルであるとき、上記入力回路での両電圧ＰＡＤとＶＲＥＦ１は上記ノイズの影響を同等に受けて両者の相対的なレベル差が維持され結果、ハイレベルであるべき出力信号は上記電源ノイズが発生してもハイレベルを維持して正常動作となるものである。

【００２０】
同図（Ｂ）には、基準電圧ＶＲＥＦにノイズの発生した場合が示されている。上記入力バッファ１ないし３において、パッドＰＡＤ１ないしＰＡＤ３の信号が一斉にハイレベルからロウレベルに又はその逆にロウレベルからハイレベルに変化すると、上記差動ＭＯＳＦＥＴＱ５とＱ６のドレイン電位は、それに対応して一斉に変化する。このとき、ＭＯＳＦＥＴＱ５，Ｑ６のドレイン，ゲート間の寄生容量により、上記ドレイン電圧の変化は、それぞれのゲート側に伝えられる。ただし、ＭＯＳＦＥＴＱ５のゲートには、上記静電保護回路が設けられており、ＭＯＳＦＥＴＱ５のゲートには比較的大きな寄生容量が付いている。この寄生容量は、上記ノイズからみたとき低インピーダンスの電源と見做せるから吸

収されてしまう。

【００２１】

これに対して、ダミー回路が付加されない従来回路では、比較的大きな配線抵抗で基準電圧が印加されているだけであるので、上記カップリングノイズに対応して変化する。同図には、入力信号がハイレベルからロウレベルに変化し、ＭＯＳＦＥＴＱ５のドレインがロウレベルからハイレベルに変化し、ＭＯＳＦＥＴＱ６のドレインがハイレベルからロウレベルに変化した場合が示され、入力信号ＰＡＤは上記静電保護回路の寄生容量により上記ＭＯＳＦＥＴＱ５のドレインからのカップリングノイズが吸収されるのに対して、上記ＭＯＳＦＥＴＱ６ドレインからのカップリングノイズにより基準電圧ＶＲＥＦがロウレベルに変化し、同図のように入力信号ＰＡＤのレベルより低くなると、上記同様に入力回路においては、ハイレベルであるべき出力信号を一時的にロウレベルにしてしまうという誤動作が生じ、あるいはかかる基準電圧ＶＲＥＦの振れが入力信号ＰＡＤとの位相が合った場合には、入力バッファでの遅延を大きくしてしまうという弊害が生じるものとなる。

【００２２】

本願発明回路では、上記ダミー回路が設けられているので、上記ＭＯＳＦＥＴＱ６のドレイン側からのカップリングノイズを上記寄生容量が吸収するように作用し、ゲートの基準電圧ＶＲＥＦ１の変化を小さくする。この結果、入力回路の信号マージンを大きくすることができるものとなる。

【００２３】

同図（Ｃ）には、内部回路側の電源電圧線ＶＤＤ１にノイズの発生した場合が示されている。内部回路は、電源電圧ＶＤＤ１と回路の接地電位ＶＳＳ１との間で信号レベルが変化し、内部回路の一斉動作等により上記同様なパルス性のノイズが発生する。このノイズは、上記入力回路のＰチャンネル型ＭＯＳＦＥＴ及び差動ＭＯＳＦＥＴのドレイン，ゲート間寄生容量を介して、上記同様に差動ＭＯＳＦＥＴＱ５，Ｑ６のゲートに伝えられる。本来、上記電源ノイズは、上記同様な回路によりコモンモードで差動ＭＯＳＦＥＴＱ５とＱ６のゲートに伝えられるので、かかる差動回路で相殺されるべきものである。

【００２４】

しかしながら、従来のシングル入力の差動回路では、入力信号側のＭＯＳＦＥＴＱ５のゲートには静電保護回路が設けられて比較的大きな寄生容量が付加されるのに対して、基準電圧側のＭＯＳＦＥＴＱ６のゲートには、上記比較的大きな配線抵抗を介して基準電圧ＶＲＥＦが印加されるのみである。したがって、上記のようなＭＯＳＦＥＴＱ５とＱ６のゲートに接続される寄生容量のアンバハンスに対応して、ＭＯＳＦＥＴＱ５とＱ６のゲートに伝えられる電源ノイズに差が発生してしまい、基準電圧側が大きく変動して前記同様な誤動作が発生してしまうという問題がある。

【００２５】

本願発明回路では、上記ダミー回路が設けられているので、上記電源電圧線ＶＤＤ１で発生した電源ノイズがＭＯＳＦＥＴＱ８及びＭＯＳＦＥＴＱ６のドレイン，ゲート間の寄生容量を介してゲートに伝えられるとき、上記ダミー回路での寄生容量がこれを吸収するように作用し、ゲートの基準電圧ＶＲＥＦ１の変化を小さくする。この結果、上記同様に入力回路の信号マージンを大きくすることができるものとなる。

【００２６】

図３には、この発明に係る半導体集積回路装置における入出力回路の他の一実施例の回路図が示されている。同図の入出力回路は、特に制限されないが、半導体メモリ等に向けられている。半導体メモリ等では、ピン数等の制限から電源電圧線は出力回路と入力回路で共通化されるものである。それ故、入力バッファ１～３と出力バッファ４，５は、同じ電源電圧線ＶＤＤと回路の接地線ＶＳＳにより接続されるものである。

【００２７】

この実施例では、入力バッファ１～３に対応したパッドＰＡＤ１～ＰＡＤ３に設けられる静電保護回路は、サイリスタ方式を用いている。つまり、パッドＰＡＤ１側にトランジスタＴ１，Ｔ２からなるサイリスタ素子が設けられ、抵抗Ｒ２を介して差動ＭＯＳＦＥＴＱ

５のゲート側にダイオード接続されたＭＯＳＦＥＴＱ２が設けられるものである。このような静電保護回路は、パッドＰＡＤ１と回路の接地線ＶＳＳとの間に設けられるものであるので、接地線ＶＳＳに発生するノイズが上記ＭＯＳＦＥＴＱ５のゲートに伝えられることになる。そこで、ダミー回路は、上記ＭＯＳＦＥＴＱ２に対応したＭＯＳＦＥＴＱ４が、基準電圧ＶＲＥＦを受ける差動ＭＯＳＦＥＴＱ６のゲートに接続される。

【００２８】

電源電圧ＶＤＤに発生するノイズは、上記差動回路のＰチャンネル型ＭＯＳＦＥＴＱ８とＱ９及び差動ＭＯＳＦＥＴのドレイン，ゲート間の寄生容量を介してそれぞれのＭＯＳＦＥＴＱ５とＱ６のゲートに伝えられるが、それぞれが同相信号であること、及びＭＯＳＦＥＴＱ５とＱ６のゲート側からみた寄生容量は、上記ＭＯＳＦＥＴＱ２とＱ４により同様に寄生容量が付くためにバランスが基準電圧に対する信号レベル差を超えて大きくくずれることなく差動回路により相殺される。この静電保護用のＭＯＳＦＥＴＱ２とダミーＭＯＳＦＥＴＱ４の関係は、上記同様に入力回路のＭＯＳＦＥＴＱ５とＱ６のドレイン電圧の変化によるノイズに対しても有効に作用する。

【００２９】

図４には、本発明に係る一実施例の半導体集積回路装置とそれを用いた情報処理システムにおけるバス構成のブロック図が示されている。同図において、点線で示された半導体集積回路装置ＬＳＩ１～ＬＳＩ３は、公知の半導体集積回路の製造技術により、それぞれが単結晶シリコンのような１個の半導体基板上において形成される。この実施例では、ＧＴＬに適合するように入出力回路が構成される。同図の各回路素子のうち、入力回路に関しては、前記図１及び図３の回路素子に合わせて示しているが、それ以外は別個の回路機能を持つものと理解されたい。

【００３０】

半導体集積回路装置ＬＳ１～ＬＳＩ３は、代表として示された１個の入出力バッファと内部論回路から構成されている。半導体集積回路装置ＬＳＩ１を例にして説明すると、出力バッファは駆動回路ＰＧ１と、オープンドレイン構成の出力ＭＯＳＦＥＴＱ１、この出力ＭＯＳＦＥＴＱ１のドレインと外部端子との間に挿入されたダイオードＳＢＤ１から構成される。特に制限されないが、上記ダイオードは、後述するように動作の高速化のために寄生容量が小さいことと、ドレインコンタクト穴に一体的に形成できて高集積化の点で有利なショットキーダイオードとされる。

【００３１】

入力回路は、基準電圧ＶＲＥＦにより、入力された信号を判定する差動形態の入力バッファＩＢ１から構成される。内部論理回路１は、入力バッファＩＢ１から入力された入力データを受け取り、データ処理を行って必要に応じて上記出力バッファを通して他の半導体集積回路装置ＬＳ１２～ＬＳＩ３に対して信号を送出させるものである。他の半導体集積回路装置ＬＳＩ２～ＬＳＩ３も、上記同様な回路により構成される。ただし、全ての回路が同じという意味ではない。個々の半導体集積回路装置ＬＳＩ１～ＬＳＩ３の機能や役割分担に応じて、入力バッファの数や出力バッファの数が区々としてもよいし、内部論理回路はそれぞれの機能に応じて構成されるものである。

【００３２】

上記半導体集積回路装置ＬＳＩ１～ＬＳＩ３の間でのデータの転送を行うバスは、特に制限されないが、プリント基板等の実装基板上に形成される配線により構成され、５０Ωバスとされる。このバスの終端は、バス配線の特性インピーダンスに整合された抵抗ＲＢが接続されており、例えば１．２Ｖのような電圧ＶＴＴに引かれている。

【００３３】

半導体集積回路装置ＬＳＩ１において、出力ＭＯＳＦＥＴＱ１は静電破壊耐圧を大きくするために大きな面積の拡散層を持つようにされる。そのため、ＭＯＳＦＥＴＱ１のドレインには、大きな容量値を持つような寄生容量ＣＳＤ１が形成されることになる。出力ＭＯＳＦＥＴＱ１のドレインを直接に外部端子に接続したのでは、その外部端子が接続されるバス配線の特性インピーダンスを乱して信号波形に乱反射が生じて等価的に遅延時間を長

くしてしまう。例えば、５０Ωのバス配線に８ｐＦのピン容量を持つ半導体集積回路装置が８ｃｍ間隔で接続されているケースでは、２０％以上も不整合が生じる。この結果、バス抵抗ＲＢで終端していても、半導体集積回路装置の外部ピンが接続されている付近では大きな乱反射が生じる。

【００３４】

この実施例では、特に制限されないが、出力ＭＯＳＦＥＴＱ１とドレインと外部端子との間にショットキーダイオードＳＢＤ１を挿入することより、このショットキーダイオードＳＢＤ１の寄生容量と出力ＭＯＳＦＥＴＱ１のドレインにおける寄生容量ＣＳＤ１とが直列形態にされる。この結果、外部端子からみた寄生容量は、ショットキーダイオードＳＢＤ１がオフ状態のときにはその寄生容量に依存してほぼ零にできる。

【００３５】

図４において、半導体集積回路装置ＬＳＩ１～ＬＳＩ３の出力ＭＯＳＦＥＴＱ１～Ｑ３がオフ状態にあるときには、バスの電位は１．２ＶのＶＴＴレベルにされている。半導体集積回路装置ＬＳＩ１～ＬＳＩ３のうちのどれか１つ、又は複数の出力ＭＯＳＦＥＴがオン状態になると、０．４Ｖのような接地電位ＶＳＳに近いレベルになる。したがって、半導体集積回路装置ＬＳＩ１から半導体集積回路装置ＬＳＩ３にデータを転送するときには、半導体集積回路装置ＬＳＩ２とＬＳＩ３の出力ＭＯＳＦＥＴＱ２とＱ３をオフ状態にし、半導体集積回路装置ＬＳＩ１の出力ＭＯＳＦＥＴＱ１を、出力すべき内部信号に応じてオン状態／オフ状態にし、上記のようなハイレベル又はロウレベルのデータを送出させる。

【００３６】

出力バッファの出力ＭＯＳＦＥＴＱ２とＱ３がオフ状態にされている半導体集積回路装置ＬＳＩ２とＬＳＩ３では、バスがハイレベルになったときのはね上がりでドレインの寄生容量ＣＳＤ２とＣＳＤ３がＶＴＴに近いレベルまで充電されるため、その後のバスのレベルがハイレベルでもロウレベルでもショッキキーダイオードＳＢＤ２，ＳＢＤ３がオフ状態にされている。したがって、これらの寄生容量ＣＳＤ２とＣＳＤ３は、バス配線側から見えなくなる。また、オン状態／オフ状態を繰り返している半導体集積回路装置ＬＳＩ１では、出力ＭＯＳＦＥＴＱ１がオン状態になっているタイミングでは、ショットキーダイオードＳＢＤ１もオン状態になっているため寄生容量ＣＳＤ１がバス配線につながるが、出力ＭＯＳＦＥＴＱ１がオフ状態となっているタイミングでは、オフ状態にされた瞬間から最初の立ち上がりで寄生容量ＣＳＤ１がＶＴＴに充電されるため、ショッキーダイオードＳＢＤ１がオフ状態になって寄生容量ＣＳＤ１をバス配線側から見えなくする。

【００３７】

すなわち、バス配線に対して常に大きな容量値を持つ寄生容量ＣＳＤ１～ＣＳＤ３が接続されているのではなく、この実施例のように寄生容量ＣＳＤは、動作状態にある１つの出力バッファに対応した１個若しくは全くバス配線から見えなくなるものとなる。この結果、配線バスを伝達される信号波形は、乱反射による振動が大幅に低減できるから等価的な信号遅延が小さなり信号転送を高速にできる。また、半導体集積回路装置ＬＳＩ１を単体で扱うとき等の静電耐圧は、外部端子に乗った電荷Ｑがショッキーダイオードを通してドレインの寄生容量ＣＳＤ１に伝えられ、ここでＶＳＤ１＝Ｑ／ＣＳＤ１の電圧となる。これにより、静電耐圧は大きく設定することができる。

【００３８】

上記のようなＧＴＬ回路では、信号振幅は接地電位側に偏倚したものとなる。それ故、上記入力バッファＩＢ３は、同図に代表として例示的に示されているように、ソースが接地電位に接続されたＮチャンネル型ＭＯＳＦＥＴＱ５に入力信号Ｄinが供給され、ソースが接地電位に接続されたＮチャンネル型ＭＯＳＦＥＴＱ６のゲートに基準電圧ＶＲＥＦが供給される。そして、これらの２つのＭＯＳＦＥＴＱ５とＱ６のドレイン電流の差を出力電流として取り出すために、電流ミラー形態にされたＰチャンネル型ＭＯＳＦＥＴＱ８とＱ９が設けられる。特に制限されないが、上記電流ミラー回路のＭＯＳＦＥＴＱ８とＱ９には、電源スイッチとしてのＰチャンネル型ＭＯＳＦＥＴＱ７を介して動作電圧が与えられる。つまり、出力動作あるいはチップ非選択状態のときに、信号ＩＥによりＭＯＳＦＥＴ

Ｑ７がオフ状態にされて、上記入力回路での直流電流が流れ無いようにされるものである。

【００３９】

他の入力回路ＩＢ１とＩＢ２も上記同様な差動回路により構成される。これらの入力回路ＩＢ１～ＩＢ３において、上記図１や図３の実施例と同様に入力端子に接続される静電保護回路の形態に対応したダミー回路が設けられ、上記差動動作するＭＯＳＦＥＴＱ５とＱ６のゲートに電源電圧線又は回路の接地線から乗るノイズが相殺ないし低減されるようにされる。

【００４０】

図４には、本発明に係る他の一実施例の半導体集積回路装置とそれを用いた情報処理システムにおけるバス構成のブロック図が示されている。同図において、点線で示された半導体集積回路装置ＬＳＩ１～ＬＳＩ３は、公知の半導体集積回路の製造技術により、それぞれが単結晶シリコンのような１個の半導体基板上において形成される。この実施例では、基本的にはＧＴＬに適合するように構成されるが、入力回路と出力回路が図４の実施例と異なるものである。

【００４１】

この実施例では、出力回路として前記実施例のようなオープンドレイン出力形式に代えて、Ｎチャンネル型ＭＯＳＦＥＴ１０とＱ１１によるプッシュプル出力形式とされる。つまり、ハイレベルを出力信号を得るときにバスの終端抵抗ＲＢによるハイレベルとするのではなく、上記終端電圧ＶＴと等しい１．２Ｖで出力回路を動作させるようにするものである。内部回路は、前記のように３．３Ｖで動作するものであるので、上記のようなＮチャンネル型ＭＯＳＦＥＴＱ１０をオン状態にさせるゲート電圧を３．３Ｖのように大きくできる。したがって、Ｎチャンネル型ＭＯＳＦＥＴＱ１０を用いつつ、上記１．２Ｖのようなハイレベルの出力信号を形成することができる。これにより、出力ハイレベルの立ち上がりを高速にしかも安定的に変化させることができる。

【００４２】

入力回路ＩＢ３は、上記のように入力レベルがロウレベル側に偏倚されていることに対応して、Ｐチャンネル型の差動ＭＯＳＦＥＴＱ５とＱ６が用いられる。つまり、Ｐチャンネル型ＭＯＳＦＥＴＱ５のゲートに入力信号Ｄinを供給し、Ｐチャンネル型ＭＯＳＦＥＴＱ６のゲートに基準電圧ＶＥＲＦを供給する。そして、これらのＭＯＳＦＥＴＱ５とＱ６のドレイン側に電流ミラー形態にされたＮチャンネル型ＭＯＳＦＥＴＱ８とＱ９を設け、上記ＭＯＳＦＥＴＱ５とＱ６のドレイン電流の差電流に対応した出力電流を形成するものである。上記ＭＯＳＦＥＴＱ５とＱ６の共通化されたソースと電源電圧との間には、動作電流を流すＰチャンネル型ＭＯＳＦＥＴＱ７が設けられる。つまり、この差動回路は、前記図１と図３の入力回路のＭＯＳＦＥＴの導電型を逆にして構成したものである。

【００４３】

他の入力回路ＩＢ１とＩＢ２も上記同様な差動回路により構成される。これらの入力回路ＩＢ１～ＩＢ３において、上記図１や図３の実施例と同様に入力端子に接続される静電保護回路の形態に対応したダミー回路が設けられ、上記差動動作するＭＯＳＦＥＴＱ５とＱ６のゲートに電源電圧線又は回路の接地線から乗るノイズが相殺ないし低減されるようにされる。

【００４４】

図６には、上記ＣＭＯＳ構成の出力回路の一実施例の全体のレイアウト図が示されている。同図には、３つのボンディングパッドと、それに接続される３つのＣＭＯＳ出力回路が例示的に示されている。ホンディングパッドの配列方向を左右とすると、それと直角方向の下方向にＰチャンネル型ＭＯＳＦＥＴとＮチャンネル型ＭＯＳＦＥＴとが並んで構成される。しかも、これらのＭＯＳＦＥＴのドレイン－ゲート－ソースが、ボンディングパッドの配列方向に沿って形成される。それ故、１つのＭＯＳＦＥＴを縦長に形成することができ、ボンディングパッドの配列ピッチの高密度化を妨げないようにできる。

【００４５】

図６から理解されるように、Ｐチャンネル型ＭＯＳＦＥＴを構成するＰ$^{+}$ 拡散層でいうとウェル領域にバイアス電圧を与えるＮ$^{+}$ 拡散層を基準にして左右対称的に４個分のＭＯＳＦＥＴを形成するよう形成し、それを隣接するボンディングパッドに対応して設けられる出力バッファとの境界線を基準にして左右対称的に配置する。このような対称パターンの組み合わせによって高密度に出力バッファを構成するＭＯＳＦＥＴを形成することができる。

【００４６】

上記のような拡散層及びゲート電極を作り込んでおいて、最終のアルミニュウム等の配線等を用いたマススタースライスによって上記６個のＭＯＳＦＥＴのうちの２個を最小Ｉ／Ｏセル単位として選択的に接続すること、言い換えるならば、上記ボンディングパッドから分岐して最大３つに延びる配線のうち、１本、２本及び３本の分岐のうちの１つを選択的に形成することにより、駆動能力が１、２、３のように３段階に設定できるＣＭＯＳ出力回路を得ることができる。

【００４７】

この実施例においては、ボンディングバットのピッチを９０μｍまで出力駆動能力を極端に落とすことなく簡単に対応させることができる。これにより、出力端子のみでいうならば、半導体集積回路装置に設けることのできる出力端子の数を従来の半導体装置の１６０／９０　１．８に増加させることができる。

【００４８】

同図において、下側に設けられるＮチャンネル型ＭＯＳＦＥＴの更に下側にはプリバッファが配置される。このプリバッファは、そのセルサイズが比較的小さいこと、及び同様に縦長に配置することによりボンディングパッドのピッチの制約されることなく比較的自由に形成することができる。しかし、上記のように各出力回路が一定の向を以て規則的に配列されていることに対応して、プリバッファもセル化し、その向も出力バッファの規則性に適合するよう規則性をもって形成される。これにより、プリバッファを含めた出力回路を効率よく半導体集積回路装置に搭載させることができる。

【００４９】

この実施例では、Ｐチャンネル型ＭＯＳＦＥＴが形成されるＮ型のウェル領域ＮＷＥＬＬにＰチャンネル型のプルアップＭＯＳＦＥＴが形成される。上記のように最小単位セルは、３つの分岐された配線に対応した２つのＭＯＳＦＥＴであり、この２つのＭＯＳＦＥＴに対応して１つのプルアップＭＯＳＦＥＴが形成される。このプリアップＭＯＳＦＥＴは、出力バッファとしてＮチャンネル型ＭＯＳＦＥＴによるオープンドレイン構成の出力回路としたとき、他の半導体装置の出力ＭＯＳＦＥＴとワイヤード論理を採るときの負荷として利用できるようにするものである。

【００５０】

上記Ｎチャンネル型ＭＯＳＦＥＴが形成されるＰ型のウェル領域ＰＷＥＬＬにも、上記同様なＮチャンネル型のプルダウンＭＯＳＦＥＴが形成される。これは、Ｐチャンネル型ＭＯＳＦＥＴのみを用いてオープンドレイン構成の出力回路を構成したときの負荷として使用できるようにするものである。特に制限されないが、上記Ｎチャンネル型ＭＯＳＦＥＴが形成されるＰＷＥＬＬは、その外側の点線で示すように深いＮＷＥＥＬ内に形成される。この深いＮＷＥＬＬによりＰＷＥＬＬがＰ型基板から分離され、内部回路との間、又は入力回路若しくは出力回路間での電源ノイズを分離することができる。

【００５１】

上記Ｐチャンネル型出力ＭＯＳＦＥＴの上層部には、第２層目のアルミニュウム層で形成された太い配線幅からなる電源電圧線ＶＤＤ２がが形成される。同様に、上記Ｐチャンネル型出力ＭＯＳＦＥＴの上層部には、第２層目のアルミニュウム層で形成された太い配線幅からなる接地線線ＶＳＳ２がが形成される。また、プリバッファの上層部には、第２層目のアルミニュウム層で形成された回路の接地線ＶＳＳ１、基準電圧ＶＲＥＦ、電源電圧線ＶＤＤ１が形成される。また、上記出力ＭＯＳＦＥＴ、静電保護回路、ダミー回路、プリバッファ、及び同図では省略されているが、差動入力回路等は第１層目のアルミニュウ

ム層で回路の結線が行われる。

【００５２】

図７には、上記図６におけるＣ－Ｄ線での素子断面図が示されている。同図には６個のＰチャンネル型ＭＯＳＦＥＴが示されている。６個のＰチャンネル型ＭＯＳＦＥＴは、同図で上側から順にソース，ドレイン，ソース，ドレイン，ソースのように配置され、大きな拡散層によりドレインが形成され、小さな拡散層によりソースが形成される。つまり、端部を除いてソースあるいはドレインは、それを挟んで両側に配置されたドレイン又はソースに共通に用いられる。これにより、５個の拡散層により合計４個のＭＯＳＦＥＴを形成することができる。

【００５３】

上記の拡散層の配列を単位として、その両側に上記ウェル領域ｎ－ＷＥＬＬにバイアス電圧を与えるオーミックコンタクト領域としてのn^+層が形成され、上記ソースを構成するp^+層とともにに１層目アルミニュウムＡＬ１と２層目アルミニュウムＡＬ２を介してＶＤＤ２が与えられる。上記n^+層では挟まれた４個のＭＯＳＦＥＴは、ドレインが共通化された２個のＭＯＳＦＥＴが実質的に１つのＭＯＳＦＥＴとして上記第１層目のアルミニュウム層ＡＬ１を介して上記パッドに導かれる。

【００５４】

図８には、この発明に係る半導体集積回路の一実施例のブロック図が示されている。同図の各回路ブロックは、実際の半導体基板上における幾何学的な配置に合わせて描かれている。同図において、９は半導体チップであり、１０は内部回路であり、１１，１２からなるオンチップＲＡＭと、それ以外の論理回路部とにより構成される。上記オンチップＲＡＭ１１，１２は、特に制限されないが、スタティック型ＲＡＭにより構成される。上記内部回路１０が形成される領域のうちＲＡＭブロック以外は敷き詰めゲート領域となっている。この領域の拡大パターン１５のようにＭＯＳＦＥＴが敷き詰められ、マススライス方式により配線が形成されて所望の回路機能が実現される。上記半導体チップ９の周辺部にはボンディングパッド１４が設けられ、かかるボンディングパッド１４と内部回路１０との間には入出力回路部１３が設けられる。上記入出力回路１３は、上記ＳＳＴＬ又はＧＴＬのような小振幅での信号の入出力を行うインターフェイスとされ、かつ、入力回路にはシングル入力の差動回路が用いられるものである。

【００５５】

図９には、この発明が適用されるシンクロナスＤＲＡＭ（以下、単にＳＤＲＡＭという）の一実施例の概略ブロック図が示されている。同図に示されたＳＤＲＡＭは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような１つの半導体基板上に形成される。

【００５６】

この実施例のＳＤＲＡＭは、メモリバンク０（ＢＡＮＫ０）を構成するメモリアレイ(MEMORY ARRAY)２００Ａと、メモリバンク１（ＢＡＮＫ１）を構成するメモリアレイ（MEMORY ARRAY）２００Ｂとを備える。上記それぞれのメモリアレイ２００Ａ，２００Ｂは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【００５７】

メモリアレイ２００Ａの図示しないワード線はロウデコーダ（ROW DECODER)２０１Ａによるロウアドレス信号のデコード結果に従って１本が選択レベルに駆動される。メモリアレイ２００Ａの図示しない相補データ線はセンスアンプ及びカラム選択回路(SENSE AMPLIFIER&I/O BUS) ２０２Ａに結合される。センスアンプびカラム選択回路２０２Ａにおけるセンスアンプ(SENSE AMPLIFIER) は、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線(I/O BUS) に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ(COLUMN DECODER)２０３

Ａによるカラムアドレス信号のデコード結果に従って選択動作される。

【００５８】

メモリアレイ２００Ｂ側にも上記と同様にロウデコーダ（ROW DECODER)２０１Ｂ，センスアンプ及びカラム選択回路(SENSE AMPLIFIER&I/O BUS) ２０２Ｂ及びカラムデコーダ(COLIMN DECODER)２０３Ｂが設けられる。上記メモリバンク２００Ａと２００Ｂの相補共通データ線(I/O BUS) は、後述するような画像処理等のために用いられるシフトレジスタ（SHIFT REGISTER) ２１２を介して入力バッファ(INPUT BUFFER)２１０の出力端子及び出力バッファ(OUTPUT BUFFER) ２１１の入力端子に接続される。入力バッファ２１０の入力端子及び出力バッファ２１１の出力端子は８ビットのデータ入出力端子Ｉ／Ｏ０～Ｉ／Ｏ７に接続される。

【００５９】

アドレス入力端子Ａ０～Ａ１１から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ(COLUMN ADDRESS BUFFER) ２０５とロウアドレスバッファ(ROW ADDRESS BUFFER)２０６にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファ２０５と２０６が保持する。ロウアドレスバッファ２０６はリフレッシュ動作モードにおいてはリフレッシュカウンタ(REFRESH COUNTER) ２０８から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ２０５の出力はカラムアドレスカウンタ(COLUMN ADDRESS COUNTER)２０７のプリセットデータとして供給され、カラムアドレスカウンタ２０７は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ２０３Ａ，２０３Ｂに向けて出力する。

【００６０】

コントローラ(CONTROL LOGIC & TIMING GENERATOR)２１３は、特に制限されなが、クロック信号ＣＬＫ、クロックイネーブル信号ＣＫＥ、チップセレクト信号／ＣＳ、カラムアドレスストローブ信号／ＣＡＳ（記号／はこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥ、データ入出力マスクコントロール信号ＤＱＭなどの外部制御信号と、アドレス入力端子Ａ０～Ａ１１からの制御データ及び基準電圧Ｖref とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてＳＤＲＡＭの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジックとモードレジスタを備える。

【００６１】

クロック信号ＣＬＫは、ＳＤＲＡＭのマスタクロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号／ＣＳはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号／ＣＳがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。／ＲＡＳ，／ＣＡＳ，／ＷＥの各信号は通常のＤＲＡＭにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときに有意の信号とされる。

【００６２】

クロックイネーブル信号ＣＫＥは次のクロック信号の有効性を指示する信号であり、当該信号ＣＫＥがハイレベルであれば次のクロック信号ＣＬＫの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて、出力バッファ２１１に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ２１３に供給され、その信号が例えばハイレベルのときには出力バッファ２１１は高出力インピーダンス状態にされる。

【００６３】

上記ロウアドレス信号は、クロック信号ＣＬＫ（内部クロック信号）の立ち上がりエッジ

に同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるＡ０～Ａ１０のレベルによって定義される。Ａ１１からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、Ａ１１の入力がロウレベルの時はメモリバンクＢＡＮＫＡが選択され、ハイレベルの時はメモリバンクＢＡＮＫＢが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ２１０及び出力バッファ２１１への接続などの処理によって行うことができる。

【００６４】

後述のプリチャージコマンドサイクルにおけるＡ１０の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、Ａ１１で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【００６５】

上記カラムアドレス信号は、クロック信号ＣＬＫ（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるＡ０～Ａ８のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【００６６】

上記のアドレス信号、クロック信号、各制御信号及びデータ入出力信号は、前記ＳＳＴＬ又はＧＴＬのような小振幅のインターフェイスが採用される。つまり、上記アドレスバッファやクロックバッファ及び制御入力バッファとデータ入力バッファには、上記実施例と同様な差動回路が用いられ、その入力には前記実施例のような静電保護回路とそれに相似のダミー回路が付加されるものである。

【００６７】

次に、コマンドによって指示されるＳＤＲＡＭの主な動作モードを説明する。

（１）モードレジスタセットコマンド（Ｍｏ）

上記モードレジスタ３０をセットするためのコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ，／ＷＥ＝ロウレベルによって当該コマンド指定され、セットすべきデータ（レジスタセットデータ）はＡ０～Ａ１１を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、ＣＡＳレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、１，２，４，８，フルページとされ、設定可能なＣＡＳレイテンシイは１，２，３とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【００６８】

上記ＣＡＳレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において／ＣＡＳの立ち下がりから出力バッファ２１１の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に小さな値に設定する。特に制限されないが、後述するような画像処理動作において、必要ならばワード線の切り換え時間を確保するためにＣＡＳレイテンシイを大きな値に設定するよう用いるようにできる。

【００６９】

（２）ロウアドレスストローブ・バンクアクティブコマンド（Ａｃ）

これは、ロウアドレスストローブの指示とＡ１１によるメモリバンクの選択を有効にするコマンドであり、／ＣＳ，／ＲＡＳ＝ロウレベル、／ＣＡＳ，／ＷＥ＝ハイレベルによっ

て指示され、このときＡ０～Ａ１０に供給されるアドレスがロウアドレス信号として、Ａ１１に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

【００７０】

（３）カラムアドレス・リードコマンド（Ｒｅ）

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、／ＣＳ，／ＣＡＳ＝ロウレベル、／ＲＡＳ，／ＷＥ＝ハイレベルによって指示され、このときＡ０～Ａ８に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ２０７から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力バッファ２１１からのデータ読出し開始は上記ＣＡＳレイテンシイで規定される内部クロック信号のサイクル数を待って行われる。

【００７１】

（４）カラムアドレス・ライトコマンド（Ｗｒ）

ライト動作の態様としてモードレジスタにバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタにシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。当該コマンドは、／ＣＳ，／ＣＡＳ，／ＷＥ＝ロウレベル、／ＲＡＳ＝ハイレベルによって指示され、このときＡ０～Ａ８に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはＣＡＳレイテンシイはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【００７２】

（５）プリチャージコマンド（Ｐｒ）

これは、Ａ１０，Ａ１１によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、／ＣＳ，／ＲＡＳ，／ＷＥ＝ロウレベル、／ＣＡＳ＝ハイレベルによって指示される。

【００７３】

（６）オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ＝ロウレベル、／ＷＥ，ＣＫＥ＝ハイレベルによって指示される。

【００７４】

（７）バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、／ＣＳ，／ＷＥ＝ロウレベル、／ＲＡＳ，／ＣＡＳ＝ハイレベルによって指示される。

【００７５】

（８）ノーオペレーションコマンド（Ｎｏｐ）

これは実質的な動作を行わないこと指示するコマンドであり、／ＣＳ＝ロウレベル、／ＲＡＳ，／ＣＡＳ，／ＷＥのハイレベルによって指示される。

【００７６】

ＳＤＲＡＭにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、ＳＤＲＡＭは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線１本分のデータがカラム系動作の前に予め読み出し動作のために図示しないラッチ回路にラッチされるようになっている。

【００７７】

したがって、データ入出力端子Ｉ／Ｏ０～Ｉ／Ｏ７においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【００７８】

ＳＤＲＡＭは、外部クロック信号ＣＬＫに基づいて形成される内部クロック信号に同期してデータ、アドレス又は／ＲＡＳ、／ＣＡＳ等の各種制御信号を入出力可能なメモリであると定義できる。ＳＤＲＡＭは、ＤＲＡＭと同様の大容量メモリをＳＲＡＭ（スタティック型ＲＡＭ）に匹敵する高速動作させることが可能であり、また、選択された１本のワード線に対して幾つかのデータをアクセスするかをバーストレングスによって指定することによって、内蔵カラムアドレスカウンタ２０７で順次カラム系の選択状態を切り換えていって複数個のデータを連続的にリード又はライトできる。したがって、上記小振幅のインターフェイスを採用することにより、上記１００ＭＨｚを超えるような高速なデータのリード／ライトが可能になるものでるあ。

【００７９】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）　電源電圧に対して小さな信号振幅にされた受信信号がゲートに供給された第１のＭＯＳＦＥＴと、上記受信信号の中間値に対応した基準電圧がゲートに供給された第２のＭＯＳＦＥＴを含んでシングル入力の差動回路とされた入力回路において、上記受信信号が入力される外部端子に設けられた実質的な静電保護回路を通して上記第１のＭＯＳＦＥＴのゲートに伝えられる電源ノイズと実質的に同等の電源ノイズを上記第２のＭＯＳＦＥＴのゲートに伝えるダミー回路を設けることより上記ノイズを相殺ないし低減できるという効果が得られる。

【００８０】

（２）　上記静電保護回路は、出力回路を形成するために半導体基板上に作り込まれた回路素子をその一部として利用するものであり、素子の有効利用と耐圧の強化を図りつつ、上記ダミー回路にて上記出力回路の回路素子に相当し、かつその素子サイズが縮小されてオフ状態にされたダミーＭＯＳＦＥＴを設けることにより、ノイズの相殺ないし低減を効果的に行うことができるという効果が得られる。

【００８１】

（３）　上記入力回路は複数からなるものであり、各入力回路における上記第２のＭＯＳＦＥＴのゲートには、それぞれ抵抗素子を介して上記基準電圧を供給することにより、基準電圧自体がノイズの影響を受けなくすることがきるという効果が得られる。

【００８２】

（４）　上記入力回路は、３．３Ｖ用スタブ直列終端型論理に適合するもとすることにより、かかるスタブ直列終端型論理でのシングル差動入力回路でのレベルマージンを確保す

ることができるという効果が得られる。

【００８３】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、半導体集積回路装置に入力される小振幅号の全ての信号を上記シングル入力の差動増幅回路に供給するもの他、クロック等のように一部の信号について、相補信号を入力して上記差動回路で受けるようにするものであってもよい。このような相補入力の差動増幅回路では、両入力に等しく静電保護回路が設けられるのでダミー回路を不用である。小振幅のインターフェイスは、上記のようなＳＳＴＬ、ＧＴＬの他、擬似ＥＣＬ回路等のように動作電源電圧に対して小さくされた信号振幅での信号伝達を行うものに広く利用できるものである。

【００８４】

この発明は、動作電源電圧に対して小さくされた小振幅の信号がシングル入力される入力回路を備えた各種ディジタル集積回路、シンクロナスＤＲＡＭのようなメモリ、マイクロプロセッサ等のような各種の半導体集積回路装置に広く利用できるものである。

【００８５】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電源電圧に対して小さな信号振幅にされた受信信号がゲートに供給された第１のＭＯＳＦＥＴと、上記受信信号の中間値に対応した基準電圧がゲートに供給された第２のＭＯＳＦＥＴを含んでシングル入力の差動回路とされた入力回路において、上記受信信号が入力される外部端子に設けられた実質的な静電保護回路を通して上記第１のＭＯＳＦＥＴのゲートに伝えられる電源ノイズと実質的に同等の電源ノイズを上記第２のＭＯＳＦＥＴのゲートに伝えるダミー回路を設けることより上記ノイズを相殺ないし低減できる。

【図面の簡単な説明】

【図１】この発明に係る半導体集積回路装置における入出力回路の一実施例を示す回路図である。

【図２】図１の入力バッファの動作を説明するための波形図である。

【図３】この発明に係る半導体集積回路装置における入出力回路の他の一実施例を示す回路図である。

【図４】本発明に係る一実施例の半導体集積回路装置とそれを用いた情報処理システムにおけるバス構成を示すブロック図である。

【図５】本発明に係る他の一実施例の半導体集積回路装置とそれを用いた情報処理システムにおけるバス構成を示すブロック図である。

【図６】図６には、ＣＭＯＳ構成の出力回路の一実施例を示す全体のレイアウト図である。

【図７】図６の一部素子構造断面図である。

【図８】この発明に係る半導体集積回路の一実施例を示すブロック図である。

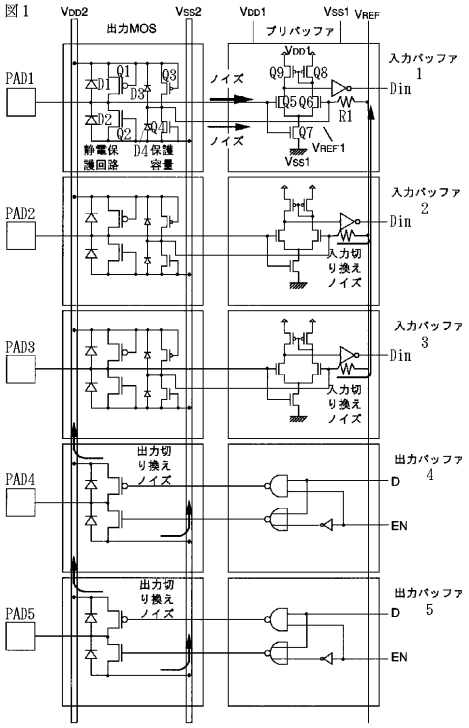
【図９】この発明が適用されるシンクロナスＤＲＡＭの一実施例を示す概略ブロック図である。

【符号の説明】

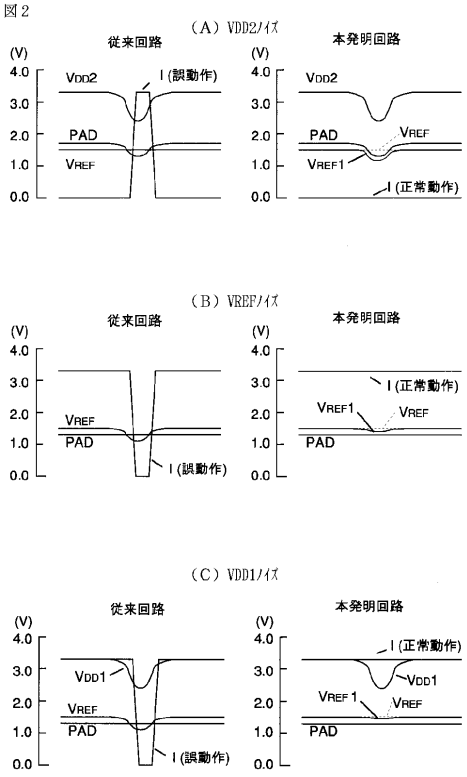
ＬＳＩ１～ＬＳＩ３…半導体集積回路装置、ＰＧ，ＰＧ１～ＰＧ３…駆動回路、ＩＢ，ＩＢ１～ＩＢ３…入力バッファ、ＲＢ…終端抵抗、
９…半導体チップ、１０…内部回路、１１，１２…オンチップＲＡＭ、１３…入出力回路部、１４…ボンディングパッド１４、１５…拡大パターン。
２００Ａ，２００Ｂ…メモリアレイ、２０１Ａ，２０１Ｂ…ロウデコーダ、２０２Ａ，２０２Ｂ…センスアンプ及びカラム選択回路、２０３Ａ，２０３Ｂ…カラムデコーダ、２０５…カラムアドレスバッファ、２０６…ロウアドレスバッファ、２０７…カラムアドレスカウンタ、２０８…リフレッシュカウンタ、２１０…入力バッファ、２１１…出力バッフ

ァ、２１２…シフトレジスタ、２１３…コントローラ。

【図１】



【図２】



【図３】

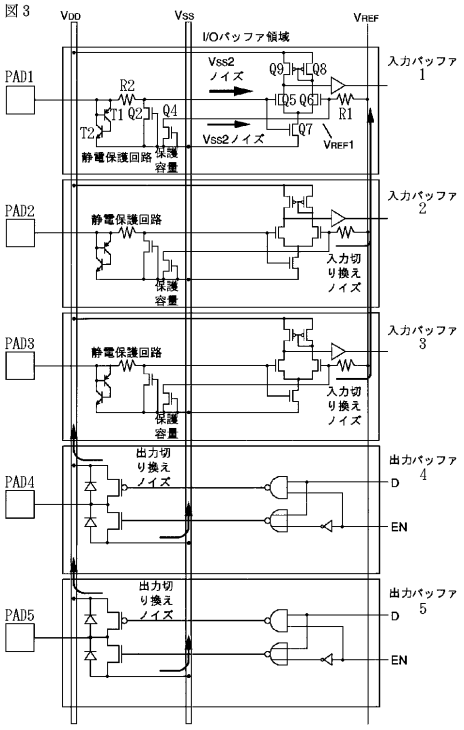


図3
VDD
VSS
VREF
I/Oバッファ領域
PAD1
PAD2
PAD3
PAD4
PAD5
入力バッファ 1
入力バッファ 2
入力バッファ 3
出力バッファ 4
出力バッファ 5
静電保護回路
保護容量
Vss2 ノイズ
入力切り換えノイズ
出力切り換えノイズ
D
EN

【図４】

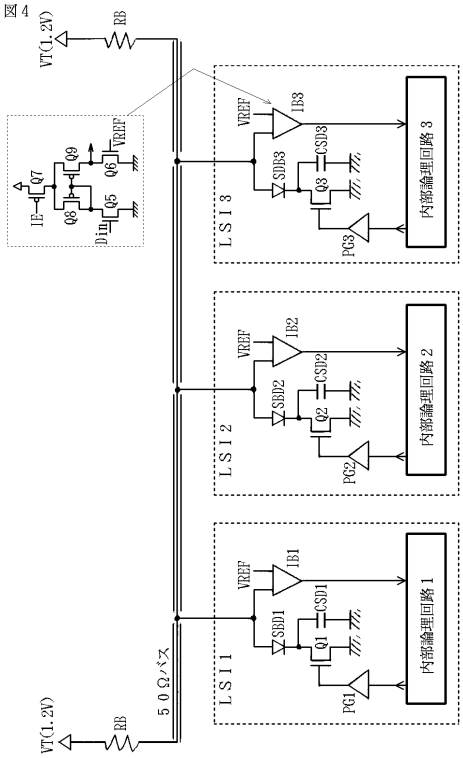


図4
VT(1.2V)
RB
50Ωバス
LSI1
LSI2
LSI3
内部論理回路 1
内部論理回路 2
内部論理回路 3
VREF
Din
IE

【図５】

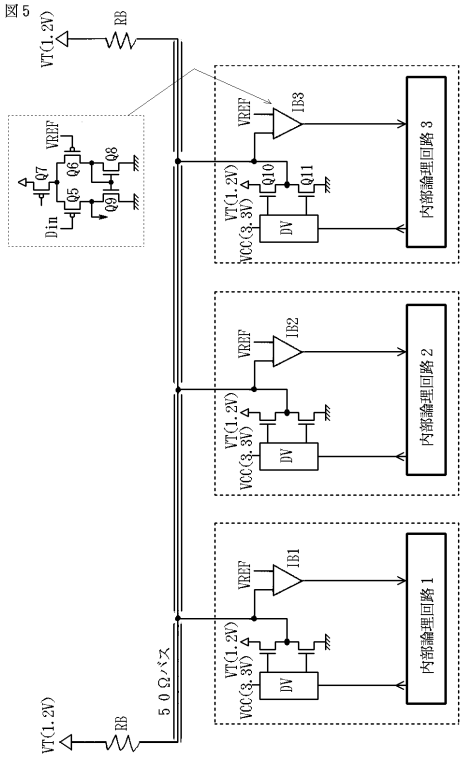


図5
VT(1.2V)
RB
50Ωバス
VREF
Din
VCC(3.3V)
DV
内部論理回路 1
内部論理回路 2
内部論理回路 3

【図６】

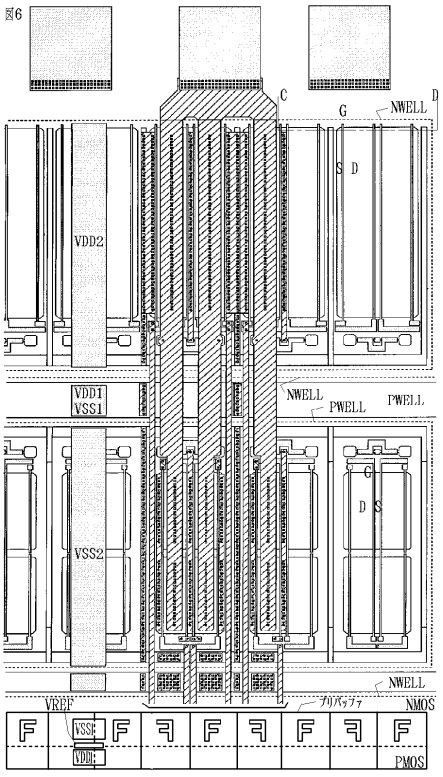
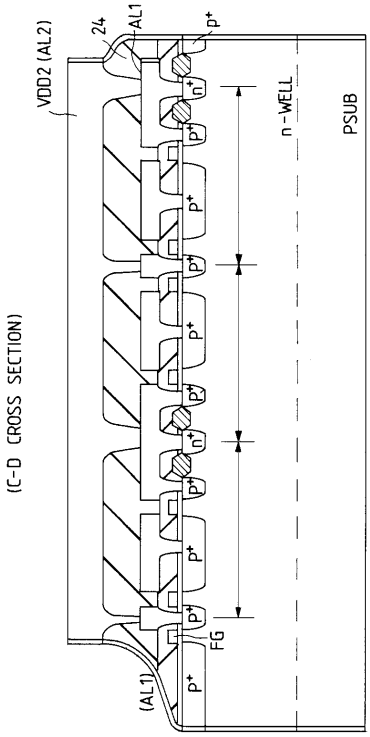


図6
VDD2
VDD1
VSS1
VSS2
NWELL
PWELL
VREF
プリバッファ
NMOS
PMOS

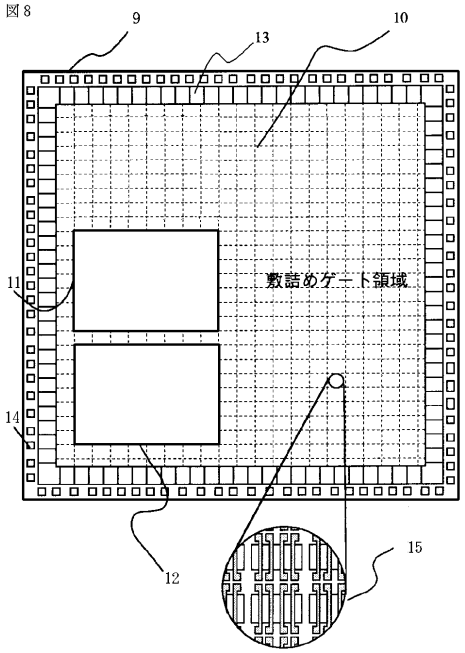
【図７】

図7



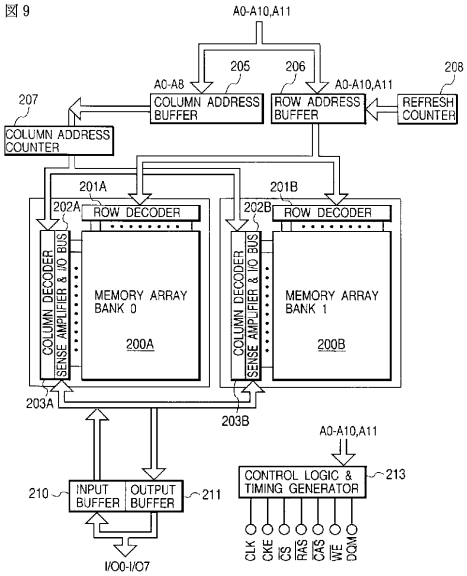
【図８】

図8



【図９】

図9



フロントページの続き

(51)Int.Cl.[7] F I
H01L 27/088 H03K 19/00 101Q

(56)参考文献 特開平07－273693（JP，A）
特開平05－327565（JP，A）
特開平04－245817（JP，A）
特開平07－254684（JP，A）
特開平07－095220（JP，A）
特開平07－007409（JP，A）
特開昭63－221712（JP，A）

(58)調査した分野(Int.Cl.[7]，DB名)
H03K 19/0175
H03K 19/0175
G11C 11/407
H01L 21/8234