

公告本

申請日期	88 年 8 月 7 日
案 號	88113539
類 別	H01L 27/0

A4
C4

447113

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明人 創作	姓 名	(1) 菅原安浩 (2) 古川亮一 (3) 植村俊雄
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都昭島市緑町三—一—一九 三 〇一號 (2) 日本國東京都青梅市新町二—一九—二 里伯爾地—一—〇二 (3) 日本國埼玉縣新座市石神五—七—一
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二二番一 號
	代 表 人 姓 名	(1) 庄山悦彦 (2) 鈴木仁一郎

裝

訂

線

447113

申請日期	88 年 8 月 7 日
案 號	88113539
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 高松朗 (5) 山本裕彦 (6) 吉田正義
	國 籍	(4) 日本 (5) 日本 (6) 日本
	住、居所	(4) 日本國東京都羽村市榮町二-一四-三 榮莊二〇一 (5) 日本國東京都八王子市中野上町五-八-九 (6) 日本國埼玉縣狹山市人間川二-三-三-七〇 一
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

447113

A4
C4

(以上各欄由本局填註)

裝

訂

線

447113

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

日本 1998 年 9 月 4 日 10-251308 ☒有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

【發明之技術領域】

本發明是關於半導體裝置及其製造方法，特別是有關適用於具有D R A M (Dynamic Random Access Memory) 的半導體裝置之技術。

【習知技術】

D R A M之記憶元件是在半導體基板的主面上配置於呈矩陣狀之複數的字元線與複數的位元線之交點，由1個記憶元件選擇用M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 與彼直列連接的1個資訊儲存用容量元件(電容)所構成。記憶元件選擇用M I S F E T是形成於周圍被元件分離領域所圍繞的活性領域，主要是由閘極氧化膜，及與字元線形成一體的閘極電極，以及形成源極、汲極的一對半導體領域所構成。又，位元線是配置於記憶元件選擇用M I S F E T的上部，與根據鄰接於其延伸方向的2個記憶元件選擇用M I S F E T而共有的源極、汲極的一方進行電氣性連接。又，資訊儲存用容量元件同樣的是配置於記憶元件選擇用M I S F E T的上部，與上述源極、汲極的另一方進行電氣性連接。

此外，在位元線的上部配置資訊儲存用容量元件的“Capacitor Over Bitline”構造之D R A M爲了補充隨著記憶元件的微細化而減少之資訊儲存用容量元件的儲存電荷量(C_s)，而將配置於位元線的上部之資訊儲存用容量元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

的下部電極（儲存電極）加工成圓筒狀，藉此來增加其表面積，且在其上部形成容量絕緣膜與上部電極（屏極）。

但，在具有C O B構造的記憶元件中，爲了確保形成於記憶元件陣列領域的電容的半導體記憶裝置的動作可靠度，而必須提高裝置的集成度，以及必須形成相當於元件面積縮小的立體化。並且，在形成如此立體化的電容之後來形成層間絕緣膜時，在記憶元件陣列領域與周邊電路之間會產生相當於電容的高度份量之落差。

如此的落差會隨著D R A M的集成度增加而必須確保一定的電容容量，且有逐漸提高的趨向。又，爲了提高D R A M的集成度，而必須提高微影成像的曝光精度，亦即所容許的焦點深度值越來越嚴苛。因此，在如此落差的增加及所能容許的微影成像的曝光焦點範圍的縮小之下，將難以在上述層間絕緣膜上形成配線層。

又，將下部電極加工成上述那樣的圓筒狀時的過程會趨於複雜，因此最好是儘可能形成簡略化的構造。但，由於簡略化後的下部電極構造無法擴大表面積，因此對上述落差的低減而言會產生反效果。

就規避如此立體構造電容所具有的問題點之方法而言，例如有1996年11月10日，應用物理學會發行，「應用物理」第65卷第11號，p1106~1113所記載者，該文獻是在下部電極的矽表面形成微小的凹凸，亦即形成粗面化，而使得能夠在不增加下部電極的尺寸下來實質加大表面積，也就是所謂的H S G（

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明書)

Hemispherical Silicon Grain) 構造之技術。

又，於日本特開平 10 - 56155 號公報中所記載之形成 H S G 構造的製造方法是屬於一種在形成結晶核之前，形成非晶質矽膜之技術。又，於日本特開平 9 - 298284 號公報或日本特開平 6 - 204426 號公報中所記載技術是在含有雜質的第 1 非晶質矽膜上形成不含雜質的第 2 非晶質矽膜，並且在第 2 非晶質矽膜上形成 H S G 膜。

【發明所欲解決之課題】

但，在上述之 H S G 構造的技術中會有以下所述之問題點存在。亦即，隨著 D R A M 的高集成化，裝置的尺寸會被要求微細化，而使得下部電極的專有面積尺寸也會被縮小。特別是筒形的下部電極時，筒內徑會被要求縮小，且必須在微細化後的筒內部形成精度良好的粒狀矽。亦即，會有隨著構成下部電極的多結晶矽膜的薄膜化而難以控制粒狀矽的高度（凹凸）之問題產生。

又，因構成下部電極的多結晶矽膜的薄膜化，而使得多結晶矽膜形成高阻抗化，進而無法充分地確保下部電極的導電性。尤其是，粒狀矽成長後的膜厚會變薄，而明顯會有高電阻化之問題產生。

又，會受到電容電極之空乏層的影響。亦即，以多結晶矽膜所構成的下部電極內的雜質未被充分活性化時，或者雜質量未充分時，載流子濃度會降低，且根據與上部電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

極的關係，在與容量絕緣膜的界面之下部電極中會產生空乏層。若產生空乏層的話，則容量絕緣膜的膜厚會增加（相當於有效膜厚），而導致容量值降低。尤其是H S G構造的情況時，若雜質濃度太高，則粒狀矽的成長會被阻礙，因此會有粒狀矽成長後雜質濃度不足之情況發生，而使得空乏層的問題更為顯著。

本發明之目的在於提供一種可以控制包含粒狀矽的部份（凹凸部份）之適用於電容器下部電極的多結晶矽膜的膜厚之技術。

又，本發明之目的在於提供一種可以容易地控制多結晶矽膜表面的粒狀矽（凹凸）的高度之技術。

又，本發明之目的在於提供一種可以防止適用於電容器下部電極的多結晶矽膜的高電阻化，進而可以確保下部電極的導電性之技術。

又，本發明之目的在於提供一種可以防止在構成電容器下部電極的多結晶矽膜與容量絕緣膜間的界面產生多結晶矽膜的空乏層（空乏化），進而可以抑止因空乏化而造成儲存容量的降低。

本發明之上述及其他目的與新穎的特徵可由本案說明書的內容及圖面中明白得知。

【用以解決課題之手段】

以下，簡單說明本案發明的概要。

若根據本案發明之一側面，則由於構成容量元件的第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

1 電極是由：與其膜厚幾乎相等的矽膜，及矽膜的表面的粒狀矽結晶所構成，因此能夠減低第 1 電極的電阻。

若根據本案發明之其他側面，則於形成構成容量元件的第 1 電極時，雖是由形成於矽膜上的非晶質矽膜來供給矽，而形成粒狀矽結晶，但因為矽的供給是只由非晶質矽膜來進行，而不是由矽膜來進行，所以容易控制粒狀矽結晶的高度及粒徑。

又，若根據本案發明之其他側面，則由於粒狀矽結晶的形成不涉及矽膜，因此可使用具有高濃度雜質的矽膜，而來減低第 1 電極的電阻。

又，若根據本案發明之其他側面，則由於可使用具有高濃度雜質的矽膜，而來減低第 1 電極的空乏化，因此而能夠防止儲存容量的降低。

又，若根據本案發明之其他側面，則因為是藉由含低濃度的雜質來形成粒狀矽結晶，因此結晶粒的形成條件簡易。

【實施發明之最佳形態】

根據圖面來詳述本發明。此外，在供以說明實施例的各圖中具有相同的功能者賦予同樣的圖號，並省略其重複說明。

【實施形態 1】

第 1 圖是表示形成實施形態 1 之 D R A M 後之半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

晶片的全體平面圖。如圖所示，在由單結晶矽所構成的半導體晶片 1 A 的主面上，沿著 X 方向（半導體晶片 1 A 的長邊方向）及 Y 方向（半導體晶片 1 A 的短邊方向），多數的記憶體陣列 M A R Y 將被配置成矩陣狀。此外，在沿著 X 方向而彼此連接的記憶體陣列 M A R Y 之間配置有讀出放大器 S A。另外，在半導體晶片 1 A 的主面之中央部份配置有：字元驅動器 W D，資料線選擇電路等的控制電路，輸出入電路及接合墊片。

第 2 圖是表示實施形態 1 之 D R A M 的等價³²電路圖。如圖所示，此 D R A M 之記憶體陣列（M A R Y）是由：配置成矩陣狀之複數的字元線 W L（W L₀，W L₁，、、、，W L_n）與複數的位元線 B L，及配置於字元線與位元線的交點之複數的記憶元件（M C）等所構成。在此，記憶 1 位元資訊的 1 個記憶元件是由：1 個資訊儲存用容量元件 C，及與彼直列連接的 1 個記憶元件選擇用 M I S F E T Q_s 所構成。又，記憶元件選擇用 M I S F E T Q_s 的源極、汲極的一方是電氣性地與資訊儲存用容量元件 C 連接，另一方則是電氣性地與位元線 B L 連接。又，字元線 W L 的一端是連接於字元驅動器 W D，位元線 B L 的一端是讀出放大器 S A。

其次，將利用過程順序圖面來說明本實施形態之 D R A M 的製造方法。第 3 圖～第 26 圖是表示實施形態 1 之 D R A M 的製造過程之一例的過程順序剖面圖。

首先，如第 3 圖所示，將會形成元件分離領域及被導

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

入雜質的阱領域。並且準備一由 p 型、電阻係數為 $10 \Omega \cdot \text{cm}$ 程度的單結晶矽所構成的半導體基板 1，而且在半導體基板 1 上堆積矽氧化膜（例如在 850°C 的溫度下進行濕式氧化而形成膜厚約 10 nm 的薄膜，圖中未示）及矽氮化膜（例如以 CVD（Chemical Vapor Deposition）法而形成膜厚約 140 nm 的薄膜，圖中未示）。在此，雖是針對單結晶矽的半導體基板 1 而言，但亦可使用表面具有單結晶矽層的 SOI（Silicon On Insulator）基板，或表面具有多結晶矽膜的玻璃、陶瓷等的介電質基板。

其次，將光阻劑膜（圖中未示）形成光罩，接著把形成有溝 5 的領域之上述矽氮化膜及矽氧化膜形成圖案，然後再以該矽氮化膜作為光罩來對半導體基板 1 進行乾蝕刻，藉此而得以在元件分離領域的半導體基板 1 中形成深度 $300 \sim 400 \text{ nm}$ 的溝 5。

其次，在除去上述光阻劑膜之後，為了除去損傷層（因實施上述蝕刻而於溝 5 的內壁產生），而於溝 5 的內壁形成矽氧化膜 6（例如在 $850 \sim 900^\circ\text{C}$ 的溫度範圍進行濕式氧化而形成膜厚約 10 nm 的薄膜），並且將利用電漿 CVD 法（使用臭氧（ O_3 ）與四乙氧基矽烷（TEOS）作為原料氣體）所堆積的矽氧化膜（圖中未示）予以堆積成 $300 \text{ nm} \sim 400 \text{ nm}$ 程度的膜厚。該矽氧化膜亦可在 1000°C 的溫度下藉由乾式氧化來進行燒結處理（sintering）。

其次，利用 CMP 法來研磨矽氧化膜，而得以除去溝

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

5 以外領域的矽氧化膜，並且使矽氧化膜 7 殘存於溝 5 的內部，而形成元件分離領域。此外，在進行 C M P 法的研磨之前，在溝 5 的領域中形成矽氮化膜，而使得能夠防止因溝 5 領域的矽氧化膜研磨過深而形成之碟形彎曲。

其次，在藉由溼蝕刻（例如使用熱磷酸）來除去殘存於半導體基板 1 的表面的矽氧化膜及矽氮化膜之後，在形成記憶元件的領域（記憶體陣列）之半導體基板 1 中離子注入磷（P），而形成 n 型半導體領域 10，在記憶體陣列與周邊電路的一部份（形成 n 通道型 M I S F E T 的領域）中離子注入硼（B），而形成 p 型阱 11，在周邊電路的其他部份（形成 p 通道型 M I S F E T 的領域）中離子注入 n 型雜質，例如磷（P），而形成 n 型阱 12。又，持續進行離子注入，亦即將供以調整 M I S F E T 的臨界值電壓的雜質，例如 B F₂（氟化硼）予以離子注入 p 型阱 11 及 n 型阱 12 中。n 型半導體領域 10 是用以防止雜訊經由半導體基板（由輸出入電路等所構成）來侵入記憶體陣列的 p 型阱 11 中。

其次，例如使用 H F（氫氟酸）系的洗淨液來洗淨半導體基板 1 的表面之後，在 850℃ 的溫度下對半導體基板 1 進行濕式氧化，而於 p 型阱 11 及 n 型阱 12 的各表面上形成膜厚 7 nm 程度之乾淨的閘極氧化膜 13。

雖然沒有特別加以限定，但亦可在形成上述閘極氧化膜 13 之後，在 N O（氧化氮）的環境中或 N₂ O 的環境中對半導體基板 1 進行熱處理，而來使氮偏析於閘極氧化膜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

13 與半導體基板 1 的界面（氧氮化處理）。若閘極氧化膜 13 的膜厚為 7 nm 程度時，則會因閘極氧化膜 13 與半導體基板 1 之間的熱膨脹係數差，而明顯地在兩者的界面間產生應變，而引發熱載流子。在此，由於偏析於閘極氧化膜 13 與半導體基板 1 的界面間的氮能夠緩和該應變，因此上述氧氮化處理可以提高極薄之閘極氧化膜 13 的可靠性。

其次，如圖 4 所示一般，在閘極氧化膜 13 的上部形成閘極電極 14A，14B，14C。閘極電極 14A 將構成記憶元件選擇用 MISFET 的一部份，在活性領域以外的領域中作為字元線 WL 使用。此閘極電極 14A（字元線 WL）的寬度，亦即閘極長度為：可以抑制記憶元件選擇用 MISFET 的短通道效應，而使能夠將臨界值電壓確保於一定值以上的容許範圍內的最小尺寸（例如， $0.24\ \mu\text{m}$ ）。又，鄰接之閘極電極 14A（字元線 WL）彼此間的間隔為：以微影成像的解像界限所決定的最小尺寸（例如， $0.22\ \mu\text{m}$ ）。又，閘極電極 14B 及閘極電極 14C 將構成周邊電路的 n 通道型 MISFET 及 p 通道型 MISFET 的各一部份。

閘極電極 14A（字元線 WL）及閘極電極 14B，14C 是在半導體基板 1 上藉由 CVD 法來堆積被植入 n 型雜質（例如磷（P））之膜厚為 70 nm 程度的多結晶矽膜，然後在其上部利用濺射法來堆積膜厚為 50 nm 程度的 WN 膜與膜厚為 100 nm 程度的 W 膜，接著再於上

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

部藉由 C V D 法來堆積膜厚為 150 nm 程度的矽氮化膜 15 之後，以光阻劑膜 16 作為光罩來使這些膜形成圖案，而予以形成。在此，W N 膜具有作為阻擋層的功能，亦即可防止在進行高溫熱處理時於 W 膜與多結晶膜兩者的界面間產生高電阻的矽化物層。又，阻擋層除了 W N 膜以外，亦可使用 T i N（氮化鈦）膜等。

以低電阻的金屬（W）來構成閘極電極 14 A（字元線 W L）的一部份時，由於可將其電阻減低至 2 ~ 2.5 $\Omega/\square$ 程度，因此可減低字元線延遲。又，即使不以 A 1 配線等來附著於閘極電極 14 A（字元線 W L），還是可以減低字元線延遲，因此形成於記憶元件的上部的配線層的數量可減少 1 層。

其次，在除去光阻劑膜 16 之後，將使用氫氟酸等的蝕刻液來去除殘留於半導體基板 1 的表面上乾蝕刻殘渣及光阻劑殘渣等。若進行該溼蝕刻的話，則閘極電極 14 A（字元線 W L）及閘極電極 14 B，14 C 的下部以外的領域之閘極氧化膜 13 將會被切削，同時由於閘極側下部的閘極氧化膜 13 也會等方向性地被蝕刻而產生下部凹陷，因此閘極氧化膜 13 的耐壓情況會降低。在此，將以 900 $^{\circ}\text{C}$ 左右的溫度來對半導體基板 1 進行溼式氧化，而藉此來改善被切削之閘極氧化膜 13 的膜質。

其次，如第 5 圖所示，在 n 型阱 12 中離子植入 p 型雜質（例如硼（B）），而使能夠在閘極電極 14 C 的兩側的 n 型阱 12 中形成 p⁻ 型半導體領域 17。並且，在 p

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (1)

型阱 11 中離子植入 n 型雜質（例如磷（P）），而使能夠在閘極電極 14B 的兩側的 p 型阱 11 中形成 n⁻型半導體領域 18，而且在閘極電極 14A 的兩側的 p 型阱 11 中形成 n 型半導體領域 19。藉此，將會在記憶陣列中形成記憶元件選擇用 MISFETQs。

其次，如第 6 圖所示，在半導體基板 1 上藉由 CVD 法來堆積膜厚 50 ~ 100 nm 程度的矽氮化膜 20 之後，會以光阻劑膜 21 來覆蓋記憶體陣列的矽氮化膜 20，並且對周邊電路的矽氮化膜 20 進行向異性蝕刻，藉此得以在閘極電極 14B，14C 的側壁形成側壁間隔件 20a。該蝕刻爲了要使閘極氧化膜 13 及埋入元件分離溝 5 內的矽氧化膜 7 的切削量能夠形成最少，而使用對矽氧化膜而言，矽氮化膜 20 的蝕刻率形成較大的蝕刻氣體來進行。又，爲了要使閘極電極 14B，14C 上的氮化膜 15 的切削量形成最少，而將過蝕刻量止於必要的最小限度。

其次，在除去光阻劑膜 21 之後，如第 7 圖所示，在周邊電路領域的 n 阱 12 中離子植入 p 型雜質（例如硼（B）），而使形成 p 通道型 MISFET 的 p⁺型半導體領域 22（源極，汲極），在周邊電路領域的 p 阱 11 中離子植入 n 型雜質（例如砷（As）），而使形成 n 通道型 MISFET 的 n⁺型半導體領域 23（源極，汲極）。藉此，將在周邊領域中形成有具備 LDD（Lightly Doped Drain）構造的 p 通道型 MISFETQp 及 n 通道型

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (2)

M I S F E T Q n。

其次，如第 8 圖所示，在半導體基板 1 上塗佈膜厚 300 nm 程度的 S O G (Spin On Glass) 膜 2 4 之後，對半導體基板 1 實施 800 °C，1 分鐘之熱處理，然後再對 S O G 膜 2 4 進行燒結處理。並且，在 S O G 膜 2 4 的上部堆積膜厚 600 nm 程度的矽氧化膜 2 5 之後，利用 C M P 法來研磨該矽氧化膜 2 5，使其表面平坦化。又，在矽氧化膜 2 5 的上部堆積膜厚 100 nm 程度的矽氧化膜 2 6。該矽氧化膜 2 6 是爲了修補在進行 C M P 法的研磨時上述矽氧化膜 2 5 的表面所產生的微細損傷。在此，矽氧化膜 2 5，2 6，例如可利用電漿 C V D 法（使用臭氧 (O₃) 與四乙氧基矽烷 (T E O S) 作爲原料氣體）來堆積而成。又，亦可堆積 P S G (Phospho Silicate Glass) 膜等來取代矽氧化膜。

如此一來，由於本實施形態是在閘極電極 1 4 A（字元線 W L）及閘極電極 1 4 B，1 4 C 的上部塗佈回流性高的 S O G 膜 2 4，並且利用 C M P 法來使堆積於其上部的矽氧化膜 2 5 平坦化，因此能夠提高閘極電極 1 4 A（字元線 W L）彼此間之微細間隙的間隙填充性，同時可以實現閘極電極 1 4 A（字元線 W L）及閘極電極 1 4 B，1 4 C 的上部之絕緣膜的平坦化。

其次，如第 9 圖所示，藉由將光阻劑膜 2 7 形成光罩之乾蝕刻來除去記憶元件選擇用 M I S F E T Q s 的 n 型半導體領域 1 9（源極，汲極）的上部的矽氧化膜 2 6，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (3)

25 及 S O G 膜 24。該蝕刻是以矽氧化膜 26，25 及 S O G 膜 24 的蝕刻率大於矽氮化膜 20 之條件下進行，而使覆蓋 n 型半導體領域 19 及元件分離溝 5 的上部之矽氮化膜 20 可完全被除去。接著，藉由將光阻劑膜 27 形成光罩之乾蝕刻來除去記憶元件選擇用 M I S F E T Q_s 的 n 型半導體領域 19（源極，汲極）的上部的矽氮化膜 20 與閘極氧化膜 13，而使能夠在 n 型半導體領域 19（源極，汲極）的一方上部形成接觸孔 28，及另一方上部形成接觸孔 29。該蝕刻是以矽氮化膜 15 的蝕刻率大於矽氧化膜（閘極氧化膜 13 及元件分離溝 5 內的矽氧化膜 7）之條件下進行，而使 n 型半導體領域 19 及元件分離溝 5 不會被深切削。又，該蝕刻是以矽氮化膜 20 被向異性蝕刻的條件下進行，而使矽氮化膜 20 能夠殘留於閘極電極 14 A（字元線 W L）的側壁。藉此，具有微影成像的解像界限以下的微細直徑的接觸孔 28，29 可對閘極電極 14 A（字元線 W L）自我整合形成。在此，對閘極電極 14 A（字元線 W L）自我整合形成接觸孔 28，29 時，亦可事先對矽氮化膜 20 進行向異性蝕刻，而於閘極電極 14 A（字元線 W L）的側壁形成側壁間隔件。

又，第 9 圖之矽氧化膜 26 及光阻劑膜 27 的表面，如第 8 圖所示，是形成沿著周邊電路領域之矽氧化膜 25 表面而落下（落差）之形狀。在第 9 圖中省略該形狀。

其次，在除去光阻劑膜 27 之後，將使用氫氟酸 + 氟化銨混合液等的蝕刻液來去除露出於接觸孔 28，29 的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

底部之基板表面上的乾蝕刻殘渣及光阻劑殘渣等。此刻，露出於接觸孔 28，29 的側壁的 S O G 膜 24 雖然也是浸泡於蝕刻液中，但由於 S O G 膜 24 可藉由上述 800℃ 的燒結處理來減低對氫氟酸系蝕刻液的蝕刻率，因此若利用該溼蝕刻處理的話，則接觸孔 28，29 的側壁大，而不會被下部凹陷的情況發生。藉此，在其次的製程中，可確實地防止埋入接觸孔 28，29 內部的栓塞彼此產生短路。

其次，如第 10 圖所示，在接觸孔 28，29 的內部形成栓塞 30。此栓塞 30 是藉由 C V D 法來堆積被植入 n 型雜質（例如磷（P））的多結晶矽膜之後，利用 C M P 法來研磨該多結晶矽膜，而使殘留於接觸孔 28，29 的內部而形成者。

其次，如第 11 圖所示，在矽氧化膜 26 的上部堆積膜厚 200 nm 左右的矽氧化膜 31 之後，以 800℃ 的溫度來對半導體基板 1 進行熱處理。

矽氧化膜 31 是藉由電漿 C V D 法（使用臭氧（O₃）與四乙氧基矽烷（T E O S）作為原料氣體）來堆積而成。藉此熱處理，構成栓塞 30 的多結晶矽膜中的 n 型雜質會從接觸孔 28，29 的底部擴散至記憶元件選擇用 M I S F E T Q s 的 n 型半導體領域 19（源極，汲極）中，而使 n 型半導體領域 19 形成低電阻化。

其次，如第 12 圖所示，藉由將光阻劑膜 32 形成光罩之乾蝕刻來除去上述接觸孔 28 的上部的矽氧化膜 31

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (5)

，而使栓塞 30 的表面露出。其次，在除去光阻劑膜 32 之後，如第 13 圖所示，藉由將光阻劑膜 33 形成光罩之乾蝕刻來除去周邊領域的矽氧化膜 31，26，25，SOG 膜 24 及閘極氧化膜 13，而使能夠在 n 通道型 MISFETQ_n 的 n⁺ 型半導體領域 23（源極，汲極）的上部形成接觸孔 34，35，以及在 p 通道型 MISFETQ_p 的 p⁺ 型半導體領域 22（源極，汲極）的上部形成接觸孔 36，37。

其次，在除去光阻劑膜 33 之後，如第 14 圖所示，在矽氧化膜 31 的上部形成位元線 BL 及周邊電路的第 1 層配線 38，39。在形成位元線 BL 及周邊電路的第 1 層配線 38，39 時，首先是在矽氧化膜 31 的上部藉由濺射法來堆積膜厚為 50 nm 程度的 Ti 膜，並以 800℃ 的溫度來對半導體基板 1 進行熱處理。其次，在 Ti 膜的上部藉由濺射法來堆積膜厚為 50 nm 程度的 TiN 膜，且在其上部藉由 CVD 法來堆積膜厚為 150 nm 程度的 W 膜與膜厚為 200 nm 程度的矽氮化膜 40，然後再將光阻劑膜 31 形成光罩，而來使這些膜形成圖案。

在矽氧化膜 31 的上部堆積 Ti 膜之後，以 800℃ 的溫度來對半導體基板 1 進行熱處理，藉此 Ti 膜與下層 Si 會有所反應，而使得在 n 通道型 MISFETQ_n 的 n⁺ 型半導體領域 23（源極，汲極）的表面與 p 通道型 MISFETQ_p 的 p⁺ 型半導體領域 22（源極，汲極）的表面與栓塞 30 的表面會形成低電阻的 TiSi₂ 層 42

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(6)

。如此一來，將可以減低連接於 n^+ 型半導體領域 23， p^+ 型半導體領域 22 及栓塞 30 的配線（位元線 BL，第 1 層配線 38，39）的接觸電阻。又，由於可藉由位元線 BL 的構成（W 膜 / TiN 膜 / Ti 膜）來將其薄板電阻減低至 $2\ \Omega/\square$ 以下，因此不僅可以提高資訊的讀取速度及寫入速度，而且還能夠在一個過程中同時形成位元線 BL 與周邊電路的第 1 層配線 38，39，而來縮短 DRAM 的製造過程。又，以和位元線 BL 同層的配線來構成周邊電路的第 1 層配線（38，39）時及以記憶元件的上層的 A1 配線來構成第 1 層配線時相較之下，由於連接周邊電路的 MISFET（ n 通道型 MISFET Q_n ， p 通道型 MISFET Q_p ）與第 1 層配線之接觸孔（34 ~ 37）的寬高比會被減低，因此而得以提高第 1 層配線的連接可靠性。

爲了儘可能減低形成於鄰接之位元線 BL 間的寄生容量而來提高資訊的讀出速度及寫入速度，位元線 BL 的間隔將會形成比寬度來得長。例如，位元線 BL 的間隔爲 $0.24\ \mu m$ 時，其寬度爲 $0.22\ \mu m$ 。

此外，雖然 TiSi₂ 層 42 有可能會因熱處理（後述之資訊儲存用容量元件的容量絕緣膜的形成過程）而產生劣化，但如後述一般，由於在本發明中，容量絕緣膜的形成過程爲低溫化，因此 TiSi₂ 層 42 不會因熱處理而產生劣化，及連接阻抗上升等不良的情況發生。

其次，在除去光阻劑膜 41 之後，如第 15 圖所示，

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明(7)

在位元線 B L 的側壁與第 1 層配線 3 8, 3 9 的側壁形成側壁間隔件 4 3。側壁間隔件 4 3 是在位元線 B L 及第 1 層配線 3 8, 3 9 的上部藉由 C V D 法來堆積矽氮化膜之後, 對該矽氮化膜進行向異性蝕刻而形成者。

其次, 如第 1 6 圖所示, 在位元線 B L 及第 1 層配線 3 8, 3 9 的上部旋轉塗佈膜厚 3 0 0 n m 程度的 S O G 膜 4 4。接著, 對半導體基板 1 實施 8 0 0 °C, 1 分鐘之熱處理, 然後再對 S O G 膜 4 4 進行燒結處理。由於 S O G 膜 4 4 的回流性要比 B P S G 膜來得高, 且微細配線間的間隙填充性佳, 因此能夠良好地埋入被微細化至微影成像的解像界限為止的位元線 B L 彼此間的間隙中。又, 由於 S O G 膜 4 4 即使不進行高溫, 長時間的熱處理(對 B P S G 膜而言是必要的), 依然可以取得高回流性, 因此而能夠抑止形成於位元線 B L 的下層之記憶元件選擇用 M I S F E T Q_s 的源極, 汲極, 及周邊電路的 M I S F E T (n 通道型 M I S F E T Q_n, p 通道型 M I S F E T Q_p) 的源極, 汲極中所含的雜質產生熱擴散, 而使能夠謀求淺接合化。又, 由於可以抑止構成閘極電極 1 4 A (字元線 W L) 及閘極電極 1 4 B, 1 4 C 的金屬(W 膜)產生劣化, 因此可以實現用以構成 D R A M 的記憶元件及周邊電路之 M I S F E T 的高性能化。又, 可抑止位元線 B L 及構成第 1 層配線 3 8, 3 9 的 T i 膜, T i N 膜, W 膜的劣化, 而得以謀求配線電阻的降低。

其次, 在 S O G 膜 4 4 的上部堆積膜厚 6 0 0 n m 程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

度的矽氧化膜 45 之後，利用 C M P 法來研磨該矽氧化膜 45，使其表面平坦化。該矽氧化膜 45，例如可利用電漿 C V D 法（使用臭氧（ O_3 ）與四乙氧基矽烷（T E O S）作為原料氣體）來堆積而成。

如此一來，由於本實施形態是在位元線 B L 及第 1 層配線 38，39 的上部成膜後馬上塗佈平坦性良好的 S O G 膜 44，並且利用 C M P 法來使堆積於其上部的矽氧化膜 45 平坦化，因此不僅可以提高位元線 B L 彼此間之微細間隙的間隙填充性，同時還能夠實現位元線 B L 及第 1 層配線 38，39 的上部之絕緣膜的平坦化。又，由於不必進行高溫、長時間的熱處理，因此可以防止記憶元件及構成周邊電路之 M I S F E T 的特性劣化，而使得能夠實現高性能化，同時還能夠謀求位元線 B L 及第 1 層配線 38，39 的低電阻化。

其次，在矽氧化膜 45 的上部堆積膜厚 100 nm 程度的矽氧化膜 46。該矽氧化膜 46 是為了修補在進行 C M P 法的研磨時上述矽氧化膜 45 的表面所產生的微細損傷。在此，矽氧化膜 46，例如可利用電漿 C V D 法（使用臭氧（ O_3 ）與四乙氧基矽烷（T E O S）作為原料氣體）來堆積而成。

其次，如第 17 圖所示，藉由將光阻劑膜 47 形成光罩之乾蝕刻來除去接觸孔 29 的上部的矽氧化膜 46，45，S O G 膜 44 及矽氧化膜 31，而使形成可到達栓塞 30 的表面之貫通孔 48。該蝕刻是以矽氮化膜的蝕刻

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(9)

率小於矽氧化膜 46，45，31 及 S O G 膜 44 的蝕刻率之條件下進行，即使貫通孔 48 與位元線 B L 有接合偏移的情況發生，位元線 B L 上部的矽氮化膜 40 及側壁間隔件 43 也不會被深切削。藉此，貫通孔 48 可對位元線 B L 自我整合而形成。

其次，在除去光阻劑膜 47 之後，將使用氫氟酸 + 氟化銨混合液等的蝕刻液來去除露出於接觸孔 48 的底部之栓塞 30 的表面的乾蝕刻殘渣及光阻劑殘渣等。此刻，露出於接觸孔 48 的側壁的 S O G 膜 44 雖然也是浸泡於蝕刻液中，但由於 S O G 膜 44 可藉由上述 800℃ 的燒結處理來減低對氫氟酸系蝕刻液的蝕刻率，因此若利用該溼蝕刻處理的話，則接觸孔 48 的側壁大，而不會被下部凹陷的情況發生。藉此，在其次的製程中，可確實地防止埋入接觸孔 48 內部的栓塞與位元線 B L 彼此產生短路。又，由於充分地使栓塞與位元線 B L 分離，因此可以抑止位元線 B L 的寄生容量增加。

其次，如第 18 圖所示，在貫通孔 48 的內部形成栓塞 49。此栓塞 49 是由多結晶矽膜所構成，與栓塞 30 相同地形成。栓塞 49 只要是導體層即可，亦可為鎢 (W) 等之金屬膜。

其次，如第 19 圖所示，在矽氧化膜 46 的上部堆積膜厚 1.3 nm 程度的絕緣膜 (例如矽氧化膜 50)，並以光阻劑膜 51 作為光罩來對矽氧化膜 50 進行乾蝕刻，而藉此來形成溝 52 或開口。在此，矽氧化膜 50，例如

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(20)

可利用電漿 C V D 法（使用臭氧（ O_3 ）與四乙氧基矽烷（T E O S）作為原料氣體）來堆積而成。又，溝 5 2 是被開口於栓塞 4 9 的上部，並且一直行進至栓塞 4 9 的上面露出為止。而且，在溝 5 2 的內壁形成有後述之電容器的下部電極。

其次，在除去光阻劑膜 5 1 之後，如第 2 0 圖所示，堆積第 1 層的非晶質矽膜 5 3。非晶質矽膜 5 3 是藉由 C V D 法堆積而成，其膜厚為 3 0 n m。並且，在非晶質矽膜 5 3 中導入濃度為： $4.0 \times 10^{20} \text{ atom} / \text{cm}^3$ 的磷（P）。磷的導入雖可藉由 C V D 法在堆積非晶質矽膜 5 3 時將雜質氣體（例如磷化氫（ PH_3 ））混入原料氣體而導入，但並非只限於此，亦可使用離子植入法等來導入雜質。又，第 1 層的非晶質矽膜 5 3，雖如後述被結晶化後形成多結晶矽膜，形成下部電極的一部份，但由於不是仰賴粒狀矽結晶的成長，而是在膜狀態下被結晶化，因此可確保下部電極的導電性。又，由於是導入較高濃度（ $4.0 \times 10^{20} \text{ atom} / \text{cm}^3$ ）的雜質，因此這點也能夠確保下部電極的導電性。

其次，在將半導體基板 1 保持於 C V D 裝置的反應室內的狀態下，使反應室洩漏，而來將空氣導入至反應室內。然後如第 2 1 圖所示，堆積第 2 層的非晶質矽膜 5 4。該非晶質矽膜 5 4 是藉由 C V D 法堆積而成，其膜厚為 2 0 n m。並且，在非晶質矽膜 5 4 中導入濃度為： $1.5 \times 10^{20} \text{ atom} / \text{cm}^3$ 的磷（P）。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(1)

又，非晶質矽膜 5 4 為成長成粒狀矽結晶的原料層，且粒狀結晶是構成下部電極的表面部份。因此，將使用較低的雜質濃度 ($1.5 \times 10^{20} \text{ atom/cm}^3$) 來容易地控制粒狀結晶的粒徑高度。並且，可根據非晶質矽膜 5 4 的膜厚來調整粒狀結晶的高度，亦即下部電極的膜厚。例如欲提高粒狀結晶的高度時，是增大非晶質矽膜 5 4 的膜厚，欲降低粒狀結晶的高度時，是縮小非晶質矽膜 5 4 的膜厚。藉此，將可藉由非晶質矽膜 5 4 的膜厚來容易地調整粒狀結晶的高度。

又，被導入非晶質矽膜 5 3，5 4 中的雜質濃度並非只限於上述者。由確保下部電極的導電性的觀點來看，非晶質矽膜 5 3 的雜質濃度愈高愈好，但若太高，則有可能無法進行雜質植入，而妨礙結晶化。因此，最好是將非晶質矽膜 5 3 的雜質濃度設定在 $1 \times 10^{20} \text{ atom/cm}^3$ 以上， $1 \times 10^{22} \text{ atom/cm}^3$ 以下。又，若考量粒狀結晶的成長性的話，則非晶質矽膜 5 4 的雜質濃度最好是較為低，因此，最好是將非晶質矽膜 5 4 的雜質濃度設定在 $5 \times 10^{20} \text{ atom/cm}^3$ 以上， $1.5 \times 10^{20} \text{ atom/cm}^3$ 以下。亦即，將非晶質矽膜 5 4 的雜質濃度設定成比非晶質矽膜 5 3 的雜質濃度還要低是非常重要的。

又，非晶質矽膜 5 3，5 4 的膜厚並非只限於上述者。由確保下部電極的導電性的觀點來看，非晶質矽膜 5 3 的膜厚是以較厚為佳，但若太厚，則無法進行微細加工。因此，最好是將非晶質矽膜 5 3 的膜厚設定在 20 nm 以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

上，100nm以下。又，由於非晶質矽膜54是形成粒狀結晶的原料層，因此若膜厚太厚，則會有較大（高度較高）的粒狀結晶成長，而會影響到微細加工。但若太薄，則粒狀結晶無法成長。因此，可將非晶質矽膜55的膜厚設定在20nm以上。

如以上所述，在堆積第2層的非晶質矽膜54之前，由於是將第1層的非晶質矽膜53一度暴露於空氣中，因此如第22圖所示，在非晶質矽膜53與非晶質矽膜54之間會有自然氧化膜55形成。

自然氧化膜55的膜厚為2nm以下。在第22圖中，自然氧化膜55雖是形成連續的膜，但並非一定是膜，亦可為島狀的矽氧化物。又，自然氧化膜55為絕緣膜或金屬膜（具有用以阻礙矽原子的移動之功能的阻礙物），亦即在第2層的非晶質矽膜54的結晶化時，僅將形成粒狀結晶的原料之矽原子的供給限定於來自非晶質矽膜54，並且沒有從第1層的非晶質矽膜53供給寄與粒狀矽結晶的成長之矽原子。

又，在此雖是藉由空氣的解放來將第1層的非晶質矽膜53的表面暴露於空氣中而形成自然氧化膜55，但亦可直接將上述用以阻礙矽原子的移動之阻礙物形成薄膜或附著物。又，亦可進行極短時間的氧化膜堆積，或者是進行氧化劑（例如臭氧）及氧化氮等的曝露，或者是在氧化環境中進行電漿處理，紫外線照射處理等。

其次，如第23圖所示，堆積埋入溝52的絕緣膜

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (3)

56。並且，最好是藉由絕緣膜56的堆積來使其表面大致形成平坦。又，由於絕緣膜56之後會被深蝕刻，針對溝52內的殘存物進行蝕刻而予以除去，因此最好是由：對氧化膜50而言，較容易蝕刻的材料（蝕刻選擇比較大者）所構成者。例如，SOG（Spin On Glass）膜，光阻劑等的有機樹脂。

其次，如第24圖所示，藉由乾蝕刻來對絕緣膜56進行深蝕刻。該深蝕刻是一直進行到溝52以外的矽氧化膜50表面的非晶質矽膜53，54被蝕刻為止。如此一來，筒形的非晶質矽膜53，54的層疊膜僅被選擇性地殘存於溝52的內部。

其次，如第25圖所示，例如藉由HF（氫氟酸）系的乾蝕刻來除去溝52內的絕緣膜56，而使非晶質矽膜54的表面露出。

其次，如第26圖所示，對非晶質矽膜54進行結晶化，而使粒狀矽結晶57成長。粒狀矽結晶57的成長是分成兩個階段。首先是形成矽核的階段，其次是促進矽的粒成長的階段。此兩階段是連續進行處理。

形成矽核的條件為：例如於壓力 1×10^{-3} Torr的SiH₄氣體環境中，以處理溫度740℃，處理時間60秒的條件來保持半導體基板1。藉此，而使得能夠在非晶質矽膜54的表面上形成矽核。其次，熱處理條件為：處理壓力 1×10^{-3} Torr，處理溫度740℃，處理時間150秒。在此條件下來使矽進行粒成長。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (4)

在此，如上述，粒狀矽結晶 5 7 是由非晶質矽膜 5 4 所供給的矽來進行成長，並沒有從非晶質矽膜 5 3 來供給矽。這是因為根據矽移動阻礙物（自然氧化膜 5 5）的機能，來自非晶質矽膜 5 3 的矽不會產生移動之故。此結果，即使藉上述熱處理（自非晶質矽膜 5 4 供給矽）而產生於表面的矽核是利用來自非晶質矽膜 5 4 的矽而成長，只要非晶質矽膜 5 4 變無，亦即矽被供應終了，粒狀矽結晶 5 7 的成長會在此停止。這是因為可以根據非晶質矽膜 5 4 的膜厚來控制粒狀矽結晶 5 7 的高度（凹凸的高度）所致。因此，就根據以往的熱處理時間來控制成長粒的大小（高度）時，會形成幾乎與時間無關，亦即可以不依熱處理時間來調整粒狀矽結晶 5 7 的高度（大小）。即所謂自我終了型的反應，控制性極為良好，製程領域變得更廣，有助於過程的安定化，以及耐久性的提升。

其次，施以 800℃ 的熱處理，使第 1 層的非晶質矽膜 5 3 結晶化，而形成多結晶矽膜 5 8。如此一來，將可形成由多結晶矽膜 5 8 及粒狀矽結晶 5 7 所構成的下部電極 5 9。又，上述之核形成的各處理條件並非只限定於此。例如，溫度及處理時間的條件亦可任意選擇其他的條件，並且可使用乙矽烷（ Si_2H_6 ）來取代甲矽烷。

第 27 圖是表示將下部電極 5 9 的一部份予以模式擴大後的剖面圖。其中，粒狀矽結晶 5 7 幾乎是完全接受來自非晶質矽膜 5 4 的矽而成長。因此，粒狀矽結晶 5 7 彼此並沒有以膜來連結，而是形成附著於多結晶矽膜 5 8 的

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明 (25)

表面之狀態。另一方面，多結晶矽膜 5 8 是藉由結晶彼此在粒界的接觸來取得充分的電氣性導通，又，因為不是由非晶質矽膜 5 3 來供給矽，所以其膜厚不會減少，而使得能夠維持非晶質矽膜 5 3 的原來形狀而結晶化。又，多結晶矽膜 5 8 是由非晶質矽膜 5 3 藉固相成長而結晶化形成。因此，多結晶矽膜 5 8 的表面極為平坦，其表面粗度（例如取 5 點平均粗度）為多結晶矽膜 5 8 的厚度的 10 % 以下。亦即，在形成粒狀矽結晶 5 7 的部份及其間的部份，多結晶矽膜 5 8 的厚度幾乎相等。

又，粒狀矽結晶 5 7 與多結晶矽膜 5 8 的面方位不同。這表示粒狀矽結晶 5 7 與多結晶矽膜 5 8 不會受到其中一方的結晶性的影響而結晶化，其原因乃存在有自然氧化膜 5 5 所致。

第 2 8 圖是表示以電子顯微鏡（SEM）來觀察實際的下部電極形狀後之剖面形狀的照片複寫圖。第 2 8 圖所示的部份相當於第 2 6 圖的 A 部份。如第 2 6 圖所示，第 1 層的非晶質矽膜 5 3 結晶化後的多結晶矽膜 5 8（亦即，沿著矽氧化膜 5 0 的側壁而具有同等的膜厚）大致為平坦，而且在其平坦的多結晶矽膜 5 8 的表面上附著有粒狀矽結晶 5 7；等之狀態被觀察出。並且，粒狀矽結晶 5 7 的高度是均一形成，亦即粒成長被控制的極為良好。而且，在粒狀矽結晶 5 7 的表面上所繪者為以下將說明的容量絕緣膜 6 0。

又，在第 2 7 圖中，雖是將自然氧化膜 5 5 描繪成連

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(6)

續的膜，但這並非是形成自然氧化膜 5 5 的要件，而是與上述同樣的，只不過是爲了便於顯示而描繪出此狀態。因此，自然氧化膜 5 5 實際上亦可爲形成島狀的矽氧化膜，或者亦可具有不存在矽氧化膜的界面領域。又，由於自然氧化膜 5 5 極薄，因此實際上當然不是第 2 8 圖之 S E M 照片所示之複寫圖。

其次，如第 2 9 圖所示，在半導體基板 1 的全面上形成容量絕緣膜 6 0（介電質膜）。容量絕緣膜 6 0 是例如藉由 C V D 法，以矽氧化膜，矽氮化膜，矽氧化膜的層疊膜來構成。此情況同樣的爲了防止矽氧化膜的下部電極表面氧化，亦可於容量絕緣膜 6 0 的形成之前，例如在氨氣環境中進行熱處理，而來使下部電極的表面氮化。

又，容量絕緣膜 6 0 亦可使用氧化鋇膜。在此，氧化鋇膜亦可藉由 C V D 法來堆積非晶質的氧化鋇膜，並以氧氣環境的熱處理來使其結晶化，而形成多結晶氧化鋇膜。此情況同樣的爲了防止下部電極表面氧化，亦可於容量絕緣膜 6 0 的形成之前，例如在氨氣環境中進行熱處理，而來使下部電極的表面氮化。

其次，在容量絕緣膜 6 0 上堆積形成上部電極的導電體膜 6 1，並且如第 3 0 圖所示，以光阻劑膜 6 2 作爲光罩來蝕刻導電體膜 6 1 及容量絕緣膜 6 0。在此，導電體膜 6 1 例如可爲多結晶矽膜，氮化鎢膜，鎢膜及氮化鈦膜等。

其次，除去光阻劑膜 6 2，並且如第 3 1 圖所示，在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(7)

資訊儲存用容量元件 C 的上部堆積膜厚 40 nm 程度的矽氧化膜 63。矽氧化膜 63，例如可利用電漿 CVD 法（使用臭氧（O₃）與四乙氧基矽烷（TEOS）作為原料氣體）來堆積而成。之後，藉由將光阻劑膜形成光罩之乾蝕刻來除去周邊電路的第 1 層配線 38 的上部的絕緣膜，而藉此來形成貫通孔 64。然後，在貫通孔 64 的內部形成栓塞 65，接著在矽氧化膜 63 的上部形成第 2 層配線 66。栓塞 65 是在矽氧化膜 63 的上部藉由濺射法來堆積膜厚 100 nm 程度的 TiN 膜，並且在上面利用 CVD 法來堆積膜厚 500 nm 程度的 W 膜之後，對這些膜進行深蝕刻，而使其殘留於貫通孔 64 的內部而形成。第 2 層配線 66 是在矽氧化膜 63 的上面藉由濺射法來堆積膜厚 50 nm 程度的 TiN 膜，膜厚 500 nm 程度的 Al 膜，膜厚 500 nm 程度的 Ti 膜之後，藉由將光阻劑膜形成光罩之乾蝕刻來使這些膜形成圖案。

之後，經由層間絕緣膜來形成第 3 層配線，並且在上面堆積由矽氧化膜與矽氮化膜所構成的鈍化膜（在此省略圖示）。本實施形態的 DRAM 將藉由以上的過程而大致完成。

又，第 3 層配線及連接於彼之栓塞可與第 2 層配線的情況時同樣地形成。層間絕緣膜，例如可以膜厚 300 nm 程度的矽氧化膜，膜厚 400 nm 程度的 SOG 膜及膜厚 300 nm 程度的矽氧化膜來構成。在此，矽氧化膜，例如可利用電漿 CVD 法（使用臭氧（O₃）與四乙氧基

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (8)

矽烷 (TEOS) 作為原料氣體) 來堆積而成。

若利用本實施形態，則可控制良好地形成粒狀矽結晶 57。藉此，將可提供一種具有對應於微細加工的粒狀矽結晶之多結晶矽膜。

又，由於多結晶矽膜 58 無關於粒狀矽結晶 57 的成長，而能夠維持其膜厚，因此可以充分地確保下部電極 59 的導電性。此導電性亦可藉由對形成多結晶矽膜 58 的非晶質矽膜 53 之雜質導入量的調整來予以維持良好。

又，對多結晶矽膜 58 之雜質的多量導入，亦具有控制下部電極 59 的空乏層的形成之效果。亦即，在構成下部電極 59 的多結晶矽膜 58 中導入大量的雜質，另一方面，考量粒狀矽結晶 57 的成長阻礙性而減少雜質量。但若經過容量絕緣膜 60 的形成過程等高溫的熱製程的話，則多結晶矽膜 58 中的雜質會被充分地活性化，或者產生由多結晶矽膜 58 往粒狀矽結晶 57 的雜質擴散。在粒成長之後，雜質濃度的增加對結晶性等並沒有任何的影響，倒是能夠抑止空乏層的形成，而得以控制容量值的降低。此結果，將可增加儲存電荷量而來提高 DRAM 的恢復特性。

此外，在本實施形態中，非晶質矽膜 54 雖是全部成長成粒狀矽結晶 57，但如第 32 圖所示，非晶質矽膜 54 的一部份可成長為粒狀矽結晶 67，一部份則形成多結晶矽膜 68。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

【實施形態2】

第33圖～第35圖是表示實施形態2之DRAM的製造過程之一例的過程順序剖面圖。在第33圖～第35圖中，圖(a)是表示DRAM之資訊儲存用容量元件的部份擴大剖面圖，圖(b)是表示構成資訊儲存用容量元件的下部電極之一部份的擴大剖面圖。

本實施形態之DRAM的電路構成及平面構成是與第1圖及第2圖相同。並且，除了資訊儲存用容量元件C的構造以外，其餘與實施形態1相同。因此，以下僅針對不同的部份加以說明，同樣的部份省略說明。

本實施形態2之DRAM的製造方法與實施形態1之第19圖為止的過程相同。之後，如第33(a)所示，以能夠覆蓋矽氧化膜50的溝52的內部之方式來形成多結晶矽膜69。上述實施形態1是在堆積非晶質矽膜53後進行熱處理而形成結晶化，相對的本實施形態是以能夠形成多結晶矽膜之方式，藉由CVD法來堆積多結晶矽膜69。因此，如第33(b)圖所示，在表面會因多結晶矽膜的結晶粒成長而形成某程度上的凹凸。

其次，如第34(a)圖所示，在多結晶矽膜69上堆積非晶質矽膜70。又，如第34(b)圖所示，在本實施形態中並未形成自然氧化膜。

其次，與實施形態1之第23及24圖的過程相同，只有使多結晶矽膜69及非晶質矽膜70殘存於溝52內，並且如第35(a)圖所示，在非晶質矽膜70上進行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

與實施形態 1 相同之供以形成矽核及促進粒成長的熱處理，而使粒狀矽結晶 7 1 成長。

雖然本實施形態沒有形成阻礙膜（氧化膜），但是因為粒狀矽結晶 7 1 的原料層（非晶質矽膜 7 0）是形成於多結晶矽膜 6 9 上，所以在粒狀矽結晶 7 1 的成長中不會自多結晶矽膜 6 9 供給矽。因此，即是不具有阻礙層，還是可以取得控制性良好的粒狀矽結晶 7 1。在此，多結晶矽膜 6 9 及非晶質矽膜 7 0 的膜厚，及雜質濃度與實施形態 1 相同。

由於粒狀矽結晶 7 1 的成長是從被結晶化的多結晶矽膜 6 9 上所形成的非晶質矽膜 7 0 來供給 Si，而非由多結晶矽膜 6 9 來供給矽，因此如第 3 5（b）圖所示，即是粒狀矽結晶 7 1 成長後，依然可維持多結晶矽膜 6 9 的膜厚，而得以藉由多結晶矽膜 6 9 來確保必要的導電性。

此外，亦可如第 3 6 圖所示，非晶質矽膜 7 0 的一部份成長為粒狀矽結晶 7 2，一部份則形成多結晶矽膜 7 3。

【實施形態 3】

第 3 7 圖～第 3 9 圖是表示實施形態 3 之 D R A M 的製造過程之一例的過程順序剖面圖。在第 3 7 圖～第 3 9 圖中，圖（a）是表示 D R A M 之資訊儲存用容量元件的部份擴大剖面圖，圖（b）是表示構成資訊儲存用容量元件的下部電極之一部份的擴大剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(1)

本實施形態之製造方法，除了形成阻礙膜（自然氧化膜）以外，其餘與實施形態2之製造方法相同。因此，以下僅針對不同的部份加以說明，同樣的部份省略說明。

首先，與實施形態2之第33圖的情況相同，形成多結晶矽膜69。然後，如第37圖所示，藉由反應室的洩漏來使多結晶矽膜69暴露於空氣中，而來形成自然氧化膜74。

其次，如第38圖所示，與實施形態2同樣的形成非結晶矽膜70。又，由於在本實施形態中形成有自然氧化膜74，因此在堆積非結晶矽膜70時不會有同質磊晶成長（反映多結晶矽膜69的結晶性）之虞。亦即，依非結晶矽膜70的堆積條件，有可能會產生同質磊晶成長，而導致在非結晶矽膜70中含有微結晶，但在本實施形態中發生此情況的機率非常的低。亦即，自然氧化膜74可阻礙非結晶矽膜70的磊晶成長（結晶化）。

其次，如第39圖所示，與實施形態2同樣的，只有使多結晶矽膜69及非晶質矽膜70殘存於溝52內，並使粒狀矽結晶71成長。

又，由於本實施形態中形成有結晶化阻礙膜（自然氧化膜74），因此幾乎可以完全堆積成非晶質矽膜70，而能夠確實地使粒狀矽結晶71成長。

又，與實施形態1，2同樣的，當然也可以在中途停止粒狀矽結晶71的成長，而形成具有粒狀部的多結晶矽膜。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

【實施形態 4】

第 40 圖～第 43 圖是表示實施形態 4 之 D R A M 的製造過程之一例的過程順序剖面圖，及 D R A M 之資訊儲存用容量元件的部份擴大剖面圖。

本實施形態之 D R A M 的電路構成及平面構成是與第 1 圖及第 2 圖相同。並且，除了資訊儲存用容量元件 C 的構造以外，其餘與實施形態 1 相同。因此，以下僅針對不同的部份加以說明，同樣的部份省略說明。

本實施形態之 D R A M 的製造方法與實施形態 1 之第 19 圖為止的過程相同。之後，如第 40 所示，以能夠覆蓋矽氧化膜 50 的溝 52 的內部之方式來形成非晶質矽膜 75。接著在上述實施形態 1 中是堆積非晶質矽膜，然本實施形態則是如第 41 圖所示，在此階段使非晶質矽膜 75 粒成長，而形成粒狀矽結晶 76。藉此，由於是在第 1 層的非晶質矽膜 75 使成長成粒狀矽結晶 76，因此可不用考慮下層的結晶性及阻礙膜的介在與否，而能夠控制性良好地形成粒狀矽結晶 76。

其次，如第 42 圖所示，全面堆積多結晶矽膜 77。並且，多結晶矽膜 77 亦可在堆積非晶質矽膜之後，使其固相成長而形成。

其次，如第 43 圖所示，與實施形態 1 同樣的來形成填埋溝 52 的絕緣膜 56，又，如第 44 圖所示，與實施形態 1 同樣的，對絕緣膜 56 進行深蝕刻，而來除去矽氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

化膜 50 上的多結晶矽膜 77 及粒狀矽結晶 76，並且除去殘存於溝 52 內的絕緣膜 56。如此一來，將可形成由多結晶矽膜 77 及粒狀矽結晶 76 所構成的下部電極。之後的過程則與實施形態 1 相同。

若利用本實施形態，則可不用考慮下層的結晶性及阻礙膜的介在與否，而能夠控制性良好地形成粒狀矽結晶 76，並且可以藉由多結晶矽膜 69 來確保必要的導電性。非晶質矽膜 75 相當於實施形態 1 的非晶質矽膜 54，多結晶矽膜 77 相當於實施形態 1 的非晶質矽膜 53。而其膜厚或雜質濃度可適用實施形態 1 中之各相當的膜的值。

又，於本實施形態中，在堆積非晶質矽膜 75 前，如第 45 圖所示，可形成接合膜 78。該接合膜 78 可提高藉非晶質矽膜 75 的結晶化而形成的粒狀矽結晶 76 對矽氧化膜 50 的接合性。又，接合膜 78，例如也可使用多結晶矽膜，膜厚為 20 nm 以下的薄膜。

又，藉由非晶質矽膜 75 的結晶化而形成的粒狀矽結晶 76 成長後，如第 46 圖所示，粒狀矽結晶 76 是經由接合膜 78 來接合於矽氧化膜 50，因此難以剝離。又，亦可在接合膜 78 與非晶質矽膜 75 的界面形成自然氧化膜等的阻礙膜。

以上，雖是根據上述實施形態來具體說明本案發明，但並非只限定於上述

實施形態，只要不脫離本發明的主旨範圍，亦可進行

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (4)

種種的變更。

例如，在上述實施形態中，資訊儲存用容量元件雖為筒狀，但亦可為煙囪狀，鰭狀等。

又，在上述實施形態 2 中，雖是以多結晶矽膜來作為下部電極的第 1 層，但並非只限定於此，亦可使用鎢矽化物膜，鈦矽化物膜或鈷矽化物膜等之金屬矽化物膜，或者是鎢膜，鈦膜，鈷膜，氮化鈦膜或氮化鎢膜等之金屬膜或金屬化合物膜。又，亦可使用多結晶矽膜與金屬矽化物膜，金屬膜或金屬化合物膜之層疊膜。

【發明之效果】

以下，將簡單說明根據本發明所取的效果。

(1) 可以控制包含粒狀矽的部份（凹凸部份）之適用於電容器下部電極的多結晶矽膜的膜厚。

(2) 可以容易地控制多結晶矽膜表面的粒狀矽（凹凸）的高度。

(3) 可以防止適用於電容器下部電極的多結晶矽膜的高電阻化，進而可以確保下部電極的導電性。

(4) 可以防止在構成電容器下部電極的多結晶矽膜與容量絕緣膜間的界面產生多結晶矽膜的空乏層（空乏化），進而可以抑止因空乏化而造成儲存容量的降低。

【圖面之簡單的說明】

第 1 圖是表示形成實施形態 1 之 D R A M 後之半導體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

晶片的全體平面圖。

第2圖是表示實施形態1之DRAM的等價電路圖。

第3圖~第26圖是表示實施形態1之DRAM的製造過程之一例的過程順序剖面圖。

第27圖是表示將下部電極的一部份予以模式擴大後的剖面圖。

第28圖是表示觀察下部電極剖面形狀後之SEM照片的複寫圖。

第29圖~第31圖是表示實施形態1之DRAM的製造過程之一例的過程順序剖面圖。

第32圖是表示將實施形態1之DRAM的製造過程之其他例擴大後顯示之剖面圖。

第33圖~第35圖是表示實施形態2之DRAM的製造過程之一例的過程順序剖面圖。

第36圖是表示實施形態2之DRAM的製造過程之其他例的過程順序剖面圖。

第37圖~第40圖是表示實施形態3之DRAM的製造過程之一例的過程順序剖面圖。

第41圖~第46圖是表示實施形態4之DRAM的製造過程之一例的過程順序剖面圖。

【符號之說明】

1：半導體基板

5：溝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明書(6)

- 7 : 矽氧化膜
- 10 : n 型半導體領域
- 11 : p 型阱
- 12 : n 型阱
- 13 : 閘極氧化膜
- 14 A , 14 B , 14 C : 閘極電極
- 16 : 光阻劑膜
- 19 : n 型半導體領域
- 20 : 矽氮化膜
- 20 a : 側壁間隔件
- 21 : 光阻劑膜
- 22 : p + 型半導體領域
- 23 : n + 型半導體領域
- 24 : S O G 膜
- 25 , 26 : 矽氧化膜
- 27 : 光阻劑膜
- 28 , 29 : 接觸孔
- 30 : 栓塞
- 31 : 矽氧化膜
- 32 : 光阻劑膜
- 33 : 光阻劑膜
- 34 , 35 : 接觸孔
- 36 , 37 : 接觸孔
- 38 , 39 : 第 1 層配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

- 40 : 矽氮化膜
- 41 : 光阻劑膜
- 42 : $TiSi_2$
- 43 : 側壁間隔件
- 44 : SOG 膜
- 45 : 矽氧化膜
- 46 : 矽氧化膜
- 47 : 光阻劑膜
- 48 : 貫通孔
- 49 : 栓塞
- 50 : 矽氧化膜
- 51 : 光阻劑膜
- 52 : 溝
- 53 : 非晶質矽膜
- 54 : 非晶質矽膜
- 55 : 自然氧化膜
- 56 : 絕緣膜
- 57 : 粒狀矽結晶
- 58 : 多結晶矽膜
- 59 : 下部電極
- 60 : 容量絕緣膜
- 61 : 導電體膜
- 62 : 光阻劑膜
- 63 : 矽氧化膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

6 4 : 貫通孔

6 5 : 栓塞

6 6 : 第 2 層配線

6 7 : 粒狀矽結晶

6 8 : 多結晶矽膜

6 9 : 多結晶矽膜

7 0 : 非晶質矽膜

7 1 : 粒狀矽結晶

7 2 : 粒狀矽結晶

7 3 : 多結晶矽膜

7 4 : 自然氧化膜

7 5 : 非晶質矽膜

7 6 : 粒狀矽結晶

7 7 : 多結晶矽膜

7 8 : 接合膜

1 A : 半導體晶片

M A R Y : 記憶體陣列

S A : 讀出放大器

W D : 字元驅動器

W L : 字元線

B L : 位元線

M C : 記憶元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體裝置及其製造方法)

本發明是有關半導體裝置及其製造方法，亦即以能夠沿著形成於矽氧化膜50的溝50的內面來形成第1矽膜，並且在第1矽膜的表面上形成氧化膜，而且堆積第2非晶質矽膜。然後在第1矽膜的表面上實施供以形成矽核及促進粒成長的熱處理，而得以自第2非晶質膜形成粒狀矽結晶57(粒成長)。藉此，將可減低容量元件的下部電極59的電阻。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

原

六、申請專利範圍

1、一種半導體裝置，具有：半導體基板，及形成於上述基板的主面的M I S F E T，及功能上作為上述M I S F E T的源極或汲極用之電氣性連接於半導體領域的第1電極，與對向於上述第1電極而形成的第2電極，及以夾在上述第1，第2電極之間的容量絕緣膜所構成的資訊儲存用容量元件等之半導體裝置；其特徵為：

上述第1電極具有：第1矽膜，及具有形成於上述第1矽膜的表面之粒狀體的第2矽膜；

在上述第1矽膜與上述第2矽膜的界面具有阻礙矽原子的移動之矽原子移動阻礙物。

2、如申請專利範圍第1項之半導體裝置，其中上述矽原子移動阻礙物為：形成於上述第1矽膜的表面之矽氧化膜。

3、一種半導體裝置，具有：半導體基板，及形成於上述基板的主面的M I S F E T，及功能上作為上述M I S F E T的源極或汲極用之電氣性連接於半導體領域的第1電極，與對向於上述第1電極而形成的第2電極，及以夾在上述第1，第2電極之間的容量絕緣膜所構成的資訊儲存用容量元件等之半導體裝置；其特徵為：

上述第1電極具有：第1矽膜，及包含形成於上述第1矽膜的表面之粒狀矽的第2矽膜；

在上述第1矽膜與上述第2矽膜的界面具有矽氧化膜。

4、如申請專利範圍第3項之半導體裝置，其中上述

六、申請專利範圍

矽氧化膜的膜厚為 2 nm 以下。

5、如申請專利範圍第 3 項之半導體裝置，其中上述矽氧化膜為：在成為上述第 1 矽膜的矽膜形成後，將上述矽膜的表面曝露於含有氧的環境中而形成之矽的自然氧化膜。

6、如申請專利範圍第 3 項之半導體裝置，其中上述第 1 矽膜的表面為平坦。

7、如申請專利範圍第 6 項之半導體裝置，其中上述第 1 矽膜的表面粗度為其膜厚的 10 % 以下。

8、一種半導體裝置，具有：半導體基板，及形成於上述基板的主面的 M I S F E T，及功能上作為上述 M I S F E T 的源極或汲極用之電氣性連接於半導體領域的第 1 電極，與對向於上述第 1 電極而形成的第 2 電極，及以夾在上述第 1，第 2 電極之間的容量絕緣膜所構成的資訊儲存用容量元件等之半導體裝置；其特徵為：

上述第 1 電極具有第 1 導電膜，在上述第 1 導電膜的表面具有：具有粒狀體的第 2 矽膜。

9、如申請專利範圍第 8 項之半導體裝置，其中上述第 1 導電膜是由：多結晶矽膜，金屬矽化物膜，多結晶矽膜與金屬矽化物膜或金屬膜的層疊膜，金屬膜或金屬化合物膜等之中所選擇出來的導電膜。

10、如申請專利範圍第 9 項之半導體裝置，其中上述金屬矽化物膜是由：鎢矽化物膜，鈦矽化物膜或鈷矽化物膜等之中所選擇出來的金屬矽化物膜，上述金屬膜或金

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

屬化合物膜是由：鎢膜，鈦膜，鈷膜，氮化鈦膜或氮化鎢膜等之中所選擇出來的金屬膜或金屬化合物膜。

1 1、如申請專利範圍第 8 項之半導體裝置，其中上述第 1 導電膜與上述第 2 矽膜的界面中具有矽氧化膜。

1 2、如申請專利範圍第 1 項之半導體裝置，其中上述第 1 矽膜的結晶面方位與上述第 2 矽膜的結晶面方位不同。

1 3、如申請專利範圍第 1 項之半導體裝置，其中上述第 1 矽膜的膜厚為 20 nm 以上，100 nm 以下。

1 4、如申請專利範圍第 1 項之半導體裝置，其中含於上述第 1 矽膜中的雜質濃度為 1×10^{20} atoms / cm^3 以上， 1×10^{22} atoms / cm^3 以下。

1 5、如申請專利範圍第 1 項之半導體裝置，其中含於上述第 2 矽膜中的雜質濃度為 5.0×10^{20} atoms / cm^3 以下。

1 6、一種半導體裝置之製造方法，其特徵包含：

(a) 在半導體基板的主面上堆積第 1 絕緣膜，且在上述第 1 絕緣膜中形成溝之過程；及

(b) 在包含上述溝的內面之上述第 1 絕緣膜上堆積第 1 非晶質矽膜之過程；及

(c) 在上述第 1 非晶質矽膜上形成阻礙物之過程；及

(d) 在上述第 1 非晶質矽膜上堆積第 2 非晶質矽膜之過程；及

訂

線

六、申請專利範圍

(e) 形成埋入上述溝的第2絕緣膜之過程；及

(f) 除去上述第2絕緣膜及上述溝以外之上述第1絕緣膜上的上述第2非晶質矽膜及第1非晶質矽膜，且使上述第1非晶質矽膜及第2非晶質矽膜殘存於上述溝內之過程；及

(g) 在上述第2非晶質矽膜的表面上形成矽結晶核之過程；及

(h) 對上述基板進行熱處理，而使上述第2非晶質矽膜成長成矽的粒狀結晶之過程。

17、一種半導體裝置之製造方法，其特徵包含：

(a) 在半導體基板的主面上堆積第1絕緣膜，且在上述第1絕緣膜中形成溝之過程；及

(b) 在包含上述溝的內面之上述第1絕緣膜上堆積導電膜之過程；及

(c) 在上述導電膜上堆積第3非晶質矽膜之過程；及

(d) 形成埋入上述溝的第2絕緣膜之過程；及

(e) 除去上述第2絕緣膜及上述溝以外之上述第1絕緣膜上的上述第3非晶質矽膜及導電膜，且使上述導電膜及第3非晶質矽膜殘存於上述溝內之過程；及

(f) 在上述第3非晶質矽膜的表面上形成矽結晶核之過程；及

(g) 對上述基板進行熱處理，而使上述第3非晶質矽膜成長成矽的粒狀結晶之過程。

六、申請專利範圍

18、如申請專利範圍第17項之半導體裝置之製造方法，其中上述導電膜是由：多結晶矽膜，金屬矽化物膜，多結晶矽膜與金屬矽化物膜或金屬膜的層疊膜，金屬膜或金屬化合物膜等之中所選擇出來的導電膜。

19、如申請專利範圍第18項之半導體裝置之製造方法，其中上述金屬矽化物膜是由：鎢矽化物膜，鈦矽化物膜或鈷矽化物膜等之中所選擇出來的金屬矽化物膜，上述金屬膜或金屬化合物膜是由：鎢膜，鈦膜，鈷膜，氮化鈦膜或氮化鎢膜等之中所選擇出來的金屬膜或金屬化合物膜。

20、如申請專利範圍第17項之半導體裝置之製造方法，其中更具有：在上述(b)過程之後，於上述導電膜的表面上形成阻礙物之過程。

21、如申請專利範圍第20項之半導體裝置之製造方法，其中上述阻礙物為矽氧化膜。

22、如申請專利範圍第21項之半導體裝置之製造方法，其中上述矽氧化膜是將上述導電膜之多結晶矽膜的表面曝露於含有氧的環境中而形成者。

23、如申請專利範圍第16項之半導體裝置之製造方法，其中上述第1非晶質矽膜或導電膜的膜厚為20 nm以上，100 nm以下，含於上述第1非晶質矽膜或導電膜之多結晶矽膜中的雜質濃度為 1×10^{20} atoms/cm³以上， 1×10^{22} atoms/cm³以下。

24、如申請專利範圍第16項之半導體裝置之製造

六、申請專利範圍

方法，其中上述第2非晶質矽膜或第3非晶質矽膜的膜厚為20nm以上，含於上述第2非晶質矽膜或第3非晶質矽膜中的雜質濃度為 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下。

25、一種半導體裝置，是由：

形成於半導體基板上之第1絕緣膜；及

形成於上述第1絕緣膜上，且具有可以到達上述第1絕緣膜的複數個開口之第2絕緣膜；及

形成於上述開口的側壁及上述第1絕緣膜上之矽膜；及

形成於上述矽膜上之複數個矽粒；及

沿著上述矽膜及矽粒的表面而形成之介電質膜；及

形成於上述介電質膜上之導體層；等所構成之半導體裝置；

其特徵為：

上述矽膜具有：在其表面上有上述矽粒的部份與沒有上述矽粒的部份幾乎相同的膜厚。

26、如申請專利範圍第25項之半導體裝置，其中在上述矽膜與上述矽粒之間介有矽氧化膜。

27、一種半導體裝置，是由：

形成於半導體基板上，且具有複數個開口之第1絕緣膜；及

沿著上述開口的側壁而形成之第1電極；及

形成於上述第1電極上之介電質膜；及

形成於介電質膜上之第2電極；等所構成之半導體裝

訂

線

六、申請專利範圍

置；

其特徵為：

上述第1電極是由：

沿著上述開口的側壁而形成之矽膜，及形成於上述第1矽膜的表面之矽粒所構成，上述矽膜是沿著上述開口的側壁而形成幾乎相等的膜厚。

28、如申請專利範圍第27項之半導體裝置，其中在上述矽膜與上述矽粒之間介有矽氧化膜。

29、如申請專利範圍第27項之半導體裝置，其中上述介電質膜及第2電極是沿著上述開口的側壁而形成。

30、如申請專利範圍第29項之半導體裝置，其中是以上述第1電極，介電質膜及第2電極來構成容量元件。

31、如申請專利範圍第30項之半導體裝置，其中上述第1電極是選擇性地形成於各上述開口內，上述介電質膜與上述第2電極亦延伸於上述開口內及上述開口間之第1絕緣膜上。

32、一種半導體裝置，是由：

形成於半導體基板上，且具有複數個開口之第1絕緣膜；及

沿著上述開口的側壁而形成之第1電極；及

形成於上述第1電極上之介電質膜；及

形成於介電質膜上之第2電極；等所構成之半導體裝置；

六、申請專利範圍

其特徵為：

上述第 1 電極是由：

沿著上述開口的側壁而形成之矽膜，及形成於上述第 1 矽膜的表面之矽粒，及上述矽膜與上述矽粒之間的第 2 絕緣膜等所構成。

33、如申請專利範圍第 32 項之半導體裝置，其中上述第 2 絕緣膜為矽氧化膜。

34、一種半導體裝置之製造方法，是屬於一種具有：

具有形成於半導體基板上的複數個開口之第 1 絕緣膜；及

由沿著上述第 1 絕緣膜的側壁而配置的第 1 電極，介電質膜及第 2 電極所構成之容量元件；等之半導體裝置的製造方法；其特徵為：

上述第 1 電極是藉由下列過程所形成：

(a) 沿著上述開口的側壁而形成矽膜之過程；及

(b) 在上述矽膜的表面上形成第 2 絕緣膜之過程；

及

(c) 在上述第 2 絕緣膜上形成非晶質矽膜之過程；

及

(d) 將上述非晶質矽膜形成粒狀矽之過程。

35、如申請專利範圍第 34 項之半導體裝置之製造方法，其中上述第 2 絕緣膜為矽氧化膜。

36、如申請專利範圍第 34 項之半導體裝置之製造

六、申請專利範圍

方法，其中上述矽膜是選擇性地形成於上述開口內，且未延伸於上述開口間的第1絕緣膜上。

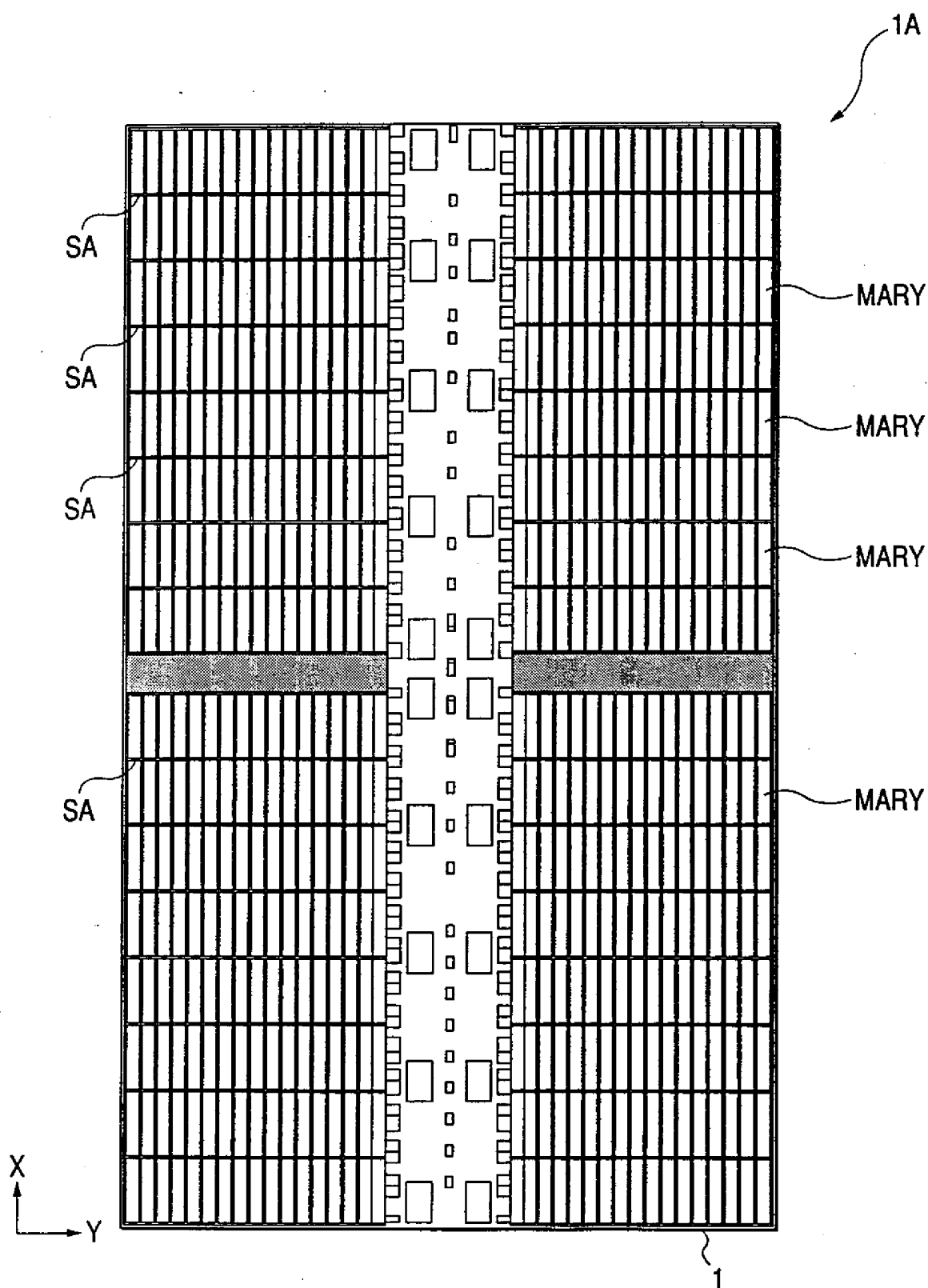
37、如申請專利範圍第34項之半導體裝置之製造方法，其中上述矽膜是含N型雜質。

(請先閱讀背面之注意事項再填寫本頁)

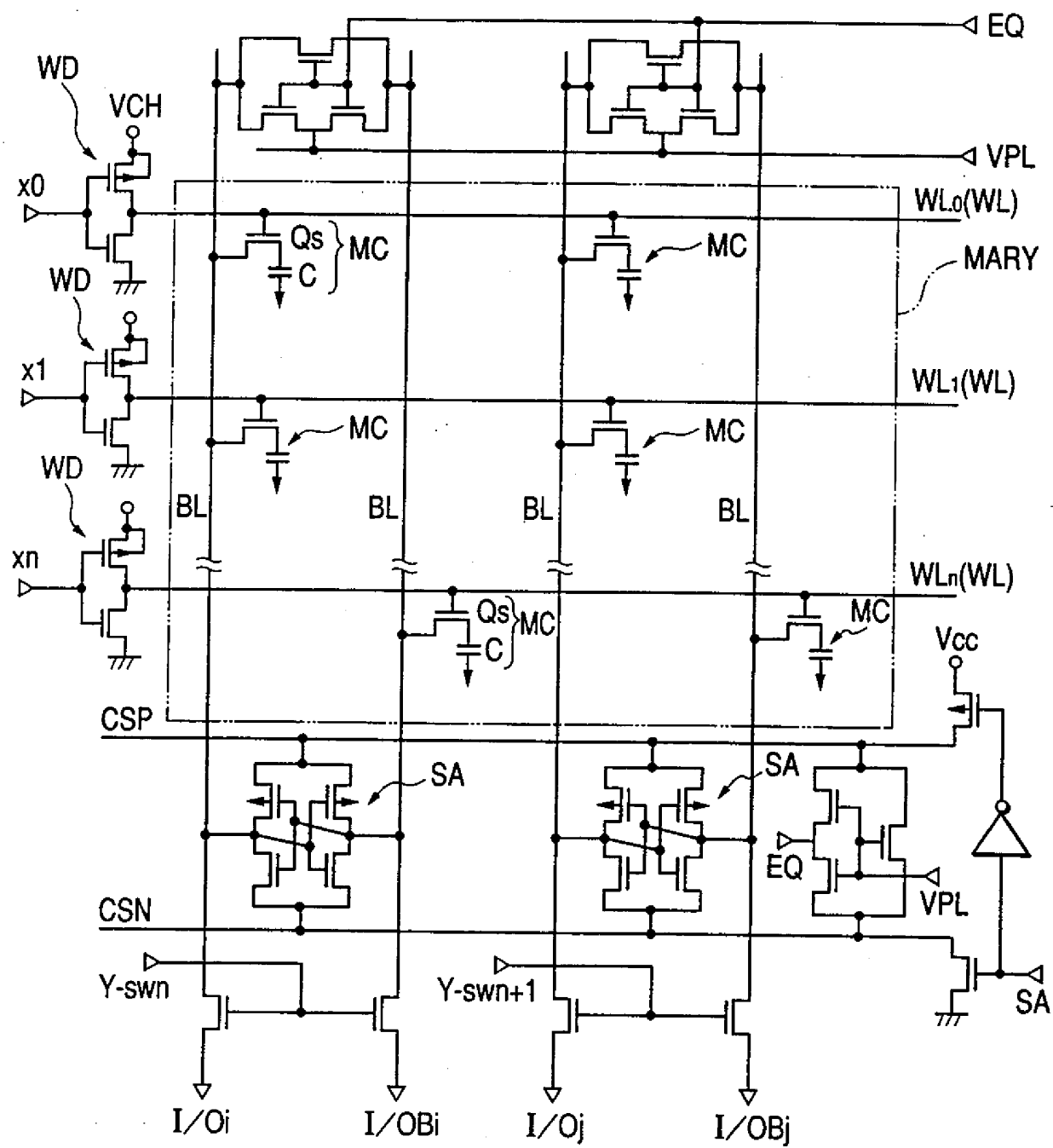
訂

線

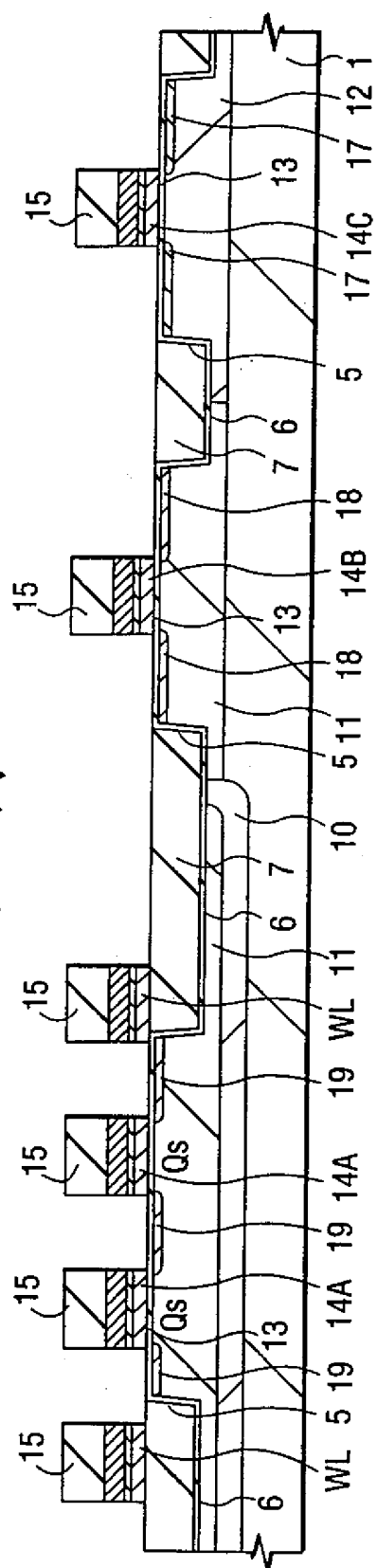
第 1 圖



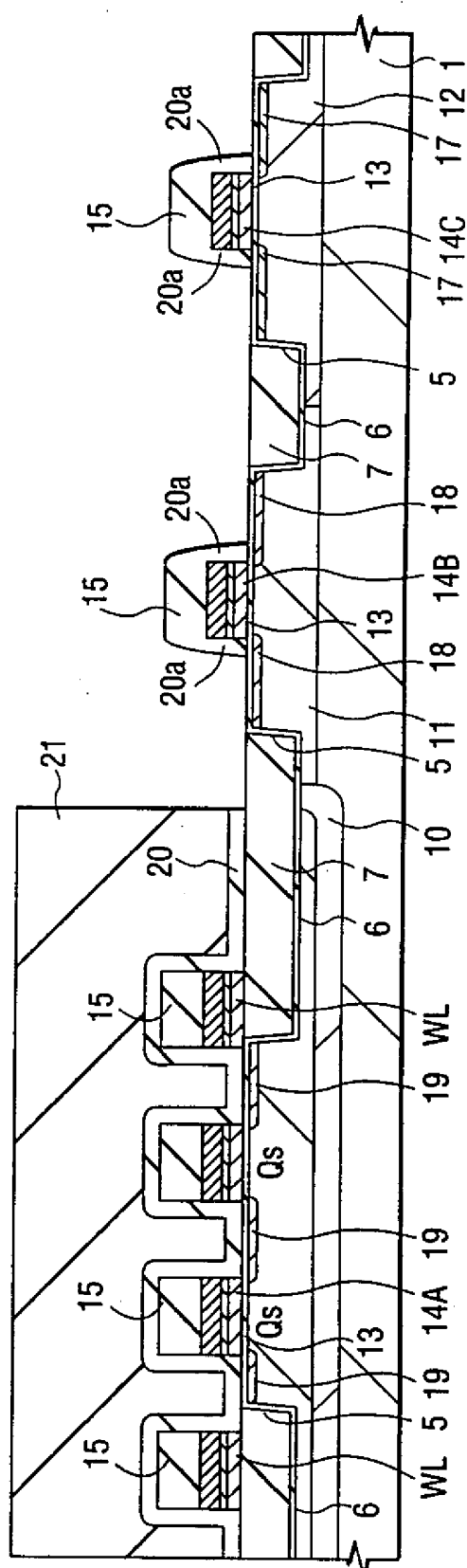
第 2 圖



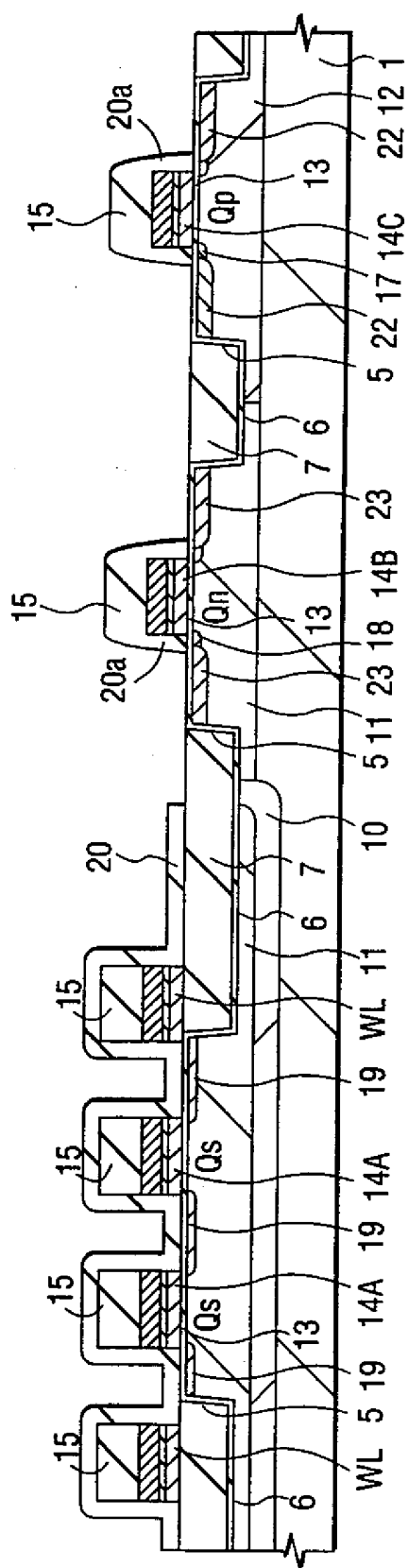
第 5 圖



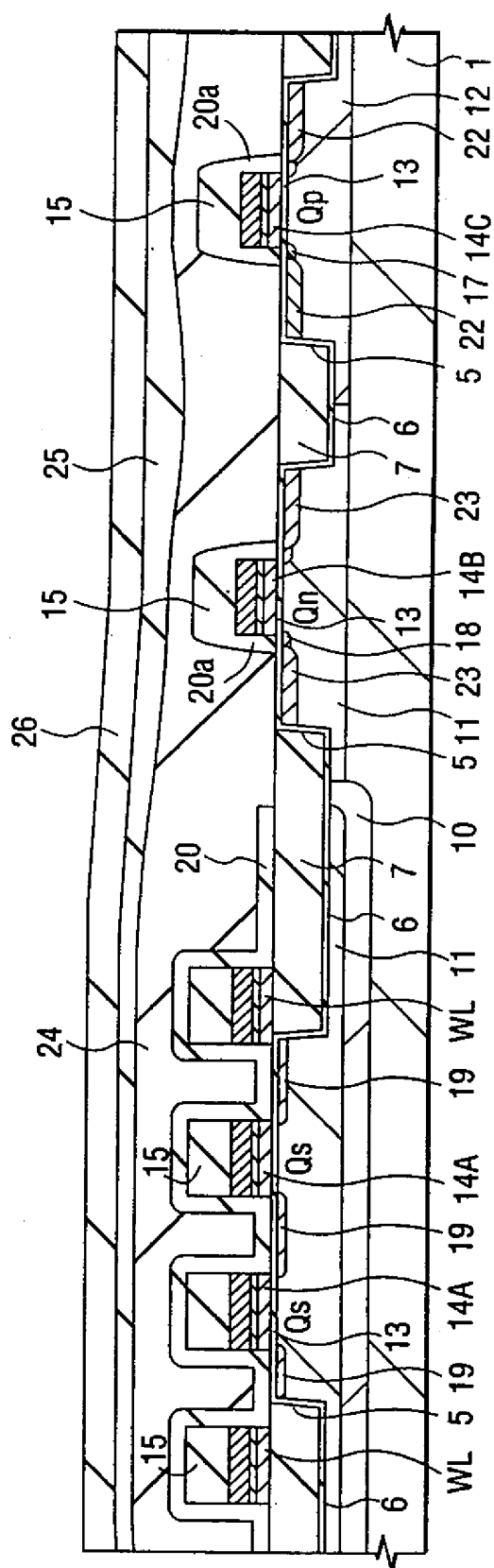
第 6 圖



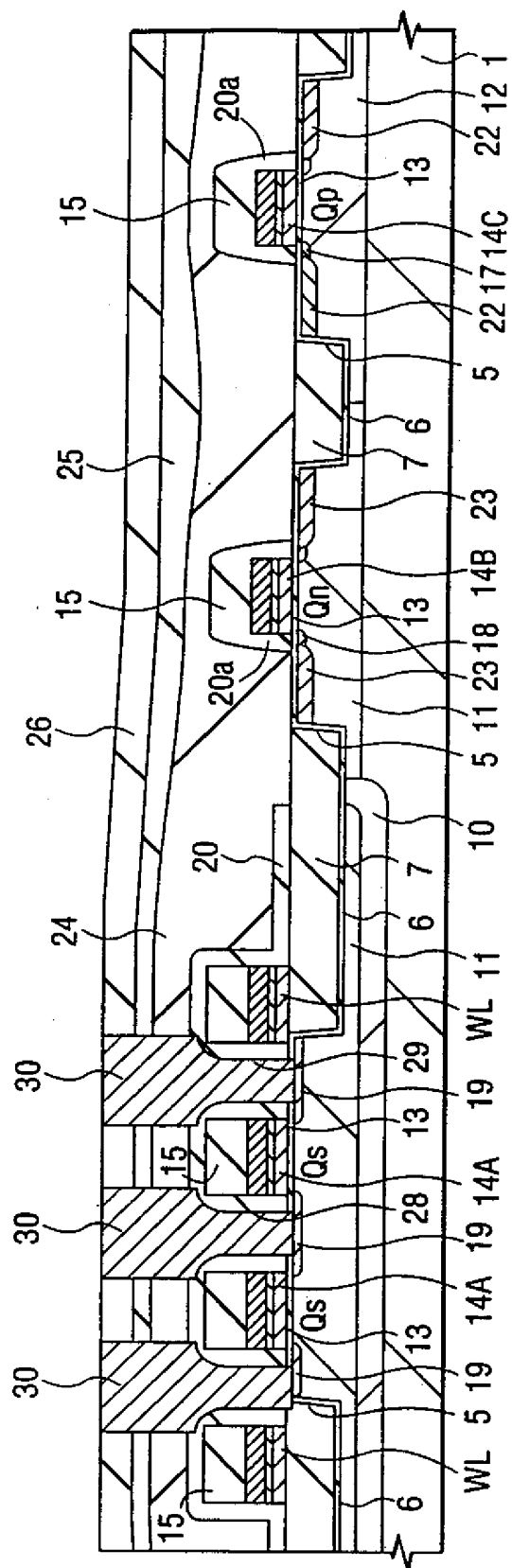
第 7 圖



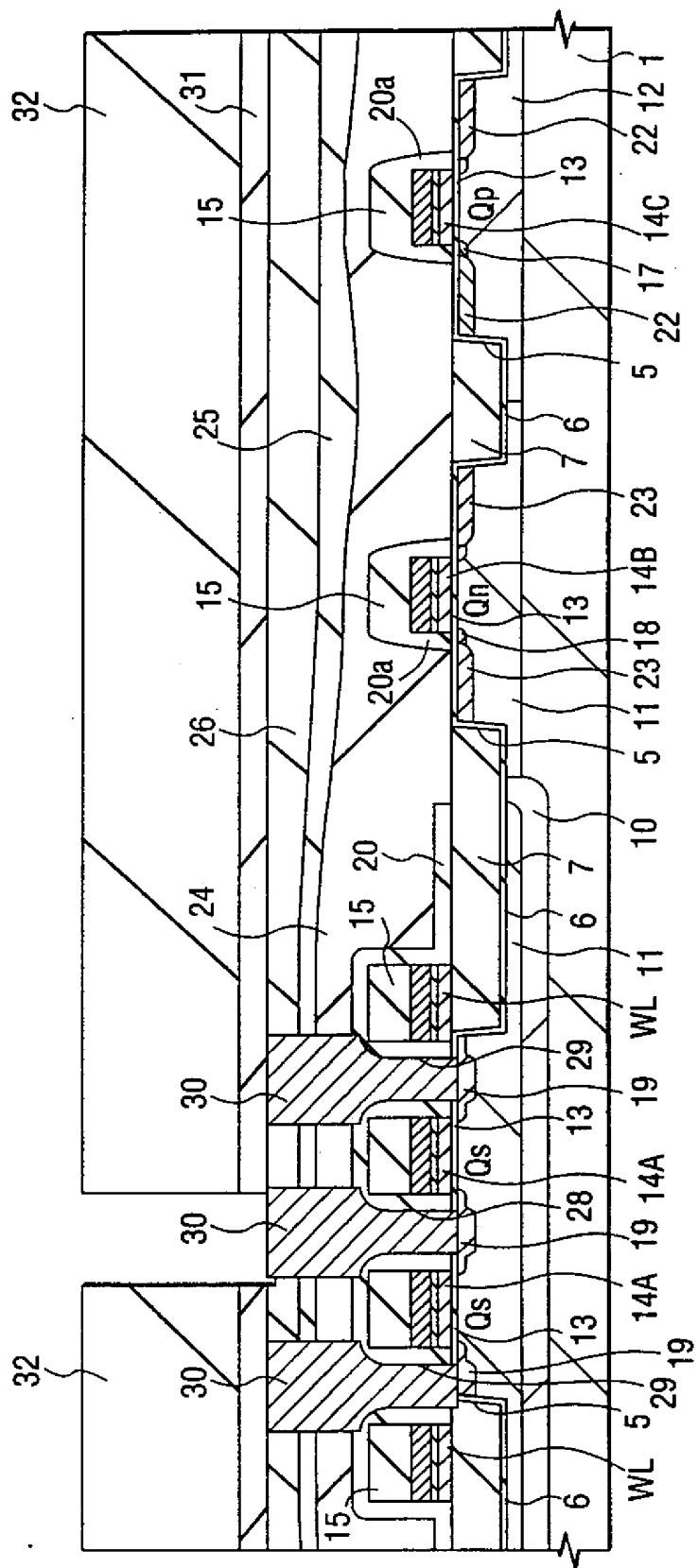
第 8 圖



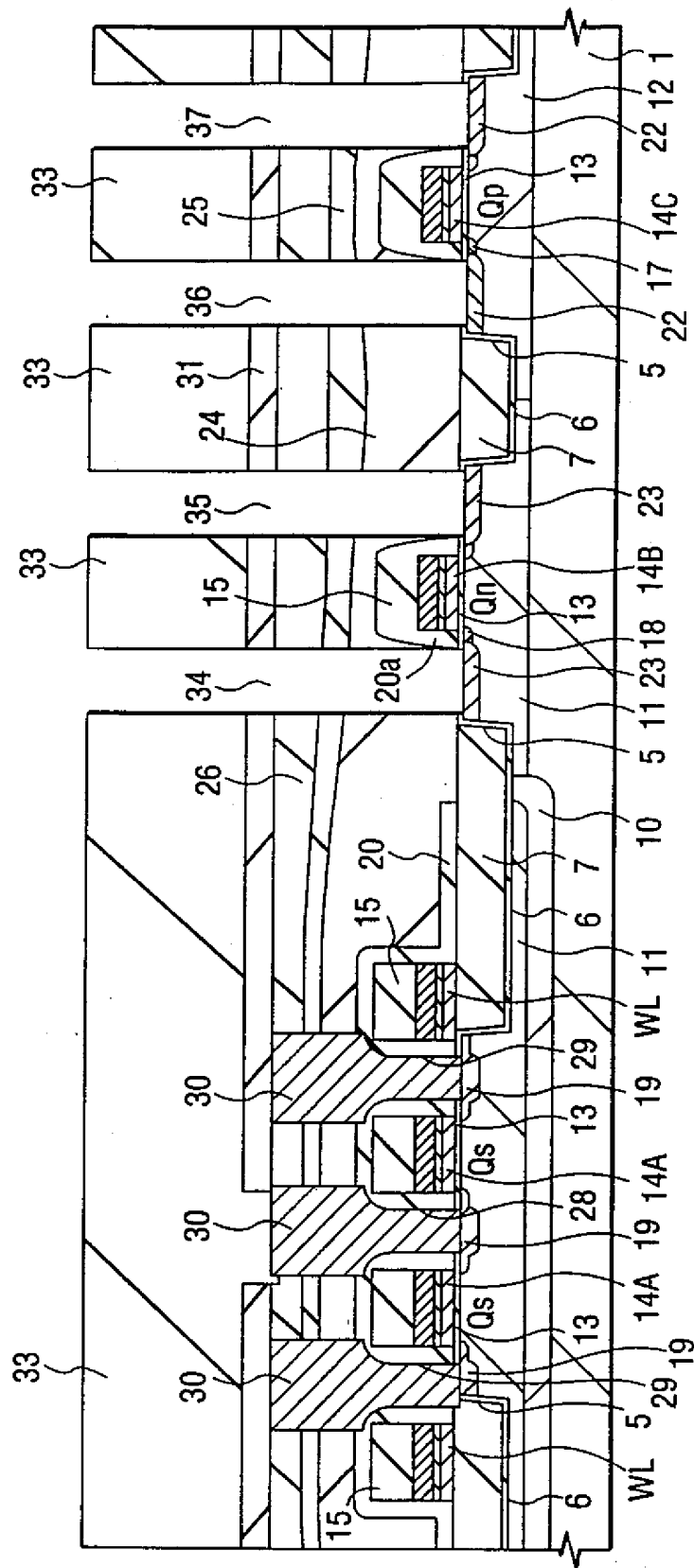
第10圖



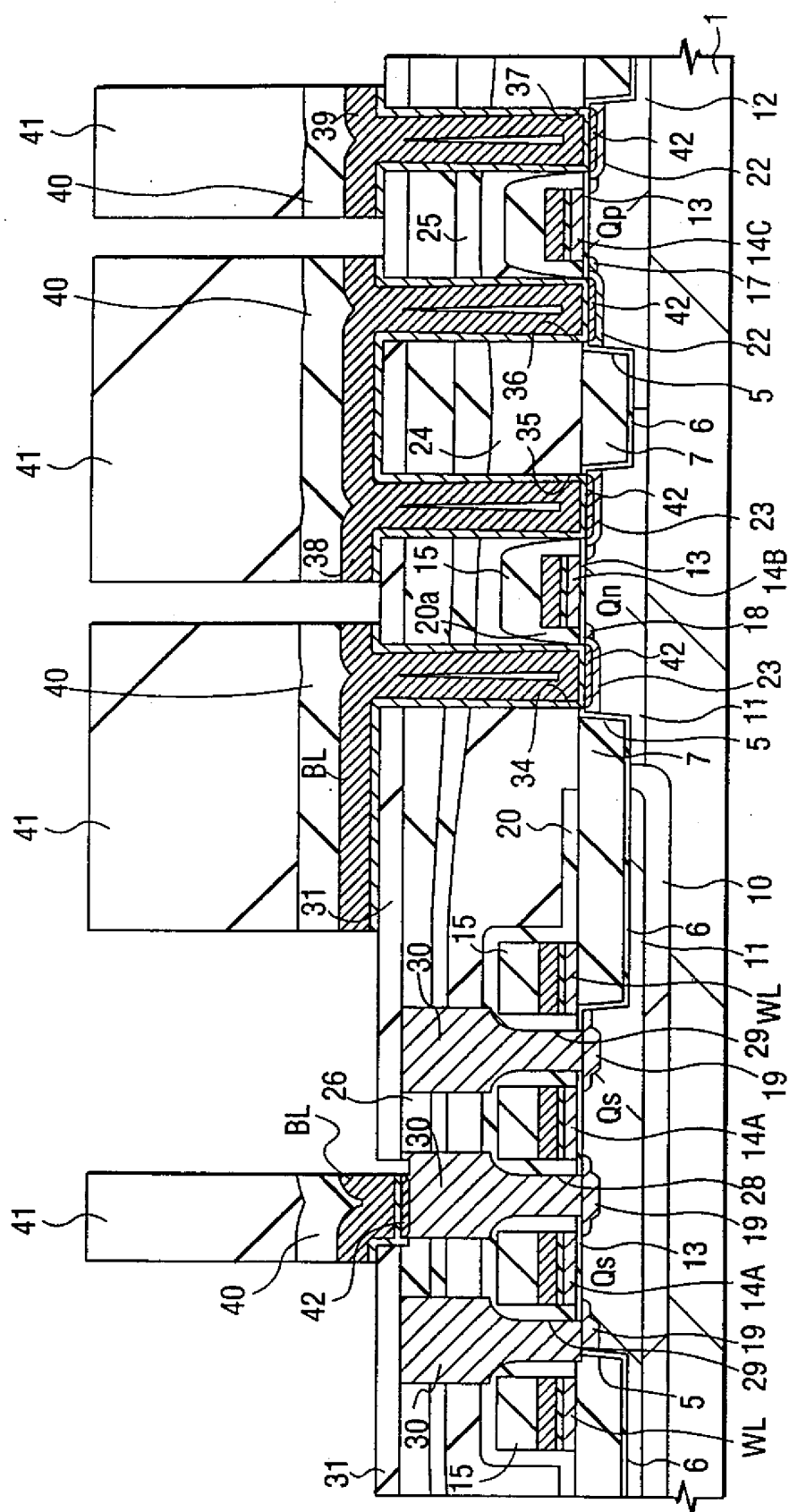
第12圖



第13圖



第14圖



第 15 圖

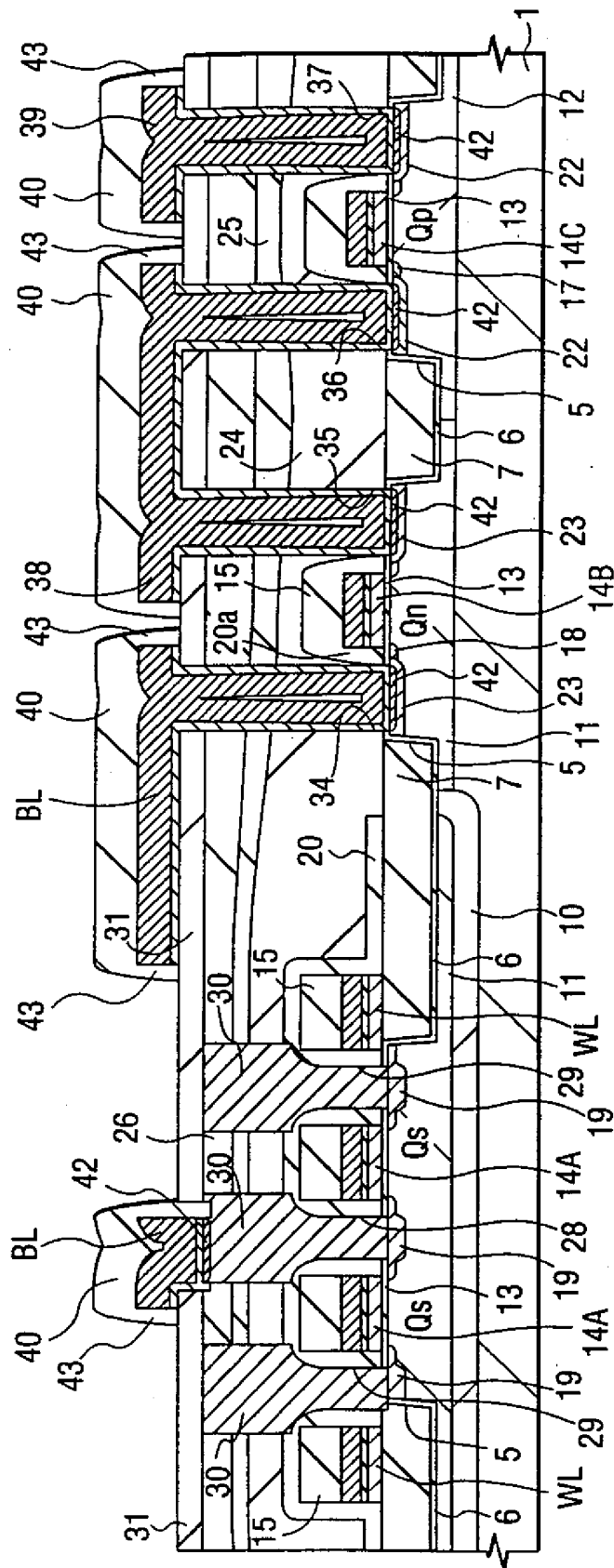
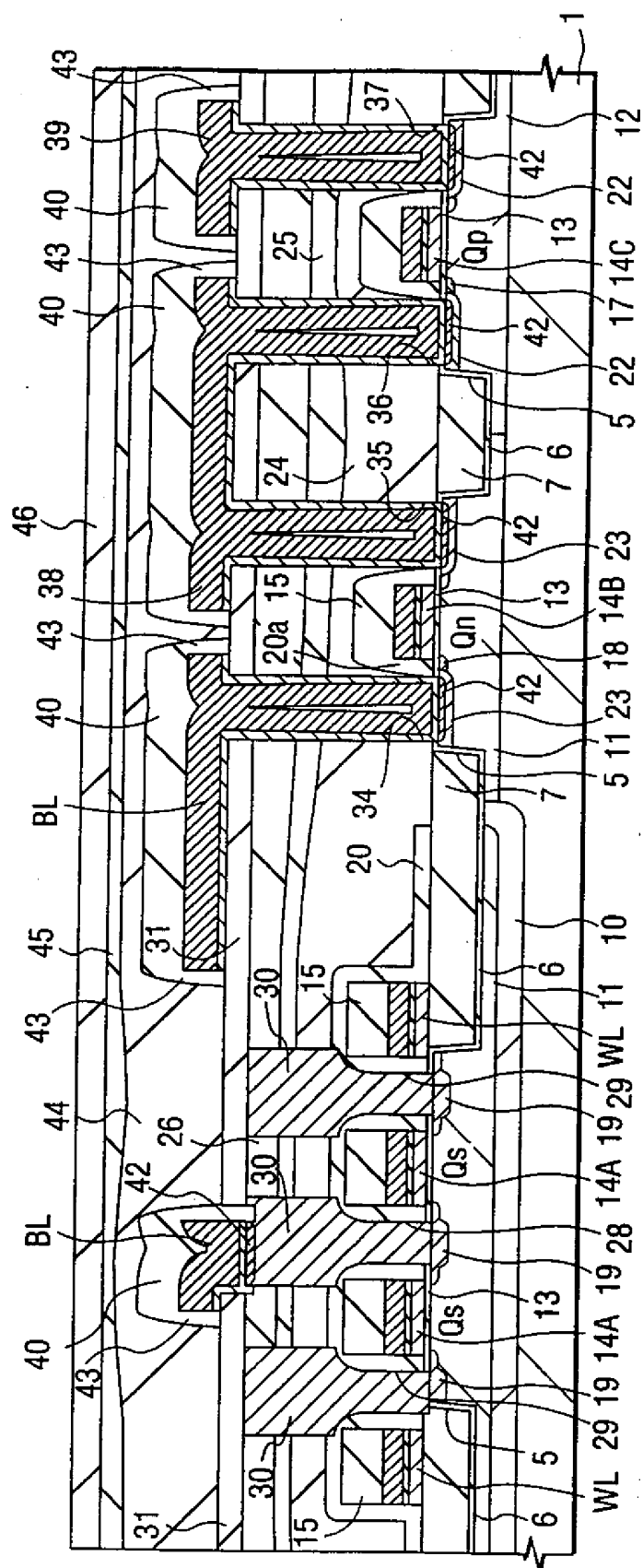
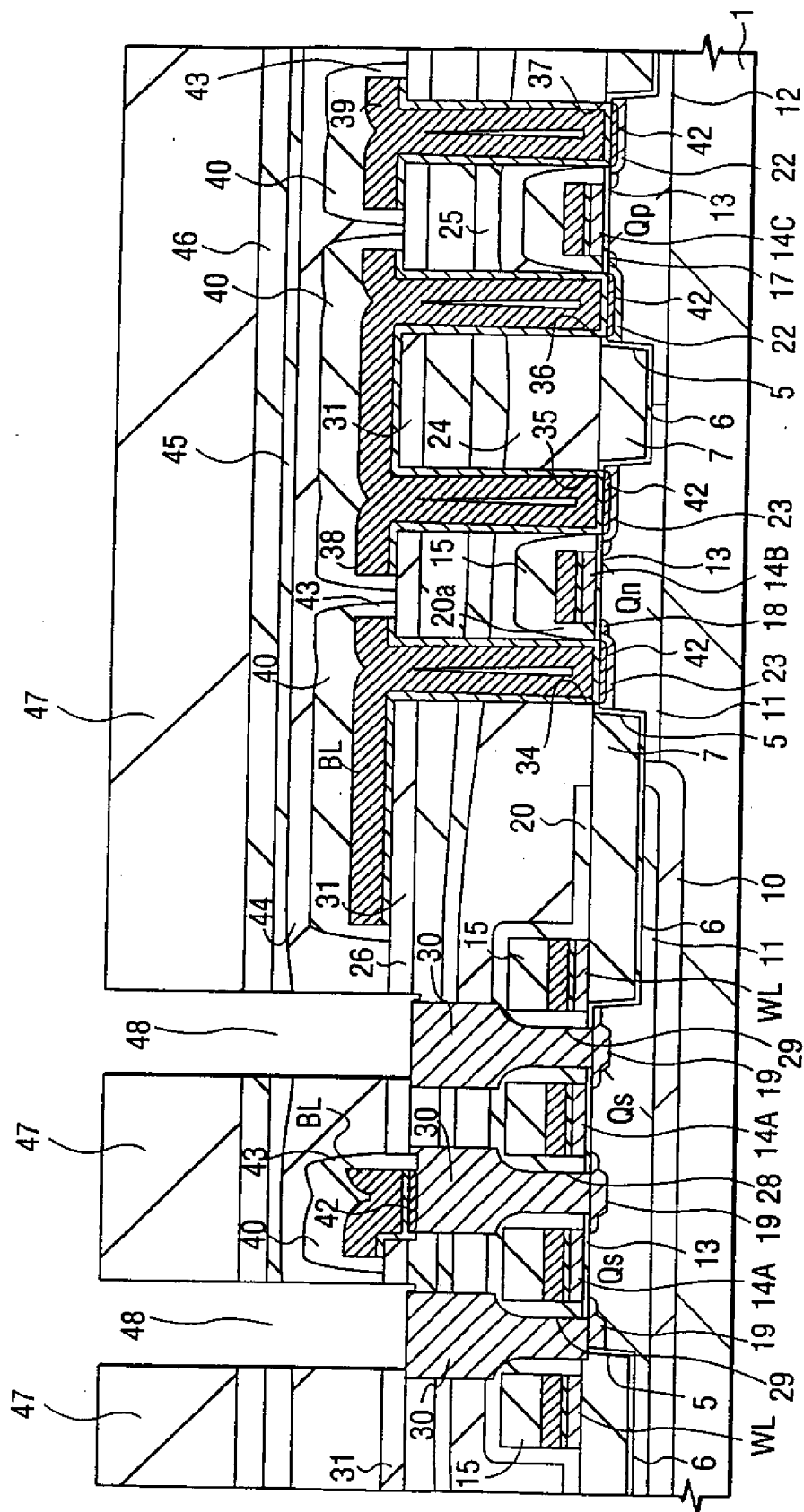


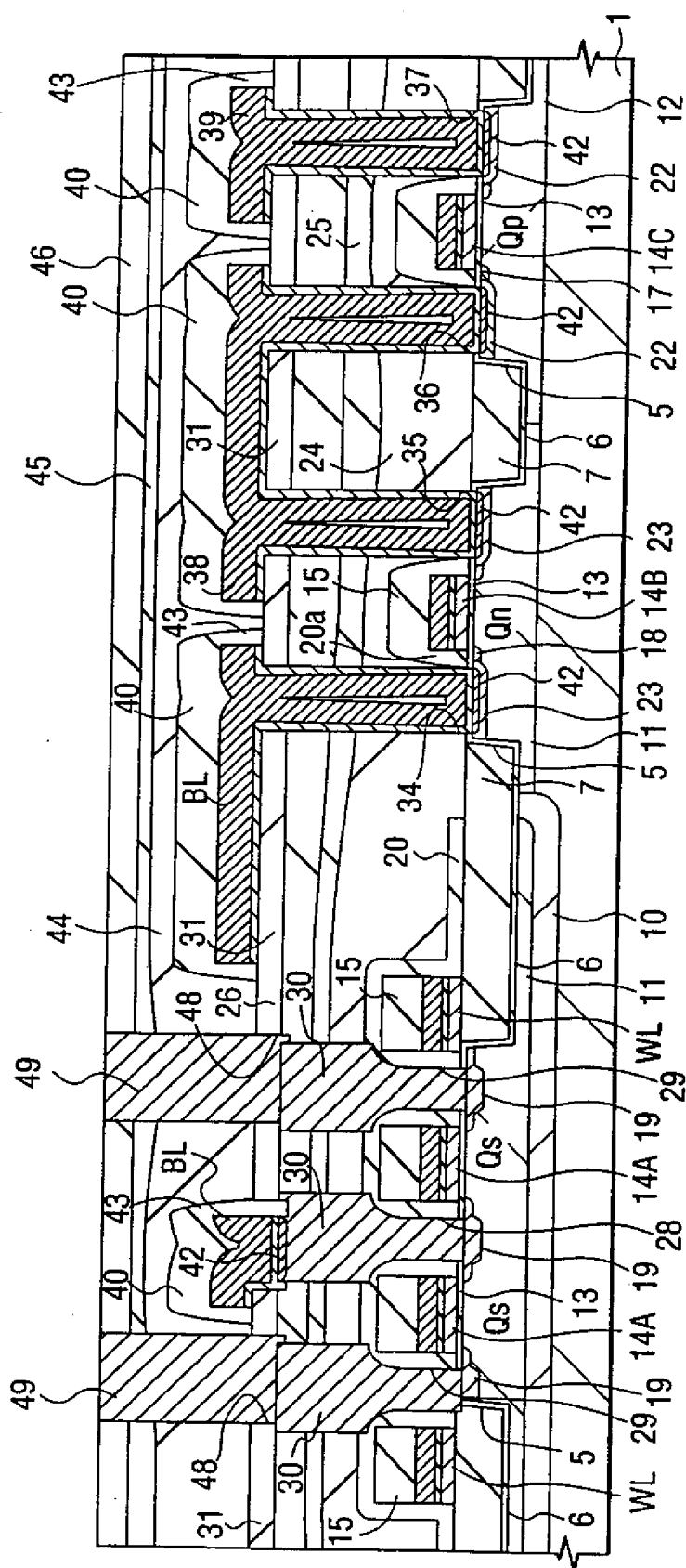
圖 16 第



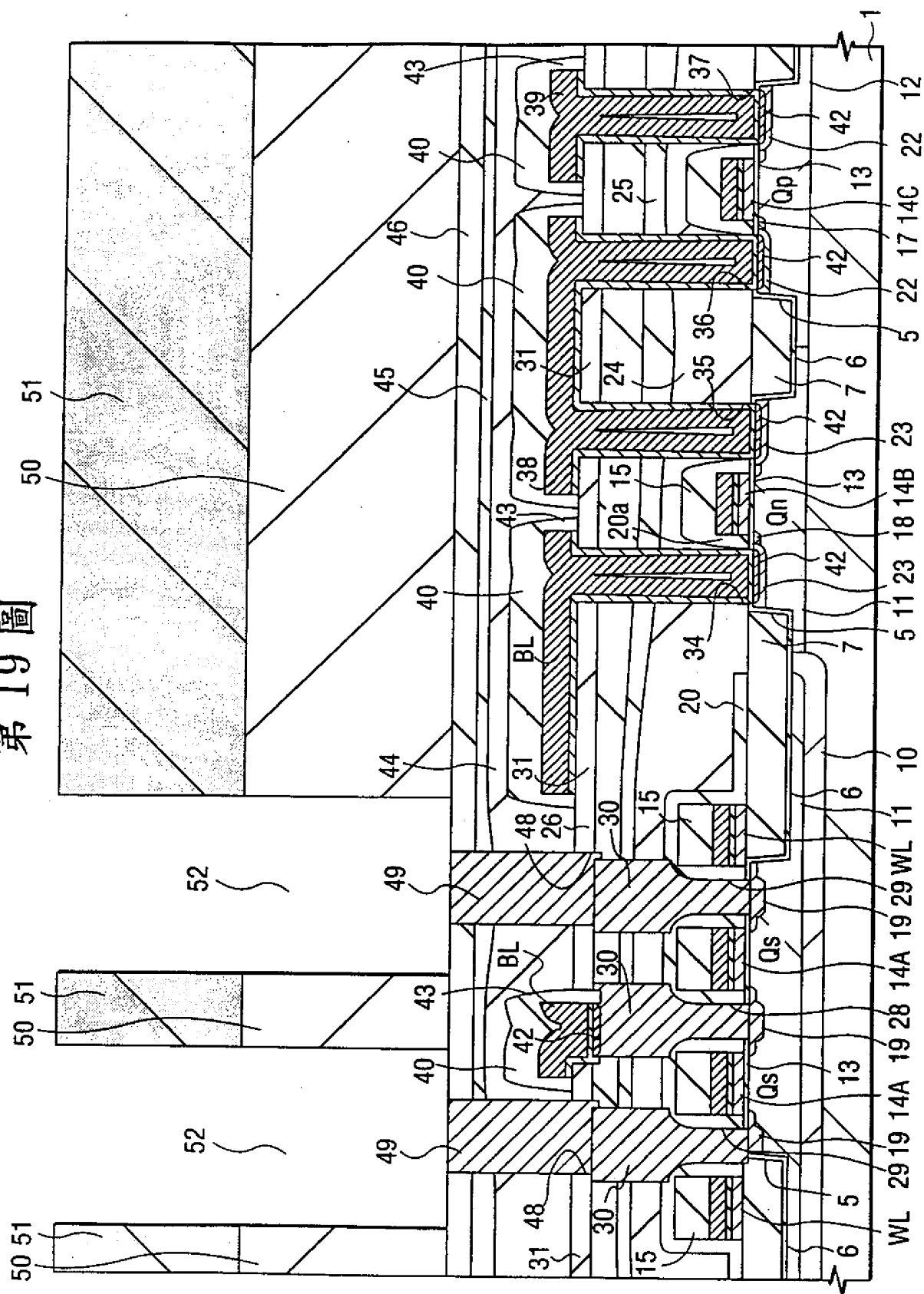
第17圖



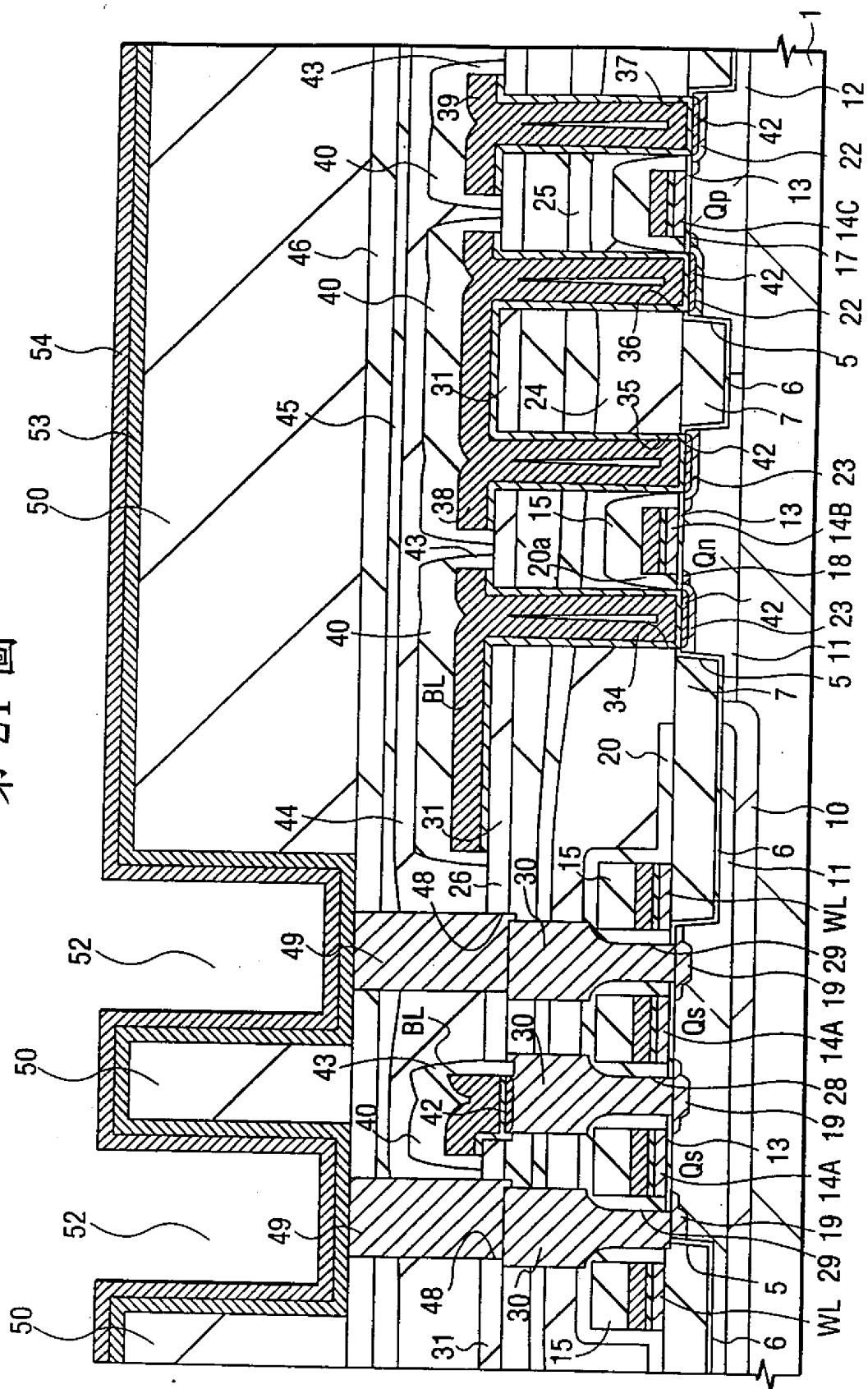
第18圖



第 19 圖



第 21 圖



第 22 圖

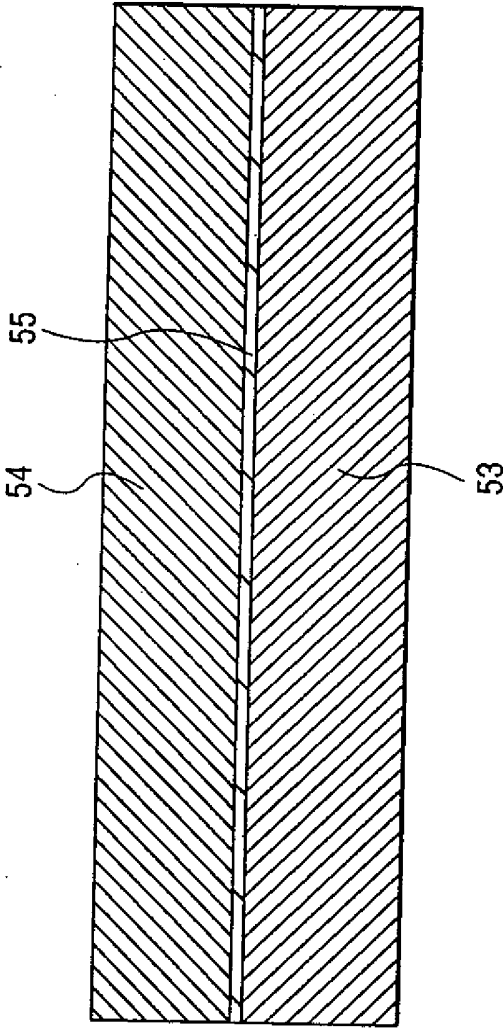
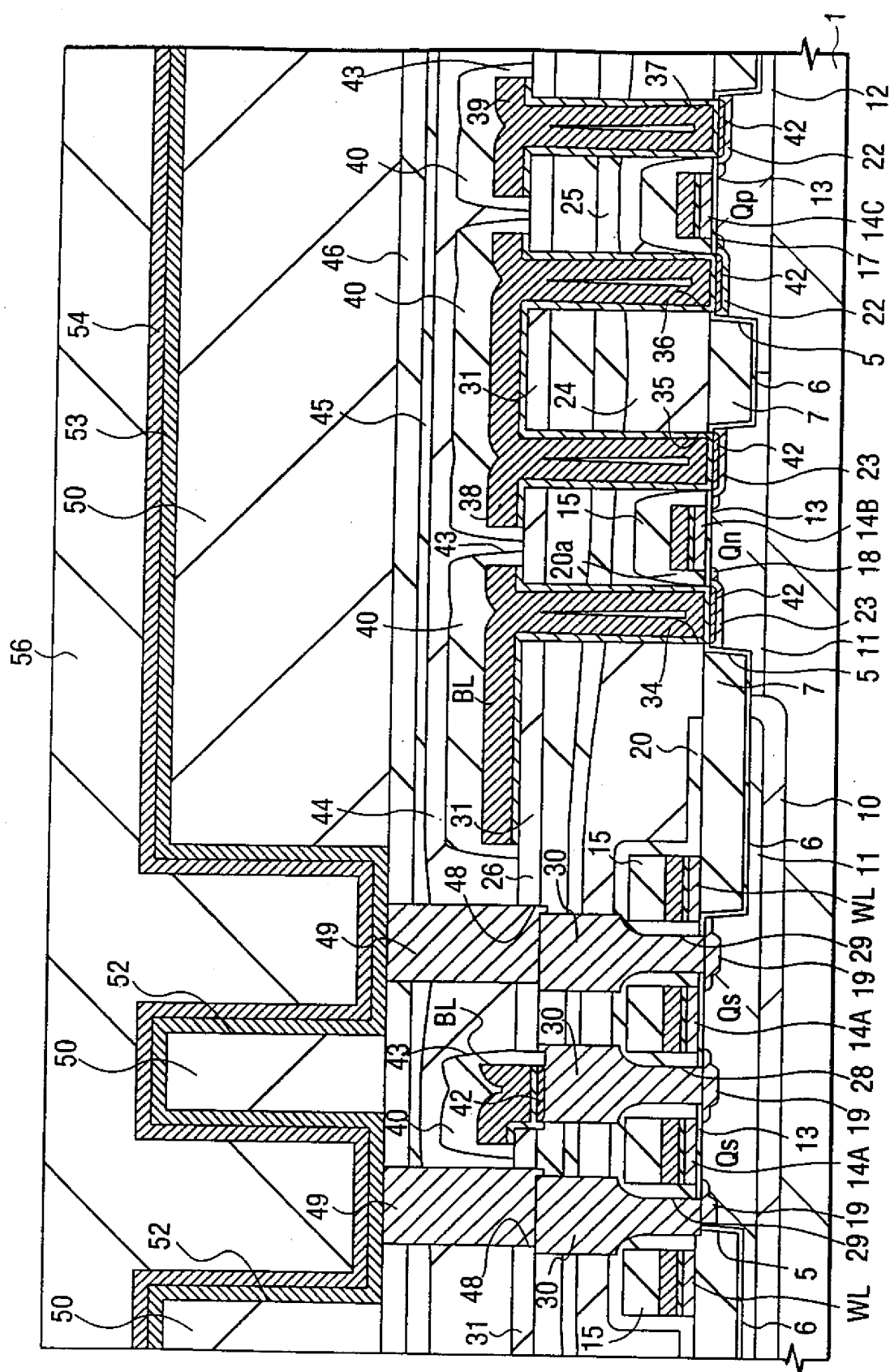
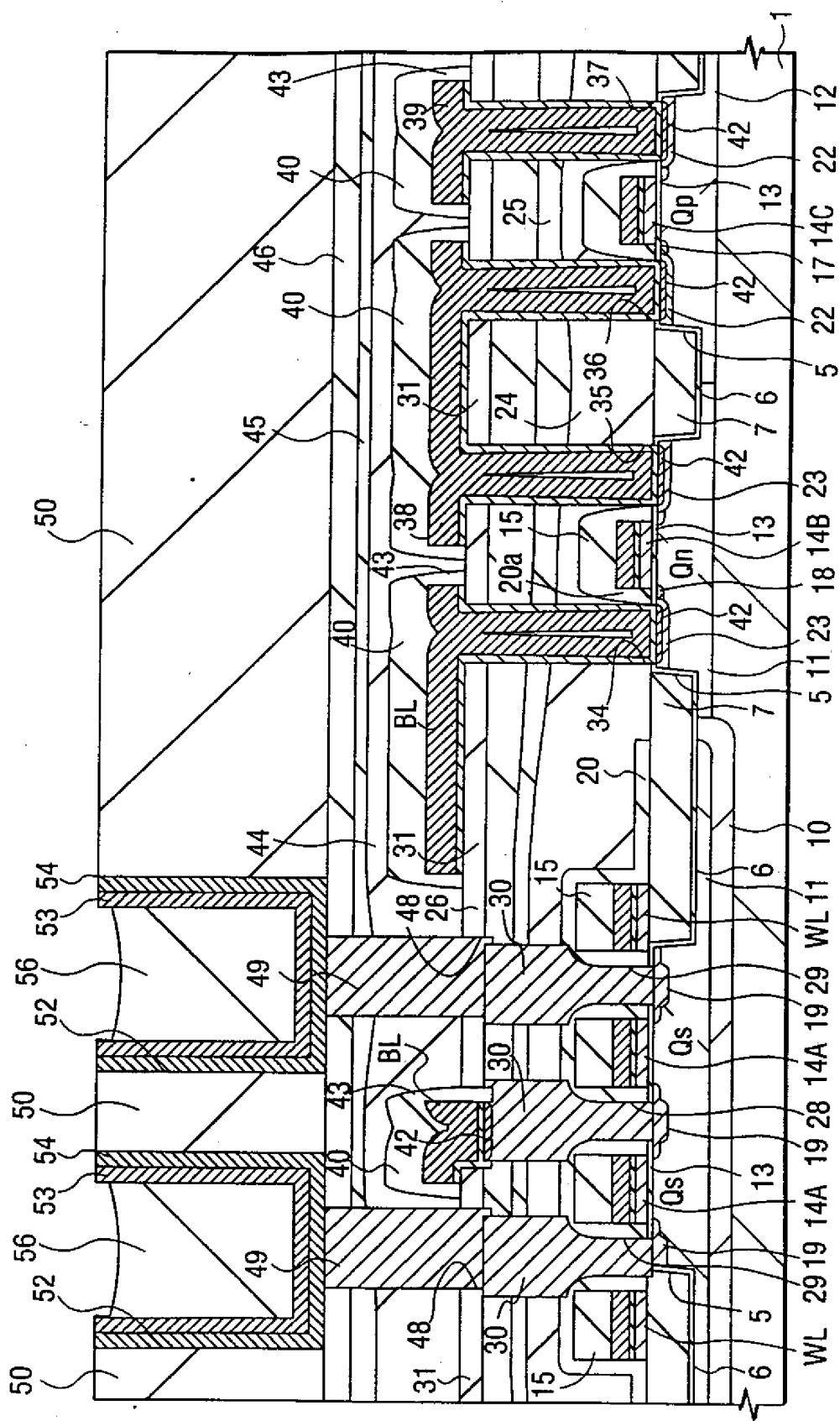


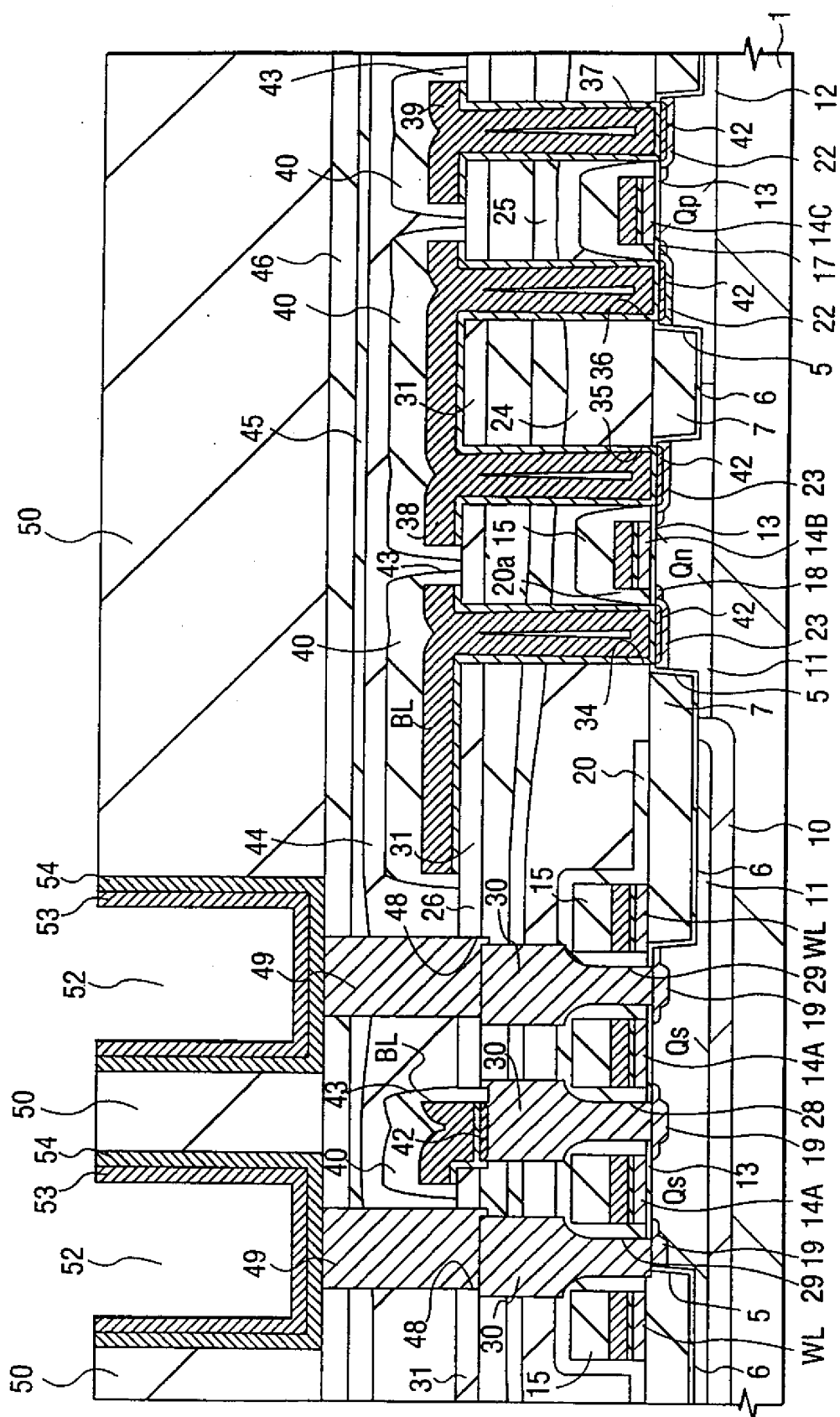
圖 23



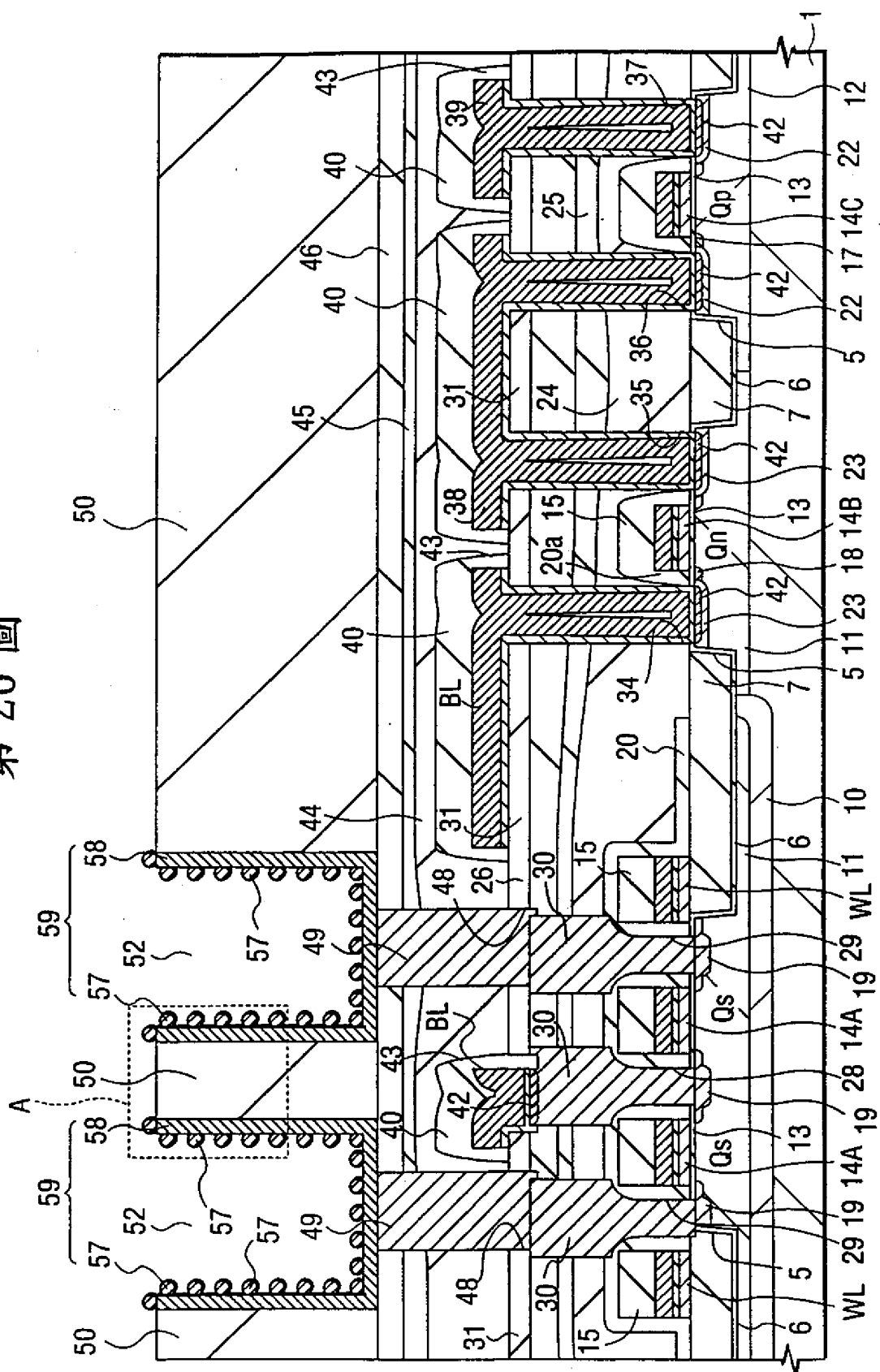
第24圖



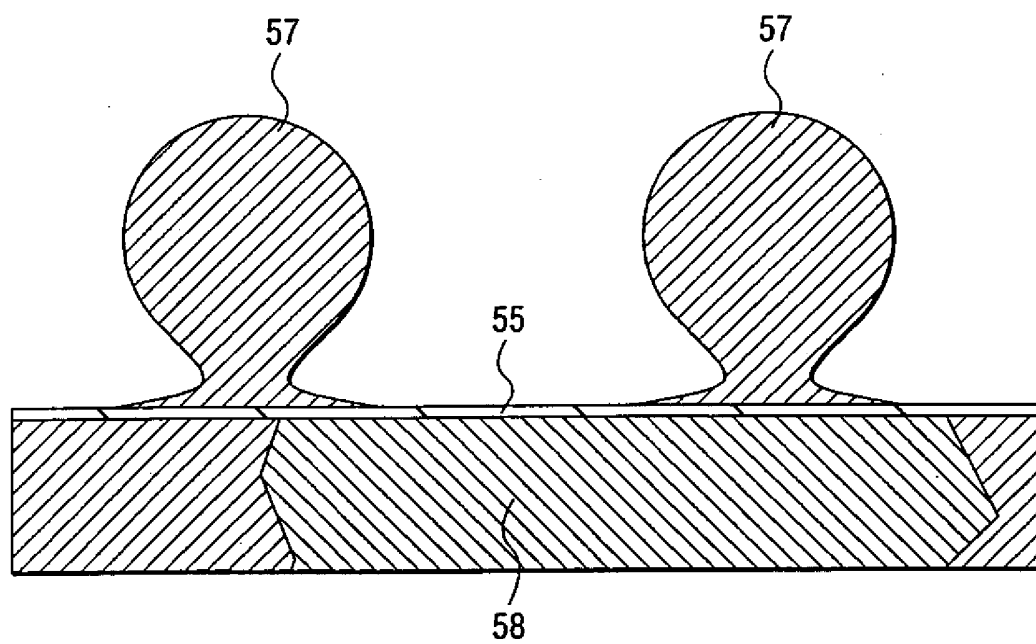
第 25 圖



第26圖



第 27 圖



第 28 圖

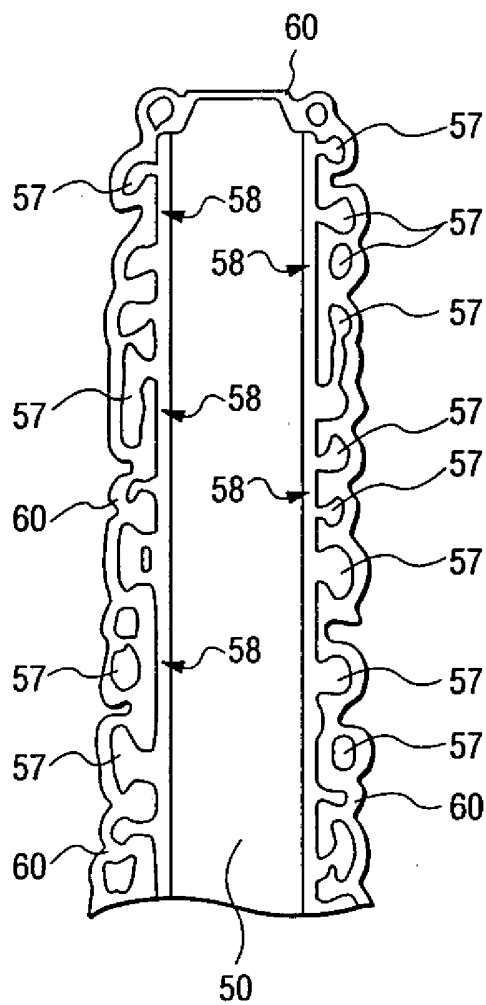
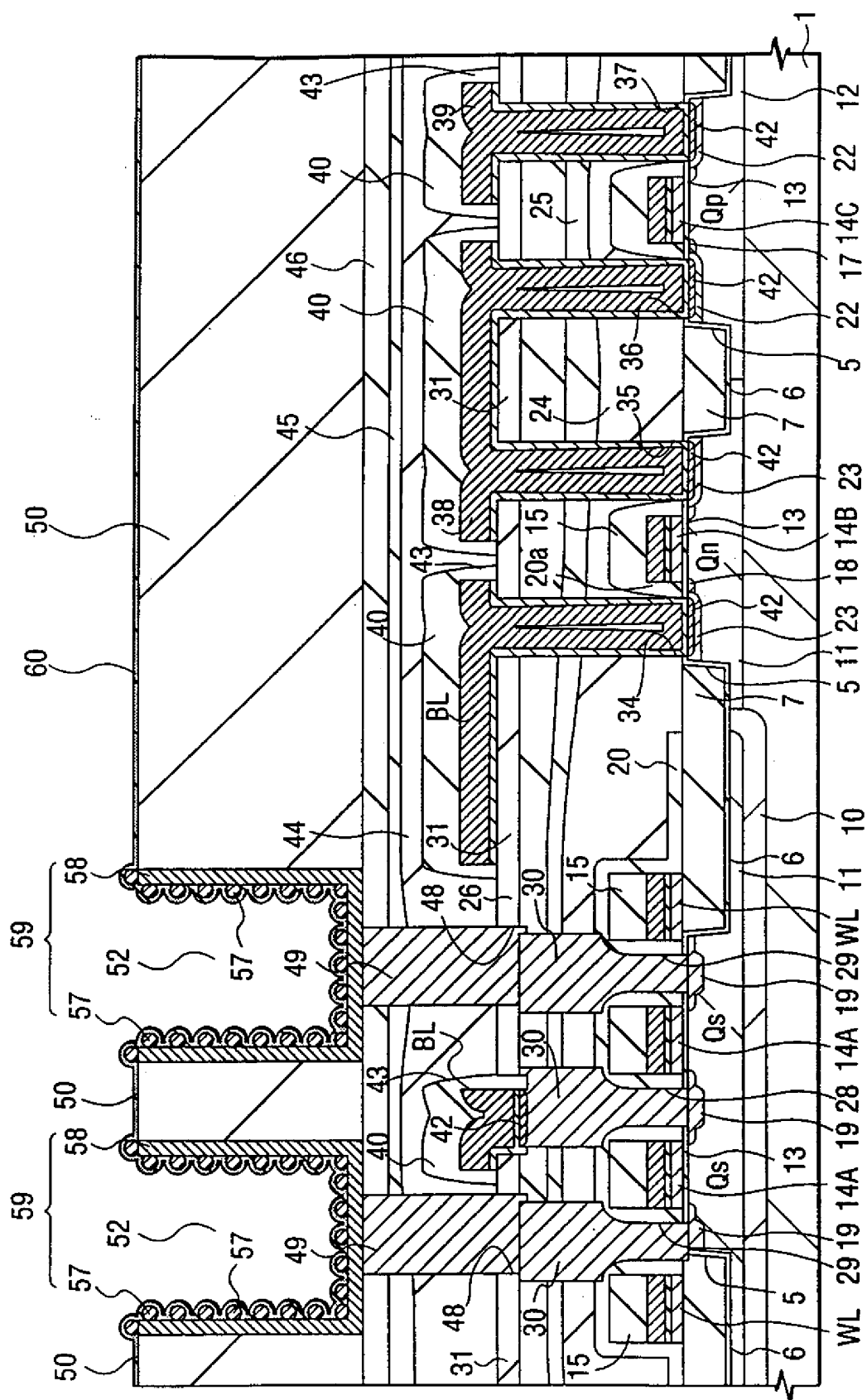
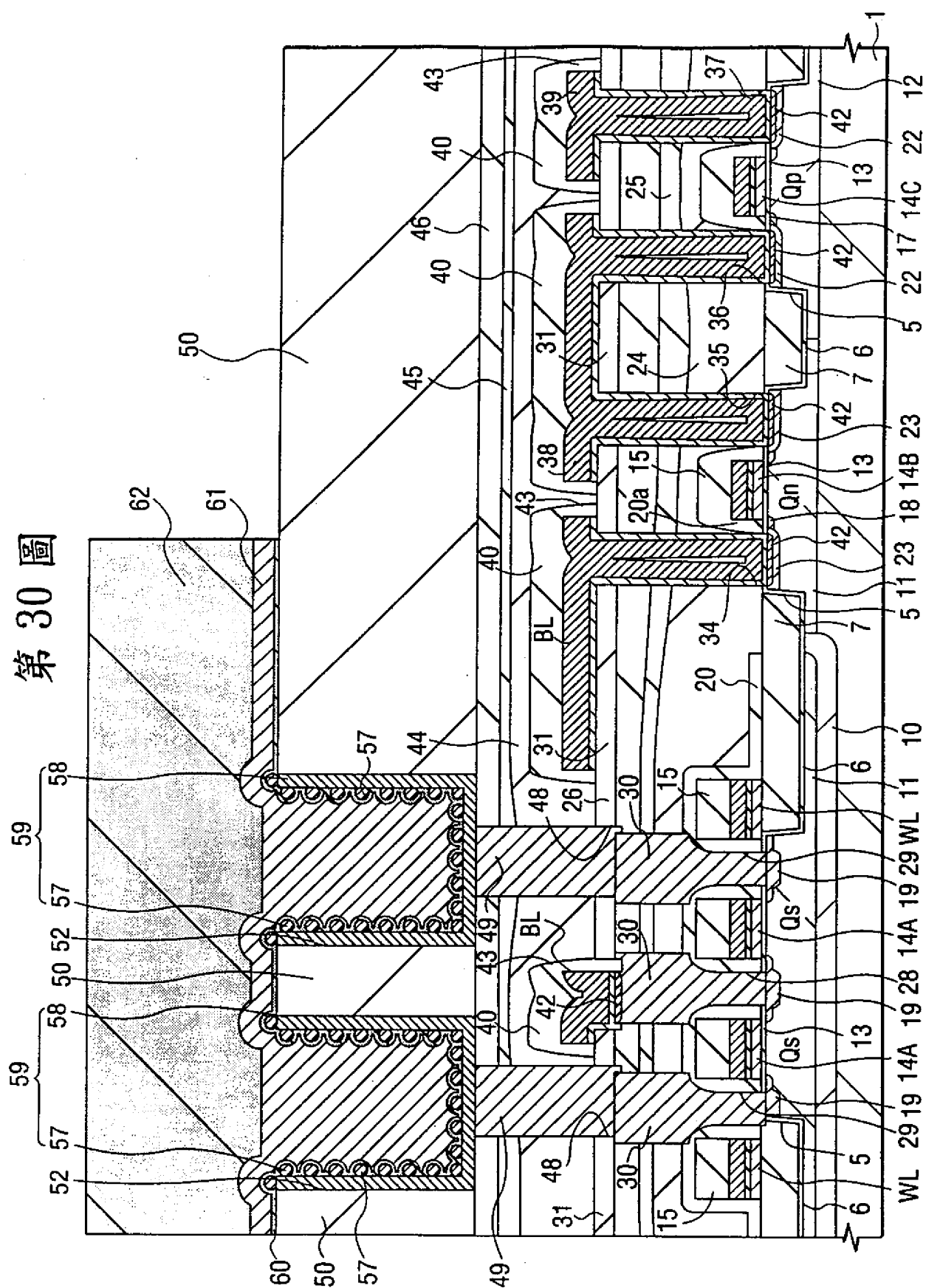


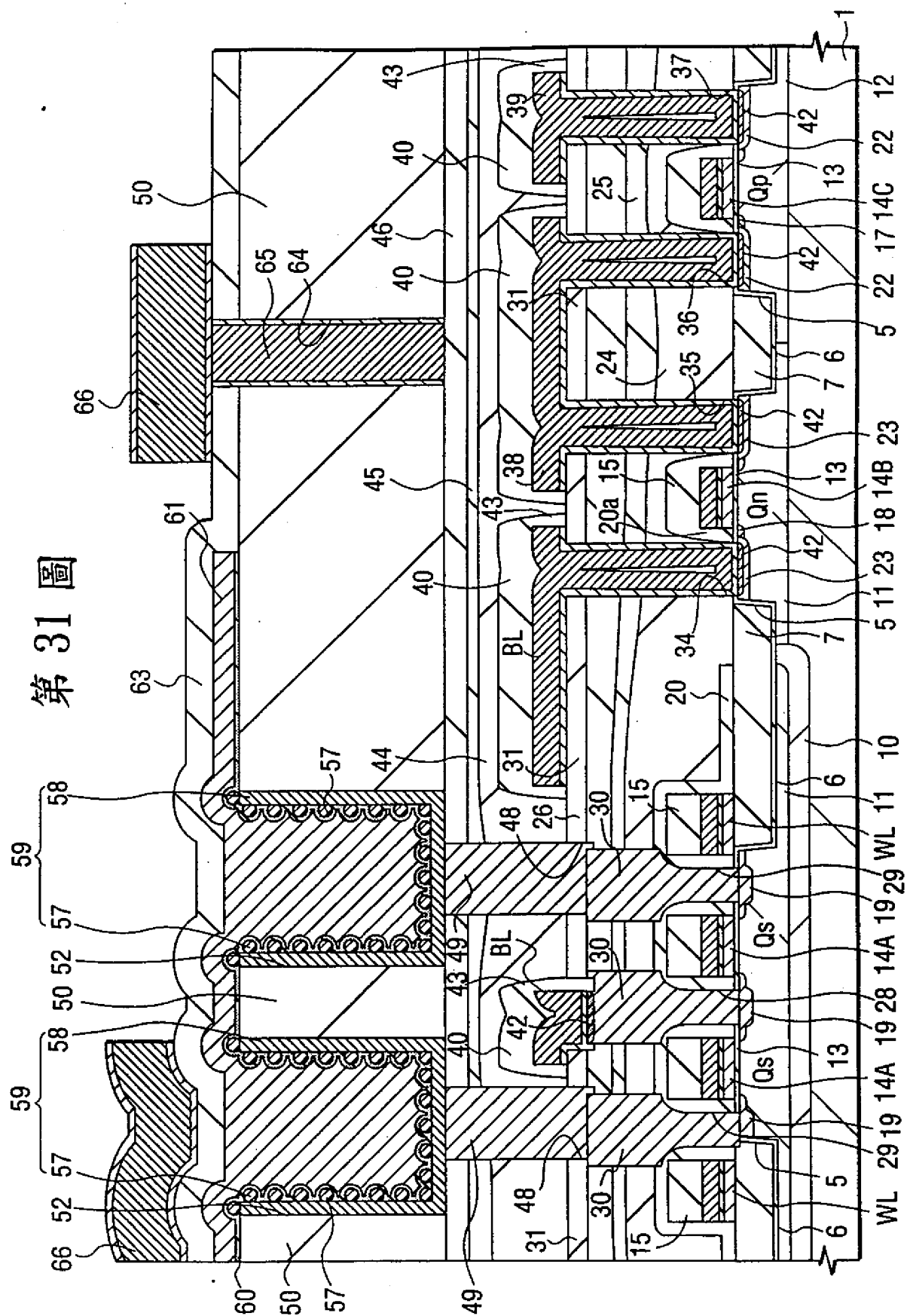
圖 29



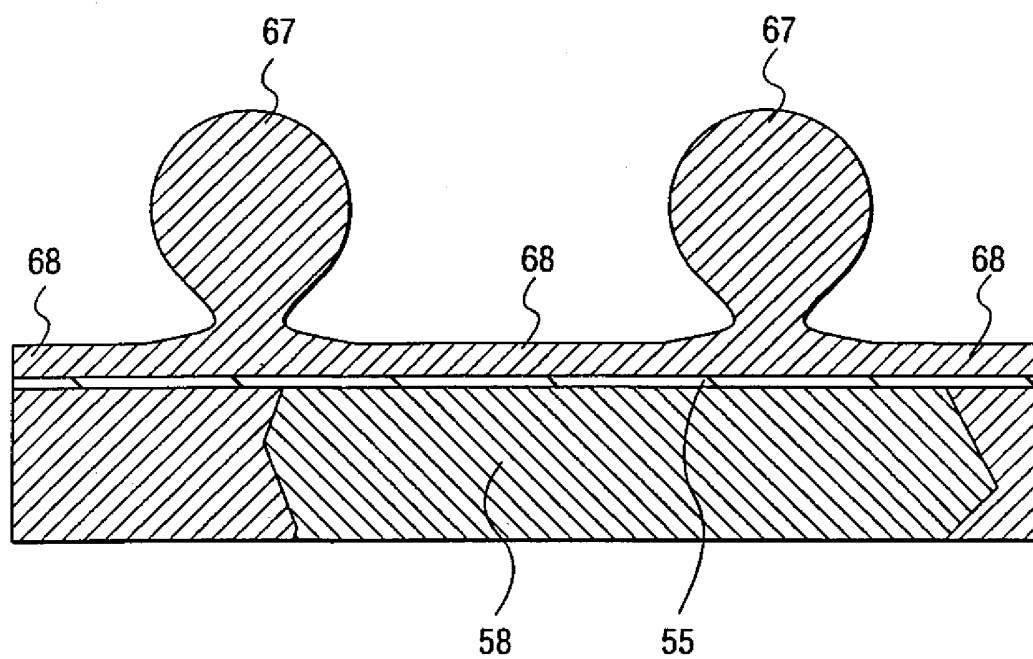
第 30 圖



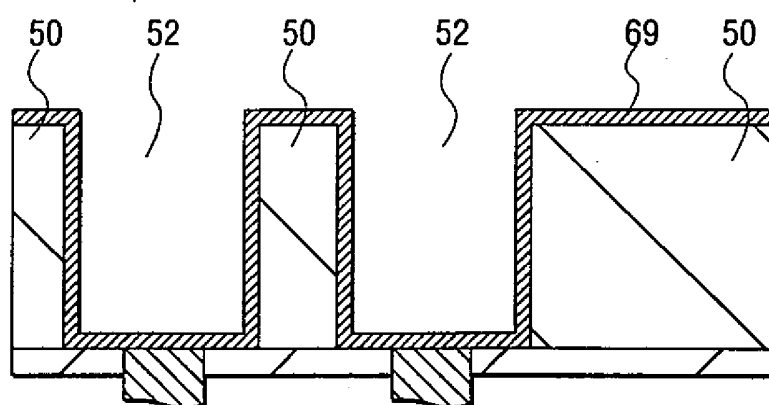
第31圖



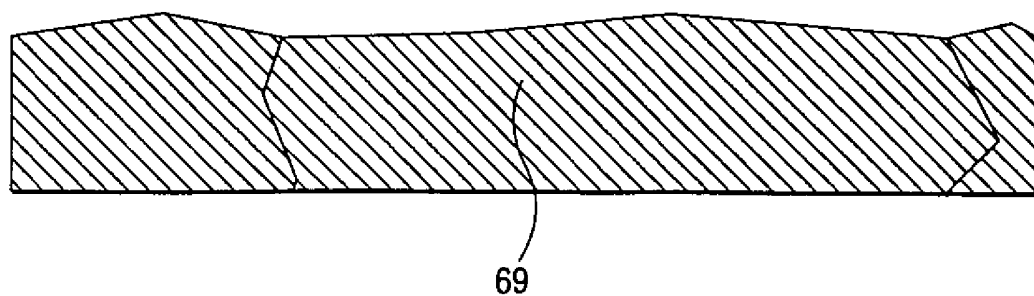
第 32 圖



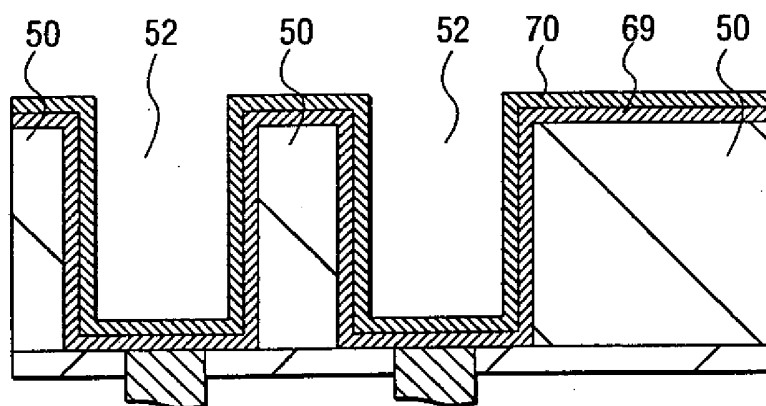
第 33 圖(a)



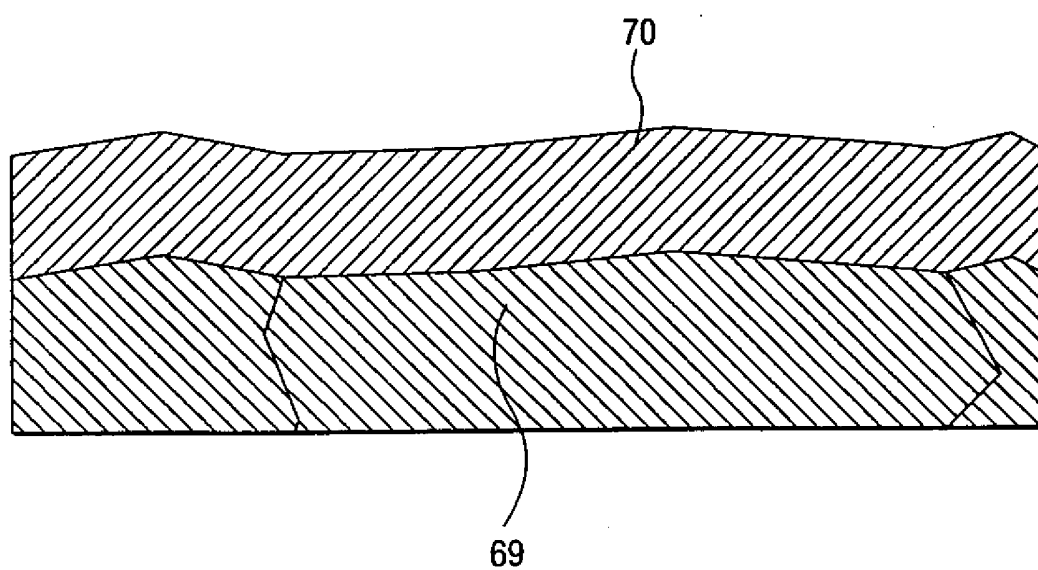
第 33 圖(b)



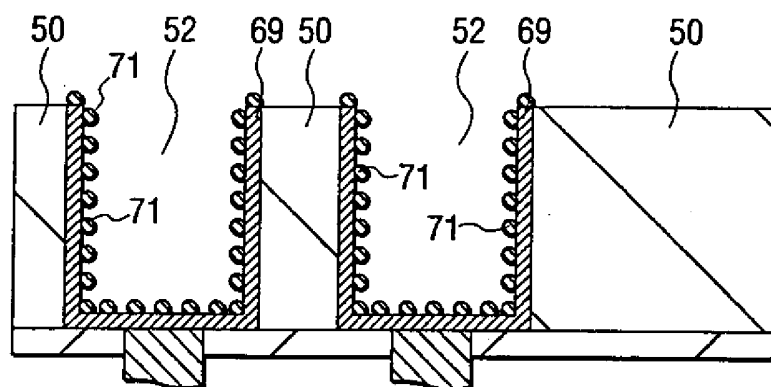
第 34 圖(a)



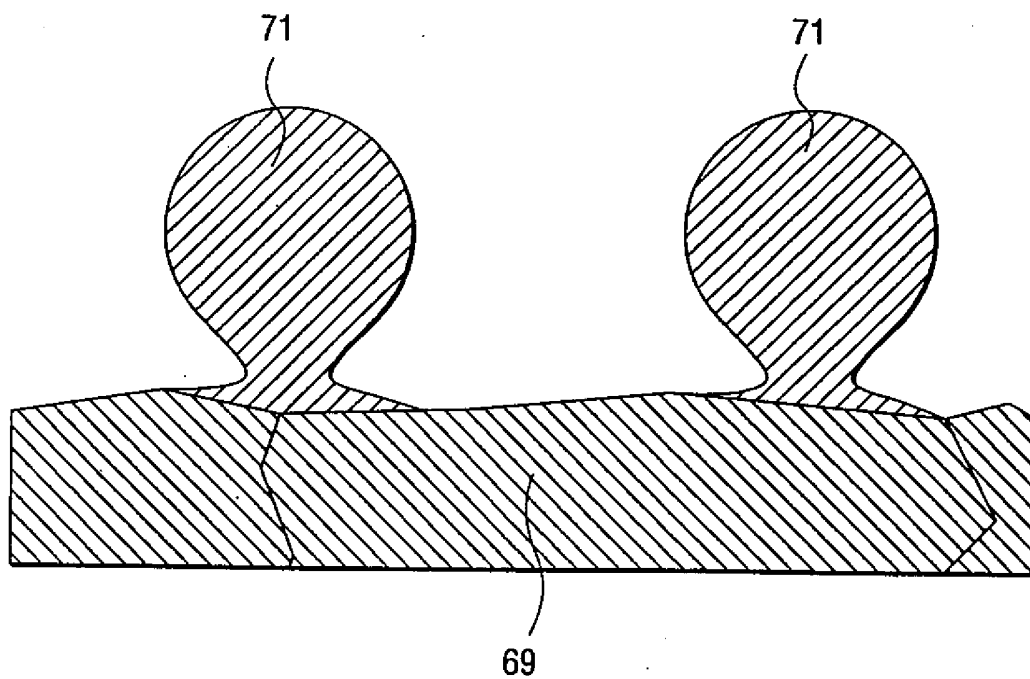
第 34 圖(b)



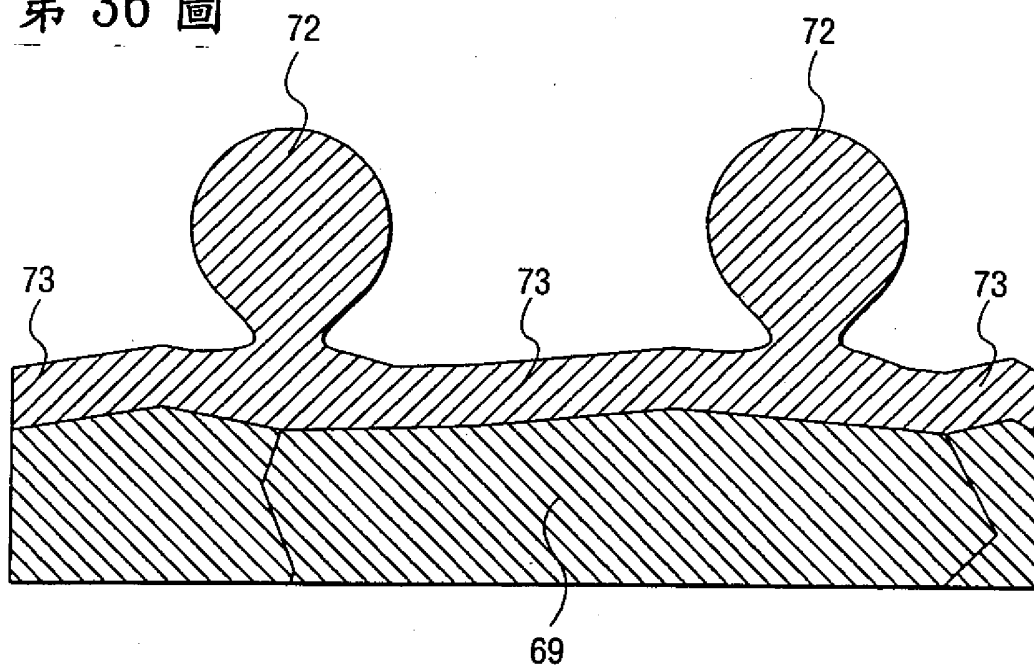
第 35 圖(a)



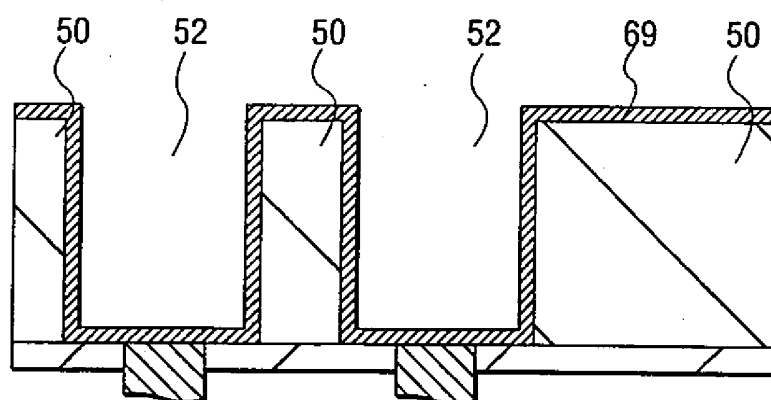
第 35 圖(b)



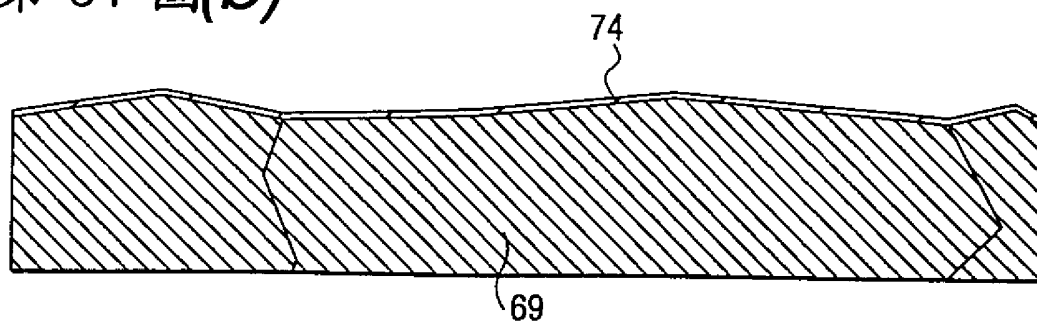
第 36 圖



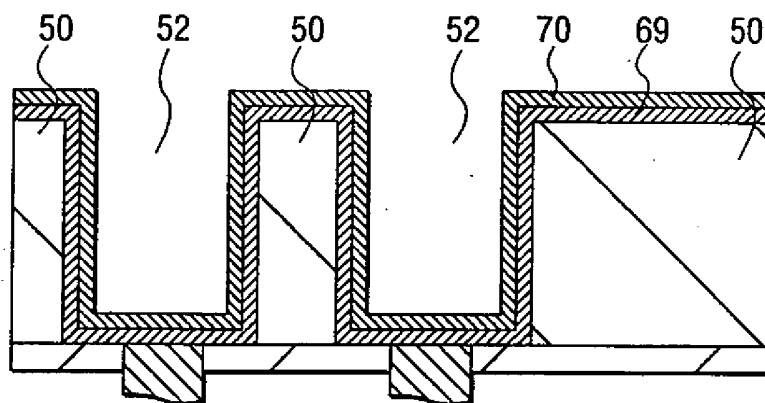
第 37 圖(a)



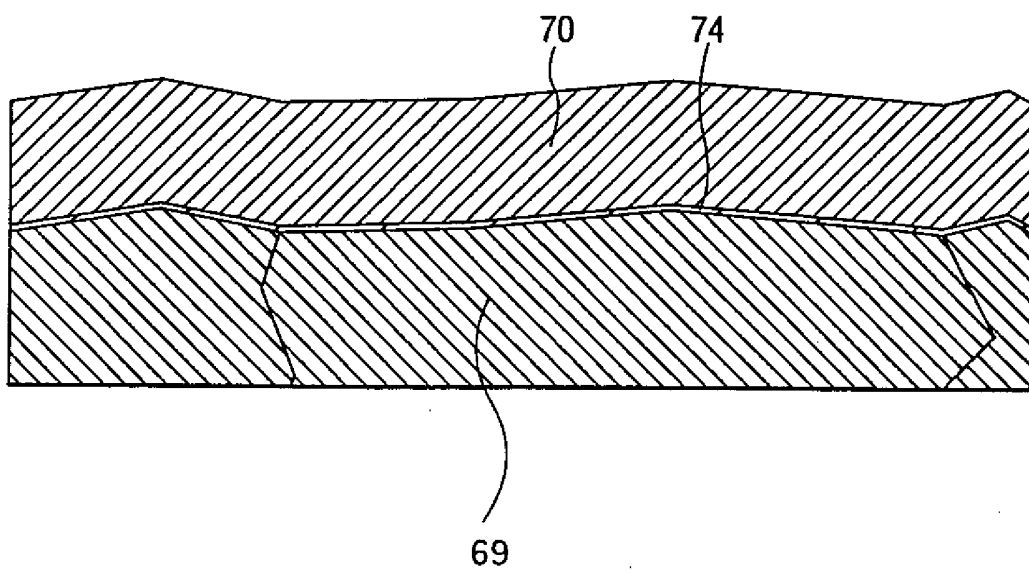
第 37 圖(b)



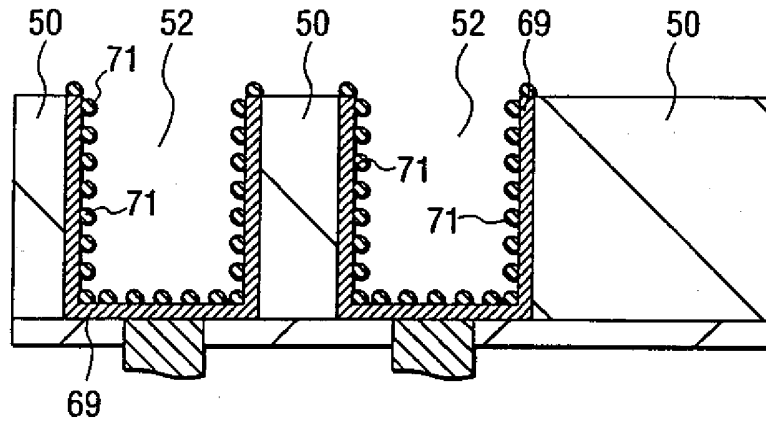
第 38 圖(a)



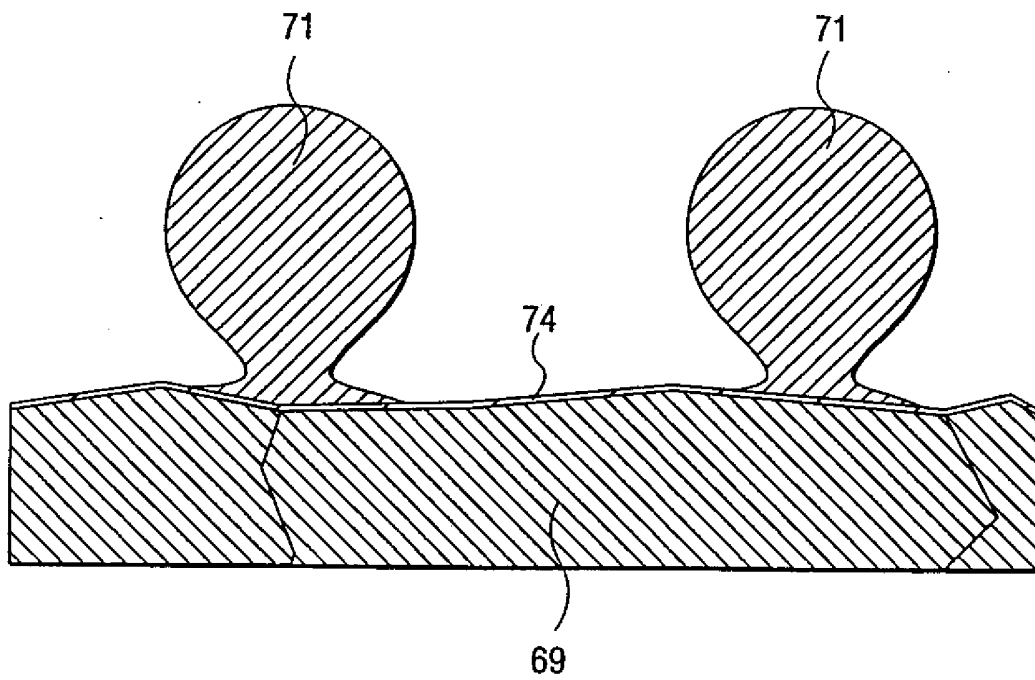
第 38 圖(b)



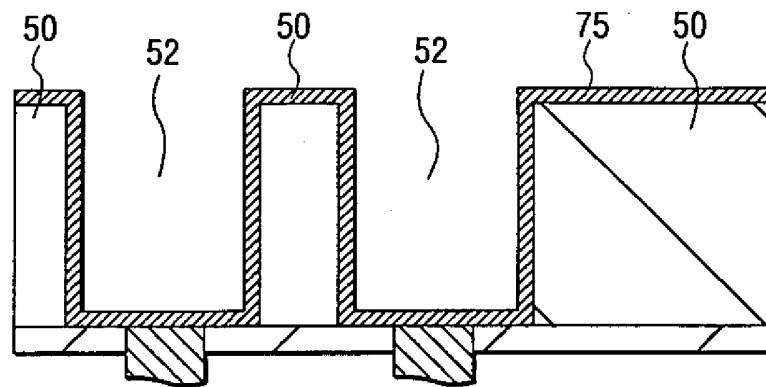
第 39 圖(a)



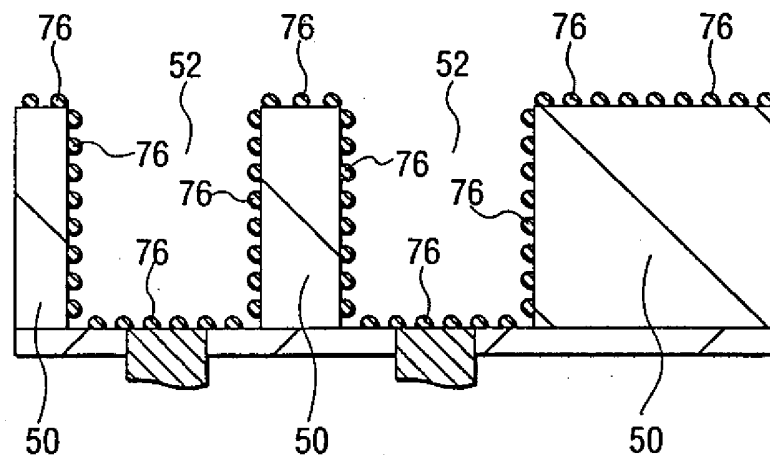
第 39 圖(b)



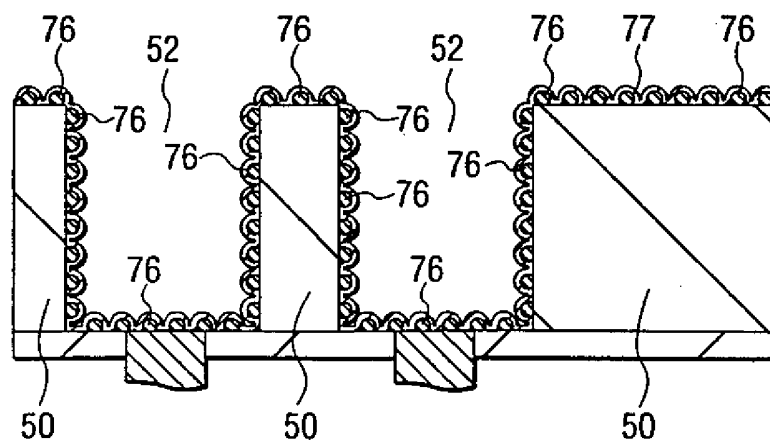
第 40 圖



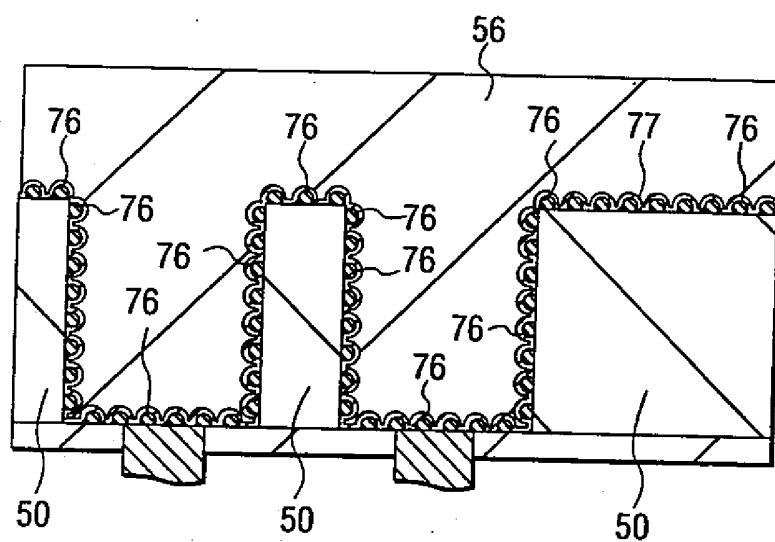
第 41 圖



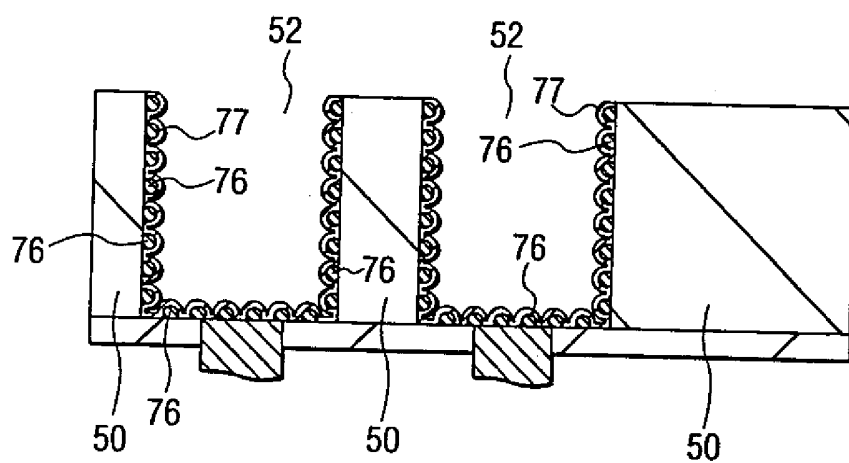
第 42 圖



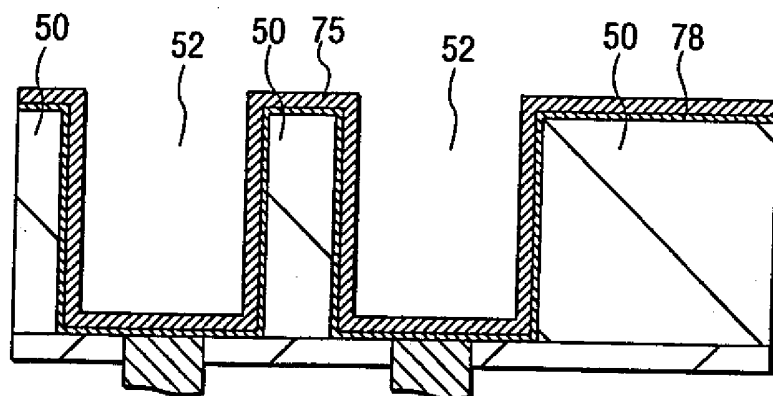
第 43 圖



第 44 圖



第 45 圖



第 46 圖

