

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
G09G 3/36 (2006.01)

(45) 공고일자 2006년02월21일
(11) 등록번호 10-0553324
(24) 등록일자 2006년02월10일

(21) 출원번호 10-2004-0053607
(22) 출원일자 2004년07월09일

(65) 공개번호 10-2005-0007195
(43) 공개일자 2005년01월17일

(30) 우선권주장 JP-P-2003-00194281 2003년07월09일 일본(JP)
JP-P-2004-00189586 2004년06월28일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노구 나가이계쵸 22방 22고

(72) 발명자 무라카미유히치로
일본 미에 515-0019 마츠사카시 추오쵸 554-1-디

와시오하지메
일본 나라 633-0061 사쿠라이시 카미노쵸 6-6

츠지노사치오
일본 미에 515-0045 마츠사카시 마에노헤타쵸 198-8-202

규텐세이지로
일본 미에 515-0019 마츠사카시 추오쵸 554-1-비

마즈다에이지
일본 미에 515-0019 마츠사카시 추오쵸 625-12-비102

(74) 대리인 백덕열
이태희

심사관 : 이병우

(54) 시프트 레지스터 및 그것을 사용하는 표시 장치

요약

시프트 레지스터는, 각 블록마다 제어 회로(CNi)(i=1~n)를 설치하고, 시프트 레지스터 중 어느 것의 외부로의 출력과, 플립플롭(Fi)의 출력을 이용하여, 다음 단의 레벨 시프터(LSi+ 1)를 제어한다. 이로써 해당 블록이 시프트 출력을 출력함에 있어서 최소한의 기간에만, 해당 블록의 레벨 시프터를 동작시킬 수 있고, 소비전력을 절감할 수 있는 동시에, 출력(SL1~SLn)이 서로 겹치지 않도록 할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도1은 본 발명의 일 실시형태의 시프트 레지스터(shift register)의 전기적 구성을 도시하는 블록도이다.

도2는 도1에서 도시하는 시프트 레지스터에서의 제어 회로의 구성을 도시하는 도면이다.

도3은 도2에서 도시하는 제어 회로의 동작을 설명하기 위한 파형도이다.

도4는 도1에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 파형도이다.

도5는 도1에서 도시하는 시프트 레지스터에서의 플립플롭(flipflop)의 일 구성예를 도시하는 블록도이다.

도6은 도5에서 도시하는 플립플롭의 동작을 설명하기 위한 파형도이다.

도7은 도1에서 도시하는 시프트 레지스터에서의 레벨 시프터(level shifter)의 일 구성예를 도시하는 블록도이다.

도8은 상기 제어 회로의 동작을 상세하게 설명하기 위한 타이밍 차트이다.

도9는 도1에서 도시하는 시프트 레지스터의 다른 예를 도시하는 블록도이다.

도10은 본 발명의 시프트 레지스터의 적절한 일 사용예인 화상 표시 장치의 블록도이다.

도11은 도10에서 도시하는 화상 표시 장치에서의 화소의 등가 회로도이다.

도12는 본 발명의 다른 실시형태의 시프트 레지스터의 전기적 구성을 도시하는 블록도이다.

도13은 도12에서 도시하는 시프트 레지스터에서의 플립플롭의 블록도이다.

도14는 도12에서 도시하는 시프트 레지스터에서의 제어 회로의 구성을 도시하는 도면이다.

도15는 도12에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 파형도이다.

도16은 도1에서 도시하는 시프트 레지스터의 또 다른 예를 도시하는 블록도이다.

도17은 복수의 $M(M=3)$ 개 클럭 신호의 예를 도시하는 파형도이다.

도18은 전형적인 종래 기술의 시프트 레지스터의 전기적 구성을 도시하는 블록도이다.

도19는 도18에서 나타내는 시프트 레지스터의 동작을 설명하기 위한 파형도이다.

도20은 도18에서 나타내는 시프트 레지스터에서의 지연 회로의 일 구성예를 도시하는 블록도이다.

도21은 도20에서 도시하는 지연 회로의 동작을 설명하기 위한 타이밍 차트이다.

도22는 도18에서 도시하는 시프트 레지스터에서의 버퍼의 일 구성예를 도시하는 블록도이다.

도23은 도22에서 도시하는 버퍼의 동작을 설명하기 위한 파형도이다.

도24는 본 발명의 또 다른 실시형태의 시프트 레지스터의 전기적 구성을 도시하는 블록도이다.

- 도25는 도24의 시프트 레지스터에서의 각 시프트 레지스터 블록의 일 구성예를 도시하는 블록도이다.
- 도26은 도25의 시프트 레지스터 블록에서의 제어 회로의 구성을 도시하는 회로 블록도이다.
- 도27은 도25의 시프트 레지스터 블록에서의 제어 회로의 구성을 도시하는 회로 블록도이다.
- 도28은 도24에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 파형도이다.
- 도29는 도25의 시프트 레지스터 블록의 변형예의 구성을 도시하는 블록도이다.
- 도30은 도29에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 타이밍 차트이다.
- 도31은 도29에서 도시하는 시프트 레지스터 블록을 구비하는 시프트 레지스터의 동작을 설명하기 위한 파형도이다.
- 도32는 본 발명의 또 다른 실시형태의 시프트 레지스터의 전기적 구성을 도시하는 블록도이다.
- 도33은 도32에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 제1 파형도이다.
- 도34는 도32에서 도시하는 시프트 레지스터의 동작을 설명하기 위한 제2 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정 표시 장치의 구동 회로 등에 적절하게 사용되고, 비교적 저전압의 입력 신호에 응답하여 동작하는 시프트 레지스터와, 그것을 사용하는 상기 액정 표시 장치 등의 표시 장치에 관한 것이다.

액정 표시 장치의 주사 신호선 구동 회로와 데이터 신호선 구동 회로에서는, 각 주사 신호선에 제공하는 주사 신호를 작성하고, 각 데이터 신호를 영상 신호로부터 샘플링하려 할 때의 타이밍을 취하기 위해, 시프트 레지스터가 널리 사용되고 있다. 한편, 전자 회로의 소비 전력은, 주파수와, 부하 용량과, 전압의 2승에 비례하여 커진다. 따라서, 표시 패널에의 영상 신호를 생성하는 회로 등의 외부 회로도 포함하여, 상기 소비 전력을 저감하기 위해, 구동 전압이 점점 낮게 설정되는 경향이 있다.

그러나, 각 화소 회로와 주사 신호선 구동 회로 및 데이터 신호선 구동 회로 등과 같이, 넓은 표시 면적을 확보하기 위해 다결정 실리콘 박막 트랜지스터로 형성되는 회로에서는, 기관간 또는 동일 기관내에서도, 문턱 전압의 상이함이 수 [V] 정도에 달하는 것도 있기 때문에, 구동 전압에는 그 문턱 전압의 어긋남의 영향을 흡수하는 것과 같은 마진(margin)이 포함되어 있고, 상기 구동 전압의 저감이 충분히 진행된다고 말하기는 어렵다. 한편, 상기 영상 신호의 생성 회로와 같이, 단결정 실리콘 트랜지스터를 사용한 회로에서는, 구동 전압은, 예를 들어 5 [V]나 3.3 [V], 또는 그 이하의 값으로 설정되는 경우가 많다.

따라서, 상기 영상 신호의 생성 회로와 같이 외부의 회로로부터 표시 패널에는, 시프트 레지스터의 구동 전압보다 낮은 스타트 펄스(start pulse)나 클럭이 인가되게 된다. 그 경우, 시프트 레지스터에는, 상기 스타트 펄스나 클럭을 승압하는 레벨 시프터가 설정될 수 있다.

상기 레벨 시프터의 도입에 따라, 예를 들어 일본국 공개 특허 공보 "특개 2001-135093호 공보(공개일 2001년 5월 18일)"와 같이, 스타트 펄스는, 레벨 시프터에서 승압한 후에, 시프트 레지스터를 구성하는 플립플롭의 초단에 입력하고, 클럭은, 레벨 시프터에서 승압한 후에, 버퍼를 통해, 전단의 플립플롭에 공통으로 제공하는 구성이 제공된다. 이 경우, 상기 버퍼가 구동될 때의 부하는, 거의 패널의 시프트 방향의 일변분의 클럭 라인에 대한 부하와, 그에 연결되는 트랜지스터의 오프 용량 등에 대한 부하의 합계가 되고, 대단히 큰 값이 된다. 이것이 원인으로, 시프트 레지스터의 각단의 플립플롭에 전달되는 클럭은 크게 지연하기 때문에, 이와 같은 구성은, 주파수가 빠른 회로에서는 채용할 수 없고, 일반적으로 주파수가

느린 주사 신호선 구동 회로 등에서 잘 사용된다. 또한, 이 구성에서는, 부하가 대단히 크기 때문에, 소비 전력도 커진다. 이 때문에, 데이터 신호선 구동 회로와 같이 주파수가 빠른 회로에서는, 시프트 레지스터의 플립플롭마다 레벨 시프터를 갖게 된다.

도18은, 그와 같은 구성의 전형적인 종래 기술인 시프트 레지스터(1)의 전기적 구성을 나타내는 블록도이다. 이러한 시프트 레지스터(1)는, 일본국 공개 특허 공보 "특개 2000-339984호 공보(공개일 2000년 12월 8일) [대응 미국 공개 공보 "US 2003/ 0174115A1(공개일 2003년 9월 18일)"] 및 특개 2001-307495호 공보(공개일 2001년 11월 2일)" 등에 개시되어 있다. 이 시프트 레지스터(1)는, 대략적으로, 시프트 레지스터부 (2)와 레벨 시프터부(3)를 구비하여 구성되어 있고, 시프트 레지스터부(2)를 구성하는 복수 n단의 플립플롭(f1, f2, ..., fn-1, fn)의 입력측에는, 각각 개별적으로 대응하는 레벨 시프터(ls1, ls2, ..., lsn-1, lsn)가 설정되고, 또 최종단의 플립플롭(fn)의 출력측에는, 또한 레벨 시프터(lsn+ 1)가 설정되고, 초단의 플립플롭(f1)측에서의 레벨 시프터(ls1)의 전단에는, 또한 레벨 시프터(ls0)가 설정되어 있다.

상기 레벨 시프터(ls0)는, 상기 영상 신호의 생성 회로로부터 상기 5[V] 정도의 진폭의 스타트 펄스(SP) 및 그 반전 신호(SP_B)로부터, 시프트 레지스터부(2)의 구동 전압인, 예를 들어, 15[V] 정도로 승압한 스타트 펄스(SPO)를 작성하고, 상기 레벨 시프터부(3)에 있어서, 상기 시프트 레지스터부(2)에서의 초단의 플립플롭(f1)에 대응한 레벨 시프터(ls1)의 인에이블 단자(ENA)에 입력한다. 레벨 시프터(ls1)에는 또한, 상기 영상 신호의 생성 회로로부터 상기 5[V] 정도의 진폭의 클럭 신호(CK) 및 그 반전 신호(CK_B)가, 각각 클럭 입력 단자(CK, CK_B)에 입력되어 있고, 그 출력단자(OUT)로부터는, 상기 인에이블 신호(ENA)가 액티브의 하이레벨인 사이에, 클럭 신호(CK)를 출력한다.

상기 레벨 시프터(ls1)의 출력 신호(11)는, 시프트 레지스터(1)의 외부에의 출력으로서 출력됨과 동시에, 인버터(inv_s1)에서 반전된 후, 상기 초단의 플립플롭(f1)의 로우(low) 액티브 세트 입력 단자(SB)에 입력된다. 이러한 플립플롭(f1)은, 2단 후방의 레벨 시프터(ls3)로부터의 출력 신호(13)가 리셋 입력 단자(R)에 입력되어 리셋되고, 그 출력 단자(Q)로부터의 출력 신호(q1)는, 다음 단의 레벨 시프터(ls2)의 인에이블 단자(ENA)에 입력된다.

이후 동일하게, 레벨 시프터(ls2 ~ lsn)의 출력 신호(12 ~ 1n)는, 시프트 레지스터(1)의 외부에의 출력으로서 출력됨과 동시에, 인버터(inv_s2 ~ inv_sn)에서 반전된 후, 대응하는 단의 플립플롭(f2 ~ fn)의 세트 입력 단자(SB)에 입력되고, 또 각 플립플롭(f2 ~ fn-1)은, 2단 후방의 레벨 시프터(ls4 ~ lsn+ 1)로부터의 출력 신호(14 ~ 1n+ 1)로 리셋되고, 그 출력 단자(Q)로부터의 출력 신호(q2 ~ qn-1)는, 다음 단의 레벨 시프터(ls3~lsn)의 인에이블 단자(ENA)에 입력된다.

다만, 상기 클럭 신호(CK, CK_B)는, 홀수단의 레벨 시프터(ls1, ls3, ...)에서는, 각각 클럭 입력 단자(CK_B, CK)에 입력된다. 이에 의해, 각각의 레벨 시프터(ls2 ~ lsn+ 1)는, 클럭 신호(CK, CK_B)의 1/2 주기마다 순차적으로 시프트 동작을 행한다.

각 레벨 시프터(ls1 ~ lsn)의 출력 신호(11 ~ 1n)는, 지연 회로(d1 ~ dn)에 있어서, 후술하는 바와 같이 샘플링 펄스끼리 겹치지 않도록 타이밍 조정된 후에, 버퍼(b1 ~ bn)를 통해, 샘플링 펄스(sl1 ~ sln)로서 출력된다. 상기 샘플링 펄스(sl1 ~ sln)를 사용하여, 상기 주사 신호선 구동 회로나 데이터 신호선 구동 회로에서는, 신호선을 순차 선택해 간다.

도19는, 상술한 바와 같이 구성되는 시프트 레지스터(1)의 동작을 설명하기 위한 파형도이다. 서로 역상(위상이 180°어긋남)인 클럭 신호(CK, CK_B)에 의해, 상기 클럭 신호(CK, CK_B)의 1/2 주기분의 스타트 펄스(SP)가, 전술한 바와 같이, 각 플립플롭 (f1 ~ fn)에 의해, 클럭 신호(CK, CK_B)의 1/2 주기마다, 순차적으로 시프트되고, 상기 출력 신호(11 ~ 1n)로 된다. 그리고, 전술한 바와 같이 각 플립플롭(f1 ~ fn-1)은 2단 후방의 레벨 시프터(ls3 ~ lsn+ 1)로부터의 출력 신호(13 ~ 1n+ 1)로 리셋되고, 또한 최종단의 플립플롭(fn)은 1단 후방의 레벨 시프터(lsn+ 1)로부터의 출력 신호(1n + 1)로 리셋된다. 또한, 최종단의 레벨 시프터(lsn+ 1)는, 자기의 출력 신호(1n+ 1)에 의해, 전단의 플립플롭(fn)을 통해, 단시간에 리셋된다.

상술한 바와 같이 구성되는 시프트 레지스터(1)에서는, 각 플립플롭(f1 ~ fn)에 셋-리셋 플립플롭(SR-FF)을 사용하고, 그것의 정상 출력 신호(q1 ~ qn)를 다음 단의 레벨 시프터(ls2 ~ lsn+ 1)의 동작 제어에 사용하기 때문에, 그 출력 신호(q1 ~ qn)의 액티브 기간만큼 레벨 시프터(ls2 ~ lsn+ 1)는 동작하게 된다. 따라서, 상기 도19에 도시한 바와 같이, 레벨 시프터(ls2 ~ lsn)의 액티브 기간의 전반의 클럭(CK, CK_B)의 1/2 주기의 기간은, 상기 레벨 시프터(ls2 ~ lsn)가, 구동해야 하는 플립플롭(f2 ~ fn)의 시프트 동작에 기여하지 않고(전단의 플립플롭(f1 ~ fn-1)은, 클럭 신호(CK, CK_B)가 다음으로 절환되는 타이밍까지 상기 출력 신호(q1 ~ qn-1)를 액티브로 절환하면, 소기의 동작을 실현할 수 있고), 쓸데없는 동작 시간이 된다.

한편, 레벨 시프터($ls1 \sim lsn+1$)가 동작하는 기간에는, 상기 레벨 시프터($ls1 \sim lsn+1$)에는 정상 전류가 흐르고, 전력 소비가 발생한다. 여기서, 레벨 시프터가 전압 구동형인 경우, 클록 신호가 인가되는 입력 스위칭 소자는 상기 클록 신호가 액티브인 기간만큼 도통하기 때문에, 저소비 전력인 것이지만, 그 클록 신호의 진폭을 상기 입력 스위칭 소자의 문턱 전압보다 높게 하여야 하고, 상기 저전압화에 대응하지 않게 된다. 따라서, 레벨 시프터는, 입력 스위칭 소자를 도통/차단하는 입력 신호의 진폭이, 상기 입력 스위칭 소자의 문턱 전압보다 낮은 경우에서도, 아무런 지장 없이 입력 신호를 레벨 시프트할 수 있는 전류 구동형으로 할 필요가 있고, 동작중에는 클록 신호가 인가되는 입력 스위칭 소자가 항상 도통하고, 소비 전력이 커지는 문제가 있다. 이 결과로, 액정 표시 장치 등의 상기 시프트 레지스터(1)를 탑재하는 기기의 소비 전력이 커져버리고, 소형 휴대 단말이나 휴대 전화 등에서는, 전지 등의 전력이 크게 소비되게 되어, 그들의 사용 시간이 짧아져버린다.

또한, 일본국 공개 특허 공보 "특개 2001-356728호 공보(공개일 2001년 12월 26일) [대응 미국 공개 공보 "US2001/0043496A1(공개일 2001년 11월 22일)"]"의 도21에는, 게이팅 회로에 클록 신호가 입력되고, 이 회로에 의해 레벨 시프트된 신호가 플립플롭에 입력되고, 플립플롭으로부터 출력 펄스를 추출하는 구성이 기재되어 있다. 상기 구성에 있어서, 플립플롭의 출력 펄스의 펄스 길이가 클록 신호의 펄스 1개분(1주기의 1/2분)인 경우에는, 게이팅 회로의 동작 기간은 클록 신호의 펄스 1개분으로 되지만, 출력 펄스의 펄스 길이가 클록 신호의 펄스 2개분 이상인 경우에는, 게이팅 회로의 동작 기간은 게이팅 회로의 동작 기간도 동일하게 클록 신호의 펄스 2개분 이상의 기간으로 된다. 따라서, 출력 펄스의 펄스 길이가 커지면, 게이팅 회로에서의 소비 전력이 커진다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 소비 전력이 적은 시프트 레지스터 및 그것을 사용하는 표시 장치를 실현하는 것이다.

본 발명의 시프트 레지스터는, 상기의 목적을 달성하기 위해, 입력된 신호를 클록 신호에 동기하여 순차적으로 전송해야 하고, 상기 클록 신호의 진폭보다 큰 구동 전압에서 구동하는 복수단의 플립플롭과,

상기 클록 신호를 레벨 시프트하여, 상기 각 플립플롭에 인가하는 각 레벨 시프터와,

상기 각 레벨 시프터의 동작 기간을 제어하는 각 동작 제어 수단을 포함하고,

상기 레벨 시프터의 각각은, 상기 각 동작 제어 수단과, 상기 각 레벨 시프터의 출력 신호 또는 그 반전 신호가 입력 신호로 되는 상기 각 플립플롭으로 단을 구성하고,

적어도 상기 각 단의 플립플롭의 출력 신호 또는 그 반전 신호가 자신의 단 이외의 상기 동작 제어 수단에 입력됨으로써, 상기 입력된 신호의 순차적 전송을 행하고,

상기 각 단에 있어서, 상기 동작 제어 수단은 상기 레벨 시프터의 동작 기간을, 상기 클록 신호의 주기 미만으로 되도록 제어한다.

상기의 구성에 의하면, 동작 제어 수단과, 상기 동작 제어 수단에 의해 동작 기간이 제어되는 레벨 시프터와, 상기 레벨 시프터의 출력 신호 또는 그 반전 신호가 입력되는 플립플롭이 단을 구성하고, 적어도 각 단의 플립플롭의 출력 신호 또는 그 반전 신호가 자신의 단 이외의 동작 제어 수단에 입력됨으로써, 입력된 신호의 플립플롭에 의한 순차 전송을 행한다. 이 때에 각 단의 레벨 시프터의 출력 신호 또는 그 반전 신호, 및 플립플롭의 출력 신호 또는 그 반전 신호를, 각 단사이에 순차적으로 출력되는 펄스 신호로서, 시프트 레지스터의 외부에 출력할 수 있다.

각 단의 레벨 시프터의 출력 신호 또는 그 반전 신호를 시프트 레지스터의 외부에 출력하는 펄스 신호로서 사용하는 경우에는, 레벨 시프터의 동작 기간은, 최저한 상기 펄스 신호의 펄스 길이만큼이면 좋기 때문에, 상기 펄스 길이가 클록 신호의 주기 미만인 경우에는, 레벨 시프터의 동작 기간은 클록 신호의 주기 미만으로 좋다. 즉, 레벨 시프터의 동작 기간은, 레벨 시프터의 출력 신호 또는 반전 신호를 상기 펄스 신호로 하는 경우에, 종래에 있어서 가장 짧았던 클록 신호의 주기의 길이보다도 짧아진다. 따라서, 예를 들어 클록 신호의 펄스 길이와 동일한 펄스 길이(클록 신호의 1/2 주기)의 펄스 신호를 생성하려고 하는 경우에는, 동작 제어 수단이 레벨 시프터의 동작 기간을, 클록 신호의 펄스 길이와 동일하게 되도록 제어하면, 레벨 시프터에 있어서 소비 전력을 삭감할 수 있다.

또한, 각 단의 플립플롭의 출력 신호 또는 그 반전 신호를 상기 펄스 신호로서 사용하는 경우에는, 플립플롭의 출력 신호가 일단 상승해버리면, 상기 출력 신호의 하강 타이밍을 별도 임의로 설정할 수 있고, 레벨 시프터를 계속 동작시킬 필요가 없기 때문에, 레벨 시프터의 동작 기간을 상기 클럭 신호의 주기 미만으로 한다. 즉, 레벨 시프터의 동작 기간은, 플립플롭의 출력 신호 또는 그 반전 신호를 클럭 신호의 펄스 길이보다 큰 펄스 길이의 상기 펄스 신호로서 사용하는 경우에, 동작 기간이 클럭 신호의 주기 이상으로 되는 종래와는 다르고, 펄스 길이에 관계없이 클럭 신호의 주기 미만으로 된다. 따라서, 예를 들어, 클럭 신호의 펄스 길이의 2배와 동일한 펄스 길이(클럭 신호의 주기)의 샘플링 펄스를 생성한 경우에는, 동작 제어 수단이 레벨 시프터의 동작 기간을, 샘플링 펄스의 펄스 길이와 관계없이, 플립플롭의 출력 신호의 상승하는 타이밍을 포함하여 클럭 신호의 주기 미만의 길이로 되도록 제어하면, 레벨 시프터에서의 소비 전력을 삭감할 수 있다.

또한, 본 발명의 표시 장치는, 상기의 목적을 달성하기 위해, 주사 신호선 구동 회로 및 데이터 신호선 구동 회로에서, 서로 교차하는 복수의 주사 신호선 및 데이터 신호선에 의해 구획되어 형성되는 각 화소 영역에, 상기 주사 신호선 및 데이터 신호선을 통해 영상 신호를 기입해감으로써 화상 표시를 행하고, 주사 신호선 구동 회로 및 데이터 신호선 구동 회로를 포함하고, 상기 주사 신호선 구동 회로 및 데이터 신호선 구동 회로 중 적어도 일방은, 상기 시프트 레지스터를 구비한다.

상기의 구성에 의하면, 서로 교차하는 복수의 주사 신호선 및 데이터 신호선에 의해 구획되어 각 화소 영역이 형성되고, 상기 주사 신호선 및 데이터 신호선을 상기 주사 신호선 구동 회로 및 데이터 신호선 구동 회로에 각각 순차적으로 선택해감으로써 표시를 행하도록 한 매트릭스 표시 장치에 있어서, 상기 주사 신호선 구동 회로 및 데이터 신호선 구동 회로 중 적어도 일방에, 상술한 어느 하나의 시프트 레지스터를 탑재한다.

따라서, 시프트 레지스터의 소비 전력이 삭감되는 만큼, 전체의 소비 전력을 삭감할 수 있는 표시 장치를 실현할 수 있다.

본 발명의 또 다른 목적, 특징 및 우수한 점은, 이하에 나타내는 기재에 의해 충분히 이해될 것이다. 또한, 본 발명의 이점은, 첨부한 도면을 참조한 다음의 설명으로 명백해질 것이다.

발명의 구성 및 작용

[실시형태 1]

본 발명의 실시형태에 대해, 도1 ~ 도11 및 도20 ~ 도23에 기초하여 설명하면, 이하와 같다.

도1은, 본 발명의 일 실시형태의 시프트 레지스터(11)의 전기적 구성을 도시하는 블록도이다. 상기 시프트 레지스터(11)는, 대략적으로, 시프트 레지스터부(12)와 레벨 시프터부(13)를 구비하여 구성되어 있고, 시프트 레지스터부(12)를 구성하는 복수 n단의 플립플롭(F1, F2, ..., Fn-1, Fn)의 입력측에는, 각각 개별적으로 대응하는 레벨 시프터(LS1, LS2, ..., LSn-1, LSn)가 설정되고, 또한 최종단의 플립플롭(Fn) 출력측에는, 또 레벨 시프터(LSn+ 1)가 설정되고, 초단의 플립플롭(F1)측에는, 또한 레벨 시프터(LS0)가 설정되어 있다.

상기 레벨 시프터(LS0)는, 상기 영상 신호의 생성 회로로부터의 상기 5 [V] 정도의 진폭의 스타트 펄스(SP) 및 그 반전 신호(SP \bar)로부터, 시프트 레지스터부(2)의 구동 전압인, 예를 들어 15[V] 정도로 승압한 스타트 펄스(SPO)를 작성하고, 상기 레벨 시프터부(13)에 있어서, 상기 펄스를 시프트 레지스터부(12)에서의 초단의 플립플롭 (F1)에 대응한 레벨 시프터 (LS1)의 인에이블 단자(ENA)에 입력한다. 레벨 시프터(LS1)에는 또한, 상기 영상 신호의 생성 회로로부터 상기 5[V] 정도의 진폭의 클럭 신호(CK) 및 그 반전 신호(CK \bar)가, 각각 클럭 입력 단자(CK, CK \bar)에 입력되어 있고, 그 출력 단자 (OUT)로부터는, 상기 인에이블 신호(ENA)가 액티브인 하이레벨인 사이에, 클럭(CK)을 레벨 시프트하여 출력한다.

상기 레벨 시프터(LS1)의 출력 신호(L1)는, 시프트 레지스터(11)의 외부에 출력하는 신호로서 출력됨과 동시에, 인버터 (INVS1)에서 반전된 후, 상기 초단의 플립플롭 (F1)의 로우 액티브인 세트 입력 단자(SB)에 입력된다. 따라서, 상기 플립 플롭(F1)의 반전 출력 신호(QB1)는, 레벨 시프터(LS1)의 출력 신호(L1)의 반전 신호의 온(on) 타이밍으로 동기하여, 액티브 로우 레벨이 된다. 상기 플립플롭(F1)은, 2단 후방의 레벨 시프터(LS3)로부터의 출력 신호(L3)가 리셋 입력 단자(R)에 입력되어 리셋되고, 그 반전 출력 단자(QB)로부터의 상기 반전 출력 신호(QB1)는, 본 발명의 제어 회로(CN1)에 입력된다.

상기 제어 회로(CN1)에는, 상기 플립플롭(F1)의 반전 출력 신호(QB1)와, 상기 레벨 시프터(LS1)의 출력 신호(L1)가 입력되고, 레벨 시프터(LS1)의 출력 신호(L1)가 액티브인 하이 레벨로부터 비액티브인 로우 레벨로 변화함과 동시에, 그 출력 신호(OC1)는 액티브인 하이 레벨로 되고, 상기 플립플롭(F1)의 반전 출력 신호(QB1)가 액티브 로우 레벨로부터 비액티브

하이 레벨로 변화함과 동시에, 그 출력 신호(OC1)는 액티브인 하이 레벨로 되고, 상기 플립플롭(F1)의 반전 출력 신호(QB1)가 액티브 로우 레벨로부터 비액티브 하이 레벨로 변화함과 동시에, 상기 출력 신호(OC1)를 비액티브 로우 레벨로 한다. 상기 출력 신호(OC1)는, 다음 단의 레벨 시프터(LS2)의 인에이블 단자(ENA)에 입력된다. 따라서, 레벨 시프터(LS2)는, 상기 출력 신호(OC1)가 액티브의 하이 레벨인 기간동안 동작하고, 클럭 신호(CKB)를 레벨 시프트하여, 출력 단자(OUT)로부터, 출력 신호(L2)로서 출력함과 동시에, 인버터(INVS2)를 통해 플립플롭(F2)에 입력시킨다. 이와 같이, 제어 회로(동작 제어 수단)(CN1)는, 다음 단의 레벨 시프터(LS2)의 동작 기간을 제어한다. 제어 회로(CN2 ~ CNn)도 각각 다음 단의 레벨 시프터의 동작 기간을 제어한다.

이후 동일하게, 레벨 시프터(LS2 ~ LSn)의 출력 신호(L2 ~ Ln)는, 시프트 레지스터(11)의 외부에 출력하는 신호로서 출력됨과 동시에, 인버터(INVS2 ~ INVSn)로 반전된 후, 대응하는 단의 플립플롭(F2 ~ Fn)의 세트 입력 단자(SB)에 입력되고, 또한 각 플립플롭(F2 ~ Fn-1)은, 2단 후방의 레벨 시프터(LS4 ~ LSn+1)로부터의 출력 신호(L4 ~ Ln+1)로 리셋되고, 그 반전 출력 단자(QB)로부터의 반전 출력 신호(QB2 ~ QBn-1)는, 제어 회로(CN2 ~ CNn-1)를 통해, 다음 단의 플립플롭(F3 ~ Fn)의 인에이블 단자(ENA)에 입력된다.

다만, 상기 클럭 신호(CK, CKB)는, 홀수단의 레벨 시프터(LS1, LS3, ...)에서는, 각각 클럭 입력 단자(CK, CKB)에 입력되는 것에 대해, 짝수단의 레벨 시프터(LS2, LS4, ...)에서는, 각각 클럭 입력 단자(CKB, CK)에 입력된다. 이에 의해, 각 플립플롭(F1 ~ Fn)은, 클럭 신호(CK, CKB)의 1/2 주기마다 순차적으로 시프트 동작을 행한다.

각 레벨 시프터(LS1 ~ LSn)의 출력 신호(L1 ~ Ln)는, 버퍼(B1 ~ Bn)를 통해, 샘플링 펄스(SL1 ~ SLn)로서 출력된다. 상기 샘플링 펄스(SL1 ~ SLn)를 이용하여, 상기 주사 신호선 구동 회로나 데이터 신호선 구동 회로에서는, 신호선을 순차적으로 선택해간다.

본 실시형태에서는, 레벨 시프터(LSk(k=2 ~ n))와, 레벨 시프터(LSk)의 동작 기간을 제어하는 제어 회로(CNk-1)와, 레벨 시프터(LSk)의 출력 신호(Lk)의 반전 신호가 입력 신호로 되는 플립플롭(Fk)이 단을 구성한다. 그리고, 각 단의 플립플롭(Fk)의 반전 출력 신호(QBk)가, 자신의 단 이외의 제어 회로인 제어 회로(CNk+1)에 입력되는 구성으로 함으로써, 플립플롭(F1 ~ Fn)에 의한 스타트 펄스(SP) 또는 그 반전 신호(SP \bar{B})의 순차 전송을 행한다. 상기 k=2 ~ n의 각 단에서의 레벨 시프터(LSk)의 동작 기간이, 종래의 레벨 시프터의 동작 기간과 비교되는 대상이 된다. 레벨 시프터(LS0·LS1·LSn+1), 플립플롭(F1), 및 제어 회로(CNn)는, 시프트 레지스터(11)내에 상기와 동일한 전송 동작을 완결시키기 위해 각 단의 레벨 시프터, 플립플롭, 제어 회로에 대해 부가된 회로로 되어 있다. 도1에서는, 상기 단과는 달리, 레벨 시프터(LSi), 플립플롭(Fi) 및 제어 회로(CNi)(i=1 ~ n)가, 각각 1개의 블록을 구성하도록 도시되어 있다. 여기서는 1개의 블록이 1개의 플립플롭(Fi)을 포함하고 있고, 1블록은 1단에 상당한다. 더욱이, 본 실시예에서는 레벨 시프터(LS1 ~ LSn)의 출력 신호(L1 ~ Ln)의 반전 신호를 플립플롭(F1 ~ Fn)의 입력 신호로 하지만, 레벨 시프터의 출력 신호를 플립플롭의 입력 신호로 사용하는 구성도 가능하다. 또한, 본 실시예에서는 플립플롭(F1 ~ Fn)의 반전 출력 신호(QB1 ~ QBn)를 제어 회로(CN1 ~ CNn)의 입력 신호로 하지만, 플립플롭의 정전 출력 신호를 제어 회로의 입력 신호로 사용하는 구성도 가능하다. 또한, 본 실시예에서는 제어 회로(CN1 ~ CNn)에 레벨 시프터의 출력 신호(LS1 ~ LSn)(또는 그 반전 신호라도 좋음)가 입력되지만, 제어 회로에는 적어도 플립플롭의 정전 출력 신호 또는 반전 출력 신호가 입력된다면 좋다.

도2는, 상기 제어 회로(CN1 ~ CNn)의 구성을 나타내는 도면이다. 제어 회로(CN1 ~ CNn)의 구성을 도시하는 도면이다. 제어 회로(CN1 ~ CNn)(이하, 각 구성의 순위를 명시하는 것이 필요한 경우에는, 상기 1, 2, ..., n 등의 첨숫자를 생략한다. 또한, 단을 구별하는 때는 첨숫자(k)를 사용한다)는, 서로 동일한 구성이고, 상기 도2에 도시하는 바와 같이, NOR 회로로 구성되어 있다. 상기 제어 회로(CNi)에서는, 한 쪽의 입력 단자에는 대응하는 단의 레벨 시프터(LSi)로부터의 출력 신호(Li)가 입력되고, 다른 쪽의 입력 단자에는 대응하는 단의 플립플롭(Fi)으로부터의 반전 출력 신호(QBi)가 입력되고, 출력 신호(OCi)는 다음 단의 레벨 시프터(LSi+1)의 인에이블 단자(ENA)에 입력된다.

상기 NOR 회로는, 적어도 한 쪽의 입력이 하이 레벨이면, 로우 레벨을 출력한다. 한편, 플립플롭(Fi)의 반전 출력 신호(QBi)는, 레벨 시프터(LSi)의 출력 신호(Li)를 로우 액티브로 한 것이다. 따라서, 도3에 도시한 바와 같이, 상기 플립플롭(Fi)의 반전 출력 신호(QBi) 및 레벨 시프터(LSi)의 출력 신호(Li)가, 공히 로우 레벨로 되면, 상기 NOR 회로는, 하이 액티브의 출력 신호(OCi)를 출력하고, 상기 출력 신호(OCi)가 다음 단의 레벨 시프터(LSi+1)에 입력되어, 출력(Li+1)이 출력된다.

도4는, 상술한 바와 같이 구성되는 시프트 레지스터(11)의 동작을 설명하기 위한 파형도이다. 서로 역상(위상이 180°어긋남)인 클럭 신호(CK, CKB)에 의해, 상기 클럭 신호(CK, CKB)의 1/2 주기분의 스타트 펄스(SP)가, 상기 1/2 주기마다 순차적으로 시프트되고, 상기 출력 신호(L1 ~ Ln)로 되는 점은, 전술한 도19와 동일하다. 그리고, 전술한 바와 같이 각 플립

플롭(F1 ~ Fn-1)은 2단 후방의 레벨 시프터(LS3 ~ LSn+1)로부터의 출력 신호(L3 ~ Ln+1)로 리셋되고, 최종단의 플립 플롭(Fn)은 1단 후방의 레벨 시프터(LSn+1)로부터의 출력 신호(Ln+1)로 리셋된다. 또한, 최종단의 레벨 시프터(LSn+1)는, 자기의 출력 신호(Ln+1)에 의해, 전단의 플립플롭(Fn)을 통해, 단시간에 리셋된다.

그러나, 주목해야 할 것은, 상기 시프트 레지스터(11)에서는, 상기 제어 회로(CN1 ~ CNn)로부터의 출력 신호(OC1 ~ OCn)에 의해, 다음 단의 레벨 시프터(LS2 ~ LSn+1)의 동작이, 그 단에서의 출력 신호(L2 ~ Ln+1)를 출력해야 하는 기간에 제한된다는 것이다. 즉, 플립플롭(Fi)의 세트 입력 단자(SBi)에 액티브 신호(로우 레벨)가 입력되면, 상기 플립플롭(Fi)의 반전 출력 신호(QBi)가 입력 신호(SBi)의 온 타이밍에 동기하여 액티브(로우 레벨)로 된다. 그러나, 본 실시형태에서는, 상기 제어 회로(CNi)가, 그 단의 출력 신호(Li)가 비액티브(로우 레벨)로 되고, 또한 다음 단의 레벨 시프터(LSi+1)의 동작 타이밍으로 될 때까지는, 상기 출력 신호(OCi)를 비액티브(로우 레벨)로 하고, 상기 레벨 시프터(LSi+1)의 동작을 금지한다.

이에 의해, 상기 도19와 비교하면 명백한 바와 같이, 본 실시형태에서는, 도4에서 사선을 그어 도시하는 기간(클록 신호(CK, CKB)의 펄스 길이 = 1/2 주기에 상당하는 기간)이, 새롭게 상기 레벨 시프터(LS2 ~ LSn)의 동작을 정지하는 기간으로 된다. 이렇게 해서, 소비 전력을 삭감할 수 있다.

또한, 레벨 시프터(LS)는, 클록 신호(CK, CKB)가 액티브(홀수단의 레벨 시프터(LS1, LS3, ...))에서는, CK가 하이 레벨, CKB가 로우 레벨인 동안 인에이블 신호(ENA)가 상승하면 좋고, 따라서, 상기 인에이블 신호(ENA)의 지연이, 클록 신호(CK, CKB)의 1/2 주기 미만이면, 정상으로 동작할 수 있다.

이와 같이, 상기 각 단에 있어서, 제어 회로(CNk-1)(k=2 ~ n)는, 레벨 시프터(LSk)의 동작 기간을, 레벨 시프터(LSk)의 출력 신호의 상승 타이밍을 포함하여 클록 신호(CK·CKB)의 주기 미만이 되도록 제어한다. 여기서, 출력 신호의 상승 타이밍으로는, 펄스의 개시 타이밍을 의미하고, 하이측에 상승하는 출력 신호, 로우측에 상승하는 출력 신호 양쪽을 다 포함한다. 각 단의 레벨 시프터(LSk)의 출력 신호(또는 그 반전 신호라도 좋음)를 시프트 레지스터(11)의 외부에 출력하는 펄스 신호(샘플링 신호나 주사 신호)로서 사용하기 때문에, 레벨 시프터(LSk)의 동작 기간은, 최저한 상기 펄스 신호의 펄스 길이만큼이면 좋고, 상기 펄스 길이가 클록 신호(CK·CKB)의 주기 미만인 경우에는, 레벨 시프터(LSk)의 동작 기간은 클록 신호(CK·CKB)의 주기 미만으로 좋다. 즉, 레벨 시프터(LSk)의 동작 기간은, 레벨 시프터(LSk)의 출력 신호(또는 그 반전 신호)를 상기 펄스 신호로 하는 경우에, 종래에 있어서 가장 짧았던 클록 신호(CK·CKB)의 주기의 길이보다도, 짧아진다. 따라서, 예를 들어, 도4와 같이 클록 신호(CK·CKB)의 펄스 길이와 동일한 펄스 길이(클록 신호(CK·CKB)의 1/2 주기)의 펄스 신호를 생성하려 하는 경우에는, 제어 회로(CNk-1)가 레벨 시프터(LSk)의 동작 기간을, 클록 신호(CK·CKB)의 펄스 길이와 동일해지도록 제어하면, 레벨 시프터(LSk)에 있어서 소비전력을 삭감할 수 있다.

더욱이, 레벨 시프터(LSn+1)는, 시프트 레지스터(11)의 외부에의 출력 신호를 출력하는 단 또는 블록에 속하는 레벨 시프터는 아니지만, 상기 레벨 시프터(LSn+1)의 동작 기간에 대해서도, 도4의 출력 신호(OCn)의 파형으로부터 알 수 있는 바와 같이, 제어 회로(CNn)가 없는 경우에 비해 클록 신호(CK·CKB)의 펄스 길이(클록 신호(CK·CKB)의 1/2 주기)만큼 짧아진다. 또한, 레벨 시프터(LS1)는, 단에 속하지 않고, 블록에 속하지만, 이 동작 기간도 SP의 액티브 기간만큼이기 때문에, 대강 클록 신호(CK·CKB)의 펄스 길이(클록 신호(CK·CKB)의 1/2 주기)로 짧게 할 수 있다.

이상에 의해, 소비 전력이 적은 시프트 레지스터를 실현할 수 있다.

도5는, 상기 플립플롭(F)의 일 구성례를 도시하는 블록도이다. 하이 레벨의 구동 전압(Vdd)의 전원 라인과 로우 레벨의 구동 전압(Vssd)의 전원 라인과 사이에, P형 MOS 트랜지스터(P1) 및 N형 MOS 트랜지스터(N2, N3)가 서로 직렬로 접속되어 있고, 트랜지스터(P1, N3)의 게이트에는 로우 액티브의 상기 세트 신호(SB)가 제공되고, 트랜지스터(N2)의 게이트에는 하이 액티브의 리셋 신호(R)가 제공된다. 또한, 서로 접속된 상기 트랜지스터(P1, N2)의 드레인 전위는, 인버터(INV1)에서 반전되어 상기 반전 출력 신호(QB)로 되고, 또한 1단의 인버터(INV2)에서 정전되어 정전 출력 신호(Q)로 된다.

한편, 전원 라인 사이에는 또한, P형 MOS 트랜지스터(P4, P5) 및 N형 MOS 트랜지스터(N6, N7)가 서로 직렬로 접속되어 있고, 상기 트랜지스터(P5, N6)의 게이트에는 그 인버터(INV1)의 입력에 접속되어 있고, 양쪽 트랜지스터(P5, N6)의 게이트에는 그 인버터(INV1)에 의한 반전 출력 신호(QB)가 귀환되어 있다. 또한, 상기 트랜지스터(P4)의 게이트에는 리셋 신호(R)가 제공되고, 상기 트랜지스터(N7)의 게이트에는 세트 신호(SB)가 제공된다.

따라서, 플립플롭(F)에서는, 도6에 도시한 바와 같이, 리셋 신호(R)가 비액티브(로우 레벨)인 사이에, 세트 신호(SB)가 액티브(로우 레벨)로 변화하면, 상기 트랜지스터(P1)가 도통하여, 인버터(INV1)의 입력을 하이 레벨로 변화시킨다. 이에 의

해, 정전 출력 신호(Q)는 하이 레벨로, 반전 출력 신호(QB)는 로우 레벨로 변화한다. 이 상태에서는, 리셋 신호(R) 및 인버터(INV1)의 반전 출력 신호(QB)에 의해, 트랜지스터(P4, P5)가 도통하고, 인버터(INV1)의 입력이 상기 하이 레벨로 유지된다. 또한, 리셋 신호(R) 및 인버터(INV1)의 반전 출력 신호(QB)에 의해, 트랜지스터(N2, N6)가 차단하고, 세트 신호(SB)가 비액티브(하이 레벨)로 변화해도, 인버터(INV1)의 입력은 하이 레벨로 유지되고, 정전 출력 신호(Q)는 하이 레벨로, 반전 출력 신호(QB)는 로우 레벨인 상태로 유지된다.

그 후에, 리셋 신호(R)가 액티브(하이 레벨)로 되면, 트랜지스터(P4)가 차단하고, 트랜지스터(N2)가 도통한다. 여기서, 세트 신호(SB)가 비액티브(하이 레벨)인 상태이기 때문에, 트랜지스터(P1)는 차단하고, 트랜지스터(N3)가 도통한다. 따라서, 인버터(INV1)의 입력이 로우 레벨로 구동되고, 정전 출력 신호(Q)가 로우 레벨, 반전 출력 신호(QB)는 하이 레벨로 변화한다. 이렇게 하여, 상기 로우 레벨의 세트 신호(SB)로 로우 레벨의 반전 출력 신호(QB)를 세트하고, 하이 레벨의 리셋 신호(R)로 상기 반전 출력 신호(QB)를 리셋하는 세트-리셋 플립플롭을 실현할 수 있다.

도7은, 상기 레벨 시프터(LS)의 일 구성예를 도시하는 전기 회로도이다. 이러한 레벨 시프터(LS)는, 대략적으로, 클록 신호(CK, CKB)를 레벨 시프팅하는 승압·강압부(21)와, 상기 클록 신호(CK, CKB)의 공급이 필요하지 않은 정지 기간에, 상기 승압·강압부(21)에의 전력 공급을 차단하는 전력 공급 제어부(22)와, 정지 기간 중, 상기 승압·강압부(21)와 클록 신호(CK, CKB)가 전송되는 신호선을 차단하는 입력 제어부(23, 24)와, 상기 정지 기간 중, 상기 승압·강압부(21)의 입력 스위칭 소자(P11, P12)를 차단하는 입력 신호 제어부(25, 26)와, 정지 기간 중, 승압·강압부(21)의 출력을 소정의 값으로 유지하는 출력 안정부(27)를 구비하여 구성되어 있다.

상기 승압·강압부(21)는, 입력단의 차동 입력쌍이고, 상기 입력 스위칭 소자로 되는 소스가 서로 접속된 P형 MOS 트랜지스터(P11, P12)와, 양 트랜지스터(P11, P12)의 소스에 소정의 전류를 공급하는 정전류원(Ic)과, 커런트 미러(current mirror) 회로를 구성하고, 상기 트랜지스터(P11, P12)의 드레인에 각각 접속되어 능동 부하로 되는 N형 MOS 트랜지스터(N13, N14)와, 차동 입력쌍의 출력을 증폭하는 CMOS 구조의 트랜지스터(P15, N16)를 구비하여 구성된다. 상기 도7의 구성은, 트랜지스터(P12)측의 입력(CK)을 출력(OUT)으로부터 정전 출력하는 상기 홀수번째의 레벨 시프터(LS1, LS3, ...)의 예를 나타낸다. 짝수번째의 레벨 시프터(LS2, LS4, ...)의 경우는, 클록 신호(CK, CKB)의 입력을 서로 바꿔 넣는 것으로서 구성된다.

상기 트랜지스터(P11)의 게이트에는, 상기 입력 제어부(24)를 구성하는 N형 MOS 트랜지스터(N31)를 통해 클록 신호(CKB)가 입력되고, 트랜지스터(P12)의 게이트에는, 상기 입력 제어부(23)를 구성하는 N형 MOS 트랜지스터(N33)를 통해 클록 신호(CK)가 입력된다. 또한, 상기 트랜지스터(P11)의 게이트는, 상기 입력 신호 제어부(26)를 구성하는 P형 MOS 트랜지스터(P32)를 통해 하이 레벨(Vdd)의 구동 전압의 전원 라인에 풀업(full-up)되도록 되어 있고, 동일하게 상기 트랜지스터(P12)의 게이트는, 상기 입력 신호 제어부(25)를 구성하는 P형 MOS 트랜지스터(P34)를 통해 하이 레벨(Vdd)의 구동 전압의 전원 라인에 풀업되게 되어 있다. 그리고 상기 트랜지스터(N31, N33; P32, P34)의 게이트에는, 공통으로 인에이블 신호(ENA)가 제공된다.

따라서, 인에이블 신호(ENA)가 액티브인 하이 레벨로 되면, 상기 트랜지스터(N31, N33)를 통해 트랜지스터(P11, P12)에의 클록 신호(CKB, CK)의 입력이 허용됨과 동시에, 트랜지스터(P32, P34)는 차단하고 있다. 이에 대해, 인에이블 신호(ENA)가 비액티브 로우 레벨로 되면, 상기 트랜지스터(N31, N33)는 차단하고, 클록 신호(CKB, CK)의 입력이 저지됨과 동시에, 트랜지스터(P32, P34)가 도통하고, 트랜지스터(P11, P12)의 게이트가 하이 레벨(Vdd)로 풀업되어, 입력단의 상기 트랜지스터(P11, P12)는, 확실하게 오픈한다.

한편, 상기 트랜지스터(N13, N14)의 게이트는, 서로 접속됨과 동시에, 트랜지스터(P11, N13)의 드레인에 접속되어 있다. 이에 대해, 서로 접속된 트랜지스터(P12, N14)의 드레인은 출력단으로 되고, 상기 트랜지스터(P15, N16)의 게이트에 접속된다. 트랜지스터(N13, N14)의 소스는, 상기 전력 공급 제어부(22)를 구성하는 N형 MOS 트랜지스터(N21)를 통해, 로우 레벨(Vssd)의 구동 전압의 전원 라인에 접속되어 있다. 상기 MOS 트랜지스터(N21)의 게이트에는, 상기 인에이블 신호(ENA)가 제공된다.

따라서, 인에이블 신호(ENA)가 액티브인 하이 레벨로 되면, 상기 트랜지스터(N21)를 통해 상기 승압·강압부(21)로 전원 공급이 행해지고, 인에이블 신호(ENA)가 비액티브인 로우 레벨로 되면, 상기 승압·강압부(21)에의 전원 공급은 정지된다.

또한, 상기 출력 안정부(27)는, 정지 기간에서의 상기 레벨 시프터(LS)의 출력 신호(OUT)를 로우 레벨(Vssd)의 구동 전압 레벨로 안정시키는 회로이고, 게이트에 상기 인에이블 신호(ENA)가 제공되고, 상기 트랜지스터(P15, N16)의 게이트를 상기 하이 레벨(Vdd)의 구동 전압의 전원 라인에 풀업 접속하는 P형 MOS 트랜지스터(P41)로 구성되어 있다.

상술한 바와 같이 구성되는 레벨 시프터(LS)에서는, 상기 인에이블 신호(ENA)가 동작을 나타내는 경우(하이 레벨), 트랜지스터(N21, N31, N33)가 도통되고, 트랜지스터 (P32, P34, P41)가 차단된다. 이 상태에서는, 정전류원(Ic)으로부터의 전류는, 트랜지스터(P11, N13) 또는 트랜지스터(P12, N14)를 통한 후, 또한 트랜지스터(N21)를 통하여 흐른다. 또한, 양 트랜지스터(P12, P11)의 게이트에는, 클록 신호(CK, CKB)가 인가된다. 이 결과, 양 트랜지스터(P11, P12)의 게이트에는, 각각의 게이트 소스간 전압의 비율에 따른 분량의 전류가 흐른다. 한편, 트랜지스터(N13, N14)는, 능동 부하로서 작용하기 때문에, 트랜지스터(P12, N14)의 접속점의 전압은, 상기 클록 신호(CK, CKB)의 전압 레벨차에 따른 전압으로 된다. 상기 전압은, 트랜지스터(P15, N16)로 전력 증폭된 후, 출력 신호(OUT)로서 출력된다.

상기 승압·강압부(21)는, 클록 신호(CK, CKB)에 의해 입력단의 트랜지스터 (P12, P11)의 도통/차단을 절환하는 구성, 즉, 전압 구동형과는 다르고, 동작 중, 입력단의 트랜지스터(P12, P11)가 항상 도통하는 전류 구동형이고, 상술한 바와 같이 양 트랜지스터(P12, P11)의 게이트-소스간 전압의 비율에 따라 정전류원(Ic)으로부터의 전류를 분류함으로써, 상기 클록 신호(CK, CKB)의 진폭이 입력단의 트랜지스터(P12, P11)의 문턱치보다 낮은 경우에서도, 아무런 지장 없이, 클록 신호(CK, CKB)를 레벨 시프트할 수 있다.

이 결과, 각 레벨 시프터(LS2 ~ LSn+1)는, 각각의 인에이블 단자(ENA)에 제어 회로(CN1 ~ CNn)로부터의 출력 신호(OC1 ~ ONn)에 액티브인 하이 레벨이 인가되면, 클록 신호(CK, CKB)의 진폭이 구동 전압의 하이측과 로우측의 차($V_{cc}=V_{dd}-V_{ssd}$, 예를 들어 15V 정도)보다 낮은 경우(예를 들어, 상기 영상 신호의 생성 회로로부터의 5V 정도)에도, 진폭이 상기 차(V_{cc})로까지 승압·강압된 출력 신호(OUT)를 출력한다.

이와는 반대로, 상기 인에이블 신호(ENA)가 동작 정지를 나타내는 비액티브인 로우 레벨의 경우, 정전류원(Ic)으로부터, 트랜지스터(P11, N13) 또는 트랜지스터(P12, N14)를 통해 흐르려 하는 전류는, 트랜지스터(N21)에 의해 차단된다. 따라서, 상기 전류에 기인하는 소비 전력을 삭감할 수 있다.

또한, 이 상태에서는, 각 입력 제어부(23, 24)의 트랜지스터(N33, N31)가 차단된다. 따라서, 클록 신호(CK, CKB)를 전송하는 신호선과, 입력단의 각 트랜지스터(P12, P11)의 게이트가 분리된다. 또한, 정지 중에는, 각 입력 신호 제어부(25, 26)의 트랜지스터(P34, P32)가 도통되기 때문에, 상기 양 트랜지스터(P11, P12)의 게이트 전압은 둘다 하이 레벨의 구동 전압(V_{dd})으로 풀업되고, 양 트랜지스터(P11, P12)는 차단된다. 이에 의해, 트랜지스터(N21)를 차단하는 경우와 동일하게, 정전류원(Ic)이 출력하는 전류분만큼, 소비 전력을 저감할 수 있다.

그러나, 이 상태에서는, 양 트랜지스터(P11, P12)에 전류가 공급되지 않기 때문에, 양 트랜지스터(P11, P12)는 차동 입력 쌍으로서 동작할 수 없고, 출력단, 즉 트랜지스터(P12, N14)의 드레인끼리의 접속점의 전위를 결정할 수 없게 된다. 그래서, 상기 인에이블 신호(ENA)가 동작 정지를 나타내는 경우에는, 또한 출력 안정부(27)의 트랜지스터(P41)가 도통된다. 이 결과, 상기 출력단, 즉 트랜지스터(P15, N16)의 게이트 전위는, 하이 레벨의 구동 전압(V_{dd})으로 풀업되고, 트랜지스터(N16)가 도통되고, 출력 신호(OUT)는 로우 레벨로 된다.

이렇게 하여, 인에이블 신호(ENA), 즉 전단의 제어 회로(CNi-1)의 출력 신호(OCi-1)가 동작 정지를 나타내는 기간, 레벨 시프터(LSi)의 출력 신호(OUTi), 즉 출력 신호(Li)는, 클록 신호(CK, CKB)에 상관없이, 로우 레벨로 유지된다. 이 결과, 레벨 시프터(LS)의 정지 중에 출력 신호(OUT)가 일정하지 않게 된 경우와 같이, 플립플롭(F)이 오동작하고, 상기 출력 신호(Li)가 오동작하는 것을 방지할 수 있기 때문에, 안정한 동작을 실현할 수 있다.

도8은, 상기 제어 회로(CN)의 동작을 상세하게 설명하기 위한 타이밍 차트이다. 시각(t11)에서 상기 클록 신호(CK, CKB)가 절환되고, 시각(t12)에서, 출력 신호(OCi-2)가 액티브로 되면, 다음 단의 레벨 시프터(LSi-1)는, 상기 출력 신호(OCi-2)의 온 타이밍으로부터 상기 레벨 시프터(LSi-1)의 내부에 발생하는 지연 시간 W분만큼 지연한 시각(t13)으로부터, 출력 신호(Li-1)를 액티브로 한다. 상기 레벨 시프터(LSi-1)의 출력 신호(Li-1)는, 플립플롭(Fi-1)을 세트하고, 그 출력(QBi-1)도 액티브로 되고, 제어 회로(CNi-1)에 입력된다.

그러나, 상기 제어 회로(CNi-1)는, 출력 신호(Li-1)가 액티브인 하이 레벨이기 때문에 세트되지 않고, 시각(t14)에서 클록 신호(CK, CKB)가 절환되면, 그에 의해 지연된 시각(t15)에 있어서 상기 출력 신호(Li-1)가 비액티브로 되면, 출력 신호(OCi-1)를 액티브로 하고, 다음 단의 레벨 시프터(LSi)를 기동시킨다. 이 출력 신호(OCi-1)의 온 타이밍은, 상기 출력 신호(Li-1)의 오프 타이밍이, 레벨 시프트하도록 하는 클록 신호(CK, CKB)의 오프 타이밍이기 때문에, 레벨 시프터(LSi-1)에서의 지연 시간만큼 지연하고 있는 것으로부터 지연한다.

따라서, 레벨 시프터(LSi)에서는, 상기 제어 회로(CNi-1)로부터의 출력 신호(OCi-1)가 액티브로 된 시각(t15)으로부터, 출력 신호(Li)의 액티브 출력이 가능하게 되지만, 상기 레벨 시프터(LSi)의 내부에서 생기는 상기 지연 시간 W분 만큼, 상기 출력 신호(Li)의 온 타이밍이 삭감되고, 시각(t16)으로부터 온으로 된다.

나머지 레벨 시프터 및 플립플롭도 동일한 과정을 반복하면서 출력하지만, 도8의 레벨 시프터(LSi)의 출력 신호(Li)에 대해 다시 주목하면, 상기 출력 신호(Li)는, 전후의 레벨 시프터(LSi-1, LSi+ 1)의 출력 신호(Li-1, Li+ 1)에 대해, 도8의 사선분 만큼 겹치지 않는 펄스를 출력하고 있다. 이와 같이 하여, 서로 겹치지 않는 시프트 레지스터의 출력 펄스를 생성할 수 있기 때문에, 샘플링용의 신호로서 사용하는 경우, 펄스가 겹치는 것에 기인하여 영상 신호가 크게 변동하고, 잘못된 영상 신호를 데이터 신호선에 기입해버리는 것을 방지하고, 주사 신호로서 사용하는 경우, 데이터 신호선상의 영상 신호를 리프레시(refresh)하기 위한 처리 등을 가능하게 할 수 있다.

여기서, 상기 도18에 도시하는 시프트 레지스터(1)에서는, 상술한 바와 같이 펄스가 겹치지 않도록 하기 위해, 레벨 시프터(1s1 ~ 1sn)의 출력(OUT)으로부터 버퍼(b1 ~ bn)로의 사이에는, 각각 지연 회로(d1 ~ dn)가 설정되어 있다. 도20은, 상기 지연 회로(d)의 일 구성예를 도시하는 블록도이다. 지연 회로(d)는, 3단의 인버터(g1 ~ g3)와, NOR 회로(g4)를 구비하여 구성되어 있다. 상기 레벨 시프터(1s)로부터의 출력 신호(1)는, 인버터(g1)에서 반전된 후, NOR 회로(g4)의 일방의 입력(A)에 입력됨과 동시에, 또한 2단의 인버터(g2, g3)를 통해, NOR 회로(g4)의 타방의 입력(B)에 입력된다. NOR 회로(g4)의 동작은, 전술한 바와 같이, 적어도 일방의 입력이 하이 레벨이면, 로우 레벨을 출력한다.

따라서, 도21에 도시한 바와 같이, 상기 지연 회로(d)에 입력되는 레벨 시프터(1s)의 출력 신호(1)가, 시각(t21)에서 액티브인 하이 레벨로 되면, NOR 회로(g4)는, 인버터(g2, g3)에서의 지연 시간(W)이 경과한 시각(t22)으로부터, 그 2개의 입력(A, B)이 공히 로우 레벨로 되어 액티브인 하이 레벨을 출력하고, 시각(t23)에서 상기 출력 신호(1)가 비액티브인 로우 레벨로 절환되면, 일방의 입력(A)이 하이 레벨로 되어, 출력을 비액티브인 로우 레벨로 한다. 따라서, 도21에 있어서 사선을 그어 도시하는 지연 시간(W)만큼, 상기 레벨 시프터(1s)로부터의 출력 신호(1)의 펄스폭이 좁아지게 된다.

한편, 상기 버퍼(b)는, 예를 들어 도22에 도시한 바와 같이, 2단의 인버터(g11, g12)로부터 이루어지고, 따라서 각 버퍼(b1 ~ bn)로부터의 출력 신호(s11 ~ s1n)는, 도23에 도시한 바와 같이, 서로 상기 지연 시간(W)만큼 간격을 벌린 펄스로 되고, 전술한 바와 같이 펄스가 겹쳐지지 않도록 되어 있다.

따라서, 상기 레벨 시프터(LS)의 동작 시간을 필요한 최소한으로 하는 상기 제어 회로(CN)를 설정함으로써, 상기 지연 시간(W)을 설정하고, 출력 신호(L)의 펄스가 겹치지 않도록 하는 지연 회로(d)를 설정할 필요가 없게 되고, 구동 회로를 간략화하고, 협액연화(狹額緣化)를 실현할 수 있다.

그러나, 본 발명에서는, 상기 지연 회로(d)를 설정할 필요가 없게 되지만, 상기 제어 회로(CN)를 설정하고 있다. 따라서, 양자를 비교하면, 지연 회로(d)가, 예를 들어 상기 도18과 같이, 인버터 2개와 NOR 회로로 구성된 경우, 트랜지스터 수는, CMOS 인버터의 2개 X 2단 + NOR 회로의 4개 = 8개로 된다. 이에 대해, 상기 제어 회로(CN)는, 도2와 같이, NOR 회로로 구성되고, 트랜지스터 수는 4개로 된다. 다만, 제어 회로(CN)에서는, 플립플롭(F)의 출력을 피드백하고 있기 때문에, 배선폭이 영향을 준다. 그러나, 일반적으로, 지연을 발생시키는 것이 목적인 지연 회로는, 구성하는 인버터(도20에서는, 참조부호 g2, g3)의 사이즈를 크게 할 필요가 있고, 큰 영역을 필요로 한다. 따라서, 그 배선폭을 고려해도, 상술한 바와 같이 협액연화가 가능하게 된다.

더욱이, 제어 회로(CN)에 입력하는, 시프트 레지스터의 외부에 출력하는 신호가 되는 레벨 시프터의 출력 신호에 대신하여, 상기 시프트 레지스터의 외부에의 출력 회로 이후의 회로 중 어느 하나의 출력을 사용하여, 상기 시프트 레지스터의 외부에 출력하는 신호를 지연시켜도 좋다. 예를 들어, 샘플링용 신호나 주사 신호의 경우, 전단의 최종 출력의 오프 타이밍을 사용하여, 시프트 레지스터의 외부에 출력하는 신호의 액티브 매트릭스 상태로 되고 있기 때문에, 전단이나 다음 단의 외부에의 출력에 확실하게 겹치지 않도록 할 수 있으면서도, 시프트 레지스터의 외부에의 출력 회로 이후에 지연 회로를 설정할 필요가 없게 되기 때문에, 구동 회로의 간략화에 의한 협액연화를 실현할 수 있다. 상기 구성은, 제어 회로(CN)의 입력을 변화할 뿐이기 때문에, 용이하게 실현가능하다.

도9에는, 상기 제어 회로(CN)에의 입력의 다른 예를 도시하는 시프트 레지스터(11a)의 전기적 구성을 도시하는 블록도이다. 상기 시프트 레지스터(11a)는, 도1의 시프트 레지스터(11)에 유사하고, 대응하는 부분에는 동일한 참조부호를 붙여, 그 설명을 생략한다. 이 시프트 레지스터(11a)에서는, 상기 제어 회로(CNi)와 플립플롭(Fi)의 세트 입력 단자(SB)에 입력되는 INVSi에의 입력은, 버퍼(Bi)의 출력 SLi가 제공된다. 펄스 사이를 좁혀 넓히려는 경우는, 버퍼(B)의 단수를 증가시켜 조정하는 것이 가능하다.

상술한 바와 같이 구성되는 시프트 레지스터(11)는, 입력 신호의 진폭이 구동 전압보다도 낮은 시프트 레지스터에 널리 적용가능하지만, 적합한 일 사용례로서, 화소 표시 장치에 적용한 경우에 대해 설명한다. 도10은, 그 화상 표시 장치(31)의 블록도이다. 이 화상 표시 장치(31)는, 대략적으로, 표시 패널(32)에, 영상 신호(DAT)를 생성하는 제어 회로(33)가 탑재되어 구성된다. 상기 표시 패널(32)은, 매트릭스 상으로 배열된 화소(PIX)를 갖는 표시부(34)와, 상기 각 화소(PIX)를 구동하는 주사 신호선 구동 회로(35) 및 데이터 신호선 구동 회로(36)를 구비하여 구성된다. 상기 주사 신호선 구동 회로(35)는 시프트 레지스터(35a)로 구성되고, 상기 데이터 신호선 구동 회로(36)는 시프트 레지스터(36a) 및 샘플링 회로(36b)로 구성되고, 이들의 시프트 레지스터(35a, 36a) 중 적어도 일방에 상기 시프트 레지스터(11)가 적용된다.

상기 표시부(34) 및 양 구동 회로(35, 36)는, 제조시의 시간과, 배선 용량을 삭감하기 위해, 동일 기판상에 단일체로 형성되어 있다. 또한, 더욱 많은 화소(PIX)를 집적하고, 표시 면적을 확대하기 위해, 상기 표시부(34) 및 구동 회로(35, 36)는, 유리 기판상에 형성된 다결정 실리콘 박막 트랜지스터 등으로 구성되어 있다. 또, 왜곡점이 600℃ 이하인 통상의 유리 기판을 사용해도, 왜곡점 이상의 프로세스에 기인하는 휘어짐이나 굴곡이 발생하지 않도록, 상기 다결정 실리콘 박막 트랜지스터는, 600℃ 이하의 프로세스 온도로 제조된다.

상기 표시부(34)는, 서로 교차하는 m개의 주사 신호선(GL1 ~ GLm) 및 k개의 데이터 신호선(SD1 ~ SDk)에 의해 구획되어 형성되는 상기 각 화소(PIX)의 영역에, 상기 주사 신호선 구동 회로(35) 및 데이터 신호선 구동 회로(36)가, 상기 주사 신호선(GL1 ~ GLm) 및 데이터 신호선(SD1 ~ SDk)을 통해 상기 제어 회로(33)로부터 영상 신호(DAT)를 순차적으로 기입해감으로써 화상 표시를 행한다. 각 화소(PIX)는, 예를 들어, 도11에 도시한 바와 같이 구성된다. 도11에 있어서, 상기 주사 신호선(GL) 및 데이터 신호선(SD)과 함께, 화소(PIX)에는, 어드레스를 표시하는 상기 k 이하의 임의의 정수 i 및 상기 m 이하의 임의의 정수 j가 추가되어 있다.

각 화소(PIX)는, 게이트가 주사 신호선(GL)에, 소스가 데이터 신호선(SD)에 접속되는 전계 효과 트랜지스터(스위칭 소자)(SW)와, 상기 전계 효과 트랜지스터(SW)의 드레인에 일방의 전위가 접속되는 화소 용량(Cp)을 구비하여 구성된다. 상기 화소 용량(Cp)의 타방의 전극은, 전화소(PIX)에 공통인 공통 전극선에 접속되어 있다. 상기 화소 용량(Cp)은, 액정 용량(CL)과, 필요에 따라 추가되는 보조 용량(Cs)으로 구성되어 있다.

따라서, 주사 신호선(GL)이 선택되면, 전계 효과 트랜지스터(SW)가 도통하고, 데이터 신호선(SD)에 인가된 전압이 화소 용량(Cp)에 인가된다. 한편, 상기 주사 신호선(GL)의 선택 기간이 종료하여, 전계 효과 트랜지스터(SW)가 차단되는 사이, 화소 용량(Cp)은 상기 차단시의 전압을 계속 유지한다. 여기서, 액정 투과율 또는 반사율은, 액정 용량(CL)에 인가되는 전압에 의해 변화한다. 따라서, 주사 신호선(GL)을 선택하고, 데이터 신호선(SD)에 영상 신호(DAT)에 따른 전압을 인가함으로써, 화소(PIX)의 표시 상태를, 영상 신호(DAT)에 맞추어 변화시킬 수 있다.

여기서, 상기 제어 회로(33)로부터 데이터 신호선 구동 회로(36)까지의 사이에, 각 화소(PIX)에의 영상 신호(DAT)는 시분할로 전송되어 있고, 데이터 신호선 구동 회로(36)는, 타이밍 신호로 되는 소정의 주기에서 듀티(duty)비가 50%인(50% 이하여도 양호함) 클럭 신호(SCK) 및 그 반전 신호(SCKB)와 스타트 펄스(SSP) 및 그 반전 신호(SSPB)에 기초한 타이밍에서, 상기 영상 신호(DAT)로부터, 각 화소(PIX)에의 영상 데이터를 추출한다. 구체적으로는, 상기 시프트 레지스터(36a)가, 제어 회로(33)로부터의 클럭 신호(SCK, SCKB)의 온 타이밍에 동기하여 스타트 펄스(SSP, SSPB)를 순차적으로 시프트함으로써, 상기 클럭 신호(SCK, SCKB)의 반주기씩 타이밍이 다른 출력 신호(S1 ~ Sn)를 생성하고, 샘플링 회로(36b)가, 그 각 출력 신호(S1 ~ Sn)가 나타내는 타이밍에서 상기 영상 신호(DAT)를 샘플링하여, 각 데이터 신호선(SD1 ~ SDk)에 출력한다.

동일하게, 주사 신호선 구동 회로(35)에서는, 상기 시프트 레지스터(35a)가, 제어 회로(33)로부터의 클럭 신호(GCK, GCKB)에 동기하여 스타트 펄스(GSP, GSPB)를 순차적으로 시프트함으로써, 소정의 간격씩 타이밍이 다른 주사 신호를 각 주사 신호선(GL1 ~ GLm)에 출력한다.

상술한 바와 같이 구성되는 화상 표시 장치(31)에 있어서, 표시 패널(32)상에 형성되는 표시부(34) 및 구동 회로(35, 36)는, 전술한 바와 같이 다결정 실리콘 박막 트랜지스터 등으로 형성되어 있고, 그 구동 전압(Vcc)은, 예를 들어 상기 15[V] 정도로 설정되어 있는 것에 대해, 별도 집적 회로 칩으로 형성되는 상기 제어 회로(33)는, 단결정 실리콘 트랜지스터로 형성되어 있고, 그 구동 전압은, 예를 들어 5[V] 또는 그 이상의 상기 구동 전압(Vcc)보다 낮은 값으로 설정되어 있다.

그리고, 이와 같이 표시부(34) 및 구동 회로(35, 36)와 제어 회로(33)는, 서로 다른 기판에 형성되어 있지만, 양자 사이에 전송되는 신호의 수는, 상기 표시부(34)와 구동 회로(35, 36)의 사이의 신호 수보다 크게 적고, 상기 영상 신호(DAT)나,

각 스타트 펄스(SSP, SSPB; GSP, GSPB) 및 각 클록 신호(SCK, SCKB; GCK, GCKB) 정도이다. 또한, 제어 회로(33)는, 단결정 실리콘 트랜지스터로 형성되어 있기 때문에, 충분한 구동 능력을 확보하기가 용이하다. 따라서, 서로 다른 기판상에 형성해도, 제조시의 시간이나 배선 용량 또는 소비 전력의 증가는, 문제로 되지 않을 정도로 억제되어 있다.

이렇게 하여, 표시 패널(32)에 단일체 형성되는 구동 회로(35, 36)가 다결정 실리콘 등으로 형성되고, 외부 회로보다도 구동 전압이 높게됨으로써 필요한 레벨 시프터부(13)를, 필요한 최소한의 기간만큼 능동화하고, 소비 전력을 소멸할 수 있음과 동시에, 협액연화를 도모할 수 있는 화상 표시 장치(31)를 실현할 수 있다.

또한, 상기 구동 회로(35, 36)는, 상기 표시부(34)와 동일 기판상에 형성되기 때문에, 이들 구동 회로(35, 36)와 각 화소(PIX)의 사이의 배선은, 상기 기판상에 배치되고, 기판 바깥으로 나갈 필요가 없다. 따라서, 주사 신호선(GL) 및 데이터 신호선(SD)의 수가 증가해도, 기판 바깥으로 나타나는 신호선의 수가 변화하지 않고, 추가의 배선도 필요하지 않다. 이에 의해, 제조시의 시간을 감소시키고, 각 신호선의 바람직하지 않은 용량의 증대를 방지할 수 있음과 동시에, 집적도의 저하를 방지할 수 있다.

또한, 상기 구동 회로(35, 36)는, 다결정 실리콘 박막 트랜지스터로 구성되는 스위칭 소자를 구비하여 구성된다. 여기서, 상기 다결정 실리콘 박막 트랜지스터는, 단결정 실리콘 박막 트랜지스터에 비교하여 트랜지스터 성능이 크게 떨어지고, 문턱치가 높기 때문에, 구동 전압이 높아진다. 그 때문에, 전류 구동형의 레벨 시프터가 필수적이고, 정상적으로 흐르는 전류가 소비 전력의 대부분을 차지한다는 큰 문제를 내포하고 있다. 또한, 정상적으로 전류가 흐른다는 하는 것은 트랜지스터의 열화를 발생시킨다.

따라서, 본 발명의 시프트 레지스터(11)를 탑재한 상기 구동 회로(35, 36)를 사용함으로써, 문제로 되는 정상적으로 흐르는 전류를 대폭으로 삭감할 수 있기 때문에, 다결정 실리콘 박막 트랜지스터가 내포하고 있는 문제를 대폭적으로 해결할 수 있다.

또한, 다결정 실리콘 박막 트랜지스터는, 실리콘의 결정 입경(粒徑)에 불균일이 있기 때문에, 동일한 유리 기판상에 형성된 트랜지스터끼리라도, 특성에 불균일을 포함하고 있다. 그 경우, 샘플링 펄스끼리의 간격에 불균일을 포함해버리고, 샘플링 펄스 간격을 필요분 취하는데에는, 지연 회로의 인버터 수나 그 사이즈가 비정상적으로 커져버린다.

이에 대해, 본 발명의 시프트 레지스터(11)에서의 상기 제어 회로(CN)는, 다결정 실리콘 박막 트랜지스터의 성능의 악화, 즉 회로의 지연을 역으로 이용하여, 샘플링 펄스 간격을 확보하기 때문에, 다결정 실리콘을 사용하여 구성된 상기 구동 회로(35, 36)의 경우, 본 발명의 효과를 최대한으로 발휘할 수 있다.

또한, 상기 구동 회로(35, 36) 및 각 화소(PIX)가, 600℃이하의 프로세스 온도에서 제조된 스위칭 소자를 포함하고 있다. 따라서, 저렴한 유리 기판상에 트랜지스터를 구성할 수 있게 되고, 저렴하면서도 대량으로 패널을 제조할 수 있고, 상품 가치가 높다는 메리트를 갖는다. 그러나, 600℃ 이하에서 형성된 트랜지스터는, 단결정 실리콘으로는 되지 않고, 상기 다결정 실리콘으로 되기 때문에, 특성이 나쁜 트랜지스터로 되어 버린다. 또한, 유리에는 실리콘 웨이퍼와는 다르고, 불순물을 많이 포함하기 때문에, 그 영향에 의해 트랜지스터의 성능이 나쁘게 되고 만다. 따라서, 통상의 구동 회로에서는 소비 전력의 문제를 해결할 수 없다.

한편, 유리 기판상에 시프트 레지스터가 동작하는 정도의 성능을 갖는 트랜지스터가 형성할 수 있는 것이라면, 유리 기판으로 되는 표시 패널에 각종 구동 회로를 부착하기 보다는, 동일한 유리 기판상에 화소용 트랜지스터 및 구동 회로용 트랜지스터를 형성하는 쪽이, 접촉 불량이나 패널 모듈로서의 사이즈의 저감, 또한 구동 회로 자체를 화소의 트랜지스터와 동일한 프로세스로 형성할 수 있기 때문에, 비용 저감의 메리트가 있다. 다만, 실리콘 웨이퍼와 다르고, 유리의 사이즈는 대단히 커지고(한쪽면, 수십 cm ~ 수백 cm), 프로세스상, 트랜지스터 성능의 악화나 불균일을 발생시킨다. 아울러, 유리 기판의 큰 사이즈때문에 트랜지스터가 구동해야 하는 부하도 대단히 커져버린다. 이 때문에, 신호의 지연이 크게 되고, 트랜지스터의 사이즈를 크게 할 필요가 있고, 허용 지연 한도로 맞추기 위해서는 시프트 레지스터의 능력도 높일 필요가 있다. 그것을 위해서는, 결국, 전류 구동형의 레벨 시프터의 능력을 높이는 것이 되어버리고, 대단히 큰 정상 전류를 발생시키는 결과가 되어 버린다.

그래서, 정상 전류를 대폭으로 삭감할 필요가 부득이하게 있지만, 본 발명의 구동 회로(35, 36)를 사용함으로써, 정상 전류 삭감이라고 하는, 그 효과를 최대한으로 발휘시킬 수 있다.

[실시형태 2]

본 발명의 다른 실시형태에 대해, 도12 ~ 도17에 기초하여 설명하면, 이하와 같다.

도12는, 본 발명의 다른 실시형태의 시프트 레지스터(41)의 전기적 구성을 도시하는 블록이다. 이러한 시프트 레지스터(41)는, 전술한 시프트 레지스터(11)에 유사하고, 대응하는 부분에는 동일한 참조 부호를 붙여서, 그 설명을 생략한다. 주목해야 하는 것은, 상기 시프트 레지스터(41)에서는, 상기 복수단의 플립플롭(F1 ~ Fn)이, 플립플롭 블록(G1, G2, ..., Gh)으로서, 복수의 그룹으로 분할되어 있다는 것이다. 이러한 도12의 예에서는, 도13에 도시한 바와 같이, 1개의 플립플롭(G1)에는 4개의 플립플롭(F1 ~ F4)이 구비되어 있고, 따라서 $n/4 \approx h$ 로 된다. 한편, 상기 도1의 시프트 레지스터(11)에서는, 각 플립플롭 블록이, 1단의 플립플롭을 구비하고 있다고 생각할 수 있다.

상기 플립플롭 블록(G1)은, 상기 플립플롭(F1 ~ F4)과 함께, 3개의 레벨 시프터(LS1a, LS1b)와, 2개의 제어 회로(CN1a, CN1b)와, 각 플립플롭(F1 ~ F4)마다 설정되는 인버터(INVS1 ~ INVS4), 아날로그 스위치(K1 ~ K4) 및 스위칭 소자(S1 ~ S4)를 구비하여 구성된다.

상기 레벨 시프터(LS1a, LS1b)는, 상기 클럭 신호(CK, CKB) 중 어느 하나가 액티브이어도 출력 신호(L1 ~ LR)를 출력할 수 있도록, 상술한 바와 같이 2개가 설정되어 있고, 홀수번째의 플립플롭(F1, F3)의 출력 신호에 영향을 받아 동작하는 레벨 시프터(LS1a)의 출력(OUT)은, 상기 플립플롭(F1, F3)의 출력(QB)에 의해, 아날로그 스위치(K1, K3)로 절환되어 상기 출력 신호(L1, L3)로 된다. 또한, 짝수번째의 플립플롭(F2, F4)의 출력 신호에 영향을 받아 동작하는 레벨 시프터(LS1b)의 출력(OUT)은, 상기 플립플롭(F2, F4)의 출력(QB)에 의해, 아날로그 스위치(K2, K4)로 절환되어 상기 출력 신호(L2, L4)로 된다. 또한, 각 출력 신호(L1 ~ L4)가 액티브로 되지 않는 때에는, 각 플립플롭(F1 ~ F4)의 출력(Q)에 의해, 스위칭 소자(S1 ~ S4)가 도통하고, 각 출력 신호(L1 ~ L4)가 로우 레벨(Vss)의 구동 전압 레벨로 된다.

이와 같은 구성의 플립플롭 블록(G1)에 사용되는 제어 회로(CN1a, CN1b)는, 예를 들어, 도14에 도시한 바와 같이, 2개의 NOR 회로로 구성할 수 있다. 나머지의 플립플롭(G2 ~ Gh)도, 상기 플립플롭 블록(G1)과 동일하게 구성된다.

도15는, 상술한 바와 같이 구성되는 시프트 레지스터(41)의 동작을 설명하기 위한 파형도이다. 제어회로(CN1a)에 플립플롭(F1, F3)의 출력 신호(Q)가 입력되고, 제어 회로(CN1a)는, 출력 신호(L1, L3)에 펄스를 출력하기 위해 상기 플립플롭(F1, F3)이 동작하는 기간을 검지한다. 또한, 그 검지한 신호와, 시프트 레지스터의 입력 신호(또는 스타트 펄스) 또는 플립플롭 블록의 입력 신호(SIN)와 출력 신호(L2)를 이용하여, 레벨 시프트에 필요로 되는 기간만, 제어 회로(CN1a)의 출력 신호를 출력하는 한편, 레벨 시프트를 필요로 하지 않는 기간은, 도15에 있어서 사선부로 나타낸 바와 같이, 레벨 시프터(LS1a)의 동작을 정지시킨다.

동일하게, 제어 회로(CN1b)에 플립플롭(F2, F4)의 출력 신호(Q)가 입력되고, 출력 신호(L2, L4)에 펄스를 출력하기 위해 상기 플립플롭(F2, F4)이 동작하는 기간을 검지한다. 또한, 그 검지한 신호와 시프트 레지스터의 출력 신호(또는 스타트 펄스)(L1, L3)를 이용하여, 레벨 시프트에 필요한 기간만을 제어 회로(CN1b)의 출력 신호로서 출력하고, 레벨 시프트를 필요로 하지 않는 기간은 레벨 시프터(LS1b)의 동작을 정지시킨다. 그 결과, 도15에 있어서, 사선부의 기간동안, 레벨 시프터(LS1a, LS1b)를 정지할 수 있기 때문에, 소비 전력을 삭감할 수 있다.

다만, 이 경우, 레벨 시프터(LS)의 기동 시간은, 상기와 같은 SCK1 클럭분에는 되지 않고, 그 레벨 시프터(LS)가 담당하는 샘플링 펄스 등의 펄스 시간분 기동하게 된다.

본 실시형태에서는, 제어 회로(CN1a)와 레벨 시프터(LS1a)와 플립플롭(F2)이 1개의 단을 구성하고, 제어 회로(CN1a)와 레벨 시프터(LS1a)와 플립플롭(F4)이 1개의 단을 구성하고, 제어 회로(CN1b)와 레벨 시프터(LS1b)와 다음의 플립플롭 블록의 플립플롭(F1)이 1개의 단을 구성하고 있다. 도15의 제어 회로(CN1a·CN1b)의 출력 신호의 파형으로부터 이해하는 바와 같이, 각 단에 있어서, 제어 회로(CN1a)는 레벨 시프터(LS1a)의 동작 기간을 레벨 시프터(LS1a)의 출력 신호의 상승 타이밍을 포함하여, 또한 제어 회로(CN1b)의 출력 신호의 상승 타이밍을 포함하여, 각각 클럭 신호(CK·CKB)의 주기 미만으로 되도록 제어한다.

더구나, 제어 회로(CN)에의 제어 출력을 어디서부터 취출하는 것이 바람직한지는, 회로 구성에 의해 달라진다. 예를 들어, 시프트 레지스터(11) 등과 같이 1개 전의 라인의 출력을 이용하는 것이 가능하다. 또한, 플립플롭을 수단 전의 신호를 사용하여 리셋함으로써, Q 신호 펄스폭을 넓히는 경우에는, 수단분의 출력을 이용하여, SCK1 클럭분의 시간만큼 레벨 시프터를 기동하는 것도 가능하다. 또한, 도13과 같이 복수의 출력을 사용하는 경우도 있고, 자신의 단의 출력을 이용하여 제어하

는 경우도 있다. 즉, 개략적으로, 자신의 단도 포함하여, 다른 출력을 이용하여, 레벨 시프터의 기동 시간을 거의 SCK1 클록분으로 한다. 또한, 각 블록에 입력된 펄스를 다음 단의 블록에 전송할지 여부는, 각 블록의 플립플롭의 출력과 각 블록의 출력 상태에서 결정된다.

또한, 상술한 시프트 레지스터(11, 11a, 31)에서는, 상기 특개 2001-307495호와 동일하게, 레벨 시프터(LS)에 의해 클록 신호(CK, CKB)를 승압 및/또는 강압함으로써 얻어진 출력(L)을 시프트 레지스터의 출력(SL)으로 하지만, 상기 일본국 공개 특허 공보 "특개 2000-339984호 공보(공개일 2000년 12월 8일)"와 동일하게, 플립플롭의 출력(Q)을, 시프트 레지스터의 출력(SL)으로 해도 좋다. 이 경우, 레벨 시프터(LS)의 출력 신호(L) 대신으로 플립플롭(F)의 출력 신호(Q)를 시프트 레지스터의 외부에 출력하는 신호로 변경하고, 또한, 플립플롭(F)의 리셋(R)에의 배선을 변경하는 것으로 양호하기 때문에, 용이하게 실현할 수 있다.

또한, 상술한 시프트 레지스터(11, 11a, 41)와 같이, 레벨 시프터(LS)에 의해 클록 신호(CK, CKB)를 승압 및/또는 강압함으로써 얻어진 출력(L)을 시프트 레지스터의 외부에 출력(SL)으로 하는 경우, 특히 이하의 구성이 적합하다. 즉, 먼저 상기 레벨 시프터(LS)에 의해 승압 또는 강압된 클록 신호(CK, CKB)가 시프트 레지스터(11, 11a, 31)의 출력 신호(L)로 되고, 그 출력 신호(L)는 클록 신호(CK, CKB)와 동일한 펄스폭을 갖고, 또는 둔화가 발생해도 서로 겹쳐지지 않는 정도로 삭감된 펄스폭을 갖는다. 따라서, 승압 또는 강압된 출력 신호(Li)와, 인접하는 승압 또는 강압된 출력 신호(Li-1, Li+1)가 겹쳐지지 않도록 조절할 수 있다.

그리고 또, M을 2이상의 정수로 하는 때에, 클록 신호(CK, CKB)에 대신하여 서로 위상이 1/M 주기만큼 어긋난 M종류의 클록 신호원 펄스를 사용하고, 각 클록 신호원 펄스를 상기 복수단의 플립플롭에, 순차적으로, (M-1)개 간격으로 입력하도록 한다. 구체적으로는, 도16의 시프트 레지스터(11b)에, 도17에 도시한 것 같은 클록 신호원 펄스(SCK1 ~ SCK4) 및 그 반전 신호를, 각 플립플롭에 순차적으로 입력한다. 이에 의해, 클록 주파수를 1/M로 저감할 수 있게 되고, 그와 같은 시프트 레지스터를 상기 구동 회로(35, 36)등에 사용한 경우는, 제어 회로(33)로부터 클록 신호를 입력하려 할 때, 주파수를 낮게 억제하는 것과, SCK1 ~ SCK4에 접속되는 스위칭 소자가 줄어드는 분량만큼 라인 부하를 저감하는 것이 가능하기 때문에, 상기 제어 회로(33)의 소비 전력도, 더욱 저감할 수 있다.

또한, 상기 M종류의 클록 신호를, 서로 액티브인 기간이 겹쳐지지 않는 위상으로 설정한다. 그것에는, 상기 M종류의 각 클록 신호의 듀티비율, 100 x (1/M) % 이하로 설정하면 좋다. 이에 의해, 시프트 레지스터의 외부에 출력 회로 이후에 지연 회로 등을 설정할 필요는 없게 되고, 회로의 간략화에 의한 협액연화를 실현할 수 있다. 또한, 상기 듀티비율 조절함으로써, 시프트 레지스터의 회로 구성을 변경하는 일 없이, 용이하면서도 임의로 펄스폭을 변경할 수도 있다. 위상이 각 클록 신호원 펄스의 주기인 1/M씩 어긋나 있는 것으로부터, M 종류의 클록 신호원 펄스의 편성으로 이루어지는 신호가 만드는 주기의 하나로서, 클록 신호원 펄스 주기인 1/M의 2배인 주기를 정의할 수 있다. 이것은 클록 신호(CK, CKB)의 주기와 동일하다. 도17과 같이 각 클록 신호원 펄스의 액티브 기간(도17에서는 하이측 펄스의 펄스 길이)이 각 클록 신호원 펄스 주기인 1/M에 동일한 경우에는, M종류의 클록 신호원 펄스의 편성은, 상기 클록 신호(CK, CKB)와 등가인 신호로 된다.

[실시형태 3]

본 발명의 또 다른 실시형태에 대해, 도24 ~ 도34에 기초하여 설명하면 이하와 같다.

도24는, 본 실시형태의 시프트 레지스터(51)의 전기적 구성을 나타내는 블록도이다. 시프트 레지스터(51)는, 시프트 레지스터 블록(SR0 ~ SRn+2) 및 레벨 시프터(LS')를 구비한다. 시프트 레지스터 블록(SR0, SR1, ..., SRn+2)은 순차적으로 종속 접속되어 있다. 각 시프트 레지스터 블록은, 클록 입력 단자(CK, CKB), 입력 단자(CIN), 출력 단자(Q) 및 리셋 단자(R)를 구비한다. 시프트 레지스터 블록(SR0)을 0번째로 하여 시프트 레지스터 블록(SRn+1)쪽에 향하여 홀수번째의 시프트 레지스터 블록에는, 클록 신호(CK)가 클록 입력 단자(CKB)에, 블록 신호(CK)의 반전 신호인 클록 신호(CKB)가 클록 입력 단자(CK)에 각각 입력된다. 짝수번째의 시프트 레지스터 블록에는 클록 신호(CK)가 클록 입력 단자(CK)에, 클록 신호(CKB)가 클록 신호(CKB)에 각각 입력된다.

레벨 시프터(LS')는, 시프트 레지스터(51)의 외부로부터 입력되는 스타트 펄스 신호(SSP, SSPB)로부터, 시프트 레지스터 블록(SR0)이 동작할 수 있도록 레벨 시프터한 펄스 신호를 생성하여, 시프트 레지스터 블록(SR0)의 입력 단자(CIN)에 입력한다. 시프트 레지스터 블록(SR0)은 이 신호로부터 펄스 신호의 출력 신호(Q0)를 생성하여 출력 단자(Q)로부터 출력한다. 상기 출력 신호(Q0)는 시프트 레지스터 블록(SR1)의 입력 단자(CIN)에 입력된다. 이후, 동일하게 하여 시프트 레지스터 블록(SRn+2)까지 펄스 신호가 순차적으로 전송되어가고, 출력 신호(Q1 ~ Qn+2)가 순차 출력된다. 시프트 레지스터 블록(SR0 ~ SRn)의 리셋 단자(R)는, 2단 후의 시프트 레지스터 블록의 출력 단자(Q)에 접속되어 있고, 시프트 레지스터 블록(SR0 ~ SRn)의 출력 신호(Q0 ~ Qn)의 펄스 신호는 2단 후의 시프트 레지스터 블록의 출력 신호의 입력에 의해 상승

하고, 즉 리셋되도록 되어 있다. 또한, 시프트 레지스터 블록(SR_{n+1}, SR_{n+2})의 리셋 단자는 시프트 레지스터 블록(SR_{n+2})의 출력 단자(Q)에 접속되어 있고, 시프트 레지스터 블록(SR_{n+1}, SR_{n+2})의 출력 신호는 시프트 레지스터 블록(SR_{n+2})의 출력 신호에 의해 리셋된다.

또한, 시프트 레지스터 블록(SR₁ ~ SR_n)의 출력 신호(Q₁ ~ Q_n)는, 시프트 레지스터(51)의 외부에 출력하는 신호로 된다. 이들 신호는, 도18과 동일한 지연 회로(d₁ ~ d_n) 및 버퍼(b₁ ~ b_n)에 의해 처리되고, 샘플링 펄스나 주사 신호 등의 출력 신호(SL₁ ~ SL_n)로 된다.

다음으로, 상기 각 시프트 레지스터 블록의 구성을 도25에 도시한다. 이러한 시프트 레지스터 블록의 구성은 시프트 레지스터 블록(SR₀ ~ SR_{n+2})의 전체에 공통이고, 대표하여 시프트 레지스터 블록(SR_j)(j=0 ~ n+2)으로서 도시하는 것이다.

시프트 레지스터 블록(SR_j)은, 제어 회로(CN_j), 레벨 시프터(LS_j), 플립플롭(F_j) 및 인버터(INVS1_j, INVS2_j)를 구비한다.

레벨 시프터(LS_j) 및 플립플롭(F_j)은, 도1의 레벨 시프터(LS_i) 및 플립플롭(F_i)과 동일한 구동이다.

제어 회로(CN_j)는, 2개의 입력 단자(IN1, IN2)를 구비하고 있다. 일방의 입력 단자(IN2)는 시프트 레지스터 블록(SR_j)의 입력 단자(CIN)(도면에서는 CIN_j)로 되어 있고, 타방의 입력 단자(IN1)는 플립플롭(F_j)의 반전 출력 단자(QB)에 접속되어 있다. 제어 회로(CN_j)의 출력 단자(OUT)는, 인버터(INVS1_j)를 통해 레벨 시프터(LS_j)의 인에이블 단자(ENA)에 접속되어 있고, 제어 회로(CN_j)의 출력 신호(CNO_j)의 반전 신호가 레벨 시프터(LS_j)의 인에이블 단자(ENA)에 입력된다. 레벨 시프터의 클럭 입력 단자(CK, CKB)는, 시프트 레지스터 블록(SR_j)의 클럭 입력 단자(CK, CKB)로 되어 있다. 레벨 시프터의 출력 단자(OUT)는 인버터(INVS2_j)를 통해 플립플롭(F_j)의 반전 세트 입력 단자(SB)에 접속되어 있고, 레벨 시프터(LS_j)의 출력 신호(LSO_j)의 반전 신호가 플립플롭(F_j)의 반전 세트 입력 단자(SB)에 입력된다. 플립플롭(F_j)의 정전 출력 단자(Q)는 시프트 레지스터 블록(SR_j)의 출력 단자(Q)(도면에서는 Q_j)로 되어 있고, 플립플롭(F_j)의 리셋 단자(R)는 시프트 레지스터 블록(SR_j)의 리셋 단자(R)(도면에서는 R_j)로 되어 있다.

또한, 상기 제어 회로(CN_j)의 구성을 도26에 도시한다. 제어 회로(CN_j)는 상기 입력 단자(IN1, IN2)를 입력 단자, 상기 출력 단자(OUT)를 출력 단자로 하는 2입력의 NAND 회로로 구성된다.

본 실시 형태에서는, 시프트 레지스터 블록(SR₀ ~ SR_n)의 각각에서의 제어 회로(CN_j)와, 레벨 시프터(LS_j)와, 플립플롭(F_j)이 1개의 단을 구성하고 있다. 이후, j=1 ~ n에 대해, 특히 쌍을 이루고 있는 것을 강조하는 때에는 j의 대신으로 k를 사용한다.

다음으로, 상기 구성의 시프트 레지스터 블록(SR_j)의 동작을, 도27 및 도28에 도시하는 타이밍 차트를 사용하여 설명한다. 도28은, 스타트 펄스 신호(SSP), 클럭 신호(CK), 시프트 레지스터 블록(SR_j)의 인에이블 신호(ENAJ)(이하, 적당한 신호명을 단자명에 번호를 부가하여 대응함) 및 출력 신호(Q_j)의 파형을 도시하고 있고, 도27은 1 ~ n의 j 중 홀수로 되는 시프트 레지스터 블록(SR_j)에서의 각 신호의 파형을 도시하고 있다.

우선, 도28에 도시한 바와 같이, 클럭 신호(CK)와 동일한 펄스폭의 펄스 신호인 스타트 펄스 신호(SSP)와 그 반전 신호(SSPB)(도시하지 않음)가 레벨 시프터(LS')에 입력된다. 레벨 시프터(LS')에서는 스타트 펄스 신호(SSP)가 플립플롭(F_j)의 구동 전압에까지 레벨 시프트되고, 약간의 지연이 있는 그대로의 위상 관계로 출력된다. 그리고, 레벨 시프트된 스타트 펄스 신호(SSP)는 도25에 도시한 바와 같이 시프트 레지스터 블록(SR₀)에 입력 신호(CINO)로서 입력된다. 플립플롭(F₀)의 반전 출력 신호(QB)는 미리 비액티브인 하이 레벨로 되어 있기 때문에 레벨 시프터(LS₀)의 인에이블 신호(ENA₀)는 도28과 같이 하이 레벨로 상승한다. 이에 따라서, 레벨 시프터(LS₀)의 출력 신호(LSO₀)가 하이 레벨로 상승하기 때문에 플립플롭(F₀)의 반전 출력 신호(QB)가 액티브, 즉 로우 레벨로 된다. 상기 인에이블 신호(ENA₀)는, 액티브의 하이 레벨로 된 후, 각 회로에서 발생하는 신호의 지연 시간에 의해 결정되는 타이밍에서 비액티브의 로우 레벨로 하강한다. 상기 인에이블 신호(ENA₀)의 비액티브로 되는 타이밍을 결정하는 상기 지연 시간은, 주로 플립플롭(F₀)내에서의 지연 시간과 제어 회로(CN₀)에서의 지연 시간에 의한 것이다.

따라서, 인에이블 신호(ENA₀)는 도28과 같이 폭이 작은 펄스로 된다. 플립플롭(F₀)의 출력 신호(Q₀)는, 도28과 같이 인에이블 신호(ENA₀)의 상승에 대략 동기하여 상승하고, 2단 후의 시프트 레지스터 블록(SR₂)의 출력 신호(Q₂)에 의해 리셋될 때까지 액티브, 즉 하이 레벨로 된다.

이어서, 출력 신호(Q0)가 시프트 레지스터 블록(SR1)의 입력 신호(CIN1)로 되고, 도27의 신호 처리가 행해진다. 도27에서 $j=1$ 이라 한다. 또한, 도27에서는 홀수번째의 시프트 레지스터 블록의 동작을 도시하고 있고, 클록 단자(CK)에 입력되는 클록 신호는 CKB이다. 도27의 "CK"의 파형은 클록 신호(CKB)를 의미하고 있다. 짝수번째의 시프트 레지스터 블록의 처리를 고려한 경우에는, 도27의 "CK"의 파형을 클록 신호(CK)로 하면 좋다.

입력 신호(CIN1)가 하이 레벨인 경우, 플립플롭(F1)의 반전 출력 신호(QB)가 미리 비액티브인 하이 레벨로 되어 있는 것으로부터, 출력 신호(CNO1)가 로우 레벨로 된다. 이것의, 로우 레벨의 신호는 인버터(INVS11)를 통해, 하이 레벨로 되어 레벨 시프터(LS1)의 인에이블 단자(ENA)에 입력된다. 레벨 시프터(LS1)는, 인에이블 신호(ENA1)가 하이 레벨인 기간에, 레벨 시프터 동작이 가능한 상태로 된다. 레벨 시프터 동작이 가능한 상태에서는 클록 신호(CK)가 레벨 시프트되는 출력 신호(LSO1)로서 출력된다.

인에이블 단자(ENA)에 하이 레벨인 신호가 입력된 최초의 시점에서는 클록 신호(CK)가 로우 레벨이기 때문에, 레벨 시프터(LS1)의 출력 신호(LSO1)는 로우 레벨이다. 클록 신호(CK)의 1펄스분의 길이 후에(클록 신호(CK)의 1/2 주기 후) 클록 신호(CK)가 하이 레벨로 되기 때문에, 출력 신호(LSO1)는 하이 레벨로 된다. 하이 레벨의 출력 신호(LSO1)는 인버터(INVS2j)를 통해 로우 레벨로 되고, 플립플롭(F1)의 반전 세트 입력 단자(SB)에 입력된다. 그러면, 플립플롭(F1)이 세트 되고, 플립플롭(F1)의 출력 신호(Q1)는 하이 레벨로, 반전 출력 신호(QB1)는 로우 레벨로 된다. 반전 출력 신호(QB1)는 제어 회로(CN1)의 입력 단자(IN1)에 입력되어 있기 때문에, 반전 출력 신호(QB1)가 로우 레벨로 되는 타이밍으로부터 제어 회로(CN1)에서의 지연 시간분만큼 경과한 타이밍으로, 레벨 시프터 제어 회로(CN1)의 출력 신호(CNO1)가 하이 레벨로 된다. 출력 신호(CNO1)가 인버터(INVS11)를 통과하고, 레벨 시프터(LS1)의 인에이블 단자(ENA)에 로우 레벨의 신호가 입력되면, 레벨 시프터(LS1)는 비동작 상태로 된다.

레벨 시프터(LS1)가 비동작 상태로 되면 그 출력 신호(LSO1)는 로우 레벨로 되지만, 플립플롭(F1)의 출력 신호(Q1) 및 반전 출력 신호(QB1)는, 리셋 단자(R)에 하이 레벨의 신호가 입력될 때까지, 액티브 레벨(출력 신호(Q1)은 하이 레벨, 반전 출력 신호(QB1)는 로우 레벨)을 유지한다. 그 후, 이들 출력 신호(Q1) 및 반전 출력 신호(QB1)는, 2단 후의 시프트 레지스터 블록(SR3)에 구비되는 플립플롭(F3)의 출력 신호(Q3)가 하이 레벨로 되는 타이밍에서 비액티브(출력 신호(Q)는 로우 레벨 반전 출력 신호(QB)는 하이 레벨)로 된다. 출력 신호(Q3)는 리셋 신호(R1)로서 도27에 도시되어 있다.

도27의 인에이블 신호(ENA1)를 보면, 사선으로 도시된 레벨 시프터(LS1)의 동작 기간이, 클록 신호(CK)의 약 1펄스 길이(클록 신호(CK)의 약 1/2 주기)로 되는 것을 알 수 있다. 상기 인에이블 신호(ENA1)의 비액티브로 되는 타이밍을 결정하는 상기 지연 시간은, 주로 플립플롭(F1)내에서의 지연 시간과 제어 회로(CN1)내에서의 지연 시간에 의한 것이다.

이후, 동일하게 하여, 도28과 같이 각각 상기 단을 갖는 시프트 레지스터 블록(SR1)으로부터 시프트 레지스터 블록(SRn)까지, 레벨 시프터(LSk)($k=1 \sim n$)의 동작 기간을 짧게 하면서 출력 신호(Qk)를 순차적으로 출력한다. 시프트 레지스터 블록(SRn+1, SRn+2)에서는, 출력 신호(Qn+1, Qn+2)가, 시프트 레지스터 블록(SRn+2)의 출력 신호(Qn+2)에 의해 리셋된다.

도28에 도시한 바와 같이, 레벨 시프터(LSk)($k=1 \sim n$)의 동작 기간은, 종래보다 사선으로 도시하는 기간만큼 짧아지고 있다. 본 실시형태에서는 시프트 레지스터(51)로부터 출력 신호(Qk)($k=1 \sim n$)를 얻는 것이 최종 목적이기 때문에, 출력 신호(Qk)를 얻기 위해 레벨 시프터(LSk)가 최소한의 동작 기간으로 되도록 하고 있다. 그것을 위해, 각 시프트 레지스터 블록(SRk)에서 출력 신호(Qk)의 펄스가 개시된다면, 그 펄스 종료시간은 임의로 결정할 수 있는 것으로부터 레벨 시프터(LSk)의 동작이 그 이상은 불필요하게 되는 것을 이용하고, 가능한 만큼 빠르게 인에이블 신호(ENAK)를 비액티브로 하여 사선 기간을 제거하고 있다. 도27로부터 알 수 있는 바와 같이, 레벨 시프터(LSk)의 출력 신호(LSOk)의 펄스가 개시된다면, 플립플롭(Fk)의 출력 신호(Qk)의 펄스가 개시되기 때문에, 출력 신호(LSOk)의 펄스가 개시되면 인에이블 신호(ENAK)를 비액티브로 하여도 바람직하게 된다.

레벨 시프터(LSk)나 플립플롭(Fk), 제어 회로(CNk)에는 신호 처리의 지연 시간이 있다. 레벨 시프터(LSk)는 입력된 클록 신호(CK·CKB)를 조금 지연하여 출력 신호(LSOk)로서 출력하지만, 레벨 시프터(LSk)가 출력 신호(LSOk)를 출력한 후, 출력 신호(LSOk)의 펄스 개시시로부터 조금 지연하여 출력 신호(Qk) 및 반전 출력 신호(QBk)의 펄스가 개시되고, 그러므로 또, 조금 지연하여 제어 회로(CNk)의 출력 신호(CNOk)가 출력되고, 인에이블 신호(ENA)가 로우 레벨로 된다. 인버터(INVS1k·INVS2k)에도 지연이 있지만, 이것은 논리를 맞추기 위해, 또는 전압의 버퍼링을 위해 사용되고 있고, 이들을 갖지 않는 시프트 레지스터도 고려되기 때문에, 여기서의 지연은 본질적이지 아니다. 따라서, 지연 시간으로서는 플립플롭(Fk)와 제어 회로(CNk)에서의 지연 시간이 지배적으로 된다.

플립플롭(Fk)의 출력 신호(Qk)의 펄스가 확보할 수 있는 상태로 된다면, 출력 신호(Qk) 및 반전 출력 신호(QBk)의 펄스 개시로부터 조금 시간이 경과한 시점에서 인에이블 신호(ENAk)를 비액티브로 하면, 출력 신호(Qk)의 펄스 개시 후에 확실히 레벨 시프터(LSk)의 동작을 정지시킬 수 있다. 그것을 위해서는, 제어 회로(CNk)에서 지연 시간이 얻어질 수 있으면 좋다.

또한, 출력 신호(LSOk)의 펄스 개시가 얻어지면 레벨 시프터(LSk)의 그 이상의 동작이 불필요하게 된다는 동작 시간 최소한의 고려 방법에 의하면, 출력 신호(LSOk)의 펄스 개시로부터 조금 시간이 경과한 시점에서 인에이블 신호(ENA)를 비액티브로 하면, 출력 신호(Qk)의 펄스 개시 후 또는 동시에 확실하게 레벨 시프터(LSk)의 동작을 정지시킬 수 있다. 그것을 위해서는, 플립플롭(Fk)과 제어 회로(CNk) 중 적어도 일방에서 지연 시간이 얻어지면 좋다. 그러나, 본 실시형태에서는 플립플롭(Fk)과 제어 회로(CNk)의 양쪽의 지연 시간이 기여하고 있다.

더구나, 출력 신호(Qk)는 다음의 시프트 레지스터 블록(SRk+1)의 입력 신호(CINk+1)로 되기 때문에, 상기 지연분은 다음의 인에이블 신호(ENAk+1)가 액티브로 되는 타이밍의 지연을 갖게하고, 인에이블 신호(ENAk)의 펄스폭은 약 1펄스 길이(클럭 신호(CK)의 약 1/2 주기)로 된다.

본 실시예의 본질은, 클럭 신호의 상승의 에지를 레벨 시프트하는 것에 있다. 그 때문에, 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 적극적으로 지연시키며, 클럭 신호의 상승의 에지를 레벨 시프트할 수 있다면, 시프트 레지스터를 정상 동작시킬 수 있다. 이것을 이용하고, 클럭 신호의 상승의 에지를 레벨 시프트하는 것에 문제가 없는 정도로 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 지연시키고, 레벨 시프터(LSk)의 동작 기간을 또한 짧게 하는 것도 가능하다. 따라서, 레벨 시프터(LSk)의 동작 기간이 짧아지는 분량만큼, 물론 소비 전력의 삭감이 가능하다. 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 지연시키기 위해서, 논리를 맞춘 위에 인버터를 복수개본 삽입하여도 좋고, 시프트 레지스터 블록(SRk-1)의 출력을 시프트 레지스터 블록(SRk)의 입력 신호(CIN)로 하는 것이 없고, 시프트 레지스터 블록(SRk-1)의 출력이 지연 회로(dk-1)나 버퍼(bk-1) 등을 경과한 후에, 지연한 신호를 시프트 레지스터 블록(SRk)의 입력 신호(CIN)로 해도 좋다.

본 실시형태의 시프트 레지스터(51)에 의하면, 시프트 레지스터(51)의 외부에의 출력 신호(Qk)의 펄스 길이를, 클럭 신호의 펄스 길이의 2배로 하면서, 시프트 레지스터 블록(SRk)에서의 레벨 시프터(LSk)의 동작 기간을 클럭 신호(CK)의 약 1펄스 길이(클럭 신호(CK)의 약 1/2 주기)로 할 수 있다. 출력 신호(Qk)의 펄스 길이는, 리셋 신호(Rk)에 사용하는 신호를 적절히 선택함으로써, 레벨 시프터(LSk)의 동작 기간에 관계없이 길게 할 수 있다.

도27로부터 알 수 있는 바와 같이, 상기 각 단에 있어서, 제어 회로(CNk)(k=1 ~ n)는, 레벨 시프터(LSk)의 동작 기간을, 레벨 시프터(LSk)의 출력 신호(LSOk)의 상승 타이밍을 포함하여 클럭 신호(CK·CKB)의 주기 미만으로 되도록 제어한다. 여기서, 출력 신호의 상승 타이밍은, 펄스 개시 타이밍을 의미하고, 하이측으로 상승하는 출력 신호, 로우측으로 상승하는 출력 신호 양쪽을 다 포함한다. 각 단의 플립플롭(Fk)의 출력 신호(Qk)(또는 그 반전 신호(QBk)라도 좋음)를 시프트 레지스터(51)의 외부에 출력하는 펄스 신호로서 사용하기 때문에, 플립플롭(Fk)의 출력 신호(Qk)가 일단 상승해버리면, 상기 출력 신호(Qk)의 하강 타이밍을 별도 임의로 설정할 수 있고, 레벨 시프터(LSk)를 계속 동작시킬 필요가 없기 때문에, 레벨 시프터(LSk)의 동작 기간을 상기 클럭 신호(CK, CKB)의 주기 미만으로 한다. 즉, 레벨 시프터(LSk)의 동작 기간은, 플립플롭(Fk)의 출력 신호(Qk) 또는 그 반전 신호(QB)를 클럭 신호(CK, CKB)의 펄스 길이보다 큰 펄스 길이의 상기 펄스 신호로서 사용하는 경우에, 동작 기간이 클럭 신호(CK, CKB)의 주기 이상으로 되는 종래와는 다르고, 펄스 길이에 관계없이 클럭 신호(CK, CKB)의 주기 미만으로 되고, 레벨 시프터(LSk)에 있어서 소비 전력을 삭감할 수 있다.

더욱이, 레벨 시프터(LS0, LS_{n+1})는, 시프트 레지스터(51)의 외부에의 출력 신호를 출력하는 단 또는 블록에 속하는 레벨 시프터는 아니지만, 그 레벨 시프터(LS0, LS_{n+1})의 동작 기간에 대해서도, 도28의 인에이블 신호(ENA0, ENA_{n+1})의 파형으로부터 알 수 있는 바와 같이, 제어 회로(CN0, CN_{n+1})가 아닌 경우에 비교하여 짧아진다. 레벨 시프터(LS_{n+1})의 동작 기간은, 클럭 신호(CK, CKB)의 펄스 길이(클럭 신호(CK·CKB)의 1/2 주기)만큼 짧아진다.

이상에 의해, 소비 전력이 적은 시프트 레지스터를 실현할 수 있다.

다음으로, 도29에, 시프트 레지스터 블록(SRj)의 레벨 시프터 및 플립플롭에, 일본국 공개 특허 공보 "특개 2001-356728호 공보(2001년 12월 26일 공개)"에 기재된 게이팅 회로 및 플립플롭을 적용한 경우의 구성을 도시한다. 다만, 플립플롭의 구성은 편의상 변경한다.

게이팅 회로(GCj)는 트랜지스터(P51, N50, N51, N52)를 구비하고 있다. 플립플롭(Fj)은 트랜지스터(P52, P53, P54, N53, N54) 및 인버터(INVSRj)를 구비하고 있다. 트랜지스터(P51 ~ P54)는 P 채널형 MOS 트랜지스터이고, 트랜지스터(N50 ~ N54)는 N 채널형 MOS 트랜지스터이다.

트랜지스터(P51, N51)는 전원(VDD)과 클록 입력 단자(CK)와의 사이에 직렬로 접속되어 있다. 트랜지스터(N50)는, 트랜지스터(P51, N51)의 접속점과 전원(VSS)과의 사이에 접속되어 있다. 트랜지스터(P51, N50)의 게이트는 제어 회로(CNj)의 출력 단자(OUT)에 접속되어 있다. 트랜지스터(P51)의 게이트는 로우 액티브이고, 인에이블 단자(ENAB)에 접속되어 있다. 상기 인에이블 단자(ENAB)는, 도25의 INVS1j와 레벨 시프터(LSj)의 인에이블 단자(ENA)를 합친 것에 대응한다. 트랜지스터(P52, N52)는 전원(VDD)과 클록 입력 단자(CKB)와의 사이에 직렬로 접속되어 있고, 그 접속점이 게이팅 회로(GCj)의 출력 단자로 되어 있다. 트랜지스터(N52)의 게이트는 트랜지스터(N51)의 게이트에 접속되어 있고, 이들 게이트는 트랜지스터(N51)의 트레인에 접속되어 있다. 트랜지스터(P52)의 게이트는 로우 액티브에서 인버터(INVSRj)의 출력이 입력되도록 되어 있고, 인버터(INVSRj)의 입력 단자가 플립플롭(Fj)의 리셋 단자로 되어 있다. 트랜지스터(P53, N53)는 전원(VDD)과 전원(VSS)과의 사이에 직렬로 접속되어 있다. 트랜지스터(P54, N54)는 전원(VDD)과 전원(VSS)과의 사이에 직렬로 접속되어 있다. 트랜지스터(P53)의 게이트와 트랜지스터(N53)의 게이트는 서로 접속되어 있고, 그 접속점은 트랜지스터(P54, N54)의 접속점에 접속되어 있다. 트랜지스터(P54)의 게이트와 트랜지스터(N54)의 게이트는 서로 접속되어 있고, 그 접속점은 트랜지스터(P53, N53)의 접속점에 접속되어 있음과 동시에, 플립플롭(Fj)의 반전 출력 단자(QB)로 되어 있다. 트랜지스터(P54, N54)의 접속점은 플립플롭(Fj)의 정전 출력 단자(Q)로 되어 있다.

다음으로, 상기 구성의 시프트 레지스터 블록(SRj)의 동작을, 도30 및 도31에 도시하는 타이밍 차트를 사용하여 설명한다. 도31은, 스타트 펄스 신호(SSP), 클록 신호(CK), 시프트 레지스터 블록(SRj)의 인에이블 신호(ENABj)(이하, 적절한 신호명을 단자명에 번호를 부가하여 대응함) 및 출력 신호(Qj)의 파형을 도시하고 있고, 도30은 1 ~ n의 j 중 홀수로 되는 시프트 레지스터 블록(SRj)에서의 각 신호의 파형을 도시하고 있다.

우선, 도31에 도시한 바와 같이, 클록 신호(CK)와 동일한 펄스폭의 펄스 신호인 스타트 펄스 신호(SSP)와 그 반전 신호(SSPB)(도시하지 않음)가 레벨 시프터(LS')에 입력된다. 레벨 시프터(LS')에서는 스타트 펄스 신호(SSP)가 플립플롭(Fj)의 구동 전압에까지 레벨 시프트되고, 약간의 지연이 있는 그대로의 위상 관계로 출력된다. 그리고, 레벨 시프트된 스타트 펄스 신호(SSP)가 도29에 도시하는 바와 같이 시프트 레지스터 블록(SR0)에 입력 신호(CINO)로서 입력되면, 플립플롭(F0)의 반전 출력 신호(QB)가 미리 비액티브인 하이 레벨로 되어 있는 것으로부터, 게이팅 회로(GC0)의 인에이블 신호(ENAB0)는 로우 레벨로 된다. 이에 의해 게이팅 회로(GC0)가 동작하여 반전 출력 신호(QB)는 액티브인 로우 레벨로 된다. 상기 인에이블 신호(ENAB0)는, 액티브의 로우 레벨로 된 후, 각 회로에서 발생하는 신호의 지연 시간에 의해 결정되는 타이밍에서 비액티브의 하이 레벨로 상승한다. 상기 인에이블 신호(ENAB0)의 비액티브로 되는 타이밍을 결정하는 상기 지연 시간은, 주로 제어 회로(CN0)에서의 지연 시간에 의한 것이다.

따라서, 인에이블 신호(ENAB0)는 도31과 같이 폭이 작은 펄스로 된다. 플립플롭(F0)의 출력 신호(Q0)는, 도31과 같이 인에이블 신호(ENAB0)의 하강에 대략 동기하여 상승하고, 2단 후의 시프트 레지스터 블록(SR2)의 출력 신호(Q2)에 의해 리셋될 때까지 액티브, 즉 하이 레벨로 된다.

이어서, 출력 신호(Q0)가 시프트 레지스터(SR1)의 입력 신호(CIN1)로 되고, 도30의 신호 처리가 행해진다. 도30에서 j=1로 한다. 더욱이, 도30에서는 홀수번째의 시프트 레지스터 블록의 동작을 도시하고 있고, 클록 단자(CK)에 입력되는 클록 신호는 CKB이다. 도30의 "CK"의 파형은 클록 신호(CKB)를 의미한다. 짝수번째의 시프트 레지스터 블록의 처리를 고려하는 경우는, 도30의 "CK"의 파형을 클록 신호(CK)로 하면 좋다.

입력 신호(CIN1)가 하이 레벨인 경우, 플립플롭(F1)의 반전 출력 신호(QB)가 미리 비액티브인 하이 레벨로 되어 있는 것으로부터, 제어 회로(CN1)의 출력 신호가 로우 레벨로 된다. 이것의, 로우 레벨의 신호가 게이팅 회로(GC1)의 인에이블 단자(ENAB)에 입력된다. 게이팅 회로(GC1)는, 인에이블 신호(ENAB1)가 로우 레벨인 기간에 동작이 가능한 상태로 된다. 동작이 가능한 상태에서는 클록 신호(CK)가 레벨 시프트되어 플립플롭(F1)에 출력된다.

인에이블 단자(ENAB)에 로우 레벨의 신호가 입력된 최초의 시점에서는 클록 신호(CK)가 로우 레벨, 클록 신호(CKB)가 하이 레벨이기 때문에, 플립플롭(F1)의 반전 출력 신호(QB)는 하이 레벨인 상태이다. 클록 신호(CK)의 1/2 펄스분의 길이 이후에(클록 신호(CK)의 1/2 주기후) 클록 신호(CK)가 하이 레벨, 클록 신호(CKB)가 로우 레벨로 되기 때문에, 플립플롭(F1)의 출력 신호(Q1)는 하이 레벨, 반전 출력 신호(QB1)는 로우 레벨로 된다. 반전 출력 신호(QB1)는 제어 회로(CN1)의 입력 단자(IN1)에 입력되어 있기 때문에, 반전 출력 신호(QB1)가 로우 레벨로 되는 타이밍으로부터 제어 회로(CN1)에서의 지연 시간분만큼 경과한 타이밍에서, 제어 회로(CN1)의 출력 신호가 하이 레벨로 된다.

게이팅 회로(GC1)의 인에이블 단자(ENAB)에 하이 레벨의 신호가 입력되면, 게이팅 회로(GC1)는 비동작 상태로 된다.

게이팅 회로(GC1)가 비동작 상태로 되면 그 출력 신호는 로우 레벨로 되지만, 플립플롭(F1)의 출력 신호(Q1) 및 반전 출력 신호(QB1)는, 리셋 단자(R)에 하이 레벨인 신호가 입력될 때까지, 액티브 레벨(출력 신호(Q1)는 하이 레벨, 반전 출력 신호(QB1)는 로우 레벨)을 유지한다. 그 후에, 이들 출력 신호(Q1) 및 반전 출력 신호(QB1)는, 2단 후의 시프트 레지스터 블록(SR3)에 구비되는 플립플롭(F3)의 출력 신호(Q3)가 하이 레벨로 되는 타이밍에서 비액티브(출력 신호(Q)는 로우 레벨, 반전 출력 신호(QB)는 하이 레벨)로 된다. 출력 신호(Q3)는 리셋 신호(R1)로서 도30에 도시되어 있다.

게이팅 회로(GC1)에 입력되는 클록 신호(CK, CKB)의 진폭이 전원 전압의 진폭보다 작은 경우에는, 게이팅 회로(GC1)에 있어서 정상적으로 흐르는 전류가 발생한다. 도30의 인에이블 신호(ENAB1)를 보면, 사선으로 도시한 바와 같이 게이팅 회로(GC1)의 동작 기간이, 클록 신호(CK)의 약 1펄스 길이(클록 신호(CK)의 약 1/2 주기)로 되는 것을 알 수 있다. 상기 인에이블 신호(ENAB1)의 비액티브로 되는 타이밍을 결정하는 상기 지연 시간은, 주로 제어 회로(CN1)내에서의 지연 시간에 의한 것이다.

종래 구성의 경우, 입력 신호(CIN1)가 하이 레벨인 기간, 정상적으로 흐르는 전류를 발생하지만, 이 예의 경우는, 게이팅 회로(GC1)에 정상적으로 흐르는 전류를 소멸시킬 수 있다.

이후, 동일하게 하여, 도31과 같이 각각 상기 단을 갖는 시프트 레지스터 블록(SR1)으로부터 시프트 레지스터 블록(SRn)까지, 게이팅 회로(GCk)(k=1 ~ n)의 동작 기간을 짧게 하면서 출력 신호(Qk)를 순차 출력한다. 시프트 레지스터 블록(SRn+1, SRn+2)에서는, 출력 신호(Qn+1, Qn+2)가, 시프트 레지스터 블록(SRn+2)의 출력 신호(Qn+2)에 의해 리셋 된다.

도31에 도시한 바와 같이, 게이팅 회로(GCk)(k=1 ~ n)의 동작 기간은, 종래보다 사선으로 도시하는 기간만큼 짧아져 있다. 본 실시형태에서는 시프트 레지스터(51)로부터 출력 신호(Qk)(k=1 ~ n)를 얻는 것이 최종 목적이기 때문에, 출력 신호(Qk)를 얻기 위해 게이팅 회로(GCk)가 최소한의 동작 기간으로 되도록 하고 있다. 그것을 위해, 각 시프트 레지스터 블록(SRk)에서 출력 신호(Qk)의 펄스가 개시되었다면, 그 펄스 종료시는 임의로 결정할 수 있는 것으로부터 게이팅 회로(GCk)의 동작이 그 이상은 불필요하게 되는 것을 이용하고, 가능한 만큼 빠른 인에이블 신호(ENABk)를 비액티브로 하여 사선 기간을 제거하고 있다. 도30으로부터 알 수 있는 바와 같이, 플립플롭(Fk)의 출력 신호(Qk) 및 반전 출력 신호(QBk)의 펄스가 개시된다면, 더욱 정확히는 후술하는 지연이 있기 위해 반전 출력 신호(QBk)의 펄스가 개시된다면, 인에이블 신호(ENABk)를 비액티브로 하여도 바람직하게 된다.

게이팅 회로(GCk)나 플립플롭(Fk), 제어 회로(CNk)에는 신호 처리의 지연 시간이 있다. 게이팅 회로(GCk)는 입력된 클록 신호(CK, CKB)를 레벨 시프트한 신호를 조금 지연하여 출력하지만, 게이팅 회로(GCk)로부터 신호가 출력된 후, 출력 신호(Qk)는 조금 지연하여 출력됨과 동시에 반전 출력 신호(QBk)는 지연하지 않고 출력되고, 반전 출력 신호(QBk)의 출력 타이밍으로부터 조금 지연하여, 제어 회로(CNk)의 출력 신호인 인에이블 신호(ENABk)가 하이 레벨로 된다. 따라서, 게이팅 회로(GCk)로부터 신호가 출력된 후, 인에이블 신호(ENABk)가 하이 레벨로 될 때까지의 지연 시간으로서는 제어 회로(CNk)에서의 지연 시간이 지배적으로 된다.

플립플롭(Fk)의 출력 신호(Qk)의 펄스가 확보할 수 있는 상태로 된다면, 게이팅 회로(GCk)의 그 이상의 동작이 불필요하게 된다는 기본적인 사상에 의하면, 반전 출력 신호(QBk)의 펄스 개시로부터 조금 시간이 경과한 시점에서 인에이블 신호(ENABk)를 비액티브로 하면, 출력 신호(Qk)의 펄스 개시를 얻을 수 있는 상태로 된 후에 확실히 게이팅 회로(GCk)의 동작을 정지시킬 수 있다. 그것을 위해서는, 제어 회로(CNk)에서 지연 시간이 얻어진다면 좋다.

또한, 게이팅 회로(GCk)가 신호를 출력하고 나서 플립플롭(Fk)이 반전 출력 신호(QBk)를 출력할 때까지의 지연이 없기 때문에, 제어 회로(CNk)에서 지연 시간이 얻어질 수 있다면 좋다는 조건은, 게이팅 회로(GCk)의 동작 시간을 최소한으로 하는 사상에도 적합하다.

더구나, 출력 신호(Qk)는 다음의 시프트 레지스터 블록(SRk+1)의 입력 신호(CINk+1)로 되기 때문에, 상기 지연분은 다음의 인에이블 신호(ENABk+1)가 액티브로 되는 타이밍의 지연을 갖게하고, 인에이블 신호(ENABk)의 펄스폭은 약 1펄스 길이(클록 신호(CK)의 약 1/2 주기)로 된다.

본 실시예의 본질은 게이팅 회로(GCk)의 동작 기간 중에 소망하는 클록 신호의 상승의 에지를 입력하는 것에 있다. 그 때문에, 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 적극적으로 지연시켜도, 게이팅 회로(GCk)가 동작 기간 중에 소망

하는 클록 신호의 상승의 에지를 게이팅 회로(GCk)에 입력할 수 있다면, 시프트 레지스터를 정상 동작시킬 수 있다. 이것을 이용하고, 소망하는 클록 신호의 상승 에지가 게이팅 회로(GCk)에 입력되려는 때에, 게이팅 회로(GCk)가 동작하는 정도까지, 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 지연시키고, 게이팅 회로(GCk)의 동작 기간을 또한 짧게 하는 것도 가능하다. 따라서, 게이팅 회로(GCk)의 동작 기간이 짧아지는 분량 만큼, 소비 전력의 삭감이 가능하다. 시프트 레지스터 블록(SRk)의 입력 신호(CIN)를 지연시키기 위해서, 논리를 맞춘 위에 인버터를 복수개분 삽입하여도 좋고, 시프트 레지스터 블록(SRk-1)의 출력을 시프트 레지스터 블록(SRk)의 입력 신호(CIN)로 하는 것은 없고, 시프트 레지스터 블록(SRk-1)의 출력이 지연 회로(dk-1)나 버퍼(bk-1) 등을 경과한 후의, 지연한 신호를 시프트 레지스터 블록(SRk)의 입력 신호(CIN)로 해도 좋다.

이상에 의해, 도27 및 도28의 경우와 동일한 효과를 얻을 수 있다.

다음으로, 도32에, 플립플롭의 출력 신호를 시프트 레지스터의 외부에 출력하는 신호로 하는 다른 구성예를 도시한다.

도32에 도시하는 시프트 레지스터(61)는, 상기 도1에 도시한 시프트 레지스터 (11)에 유사하고, 대응하는 부분에는 동일한 참조 부호를 붙여, 그 설명을 생략한다.

시프트 레지스터(61)는 시프트 레지스터(62) 및 레벨 시프터부(63)를 구비하고 있다. 시프트 레지스터부(62)는, 도1의 시프트 레지스터(11)의 시프트 레지스터부(12)에 플립플롭(Fn+1)을 추가함과 동시에, 플립플롭 Fi(i=1~n)의 출력 신호(Qi)를 시프트 레지스터(61)의 외부로 출력하는 신호로 하는 구성이다. 또한, 플립플롭(Fn+1)의 출력 신호(Qn+1)의 접속부는 없다. 이에 따라, 출력 신호(Qi)는 버퍼(Bi)에 입력되어, 출력 신호(SLi)가 된다. 레벨 시프터부(63)는, 도1의 시프트 레지스터(11)의 레벨 시프터부(13)에 레벨 시프터(LSn+2)를 추가한 구성이다. 이에 따라, 플립플롭(Fi)의 리셋 단자에는 2단 후의 레벨 시프터(LSi+2)의 출력 신호가 입력되어, 플립플롭(Fn+1)의 리셋 단자(R)에는, 플립플롭(Fn)의 리셋 단자(R)와 같이, 레벨 시프터(LSn+2)의 출력 신호(Oend)가 입력된다.

시프트 레지스터(61)에서의 레벨 시프터(LSi)의 출력 신호(LSi) 및 제어 회로(CNi)의 출력 신호(OCi)의 파형을, 도33의 타이밍 차트에 나타낸다. 또한, 시프트 레지스터(61)에서의 레벨 시프터(LSi)의 출력 신호(LSi) 및 플립플롭(Qi)의 출력 신호(Qi)의 파형을, 도34의 타이밍 차트에 나타낸다.

도33에서 알 수 있는 바와 같이, 제어 회로(CNi)(i=1~n)는, 레벨 시프터(LSi)의 동작 기간을, 레벨 시프터(LSi)의 출력 신호(LSOi)의 기립 타이밍을 포함하여 클록 신호(CK·CKB)의 주기 미만으로 되도록 제어한다. 따라서, 도34와 같이 클록 신호(CK,CKB)의 펄스 길이의 2배(클록 신호 CK,CKB의 1주기분)의 펄스 길이의 출력 신호(Qi)를 얻는 경우에도, 도33에 사선으로 나타낸 바와 같이 레벨 시프터(LSi)의 동작 기간, 따라서 각 단계 속하는 레벨 시프터(LSk)(k=2~n)의 동작 기간이 클록 신호(CK)의 약 1펄스 길이(클록 신호(CK)의 약 1/2 주기)인 것을 알게 된다. 그 만큼, 레벨 시프터 LSk에 정상적으로 흐르는 전류를 감소시킬 수 있다.

또한, 레벨 시프터(LSn+1, LSn+2)는, 시프트 레지스터(61)의 외부로의 출력 신호를 출력하는 단 또는 블록에 속하는 레벨 시프터는 아니지만, 이 레벨 시프터(LSn+1, LSn+2)의 동작 기간에 대해서도, 도33의 출력 신호(OCn, OCn+1)의 파형으로부터 알 수 있는 바와 같이, 제어 회로(CNn, CNn+1)가 없는 경우에 비해, 클록 신호(CK·CKB)의 펄스 길이(클록 신호(CK·CKB)의 1/2 주기)만큼 짧아진다.

본 실시예와 같이, 플립플롭의 출력 신호(Q)(또는 그의 반전 출력 신호(QB)도 좋음)를 사용하여, 클록 신호(CK, CKB)의 펄스 길이의 2배의 신호를 생성함에 의해, 이 신호를 샘플링 펄스로 사용한 경우에, 소스 버스 라인으로의 충전 시간을 확보하는 것과, 인접한 화소와의 기생 용량의 영향을 작게 하는 것이 가능하다. 따라서, 이와 같은 신호의 용도에 있어서 시프트 레지스터의 동작 기간을 단축할 수 있는 효과가 크다.

이상과 같이, 본 발명의 시프트 레지스터에서, 각 레벨 시프터는, 동작 중에는 클록 신호가 인가된 입력 스위칭 소자가 항상 도통하는, 전류 구동형 승압부 및/또는 강압부를 구비하고 있다.

상기 구성에 의하면, 각 레벨 시프터는, 전류 구동형의 승압부와 강압부 중 적어도 하나를 구비하고 있고, 그 전류 구동형의 레벨 시프터는, 입력 신호의 레벨에 의해 입력 스위칭 소자를 도통/차단하는 전압 구동형 레벨 시프터와 다르게, 입력 신호의 진폭이 입력 스위칭 소자의 문턱치 전압보다 낮은 경우에도, 아무런 지장 없이 입력 신호를 레벨 시프트할 수 있는 효과를 가지는 한편, 동작 중에는 클록 신호가 인가된 입력 스위칭 소자가 항상 도통하여, 소비전력이 커지게 되는 단점을 가진다.

따라서, 상기와 같이 레벨 시프터를 동작시키는 기간을 최소한의 기간으로 하는 본 발명은, 특히 효과적이고, 입력 신호의 진폭이 입력 스위칭 소자의 문턱치 전압보다 낮은 경우에도 레벨 시프트 가능하고, 또한 소비전력이 적은 시프트 레지스터를 실현할 수 있다.

또한, 본 발명의 시프트 레지스터에서, 상기한 레벨 시프터는, 정지 시에는, 소정 값의 출력 전압을 유지하는 출력 안정 수단을 구비하고 있다.

상기 구성에 의하면, 일반적으로, 레벨 시프터가 정지하고 있는 동안, 레벨 시프터의 출력 전압이 일정하지 않게 되면, 해당 레벨 시프터가 접속되어 있는 플립플롭의 동작이 불안정하게 될 우려가 있기 때문에, 해당 레벨 시프터의 출력 전압을 소정의 값으로 유지하는 출력 안정 수단을 설치한다.

따라서, 상기한 불안정한 출력 전압에 기인하는 플립플롭의 오동작을 방지할 수 있고, 보다 안정적인 동작의 시프트 레지스터를 실현할 수 있다.

또한, 본 발명의 시프트 레지스터에서, 상기한 동작 제어 수단은, 동일 단의 상기 레벨 시프터의 출력 신호의 기립을 해당 레벨 시프터의 동작 기간의 개시보다 지연시킨다.

상기한 구성에 의하면, 일반적으로, 화상 표시 장치 등으로 사용되는 경우, 시프트 레지스터의 외부로 출력하는 신호는 샘플링용의 신호나 주사 신호로서 사용되지만, 샘플링용의 신호로는 전단이나 다음 단의 샘플링 신호와 겹치면, 영상 신호가 크게 변동하고, 잘못된 영상 신호를 데이터 신호선에 기입하게 되어 버린다. 또한, 전단이나 다음 단의 주사 신호가 겹치면, 데이터 신호선상의 영상 신호를 리프레시하기 위한 처리 등이 불가능해진다.

따라서, 레벨 시프터의 동작 기간을 제어하는 상기 동작 제어 수단을 이용하여, 그 레벨 시프터의 출력 신호의 액티브 개시 시간을 지연시킬 수 있다.

따라서, 서로 인접하는 단에서 시프트 레지스터의 외부로 출력하는 신호의 액티브 기간이 겹치지 않도록 함에 있어서, 시프트 레지스터의 외부로의 출력 회로 이후에 지연 회로 등을 설치할 필요가 없고, 시프트 레지스터를 표시 장치의 구동 회로로 사용한 경우는, 샘플링 펄스 끼리가 겹치지 않도록 하면서, 상기한 구동 회로의 간략화에 의한 협액연화를 실현할 수 있다.

또한, 시프트 레지스터의 외부로의 출력 회로 이후의 회로 중 어느 것의 출력을 사용하는 경우, 지연 시간은 사용하는 회로의 출력에 의해 임의로 설정할 수 있고, 상기한 액티브 개시 시간을 자유롭게 설정할 수 있다. 예컨대, 샘플링용의 신호나 주사 신호의 경우, 전단의 최종 출력 오프 타이밍을 사용하여, 현재 단의 시프트 레지스터의 출력 신호의 액티브 개시 시간을 결정하면, 전단의 출력중에는 반드시 현재 단의 시프트 레지스터의 출력이 비액티브 상태로 되는 것으로서, 전단이나 다음 단의 시프트 레지스터의 출력 신호 자체를 확실하게 겹치지 않도록 할 수 있다.

또한, 본 발명의 시프트 레지스터는, M 을 2이상의 정수라고 할 때, 서로 위상이 $1/M$ 주기만큼 어긋난 M 종류의 클록 신호를 사용하고, 각 클록을 상기한 복수 단의 플립플롭에, 순차적으로, $(M-1)$ 개 간격으로 입력한다.

상기 구성에 의하면, 서로 위상이 $1/M$ 주기만큼 어긋난 M 종류의 클록 신호를 사용함으로써, 클록 주파수를 $1/M$ 로 감소시키는 것이 가능하게 된다.

따라서, 시프트 레지스터를 표시 장치의 구동 회로에 사용한 경우는, 외부 회로에서 클록 신호를 입력할 때, 주파수를 낮게 억제할 수 있기 때문에, 외부 회로의 소비전력도 더욱 감소시킬 수 있다.

또한, 본 발명의 시프트 레지스터에서, 상기한 M 종류의 클록 신호는, 서로 액티브의 기간이 겹치지 않게 되는 위상으로 설정되어 있다.

상기한 구성에 의하면, 서로 인접한 시프트 레지스터의 출력 신호의 액티브 기간이 겹치지 않도록 함에 있어서, 상기한 M 종류의 각 클록 신호의 듀티 비율, $100 \times (1/M) \%$ 이하로 설정함으로써, 시프트 레지스터의 출력 이후에 지연 회로 등을 설치할 필요가 없게 된다.

따라서, 시프트 레지스터를 표시 장치의 구동 회로에 사용한 경우는, 샘플링 펄스 끼리가 겹치지 않도록 하면서, 회로의 간략화에 의한 협액연화를 실현할 수 있다. 또한, 상기 듀티 비를 조절함에 의해, 임의로 펄스 폭을 변경할 수도 있다.

또한, 본 발명의 시프트 레지스터는, 적어도 상기 각 단의 레벨 시프터의 출력 신호 또는 그의 반전 신호를 외부로 출력한다.

상기한 구성에 의하면, 레벨 시프터에 의해 승압 및/또는 강압된 클록 신호가 시프트 레지스터의 외부로 출력되는 신호로 되고, 그의 출력은 클록 신호와 동일한 펄스 폭을 가지며, 또한 출력에 둔해진 곳이 발생하여도 서로 겹치지 않는 정도로 적어진 펄스 폭을 가진다.

따라서, 승압 및/또는 강압된 서로 인접한, 시프트 레지스터의 외부로 출력되는 신호가, 겹치지 않도록 조정할 수 있다.

또한, 본 발명의 시프트 레지스터는, 적어도 상기한 각 단의 플립플롭의 출력 신호 또는 그의 반전 신호를 외부로 출력한다.

상기 구성에 의하면, 상기한 플립플롭의 출력 신호의 하강을, 상기 레벨 시프터의 출력 신호나 다른 플립플롭의 출력 신호, 시프트 레지스터의 외부로의 출력 회로 이후의 회로의 신호 등, 어떠한 신호를 사용하여 결정하는 것에 따라, 시프트 레지스터의 외부로 출력되는 신호의 펄스 폭을 소망하는 기간으로 조절할 수 있다.

또한, 본 발명의 표시 장치는, 상기한 주사 신호선 구동 회로 및 데이터 신호선 구동 회로 중 적어도 하나가, 상기한 화소와 동일 기판 상에 형성된다.

상기 구성에 의하면, 주사 신호선 구동 회로와 각 화소 간의 배선, 또는 데이터 신호선 구동 회로와 각 화소 간의 배선은, 해당 기판 상에 배치되어, 기판 외로 빼낼 필요가 없다.

따라서, 주사 신호선의 수, 또는 데이터 신호선의 수가 증가하여도, 기판 외로 빼내는 신호선의 수가 변화하지 않아, 조립할 필요가 없다. 이로써 제조시의 노력이 감소되고, 각 신호선의 소망하지 않는 용량의 증대를 방지할 수 있는 동시에, 집적도의 저하를 방지할 수 있다.

또한, 본 발명의 표시 장치는, 상기 주사 신호선 구동 회로, 데이터 신호선 구동 회로, 및 각 화소가, 다결정 실리콘 박막 트랜지스터로 구성되는 스위칭 소자를 포함하고 있다.

상기 구성에 의하면, 다결정 실리콘 박막 트랜지스터는, 단결정 실리콘 박막 트랜지스터에 비해 트랜지스터 성능이 대단히 뒤떨어지고, 문턱치가 높기 때문에, 구동 전압이 높아진다. 그 때문에, 전류 구동형의 레벨 시프터가 필수로 되고, 정상적으로 흐르는 전류가 소비전력의 대부분을 차지하게 되는 큰 문제를 내포하고 있다. 또한, 정상적으로 전류가 흐른다는 것은 트랜지스터의 열화도 일으키게 된다.

따라서, 본 발명의 시프트 레지스터를 탑재한 구동 회로를 사용하는 경우, 문제가 되고 있는 정상적으로 흐르는 전류를 대폭적으로 커트할 수 있기 때문에, 다결정 실리콘 박막 트랜지스터가 내포하고 있는 문제를 대폭적으로 해결할 수 있다.

또한, 다결정 실리콘 박막 트랜지스터는, 실리콘의 결정립경에 편차가 있기 때문에, 동일 유리 기판 상에 형성된 트랜지스터끼리도, 특성에 편차가 있게 된다. 그 경우, 샘플링 펄스끼리의 간격에 편차를 갖게 되고, 샘플링 펄스 간격을 필요한 만큼 얻기 위해서는, 지연 회로의 인버터 수나 그의 사이즈가 매우 커지게 되어 버린다.

이에 대해, 본 발명은, 다결정 실리콘 박막 트랜지스터의 성능의 악화, 즉 회로의 지연을 역으로 이용하여, 샘플링 펄스 간격을 확보하기 때문에, 다결정 실리콘을 사용하여 구성된 구동 회로의 경우, 본 발명의 효과를 최대한으로 발휘할 수 있다.

또한, 본 발명의 표시 장치는, 상기 주사 신호선 구동 회로, 데이터 신호선 구동 회로 및 각 화소가, 600℃ 이하의 프로세스 온도에서 제조된 스위칭 소자를 포함하고 있다.

상기 구성에 의하면, 600℃ 이하의 프로세스에서 제조된다는 것은, 저렴한 유리 기판 상에 트랜지스터를 구성할 수 있다는 것이 되고, 저렴하고 게다가 대량으로 패널을 제조할 수 있고, 상품 가치가 높다고 하는 메리트를 가진다. 그러나, 600℃

이하에서 형성된 트랜지스터는, 단결정 실리콘으로는 되지 않고 다결정 실리콘이 되기 때문에, 특성이 나쁜 트랜지스터가 되어 버린다. 또한, 글라스에는 실리콘 웨이퍼와 다르게, 불순물을 많이 포함하기 때문에, 그 영향에 의해 트랜지스터의 성능이 나빠지게 된다. 따라서, 통상의 구동 회로에서는 소비 전력의 문제를 해결할 수 없다.

한편, 유리 기판 상에 시프트 레지스터가 동작하는 정도의 성능을 가진 트랜지스터를 형성할 수 있는 것이면, 표시 패널에 각종 구동 회로를 실장하기 보다는, 동일 유리 기판 상에 형성하는 쪽이, 접촉 불량이나 패널 모듈로서의 사이즈의 감소, 또한 구동 회로 자체를 화소의 트랜지스터와 동일 프로세스로 형성할 수 있기 때문에, 비용 절감의 메리트가 있다. 단, 실리콘 웨이퍼와 다르게, 유리의 사이즈는 대단히 큰 것으로서(한쪽면, 수십 cm로부터 수백 cm), 프로세스상, 트랜지스터 성능의 악화 또는 변동을 일으킨다. 아울러, 유리 기판이 큰 사이즈이므로 트랜지스터가 구동해야 하는 부하도 대단히 커지게 된다. 이 때문에, 신호의 지연이 커지고, 트랜지스터의 사이즈를 크게 할 필요가 있으며, 허용 지연을 얻기 위해서는 시프트 레지스터의 능력도 높일 필요가 있다. 그러기 위해서는, 결국, 전류 구동형의 레벨 시프터의 능력을 높이는 것으로 되어 버리고, 대단히 큰 정상 전류를 발생시키는 결과가 되어 버린다.

따라서, 정상 전류를 대폭적으로 감소시키는 필요에 따르는 것이지만, 본 발명의 구동 회로를 사용함으로써, 정상 전류 감소라 하는, 그의 효과를 최대한으로 발휘시킬 수 있다.

또한, 입력된 신호를, 클럭 신호에 동기하여, 복수 단의 플립플롭에 순차적으로 전송해 가는 시프트 레지스터에 있어서, 상기 복수 단의 플립플롭을 복수로 분할한 블록을 포함하고, 상기 분할된 각 블록에는, 플립플롭의 구동 전압보다 진폭이 작은 전압으로 이루어지는 클럭 신호를 레벨 시프트하여, 각 플립플롭에 인가하는 레벨 시프터와, 레벨 시프터의 출력과 플립플롭의 출력을 사용하여, 다음 단의 블록의 레벨 시프터를 제어하는 동작 제어 수단이 제공되어 있는 시프트 레지스터도 고려된다.

상기 구성에 의하면, 예컨대, 플립플롭으로서, 클럭 신호에 따라 세트되는 셋 리셋 플립플롭이 사용되는 경우, 해당 블록의 셋 리셋 플립플롭이 세트되고 나서 리셋되기 까지의 기간에, 또한 해당 블록이 시프트 출력을 출력하고 있는 기간 이외에, 해당 블록의 레벨 시프터가 동작 상태로 있을 필요가 없다. 따라서, 각 블록마다 동작 제어 수단을 설치하고, 상기 시프트 레지스터 중 어느 하나의 출력과, 상기 플립플롭의 출력을 사용하여, 다음 단의 레벨 시프터를 제어한다.

따라서, 해당 블록이 시프트 출력을 출력하는 최소한의 기간에만, 해당 블록의 레벨 시프터를 동작시킬 수 있어서, 소비 전력을 절감할 수 있다.

또한, 각 블록에 포함되는 플립플롭이 하나이고, 각 플립플롭마다 레벨 시프터가 설치되어도 좋고, 복수의 플립플롭마다 레벨 시프터가 설치되어도 되는 것은, 말할 필요도 없다. 또한, 각 블록에 입력된 펄스를 다음 단의 블록으로 전송하는지 어떤 지는, 각 블록의 플립플롭의 출력과 각 블록의 출력 상태로서 결정된다.

발명의 효과

본 발명에 따르면 소비 전력이 적은 시프트 레지스터 및 그것을 사용하는 표시 장치를 실현할 수 있다.

또한, 발명의 상세한 설명에서 이루어진 구체적인 실시 태양 또는 실시예는, 어디까지나, 본 발명의 기술 내용을 명백히 하는 것으로서, 그와 같은 구체적인 사례에만 한정하여 협의로 해석되어야 하는 것은 아니고, 본 발명의 정신과 다음에 기재하는 특허 청구의 범위 내에서, 여러 가지로 변경하여 실시될 수 있는 것이다.

(57) 청구의 범위

청구항 1.

입력된 신호를 클럭 신호에 동기하여 순차적으로 전송하기 위해, 상기 클럭 신호의 진폭보다 큰 구동 전압으로 구동하는 플립플롭,

상기 클럭 신호 또는 그의 반전 신호를 레벨 시프트하여, 각 플립플롭에 인가하는 각 레벨 시프터, 및

각 레벨 시프터의 동작 기간을 제어하는 각 동작 제어 수단과의 조합을 복수 단 포함하고,

적어도 각 단의 플립플롭의 출력 신호 또는 그의 반전 신호가 자신의 단 이외의 상기 동작 제어 수단으로 입력됨에 의해, 입력된 신호의 순차적인 전송을 행하고,

상기 각 단에 있어서, 동작 제어 수단은 레벨 시프터의 동작 기간을, 클록 신호의 주기 미만으로 되도록 제어하는 시프트 레지스터.

청구항 2.

제1항에 있어서, 각 레벨 시프터는, 그의 동작중에는, 클록 신호가 인가된 입력 스위칭 소자를 항상 도통시키는, 전류 구동형의 승압부 및/또는 강압부를 구비하고 있는 시프트 레지스터.

청구항 3.

제1항에 있어서, 상기 레벨 시프터는, 그의 정지시에는, 소정 값의 출력 전압을 유지하는 출력 안정 수단을 구비하고 있는 시프트 레지스터.

청구항 4.

제1항에 있어서, 동작 제어 수단은, 동일 단의 레벨 시프터의 출력 신호의 상승을 레벨 시프터의 동작 기간의 개시보다 지연시키는 시프트 레지스터.

청구항 5.

제1항에 있어서, M을 2 이상의 정수라 할 때, 클록 신호에 대신하여 서로 위상이 $1/M$ 주기만큼 어긋난 M종류의 클록 신호원 펄스를 이용하여, 각 클록 신호원 펄스를 복수 단의 플립플롭에, 순차적으로, (M-1)개 간격으로 입력하는 시프트 레지스터.

청구항 6.

제5항에 있어서, 상기 M종류의 클록 신호원 펄스는, 서로 액티브의 기간이 겹치지 않게 되는 위상으로 설정되어 있는 시프트 레지스터.

청구항 7.

제1항에 있어서, 적어도 각 단의 레벨 시프터의 출력 신호 또는 그의 반전 신호를 외부로 출력하는 시프트 레지스터.

청구항 8.

제1항에 있어서, 적어도 각 단의 플립플롭의 출력 신호 또는 그의 반전 신호를 외부로 출력하는 시프트 레지스터.

청구항 9.

주사 신호선 구동 회로 및 데이터 신호선 구동 회로에서, 서로 교차하는 복수의 주사 신호선 및 데이터 신호선에 의해 구획되어 형성되는 각 화소 영역에, 주사 신호선 및 데이터 신호선을 통해 영상 신호를 기입감으로써 화상 표시를 행하는, 주사 신호선 구동 회로 및 데이터 신호선 구동 회로, 및

주사 신호선 구동 회로 및 데이터 신호선 구동 회로 중 적어도 하나는, 입력된 신호를, 클럭 신호에 동기하여, 복수 단의 플립플롭에 순차적으로 전송해 가는 시프트 레지스터를 포함하고,

상기 시프트 레지스터는,

입력된 신호를 클럭 신호에 동기하여 순차적으로 전송하기 위해, 클럭 신호의 진폭보다 큰 구동 전압으로 구동하는 복수 단의 플립플롭,

클럭 신호를 레벨 시프트하여, 각 플립플롭에 인가하는 각 레벨 시프터, 및

각 레벨 시프터의 동작 기간을 제어하는 각 동작 제어 수단을 포함하고,

레벨 시프터 각각은, 각 동작 제어 수단, 및 각 레벨 시프터의 출력 신호 또는 그의 반전 신호가 입력 신호로 되는 각 플립플롭으로 단을 구성하고,

적어도 각 단의 플립플롭의 출력 신호 또는 그의 반전 신호가 자신의 단 이외의 동작 제어 수단으로 입력됨에 의해, 입력된 신호의 순차적인 전송을 행하고,

각 단에 있어서, 동작 제어 수단은 레벨 시프터의 동작 기간을, 클럭 신호의 주기 미만으로 되도록 제어하는 표시 장치.

청구항 10.

제9항에 있어서, 주사 신호선 구동 회로 및 데이터 신호선 구동 회로 중 적어도 하나는, 화소 영역과 동일 기관 상에 형성되는 표시 장치.

청구항 11.

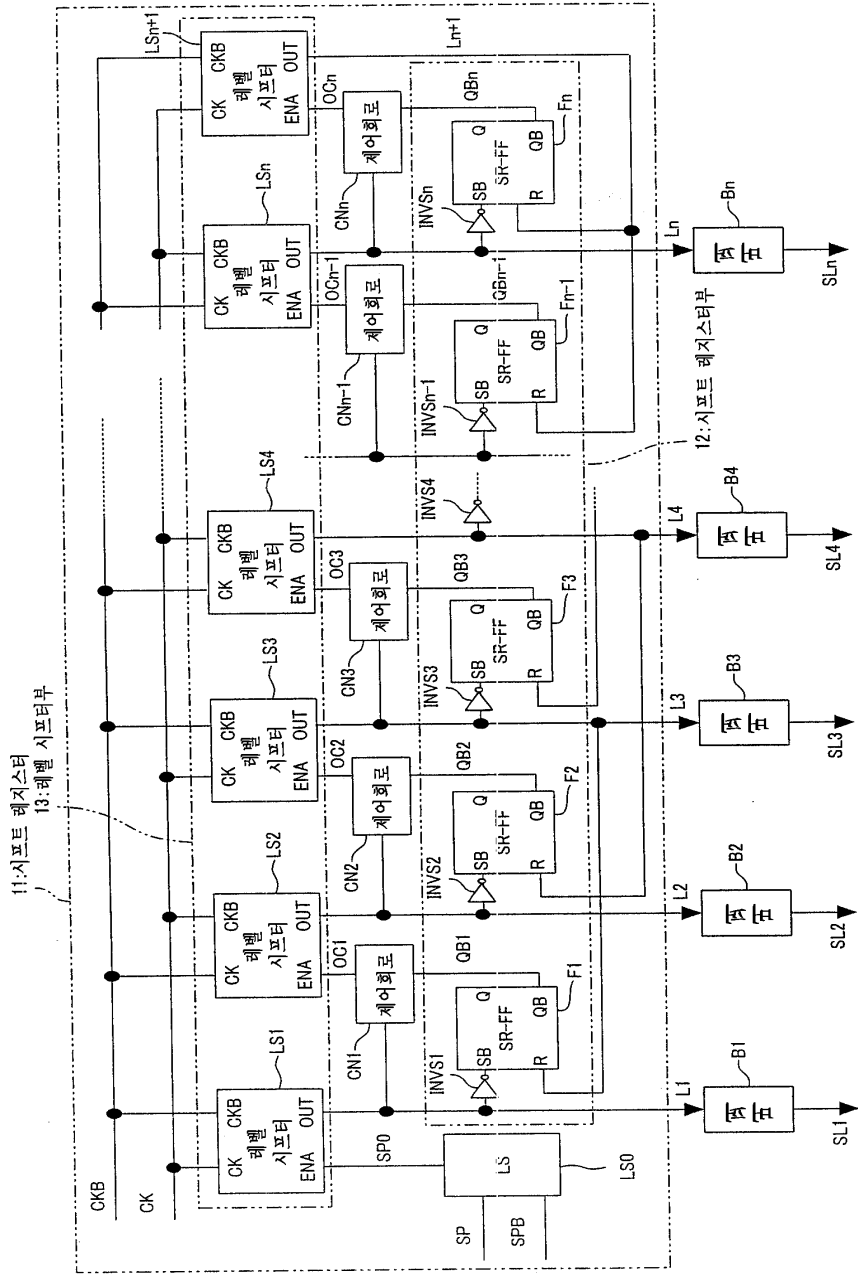
제9항에 있어서, 주사 신호선 구동 회로, 데이터 신호선 구동 회로, 및 각 화소가, 다결정 실리콘 박막 트랜지스터로 구성되는 스위칭 소자를 포함하는 표시 장치.

청구항 12.

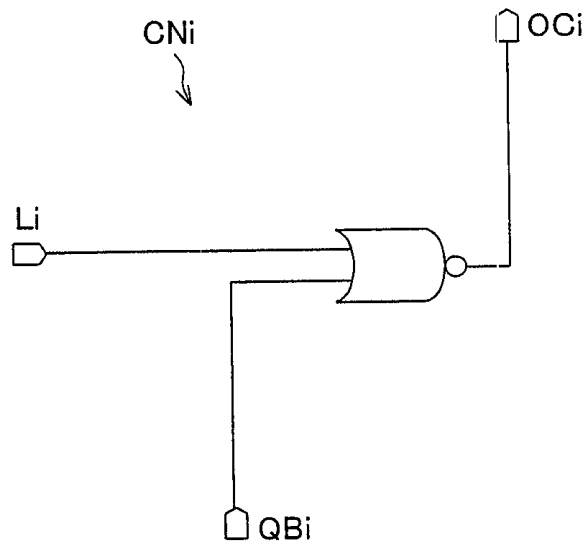
제11항에 있어서, 주사 신호선 구동 회로, 데이터 신호선 구동 회로 및 각 화소가, 600℃ 이하의 프로세스 온도에서 제조된 스위칭 소자를 포함하는 표시 장치.

도면

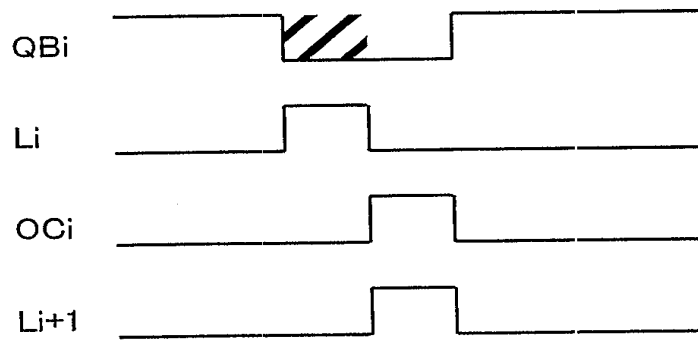
도면1



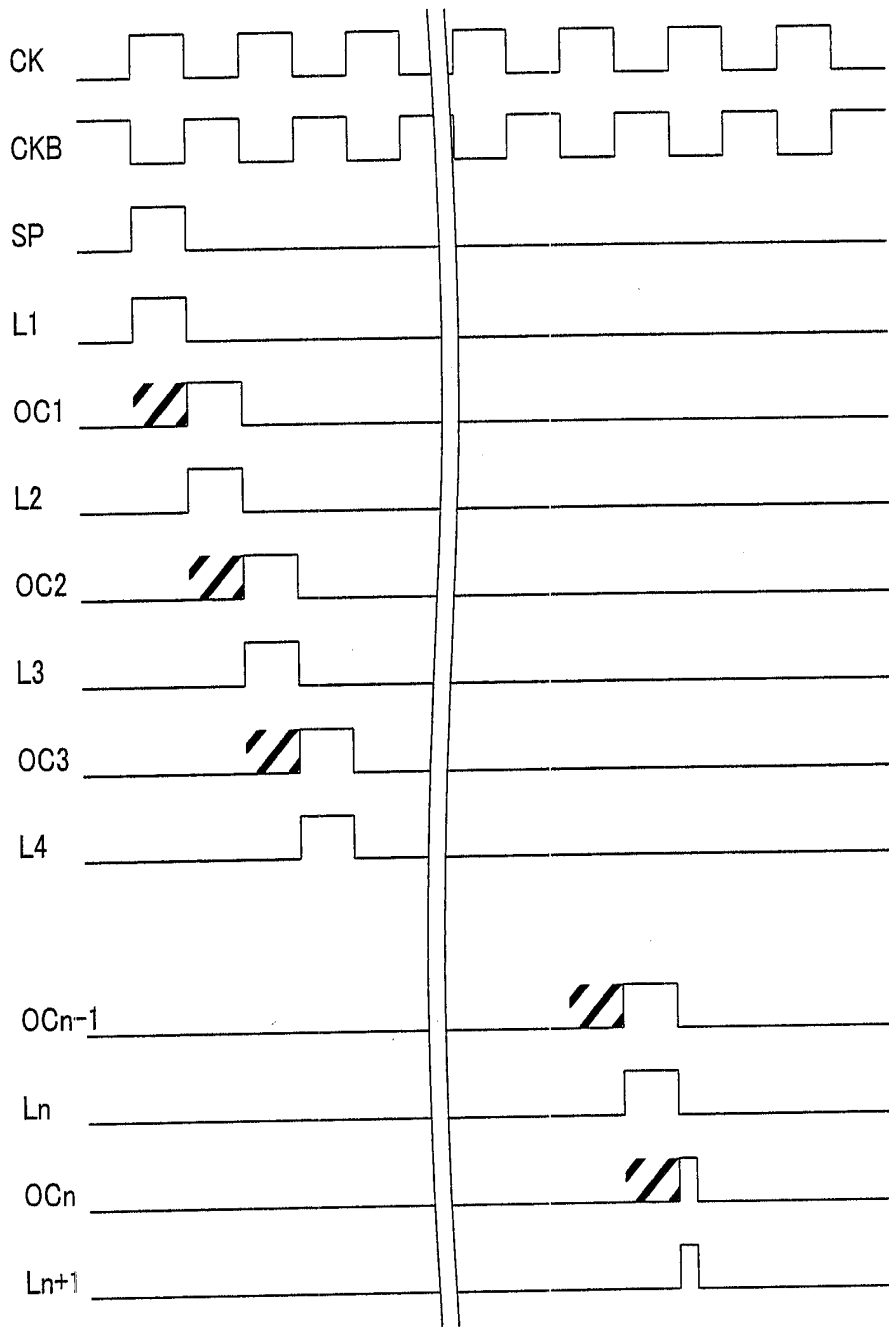
도면2



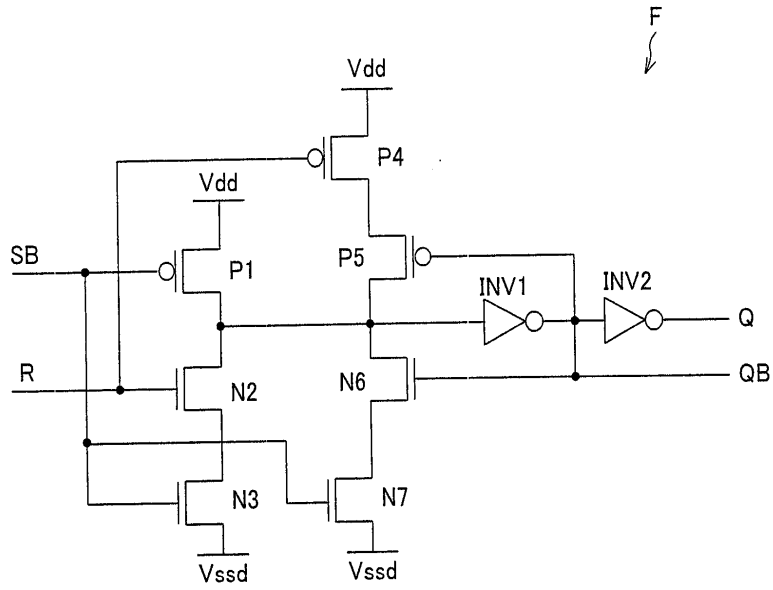
도면3



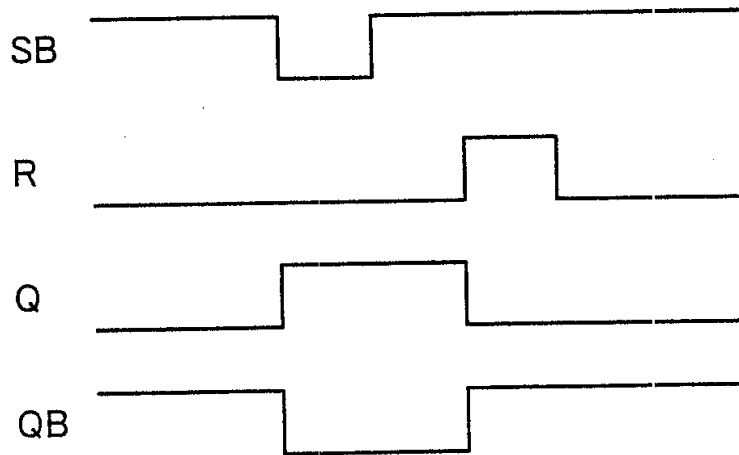
도면4



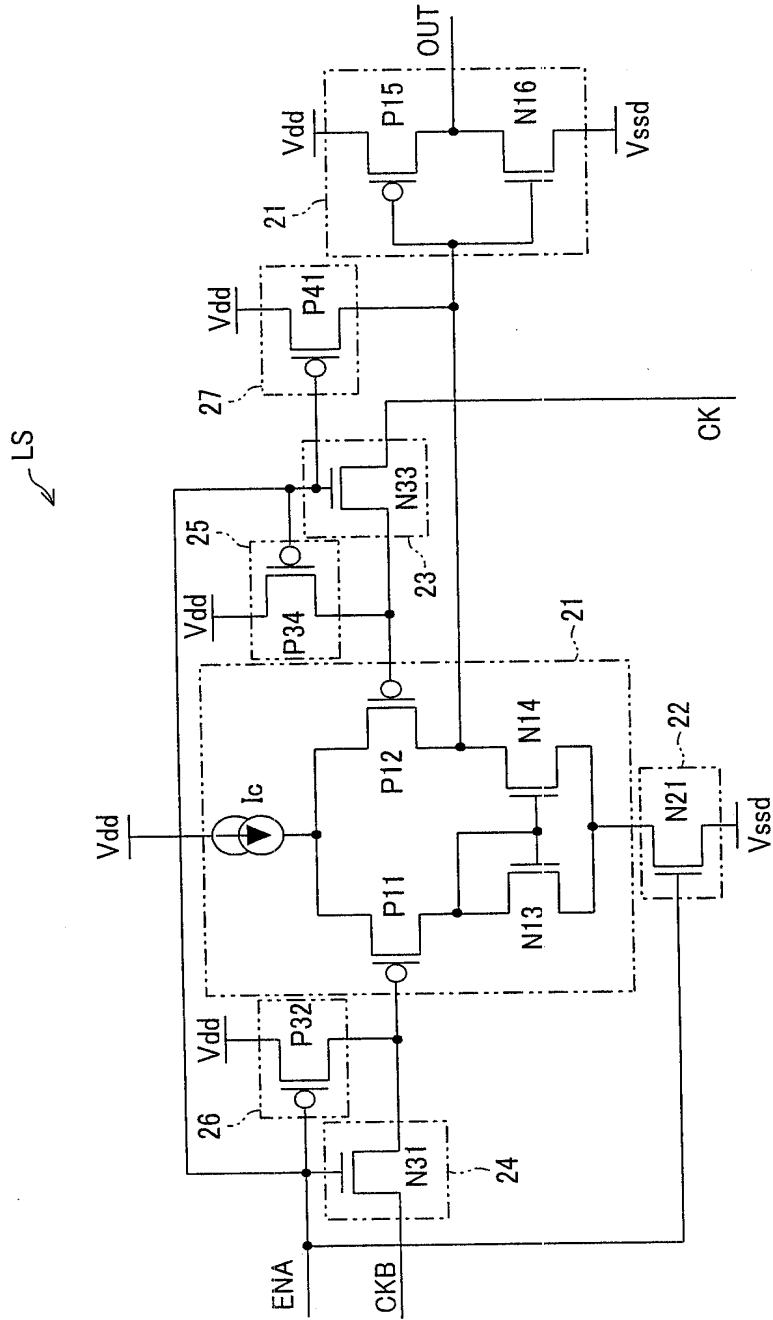
도면5



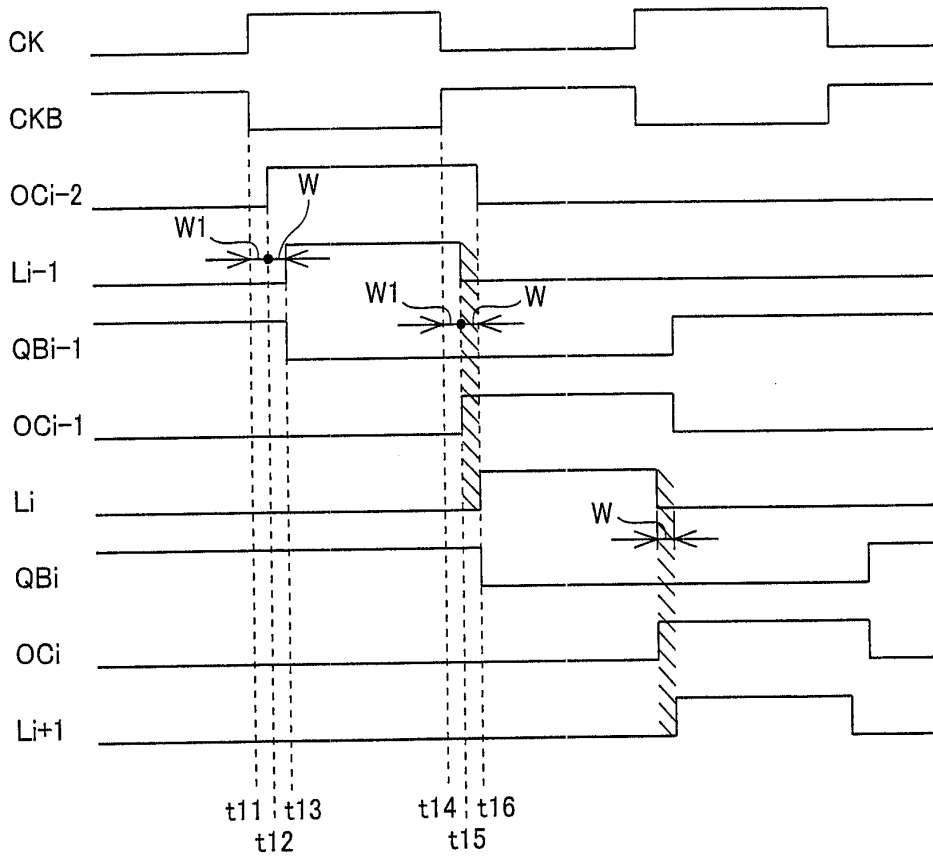
도면6



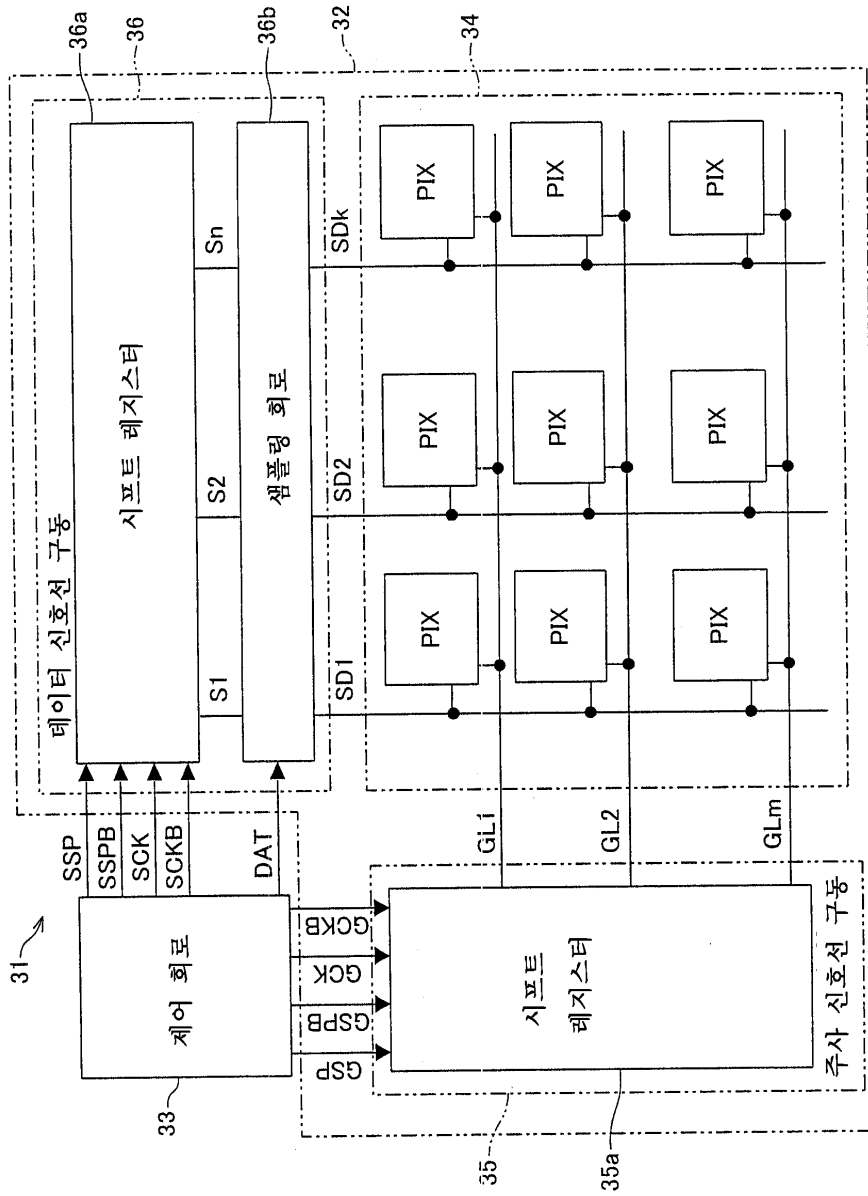
도면7



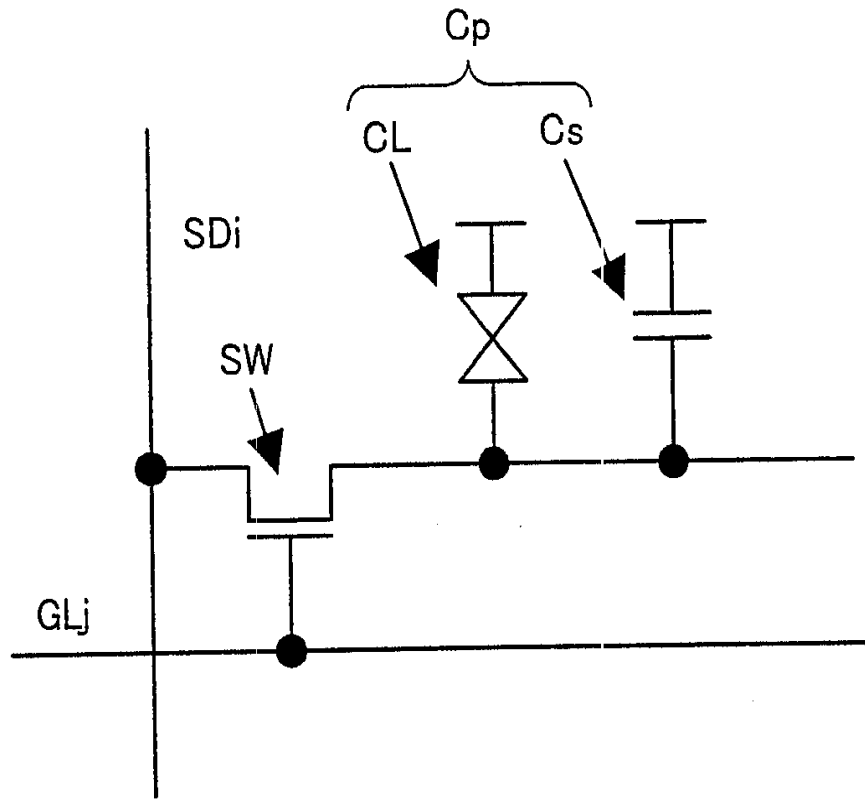
도면8



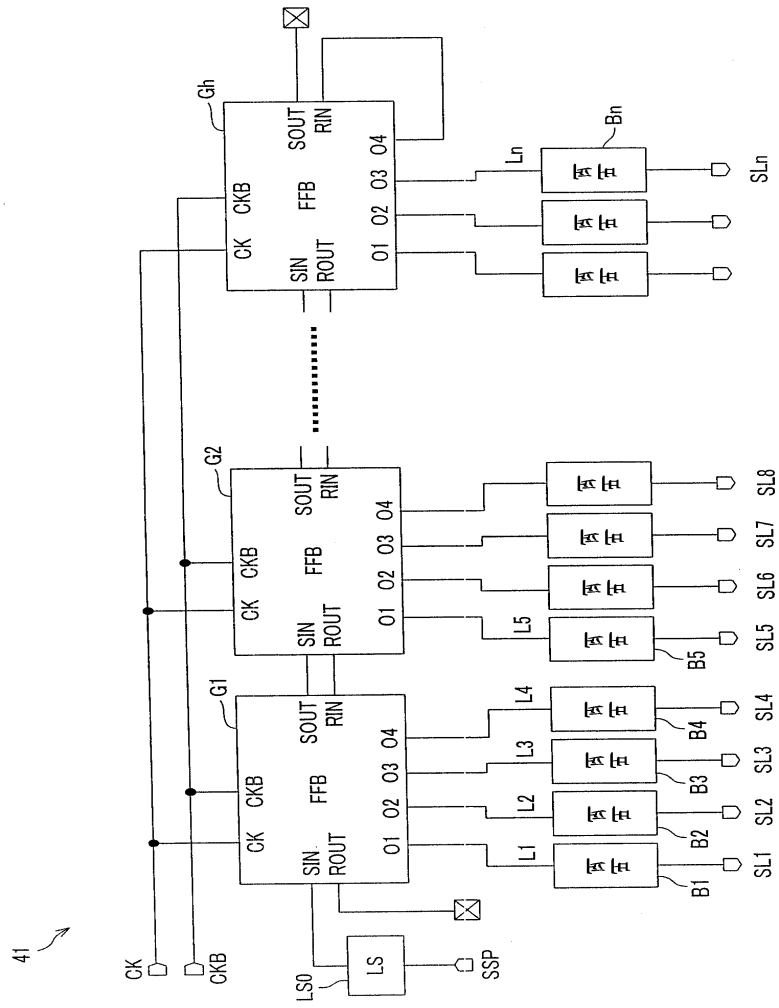
도면10



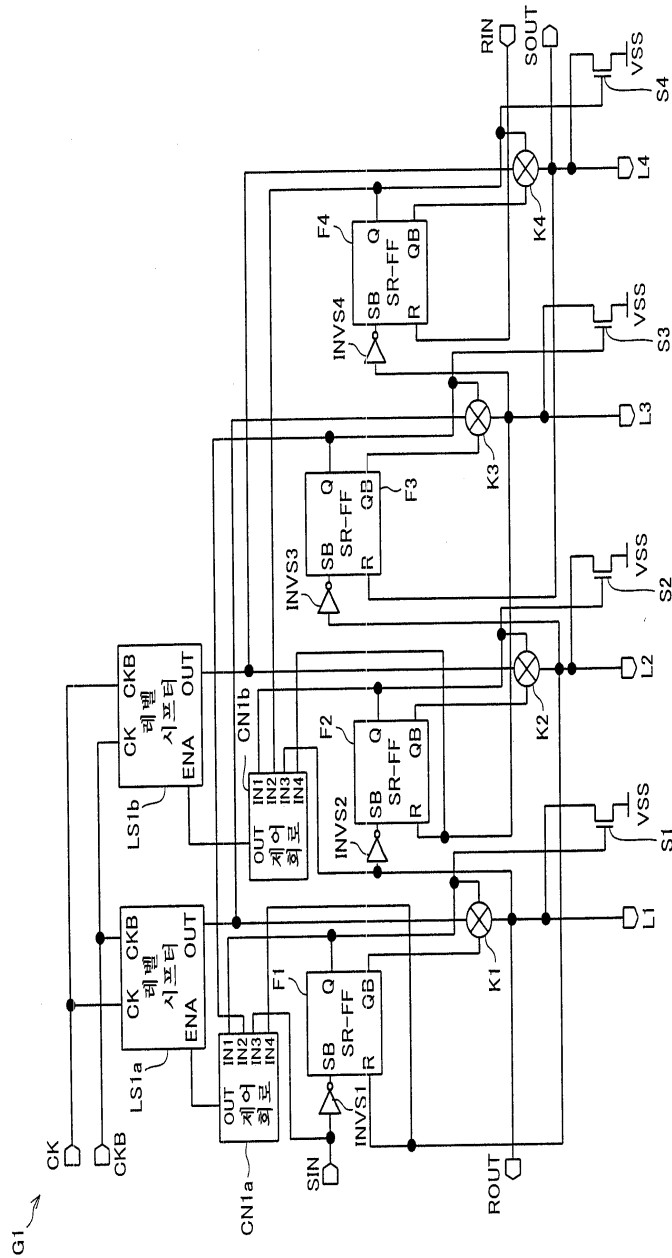
도면11



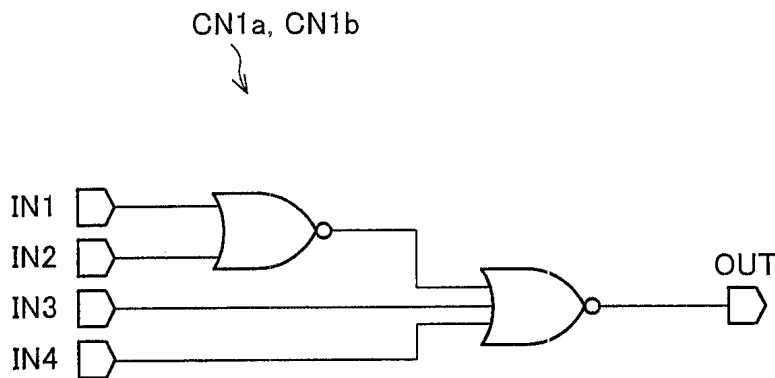
도면12



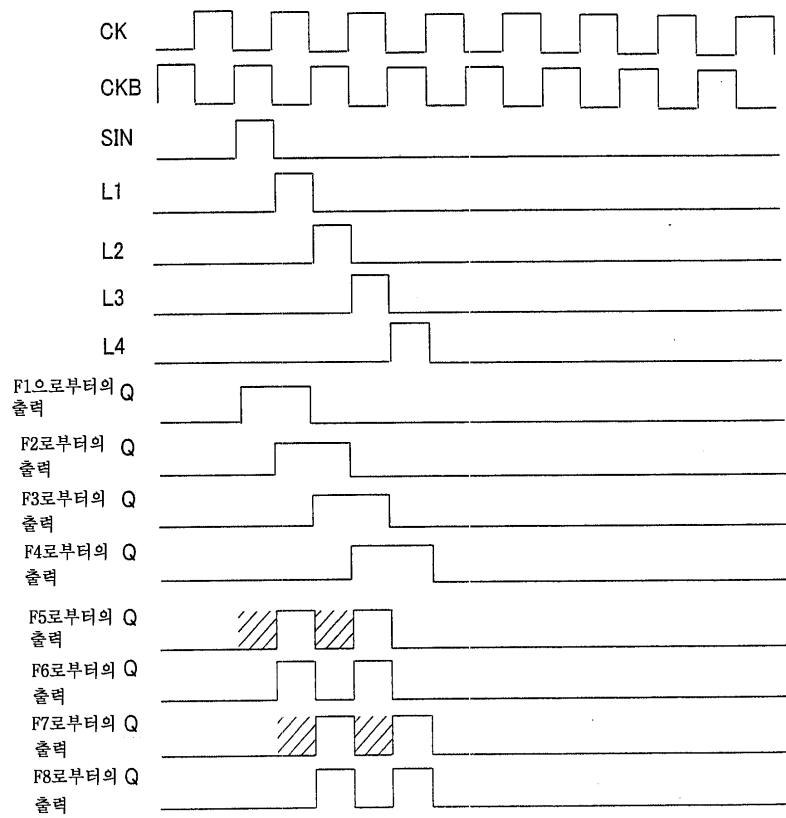
도면13



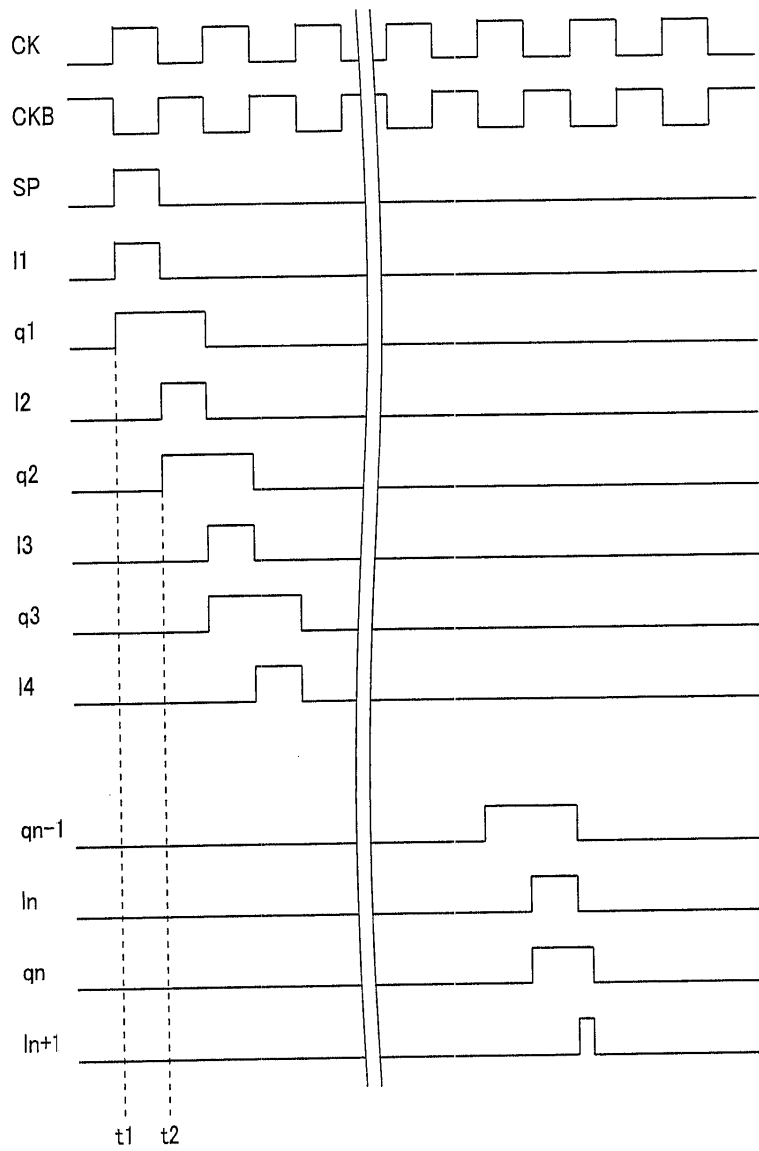
도면14



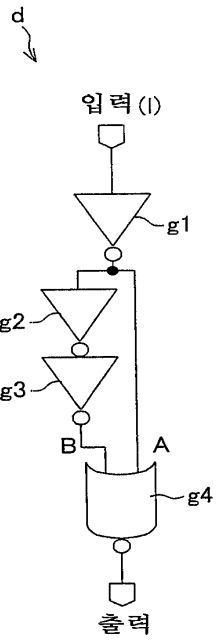
도면15



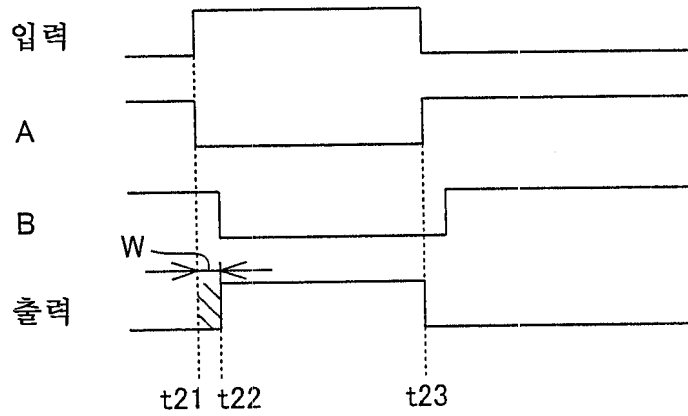
도면19



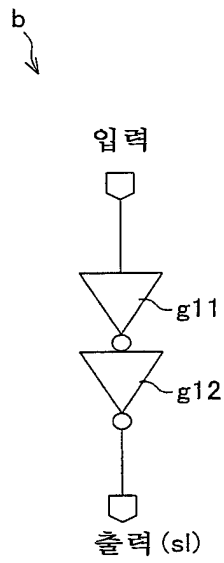
도면20



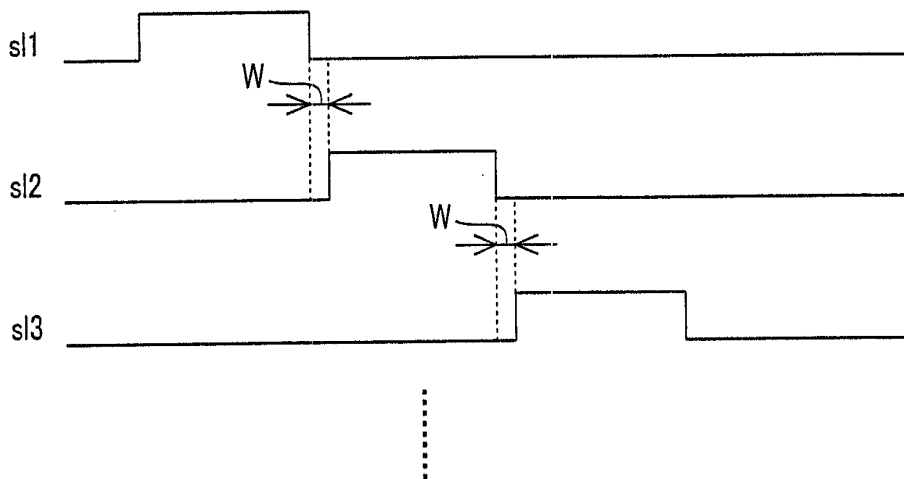
도면21



도면22

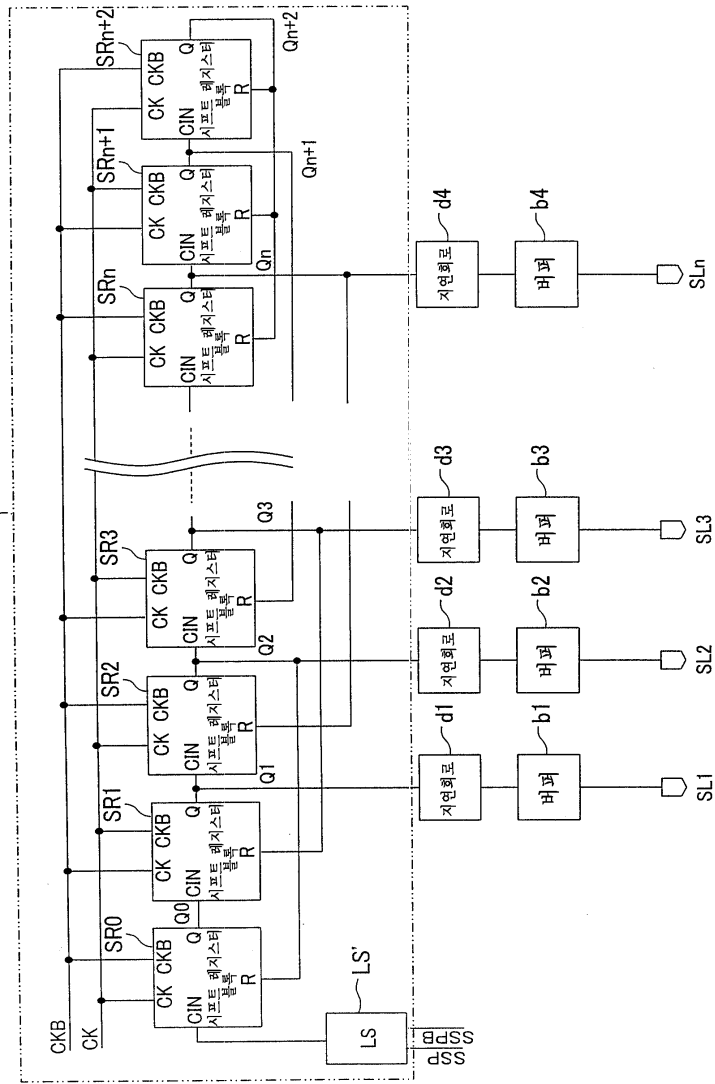


도면23

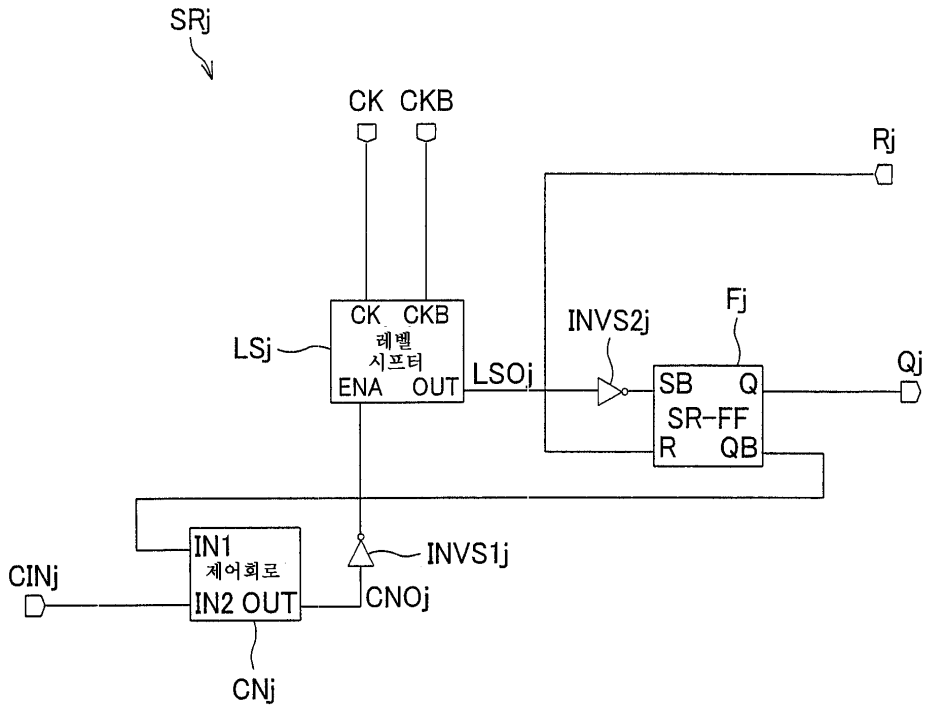


도면24

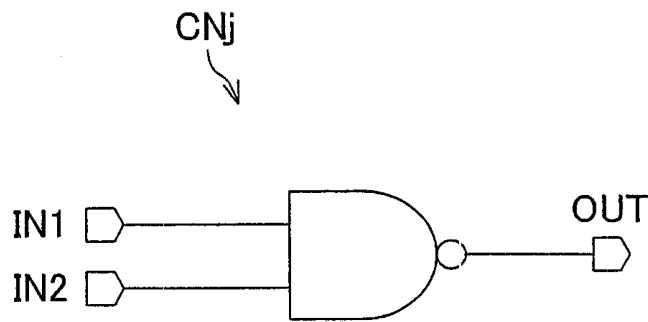
51: 시프트 레지스터



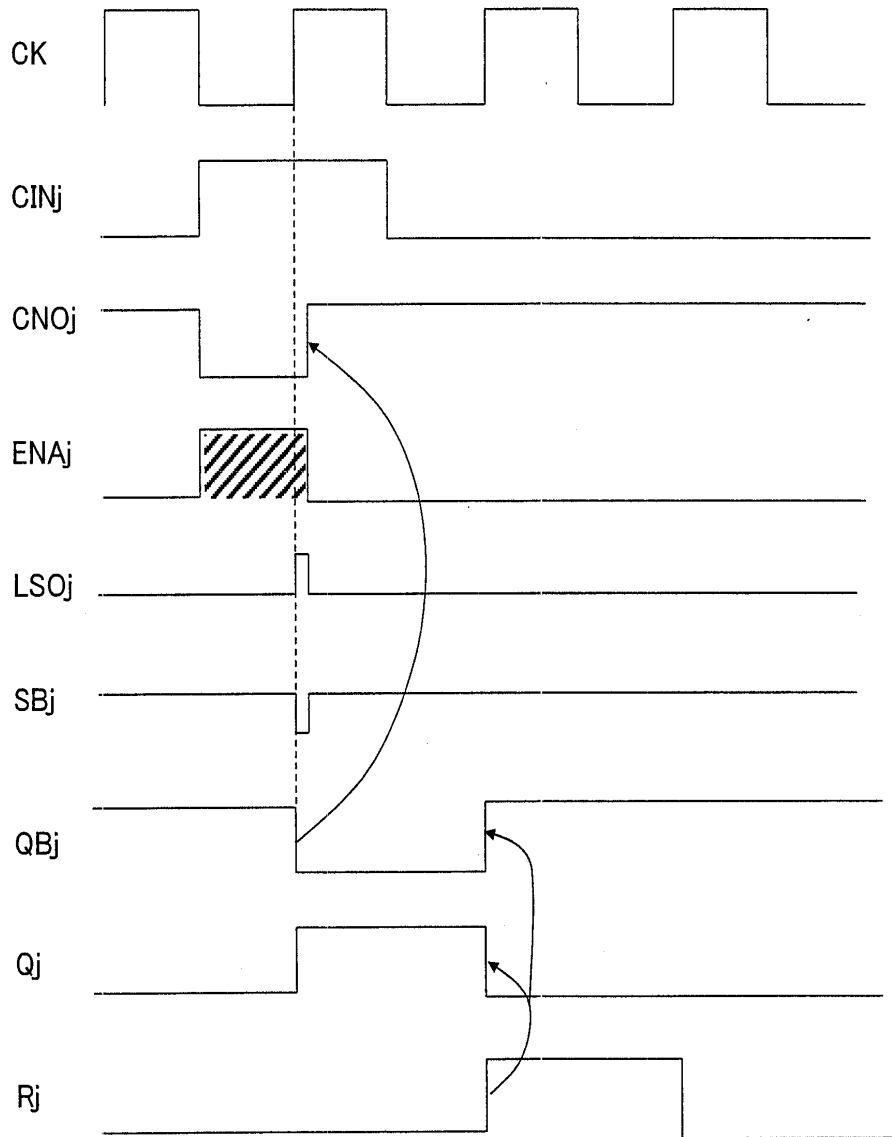
도면25



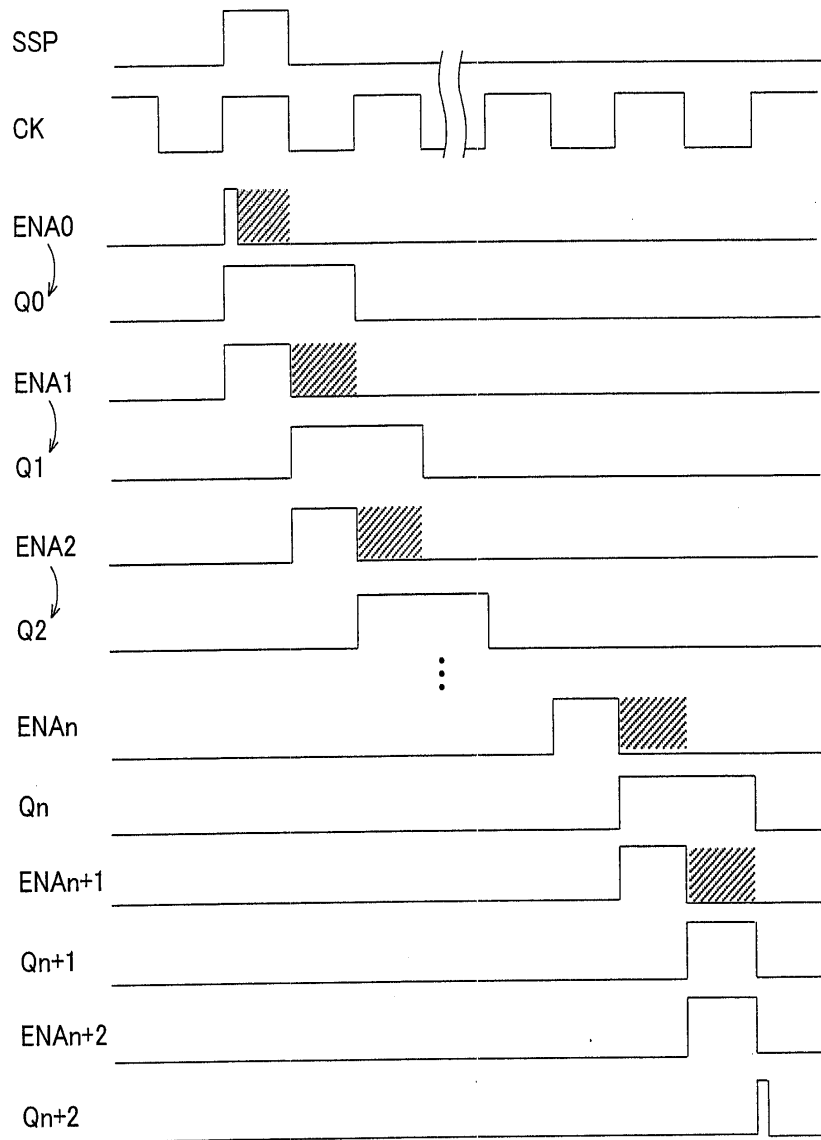
도면26



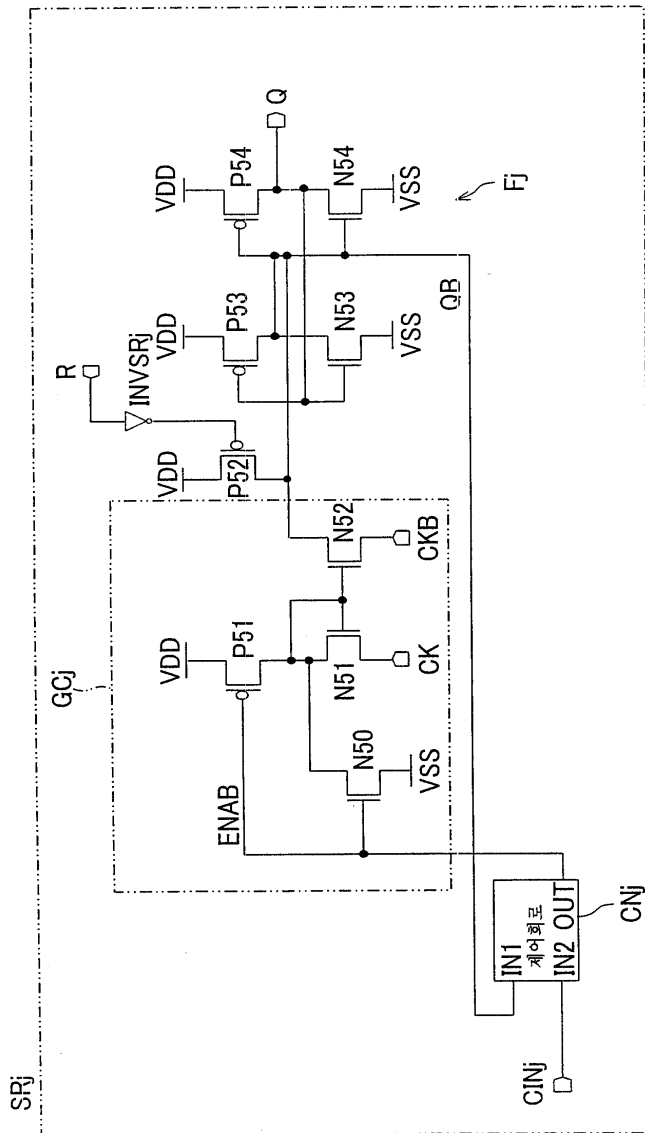
도면27



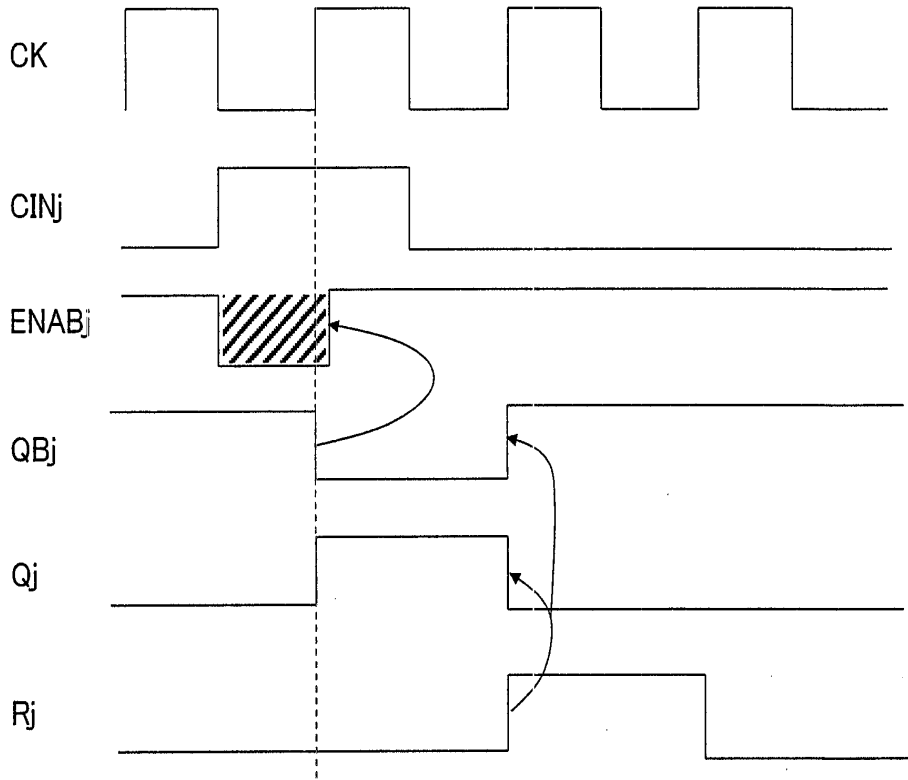
도면28



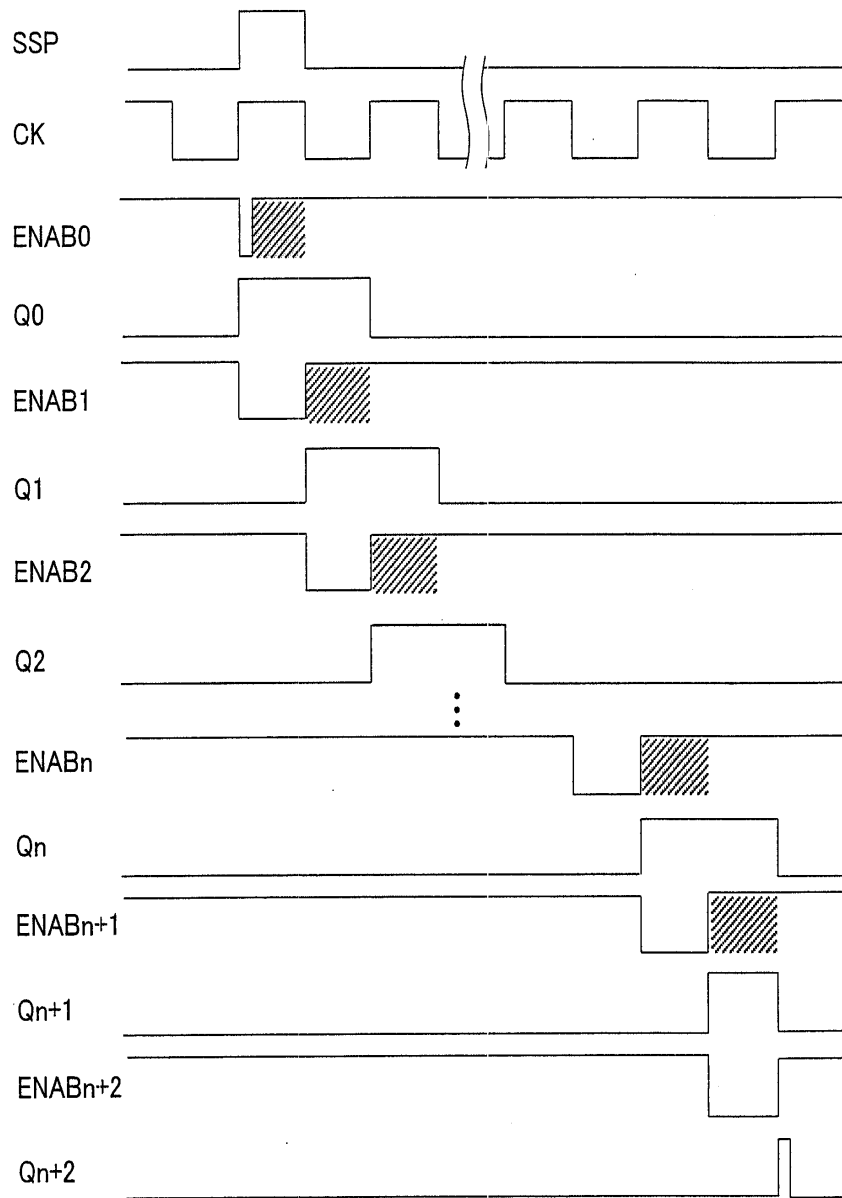
도면29



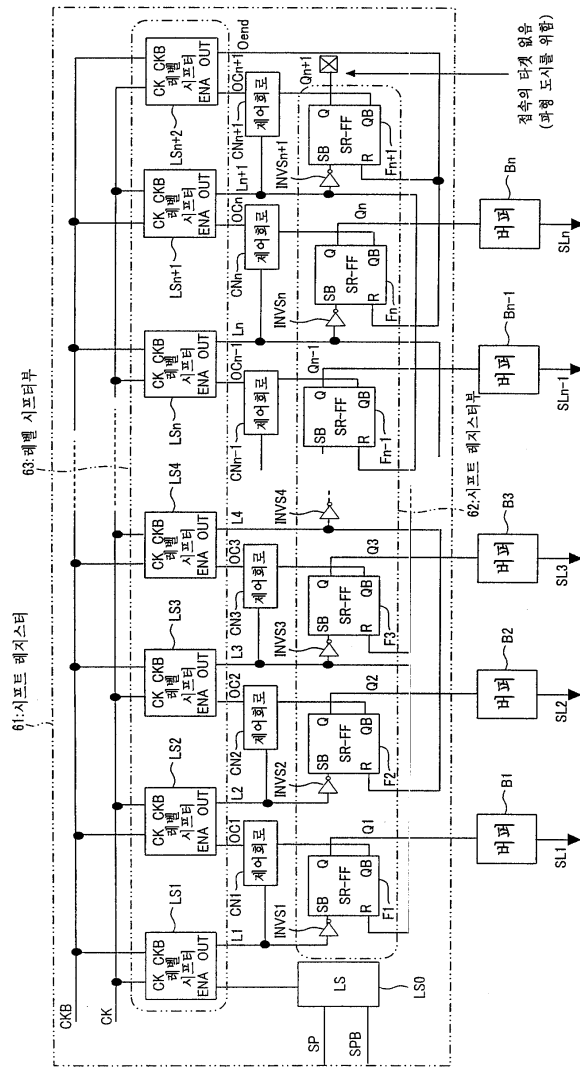
도면30



도면31

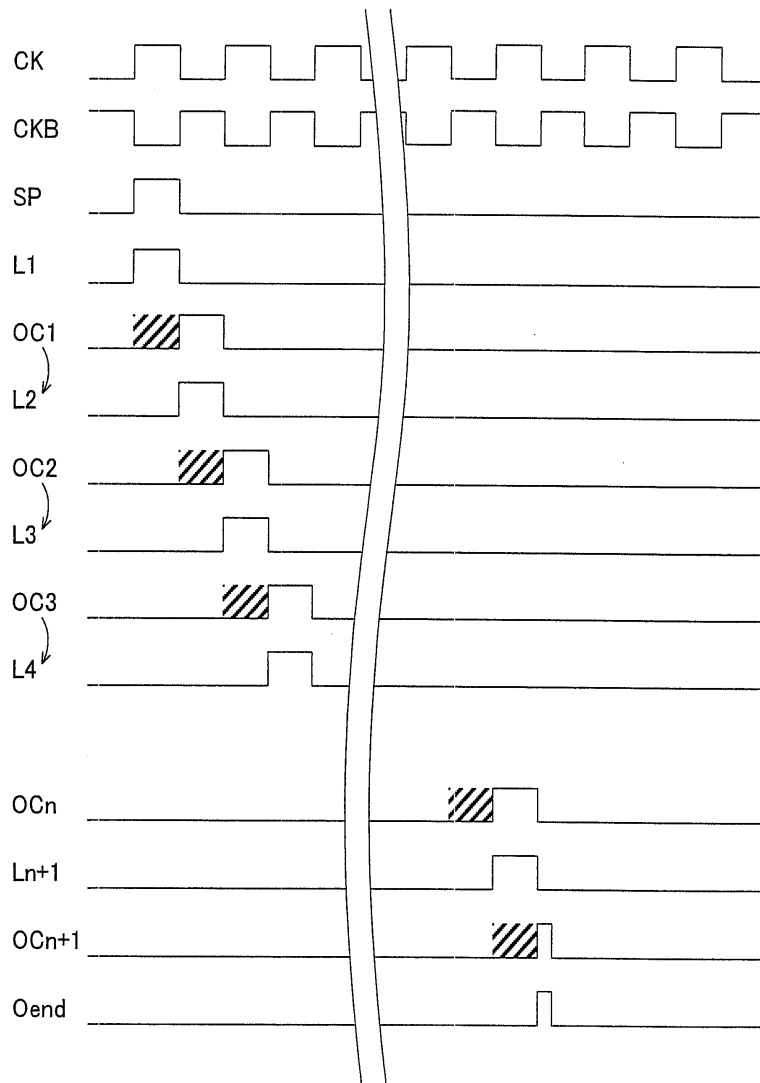


도면32



집속의 타겟 없음
(부형 도서를 위한)

도면33



도면34

