



(12)发明专利申请

(10)申请公布号 CN 110190053 A

(43)申请公布日 2019.08.30

(21)申请号 201810767250.6

(22)申请日 2018.07.13

(30)优先权数据

2018-029695 2018.02.22 JP

(71)申请人 株式会社东芝

地址 日本东京都

申请人 东芝电子元件及存储装置株式会社

(72)发明人 下条亮平

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 房永峰

(51)Int.Cl.

H01L 27/07(2006.01)

H01L 27/02(2006.01)

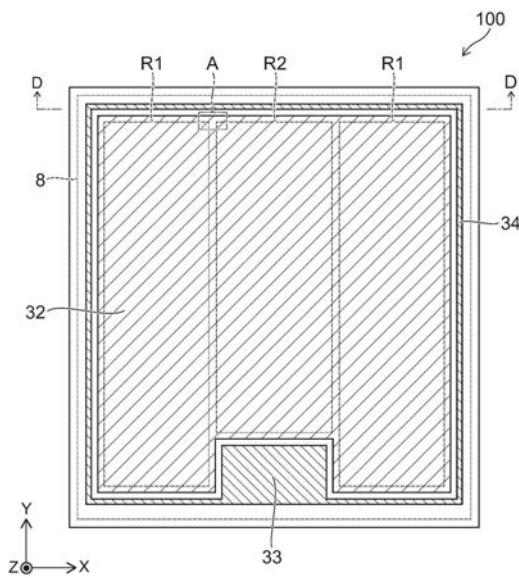
权利要求书4页 说明书8页 附图9页

(54)发明名称

半导体装置

(57)摘要

本发明的半导体装置具备：第一电极；第一导电型的第一半导体区域；第二导电型的第二半导体区域；第二导电型的第三半导体区域；第一导电型的第四半导体区域；栅极电极；第一导电型的第五半导体区域；第二导电型的第六半导体区域；第二导电型的第七半导体区域；第二导电型的第八半导体区域；第二电极。第一半导体区域具有：第一部分、第二部分、第三部分。第二半导体区域设于第一部分的下方。第三半导体区域设于第一部分的上方。第四半导体区域设于第三半导体区域的上方。第五半导体区域设于第二部分的下方。第六半导体区域设于第二部分的上方。第七半导体区域设于第三部分的上方。第八半导体区域的第二区域的下端位于第一区域的下端的上方。



1.一种半导体装置,具备:

第一电极;

第一导电型的第一半导体区域,设于上述第一电极的上方,上述第一半导体区域具有第一部分、第二部分、以及在第一方向上位于上述第一部分与上述第二部分之间的第三部分;

第二导电型的第二半导体区域,设于上述第一电极与上述第一部分之间;

第二导电型的第三半导体区域,设于上述第一部分的上方,从上述第二半导体区域朝向上述第三半导体区域的第二方向垂直于上述第一方向;

第一导电型的第四半导体区域,设于上述第三半导体区域的上方;

栅极电极,在上述第一方向上,隔着栅极绝缘层而与上述第一半导体区域的一部分、上述第三半导体区域、以及上述第四半导体区域的至少一部分对置;

第一导电型的第五半导体区域,设于上述第一电极与上述第二部分之间;

第二导电型的第六半导体区域,设于上述第二部分的上方;

第二导电型的第七半导体区域,设于上述第三部分的上方;

第二导电型的第八半导体区域,包围上述第三半导体区域、上述第六半导体区域以及上述第七半导体区域,上述第八半导体区域具有:第一区域,上述第一区域的一部分在垂直于上述第一方向以及上述第二方向的第三方向上与上述第三半导体区域并排;以及第二区域,上述第二区域的一部分在上述第三方向上与上述第七半导体区域并排,上述第二区域的下端位于比上述第一区域的下端更上方的位置;以及

第二电极,设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域的上方,上述第二电极与上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域电连接。

2.根据权利要求1所述的半导体装置,其中,

上述第二区域的第二导电型的杂质浓度比上述第一区域的第二导电型的杂质浓度低。

3.根据权利要求1所述的半导体装置,其中,

具备多个上述栅极电极,

上述多个栅极电极中的一个栅极电极在上述第一方向上位于上述第七半导体区域与上述多个栅极电极中的另一个栅极电极之间,

上述多个栅极电极中的上述一个栅极电极的下端位于比上述多个栅极电极中的上述另一个栅极电极的下端更上方的位置。

4.根据权利要求3所述的半导体装置,还具备:

第一导电部,在上述第一方向上,隔着第一绝缘层而与上述第七半导体区域对置,

上述第一导电部与上述第二电极电连接。

5.根据权利要求4所述的半导体装置,其中,

上述第一导电部的下端位于比上述多个栅极电极中的各栅极电极的下端更上方的位置。

6.根据权利要求4所述的半导体装置,其中,

上述第一导电部与上述第一导电部所相邻的上述栅极电极之间的上述第一方向上的距离比相邻的上述栅极电极彼此之间的上述第一方向上的距离短。

7. 根据权利要求4所述的半导体装置，其中，

相邻的上述栅极电极彼此之间的上述第一方向上的距离越接近上述第一导电部越短。

8. 根据权利要求1所述的半导体装置，具备：

多个上述第三半导体区域；以及

第一导电型的多个第九半导体区域，

上述多个第九半导体区域分别设于上述多个第三半导体区域与上述第一部分之间，

上述多个第九半导体区域中的各第九半导体区域的第一导电型的杂质浓度比上述第一半导体区域的第一导电型的杂质浓度高，

上述多个第九半导体区域中的一个第九半导体区域在上述第一方向上的位置位于上述第七半导体区域在上述第一方向上的位置与上述多个第九半导体区域中的另一个第九半导体区域在上述第一方向上的位置之间，

上述多个第九半导体区域中的上述一个第九半导体区域的第一导电型的杂质浓度比上述多个第九半导体区域中的上述另一个第九半导体区域的第一导电型的杂质浓度低。

9. 根据权利要求1所述的半导体装置，其中，

上述第八半导体区域还具有第三区域，

上述第二区域在上述第一方向上位于上述第一区域与上述第三区域之间，

上述第三区域的一部分在上述第三方向上与上述第六半导体区域并排，

上述第二区域的下端位于比上述第三区域的下端更上方的位置。

10. 根据权利要求1所述的半导体装置，还具备：

第一导电部，在上述第一方向上，隔着第一绝缘层而与上述第七半导体区域对置，

上述第一导电部与上述第二电极电连接。

11. 一种半导体装置，具备：

第一电极；

第一导电型的第一半导体区域，设于上述第一电极的上方，上述第一半导体区域具有第一部分、第二部分、以及在第一方向上位于上述第一部分与上述第二部分之间的第三部分；

第二导电型的第二半导体区域，设于上述第一电极与上述第一部分之间；

第二导电型的第三半导体区域，设于上述第一部分的上方，从上述第二半导体区域朝向上述第三半导体区域的第二方向垂直于上述第一方向；

第一导电型的第四半导体区域，设于上述第三半导体区域的上方；

栅极电极，在上述第一方向上，隔着栅极绝缘层而与上述第一半导体区域的一部分、上述第三半导体区域、以及上述第四半导体区域的至少一部分对置；

第一导电型的第五半导体区域，设于上述第一电极与上述第二部分之间；

第二导电型的第六半导体区域，设于上述第二部分的上方；

第二导电型的第七半导体区域，设于上述第三部分的上方；

第二导电型的第八半导体区域，包围上述第三半导体区域、上述第六半导体区域以及上述第七半导体区域，上述第八半导体区域具有：第一区域，上述第一区域的一部分在垂直于上述第一方向以及上述第二方向的第三方向上与上述第三半导体区域并排；以及第二区域，上述第二区域的一部分在上述第三方向上与上述第七半导体区域并排，上述第一区域

的第二导电型的杂质浓度比上述第二区域的第二导电型的杂质浓度高；以及

第二电极，设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域的上方，上述第二电极与上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域电连接。

12. 根据权利要求11所述的半导体装置，还具备：

第一导电部，在上述第一方向上，隔着第一绝缘层而与上述第七半导体区域对置，上述第一导电部与上述第二电极电连接。

13. 根据权利要求12所述的半导体装置，其中，

具备多个上述栅极电极，

上述第一导电部与上述第一导电部所相邻的上述栅极电极之间的上述第一方向上的距离比相邻的上述栅极电极彼此之间的上述第一方向上的距离短。

14. 根据权利要求12所述的半导体装置，其中，

具备多个上述栅极电极，

相邻的上述栅极电极彼此之间的上述第一方向上的距离越接近上述第一导电部越短。

15. 根据权利要求11所述的半导体装置，其中，

上述第八半导体区域还具有第三区域，

上述第二区域在上述第一方向上位于上述第一区域与上述第三区域之间，

上述第三区域的一部分在上述第三方向上与上述第六半导体区域并排，

上述第三区域的第二导电型的杂质浓度比上述第二区域的第二导电型的杂质浓度高。

16. 一种半导体装置，具备：

第一电极；

第一导电型的第一半导体区域，设于上述第一电极的上方，上述第一半导体区域具有第一部分、第二部分、以及在第一方向上位于上述第一部分与上述第二部分之间的第三部分；

第二导电型的第二半导体区域，设于上述第一电极与上述第一部分之间；

第二导电型的多个第三半导体区域，设于上述第一部分的上方，从上述第二半导体区域朝向上述多个第三半导体区域的第二方向垂直于上述第一方向；

第一导电型的第四半导体区域，设于上述多个第三半导体区域中的一个第三半导体区域的上方；

栅极电极，在上述第一方向上，隔着栅极绝缘层而与上述第一半导体区域的一部分、上述多个第三半导体区域中的上述一个第三半导体区域、以及上述第四半导体区域的至少一部分对置；

第一导电型的第五半导体区域，设于上述第一电极与上述第二部分之间；

第二导电型的第六半导体区域，设于上述第二部分的上方；

第二导电型的第七半导体区域，设于上述第三部分的上方；

第二导电型的第八半导体区域，包围上述多个第三半导体区域、上述第六半导体区域以及上述第七半导体区域；

多个第九半导体区域，上述多个第九半导体区域分别设于上述多个第三半导体区域与上述第一部分之间，上述多个第九半导体区域中的各第九半导体区域的第一导电型的杂质

浓度比上述第一半导体区域的第一导电型的杂质浓度高,上述多个第九半导体区域中的一个第九半导体区域在上述第一方向上的位置位于上述第七半导体区域在上述第一方向上的位置与上述多个第九半导体区域中的另一个第九半导体区域在上述第一方向上的位置之间,上述多个第九半导体区域中的上述一个第九半导体区域的第一导电型的杂质浓度比上述多个第九半导体区域中的上述另一个第九半导体区域的第一导电型的杂质浓度低;以及

第二电极,设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域的上方,上述第二电极与上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域电连接。

17. 根据权利要求16所述的半导体装置,还具备:

第一导电部,在上述第一方向上,隔着第一绝缘层而与上述第七半导体区域对置,
上述第一导电部与上述第二电极电连接。

18. 根据权利要求17所述的半导体装置,其中,

具备多个上述栅极电极,

上述第一导电部与上述第一导电部所相邻的上述栅极电极之间的上述第一方向上的距离比相邻的上述栅极电极彼此之间的上述第一方向上的距离短。

19. 根据权利要求17所述的半导体装置,其中,

具备多个上述栅极电极,

相邻的上述栅极电极彼此之间的上述第一方向上的距离越接近上述第一导电部越短。

半导体装置

[0001] 关联申请

[0002] 本申请享受以日本专利申请2018-29695号(申请日:2018年2月22日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的所有内容。

技术领域

[0003] 本发明的实施方式一般涉及半导体装置。

背景技术

[0004] 存在具备作为绝缘栅型双极晶体管(IGBT: Insulated Gate Bipolar Transistor)的功能和作为续流二极管(FWD: Free Wheel Diode)的功能的逆导型(RC: Reverse Conducting) IGBT(RC-IGBT)。在该半导体装置中,希望不易产生破坏。

发明内容

[0005] 本发明的实施方式提供不易产生破坏的半导体装置。

[0006] 根据一个实施方式,半导体装置具备:第一电极;第一导电型的第一半导体区域;第二导电型的第二半导体区域;第二导电型的第三半导体区域;第一导电型的第四半导体区域;栅极电极;第一导电型的第五半导体区域;第二导电型的第六半导体区域;第二导电型的第七半导体区域;第二导电型的第八半导体区域;以及,第二电极。上述第一半导体区域设于上述第一电极的上方,并与上述第一电极电连接。上述第一半导体区域具有第一部分、第二部分、以及在第一方向上位于上述第一部分与上述第二部分之间的第三部分。上述第二半导体区域设于上述第一部分的下方。上述第三半导体区域设于上述第一部分的上方。从上述第二半导体区域朝向上述第三半导体区域的第二方向垂直于上述第一方向。上述第四半导体区域设于上述第三半导体区域的上方。上述栅极电极在上述第一方向上,隔着栅极绝缘层而与上述第一半导体区域的一部分、上述第三半导体区域、以及上述第四半导体区域的至少一部分对置。上述第五半导体区域设于上述第二部分的下方。上述第六半导体区域设于上述第二部分的上方。上述第七半导体区域设于上述第三部分的上方。上述第八半导体区域包围上述第三半导体区域、上述第六半导体区域以及上述第七半导体区域。上述第八半导体区域具有:第一区域,在垂直于上述第一方向以及上述第二方向的第三方向,一部分与上述第三半导体区域并排;以及第二区域,在上述第三方向上,一部分与上述第七半导体区域并排。上述第二区域的下端位于比上述第一区域的下端更上方的位置。上述第二电极设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域的上方。上述第二电极与上述第四半导体区域、上述第六半导体区域、上述第七半导体区域以及上述第八半导体区域电连接。

附图说明

[0007] 图1为表示第一实施方式的半导体装置的俯视图。

- [0008] 图2为对图1的部分A进行放大后的立体剖面图。
- [0009] 图3 (a) ~图3 (c) 为图2的A—A' 剖面图、B—B' 剖面图、以及C—C' 剖面图。
- [0010] 图4 (a) 、图4 (b) 为图1的D—D' 剖面图。
- [0011] 图5 (a) ~图5 (c) 为表示第一实施方式的变形例的半导体装置的一部分的剖面图。
- [0012] 图6 (a) 、图6 (b) 为表示第一实施方式的变形例的半导体装置的特性的曲线图。
- [0013] 图7为表示第二实施方式的半导体装置的立体剖面图。
- [0014] 图8为表示第三实施方式的半导体装置的立体剖面图。
- [0015] 图9为表示第四实施方式的半导体装置的立体剖面图。

具体实施方式

- [0016] 以下,参照附图,对本发明的各实施方式加以说明。
- [0017] 附图为示意性或者概念性的图,各部分的厚度与宽度的关系、部分间的大小的比率等并不一定与现实中的结构相同。即使表示相同部分的情况下,有时根据附图的不同也会以彼此的尺寸和比率不同的方式进行表示。
- [0018] 在本申请的说明书和各图中,对于与已经说明的要素相同的要素赋予相同的符号并适当地省略详细的说明。
- [0019] 以下的说明以及附图中, n^+ 、 n 、 n^- 以及 p^+ 、 p 、 p^- 的标记表示各导电型中的杂质浓度的相对高低。即,附加“+”的标记表示与未附加“+”以及“-”的任一个的标记相比,杂质浓度相对高,附加“-”的标记表示与未附加任何符号的标记相比,杂质浓度相对低。此外,这些标记在各自的区域中含有p型杂质和n型杂质这双方的情况下,表示这些杂质相互补偿之后的净值的杂质浓度的相对高低。
- [0020] 对于以下所说明的各实施方式,也可以使各半导体区域的p型和n型反转来实施各实施方式。
- [0021] (第一实施方式)
- [0022] 图1为表示一个实施方式的半导体装置的俯视图。
- [0023] 图2为对图1的部分A进行放大后的立体剖面图。
- [0024] 图3 (a) ~图3 (c) 分别为图2的A—A' 剖面图、B—B' 剖面图、以及C—C' 剖面图。
- [0025] 图4为图1的D—D' 剖面图。
- [0026] 半导体装置100为RC—IGBT。如图1所示,半导体装置100具有至少一个IGBT区域R1以及至少一个二极管区域R2。例如,二极管区域R2位于IGBT区域R1之间。IGBT区域R1作为IGBT发挥功能。在半导体装置100为导通(ON)状态时,电流在IGBT区域R1流动。二极管区域R2例如在半导体装置100为截止(OFF)状态时,作为续流二极管发挥功能。
- [0027] 在半导体装置100的上表面例如设有发射极32(第二电极)、栅极焊盘(gate pad)33、以及栅极布线34。发射极32设于IGBT区域R1以及二极管区域R2的上方。栅极焊盘33以及栅极布线34与发射极32分离。栅极布线34与栅极焊盘33连接,并设于发射极32的周围。
- [0028] 如图2所示,半导体装置100还具有: n^- 型(第一导电型)漂移区域1(第一半导体区域)、 p^+ 型(第二导电型)集电极区域2(第二半导体区域)、 p 型基极区域3(第三半导体区域), n^+ 型发射极区域4(第四半导体区域)、 n^+ 型阴极区域5(第五半导体区域)、 p^- 型阳极区域6(第六半导体区域)、 p 型半导体区域7a(第七半导体区域的一例)、 p^- 型半导体区域7b(第七半导

体区域的另外的一例)、 p^+ 型保护环区域8(第八半导体区域)、 p^+ 型接触区域11、 p^+ 型阳极区域12、n型缓冲区域13、栅极电极20、栅极绝缘层21、第一导电部24、第一绝缘层25、第二导电部28、第二绝缘层29、以及集电极31(第一电极)。

[0029] 在实施方式的说明中,使用XYZ直角坐标系。将从 p^+ 型集电极区域2朝向p型基极区域3的方向设为Z方向(第二方向)。将垂直于Z方向且彼此正交的二方向设为X方向(第一方向)以及Y方向(第三方向)。为了进行说明,将从 p^+ 型集电极区域2朝向p型基极区域3的方向称为“上”,将其相反方向称为“下”。这些方向基于 p^+ 型集电极区域2与p型基极区域3的相对位置关系,而与重力的方向无关系。

[0030] n⁻型漂移区域1具有第一部分1a、第二部分1b、以及第三部分1c。第三部分1c在X方向,位于第一部分1a与第二部分1b之间。 p^+ 型集电极区域2设于第一部分1a的下方以及第三部分1c的一部分的下方。n⁺型阴极区域5设于第二部分1b的下方以及第三部分1c的另一部分的下方。

[0031] 在n⁻型漂移区域1与 p^+ 型集电极区域2之间以及n⁻型漂移区域1与n⁺型阴极区域5之间,例如设有n型缓冲区域13。集电极31设于 p^+ 型集电极区域2以及n⁺型阴极区域5的下方,与 p^+ 型集电极区域2以及n⁺型阴极区域5电连接。

[0032] p型基极区域3以及栅极电极20设于第一部分1a的上方。n⁺型发射极区域4以及 p^+ 型接触区域11设于p型基极区域3的上方。栅极电极20在X方向,隔着栅极绝缘层21而与n⁻型漂移区域1的一部分、p型基极区域3、以及n⁺型发射极区域4的至少一部分对置。

[0033] p⁻型阳极区域6以及第二导电部28设于第二部分1b的上方。 p^+ 型阳极区域12选择性地设于p⁻型阳极区域6的上方。第二导电部28在X方向,隔着第二绝缘层29而与n⁻型漂移区域1的一部分以及p⁻型阳极区域6对置。

[0034] p型半导体区域7a以及p⁻型半导体区域7b设于第三部分1c的上方。例如,p型半导体区域7a位于 p^+ 型集电极区域2的正上方,p⁻型半导体区域7b位于n⁺型阴极区域5的正上方。 p^+ 型阳极区域12也可以设于p⁻型半导体区域7b的上方。第一导电部24在X方向位于p型半导体区域7a以及p⁻型半导体区域7b之间,并隔着第一绝缘层25而与这些半导体区域对置。p型半导体区域7a在X方向位于栅极电极20与第一导电部24之间,并在Y方向延伸。p⁻型半导体区域7b在X方向位于第一导电部24与第二导电部28之间,并在Y方向延伸。

[0035] 发射极32设于p型基极区域3、n⁺型发射极区域4、 p^+ 型接触区域11、p型半导体区域7a、p⁻型半导体区域7b、p⁻型阳极区域6、 p^+ 型阳极区域12、 p^+ 型保护环区域8、第一导电部24、以及第二导电部28的上方,并与它们电连接。栅极电极20经由栅极布线34与栅极焊盘33电连接。栅极电极20与发射极32电分离。

[0036] p型基极区域3、n⁺型发射极区域4、 p^+ 型接触区域11、p⁻型阳极区域6、栅极电极20、第一导电部24、以及第二导电部28例如分别在X方向设有多个,并在Y方向延伸。 p^+ 型阳极区域12例如在各p⁻型阳极区域6的上方,在Y方向设有多个。p型半导体区域7a以及p⁻型半导体区域7b在Y方向延伸。

[0037] 在图1中,通过虚线来表示 p^+ 型保护环区域8的外缘。 p^+ 型保护环区域8包围多个p型基极区域3、多个p⁻型阳极区域6、p型半导体区域7a、以及p⁻型半导体区域7b。如图2所示, p^+ 型保护环区域8具有第一区域8a、第二区域8b、以及第三区域8c。

[0038] 如图3(a)所示,第一区域8a的一部分在Y方向与p型基极区域3并排。如图3(b)所

示,第二区域8b的一部分在Y方向与p型半导体区域7a并排。第二区域8b的另一部分在Y方向与p⁻型半导体区域7b并排。如图3(c)所示,第三区域8c的一部分在Y方向与p⁻型阳极区域6并排。

[0039] 第二区域8b的下端位于比第一区域8a的下端以及第三区域8c的下端更上方的位置。即,第二区域8b与n⁻型漂移区域1的pn接合面位于比第一区域8a与n⁻型漂移区域1的pn接合面以及第三区域8c与n⁻型漂移区域1的pn接合面更上方的位置。

[0040] 例如,如图4(a)所示,p⁺型保护环区域8的下端的位置连续变化。或者,如图4(b)所示,p⁺型保护环区域8的下端的位置也可以阶梯状地变化。例如,理想的是:第一区域8a的最深的深度(最长的Z方向上的长度)D1为栅极绝缘层21、第一绝缘层25、或第二绝缘层29的深度D(图2所示)的1.0倍以上2.0倍以下。换言之,深度D为这些绝缘层的下端与源极电极32之间的Z方向上的距离。第二区域8b的最浅的深度(最短的Z方向上的长度)D2比D大,比D1小。第三区域8c的下端例如位于比第二区域8b的下端更下方的位置。或者,第三区域8c的下端也可以位于与第二区域8b的下端相同的位置。

[0041] 对半导体装置100的动作加以说明。

[0042] 若在对集电极31、发射极32施加正电压的状态下,对栅极电极20施加阈值以上的电压,半导体装置100成为导通状态。此时,在p型基极区域3的栅极绝缘层21附近的区域形成沟道(反型层)。电子穿过该沟道从n⁺型发射极区域4被注入n⁻型漂移区域1,空穴从p⁺型集电极区域2被注入n⁻型漂移区域1。由此,电流在IGBT区域R1流动。之后,若施加于栅极电极20的电压低于阈值,则p型基极区域3处的沟道消失,半导体装置100成为截止状态。

[0043] 例如,由多个半导体装置100构成电桥电路。该情况下,若一个半导体装置100从导通状态切换为截止状态,则通过电桥电路的电感成分,对其他半导体装置100的发射极32施加感应电动势。由此,在该其他半导体装置100,二极管区域R2进行工作。空穴从p⁻型阳极区域6(p⁺型阳极区域12)被注入n⁻型漂移区域1。电子从n⁺型阴极区域5被注入n⁻型漂移区域1。

[0044] 对半导体装置100的各构成要素的材料的一例加以说明。

[0045] n⁻型漂移区域1、p⁺型集电极区域2、p型基极区域3、n⁺型发射极区域4、n⁺型阴极区域5、p⁻型阳极区域6、p型半导体区域7a、p⁻型半导体区域7b、p⁺型保护环区域8、p⁺型接触区域11、p⁺型阳极区域12、以及n型缓冲区域13包含作为半导体材料的硅、碳化硅、氮化镓或砷化镓。在半导体材料而使用硅的情况下,可以使用砷、磷或锑来作为n型杂质。可以使用硼来作为p型杂质。

[0046] 栅极电极20、第一导电部24、以及第二导电部28包含多晶硅等导电材料。

[0047] 栅极绝缘层21、第一绝缘层25、以及第二绝缘层29包含氧化等绝缘材料。

[0048] 集电极31、发射极32、栅极焊盘33、以及栅极布线34包含铝等金属。

[0049] 对第一实施方式的效果加以说明。

[0050] 若半导体装置100从导通状态切换为截止状态,则有时通过半导体装置100所连接的电路的电感成分,对集电极31施加感应电动势。若对集电极31施加感应电动势,则在IGBT区域R1内部会产生雪崩击穿。一般而言,雪崩击穿在IGBT区域R1内局部地产生。由此,产生流过IGBT区域R1的电流丝(对应日文:電流フイラメント)。若产生电流丝,则此处的温度上升。因此,若在相同部位继续产生电流丝,则最终半导体装置100会因热逸溃而破坏。

[0051] 发明者发现:在RC-IGBT,由电流丝引起的破坏特别容易发生在IGBT区域R1与二

极管区域R2的边界的附近且p⁺型保护环区域8附近的部分。发明者基于该见解进行了研究后,有以下的发现。通过使该部分的电场低于IGBT区域R1的p⁺型保护环区域8附近的电场,由电流丝引起的破坏变得难以产生。

[0052] 在半导体装置100中,n⁻型漂移区域1具有位于第一部分1a与第二部分1b之间的第三部分1c。第一部分1a包含于IGBT区域R1。第二部分1b包含于二极管区域R2。在第三部分1c的上方设有p型半导体区域7a以及p⁻型半导体区域7b。p⁺型保护环区域8的第二区域8b的一部分与p型半导体区域7a以及p⁻型半导体区域7b在Y方向并排。该第二区域8b的下端位于比与p型基极区域3在Y方向并排的第一区域8a的下端更上方的位置。根据该构成,能够减少在以往的半导体装置中容易产生由电流丝引起的破坏的部位的电场,并能够减少破坏在该部位产生的可能性。

[0053] (变形例)

[0054] 图5为表示第一实施方式的变形例的半导体装置的一部分的剖面图。

[0055] 图6为表示第一实施方式的变形例的半导体装置的特性的曲线图。

[0056] 变形例的半导体装置110与半导体装置100在p⁺型保护环区域8的构造上有所不同。图5(a)～图5(c)分别对应于图2的A—A'剖面图、B—B'剖面图、以及C—C'剖面图。如图5(a)～图5(c)所示,在半导体装置110中,第一区域8a～第三区域8c各自的下端位于相同的位置。

[0057] 图6的横轴表示X方向上的位置P。纵轴表示p⁺型保护环区域8的各点的p型杂质浓度C[atoms/cm³]。如图6所示,第二区域8b的p型杂质浓度比第一区域8a的p型杂质浓度低。例如,理想的是:第一区域8a的峰值的p型杂质浓度C1为第二区域8b的最低p型杂质浓度C2的1.1倍以上10倍以下。

[0058] 第三区域8c的p型杂质浓度例如比第二区域8b的p型杂质浓度高。或者,第三区域8c的p型杂质浓度也可以与第二区域8b的p型杂质浓度相同。

[0059] 第二区域8b的p型杂质浓度比第一区域8a的p型杂质浓度低。由此,与半导体装置100相同地,能够使第二区域8b附近的电场强度低于第一区域8a附近的电场强度。结果,与半导体装置100相同地,能够减少产生由电流丝引起的破坏的可能性。

[0060] 在半导体装置110中,与半导体装置100相同地,也可以使第二区域8b的下端位于比第一区域8a的下端更上方的位置。由此,能够进一步降低第二区域8b附近的电场强度。

[0061] (第二实施方式)

[0062] 图7为表示第二实施方式的半导体装置的立体剖面图。

[0063] 第二实施方式的半导体装置200在栅极电极20的构造上与半导体装置100有差异。

[0064] 在半导体装置200中,第一绝缘层25的下端以及第二绝缘层29的下端位于比栅极绝缘层21的下端更上方的位置。即,第一导电部24的下端以及第二导电部28的下端位于比栅极电极20的下端更上方的位置。第一导电部24以及第二导电部28各自的Z方向上的长度比栅极电极20的Z方向上的长度短。

[0065] 多个栅极电极20包含栅极电极20a、20b以及20c。栅极电极20b的下端位于比栅极电极20a的下端更上方的位置,并位于比栅极电极20c的下端更下方的位置。栅极电极20c在X方向上位于p型基极区域3与p型半导体区域7a之间以及栅极电极20b与第一导电部24之间。栅极电极20b比栅极电极20a更位于p型半导体区域7a侧。换言之,栅极电极20的下端的

位置越接近p型半导体区域7a(二极管区域R2),越位于上方。

[0066] 设在IGBT区域R1与二极管区域R2的边界附近的栅极电极20c的下端位于比设在IGBT区域R1的中心侧的栅极电极20a以及20b的下端更上方的位置。由此,能够降低边界附近的电场强度。结果,第二区域8b附近的电场强度也降低,能够减少产生由电流丝引起的破坏的可能性。

[0067] 理想的是,栅极电极20b的下端位于比栅极电极20a的下端更上方的位置。在IGBT区域R1内,越接近二极管区域R2,栅极电极20的下端越位于上方。由此,能够更进一步降低IGBT区域R1与二极管区域R2的边界附近的电场强度。

[0068] (第三实施方式)

[0069] 图8为表示第三实施方式的半导体装置的立体剖面图。

[0070] 第三实施方式的半导体装置300还具有n型阻挡区域9(第九半导体区域)。n型阻挡区域9在X方向上设有多个。多个n型阻挡区域9分别在Z方向设于第一部分1a与多个p型基极区域3之间。

[0071] 多个n型阻挡区域9包含n型阻挡区域9a以及n型阻挡区域9b。n型阻挡区域9b的n型杂质浓度比n型阻挡区域9a的n型杂质浓度低。n型阻挡区域9b的X方向上的位置位于p型半导体区域7a的X方向上的位置与n型阻挡区域9a的X方向上的位置之间。即,越接近p型半导体区域7a(二极管区域R2),n型阻挡区域9的n型杂质浓度越低。

[0072] 设于IGBT区域R1与二极管区域R2的边界附近的n型阻挡区域9b的n型杂质浓度比设于IGBT区域R1的中心侧的n型阻挡区域9a的n型杂质浓度低。由此,能够降低边界附近的电场强度。结果,第二区域8b附近的电场强度也降低,能够减少产生由电流丝产生的破坏的可能性。

[0073] 理想的是,n型阻挡区域9a的n型杂质浓度比其他的n型阻挡区域9的n型杂质浓度低。该其他的n型阻挡区域9设为比n型阻挡区域9a靠近IGBT区域R1的中心侧。在IGBT区域R1内,越接近二极管区域R2,n型阻挡区域9的浓度越下降。由此,能够更进一步降低IGBT区域R1与二极管区域R2的边界附近的电场强度。

[0074] 关于本实施方式的n型阻挡区域9之间的n型杂质浓度的高低,也可以在n型阻挡区域9含有p型杂质和n型杂质这双方。该情况下,这些杂质相互补偿之后的净值的杂质浓度的相对高低处于上述关系即可。

[0075] (第四实施方式)

[0076] 图9为表示第四实施方式的半导体装置的立体剖面图。

[0077] 如图9所示,多个栅极电极20包含栅极电极20a、栅极电极20b、以及栅极电极20c。多个栅极绝缘层21包含栅极绝缘层21a、栅极绝缘层21b、以及栅极绝缘层21c。

[0078] 在第四实施方式的半导体装置400中,距离D3比距离D4短。距离D3为第一绝缘层25与在X方向上和第一绝缘层25相邻的栅极绝缘层21c之间的距离。距离D4为在X方向上相邻的栅极绝缘层21b与栅极绝缘层21c之间的距离。

[0079] 与此相伴地,距离D6比距离D7短。距离D6为第一导电部24与在X方向上和第一导电部24相邻的栅极电极20c之间的距离。距离D7为在X方向上相邻的栅极电极20b与栅极电极20c之间的距离。

[0080] 距离D4比栅极绝缘层21a与栅极绝缘层21b之间的X方向上的距离D5短。与此相伴

地,距离D7比栅极电极20a与栅极电极20b之间的X方向上的距离D8短。

[0081] 与上述的构成相伴地,p型半导体区域7a的X方向上的长度L1比与p型半导体区域7a相邻的p型基极区域3b的X方向上的长度L2短。p型基极区域3b的长度L2比p型基极区域3a的X方向上的长度L3短。

[0082] 根据该构成,与其他实施方式相同地,能够降低边界附近的电场强度。由此,能够降低第二区域8b附近的电场强度,并能够减少产生由电流丝引起的破坏的可能性。

[0083] 理想的是,距离D5比设为更靠近IGBT区域R1的中心侧的、相邻的栅极绝缘层21之间的X方向上的距离短。距离D8比设为更靠近IGBT区域R1的中心侧的、相邻栅极电极20之间的X方向上的距离短。长度L3比设为更靠近IGBT区域R1的中心侧的、其他的p型基极区域3的X方向上的长度短。根据这样的构成,能够更进一步地降低IGBT区域R1与二极管区域R2的边界附近的电场强度。

[0084] 对于以上所说明的各实施方式中的各半导体区域之间的杂质浓度的相对高低,例如,可以使用SCM(扫描式电容显微镜)来进行确认。各半导体区域的载流子浓度可以视为与在各半导体区域活化的杂质浓度相等。因此,对于各半导体区域之间的载流子浓度的相对高低,也能够使用SCM来进行确认。

[0085] 对于各半导体区域的杂质浓度,例如,可以通过SIMS(二次离子质量分析法)来测定。

[0086] 本发明的一个实施方式包含以下的构成。

[0087] (构成1)

[0088] 一种半导体装置,具备:

[0089] 第一电极;

[0090] 第一导电型的第一半导体区域,设于上述第一电极的上方,上述第一半导体区域具有:第一部、第二部分、以及在第一方向上位于上述第一部与上述第二部分之间的第三部分;

[0091] 第二导电型的第二半导体区域,设于上述第一电极与上述第一部之间;

[0092] 第二导电型的第三半导体区域,设于上述第一部的上方,从上述第二半导体区域朝向上述第三半导体区域的第二方向垂直于上述第一方向;

[0093] 第一导电型的第四半导体区域,设于上述第三半导体区域的上方;

[0094] 栅极电极,在上述第一方向上,隔着栅极绝缘层而与上述第一半导体区域的一部分、上述第三半导体区域、以及上述第四半导体区域的至少一部分对置;

[0095] 第一导电型的第五半导体区域,设于上述第一电极与上述第二部分之间;

[0096] 第二导电型的第六半导体区域,设于上述第二部分的上方;

[0097] 第二导电型的第七半导体区域,设于上述第三部分的上方;

[0098] 第一导电部,在上述第一方向上,隔着第一绝缘层而与上述第七半导体区域对置,上述第一导电部的下端位于比上述栅极电极的下端更上方的位置;

[0099] 第二导电型的第八半导体区域,包围上述第三半导体区域、上述第六半导体区域、以及上述第七半导体区域;以及

[0100] 第二电极,设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域、以及上述第八半导体区域的上方,上述第二电极与上述第四半导体区域、上述第六半导

体区域、上述第七半导体区域、以及上述第八半导体区域电连接。

[0101] (构成2)

[0102] 一种半导体装置，具备：

[0103] 第一电极；

[0104] 第一导电型的第一半导体区域，设于上述第一电极的上方，上述第一半导体区域具有：第一部分、第二部分、在第一方向上位于上述第一部分与上述第二部分之间的第三部分；

[0105] 第二导电型的第二半导体区域，设于上述第一电极与上述第一部分之间；

[0106] 第二导电型的第三半导体区域，设于上述第一部分的上方，从上述第二半导体区域朝向上述第三半导体区域的第二方向垂直于上述第一方向；

[0107] 第一导电型的第四半导体区域，设于上述第三半导体区域的上方；

[0108] 多个栅极电极，上述多个栅极电极中的一个栅极电极在上述第一方向上，隔着栅极绝缘层而与上述第一半导体区域的一部分、上述第三半导体区域、以及上述第四半导体区域的至少一部分对置；

[0109] 第一导电型的第五半导体区域，设于上述第一电极与上述第二部分之间；

[0110] 第二导电型的第六半导体区域，设于上述第二部分的上方；

[0111] 第二导电型的第七半导体区域，设于上述第三部分的上方；

[0112] 第一导电部，在上述第一方向上，隔着第一绝缘层而与上述第七半导体区域对置，上述第一导电部与在上述第一方向和上述第一导电部相邻的上述多个栅极电极中的一个栅极电极之间的距离比在上述第一方向相邻的上述栅极电极之间的距离短；

[0113] 第二导电型的第八半导体区域，包围上述第三半导体区域、上述第六半导体区域、以及上述第七半导体区域；以及

[0114] 第二电极，设于上述第四半导体区域、上述第六半导体区域、上述第七半导体区域、以及上述第八半导体区域的上方，上述第二电极与上述第四半导体区域、上述第六半导体区域、上述第七半导体区域、以及上述第八半导体区域电连接。

[0115] 以上，举例示出了本发明的几个实施方式，但这些实施方式是作为例子提出的，其意图并不在于限定发明的范围。这些新颖的实施方式可以通过其他各种方式来实施，在不脱离发明的主旨的范围内，能够进行各种省略、置换、变更等。这些实施方式或其变形例包含于发明的范围或主旨中，并包含于权利要求书中所记载的发明和其等同的范围。此外，上述的各实施方式能够相互组合地进行实施。

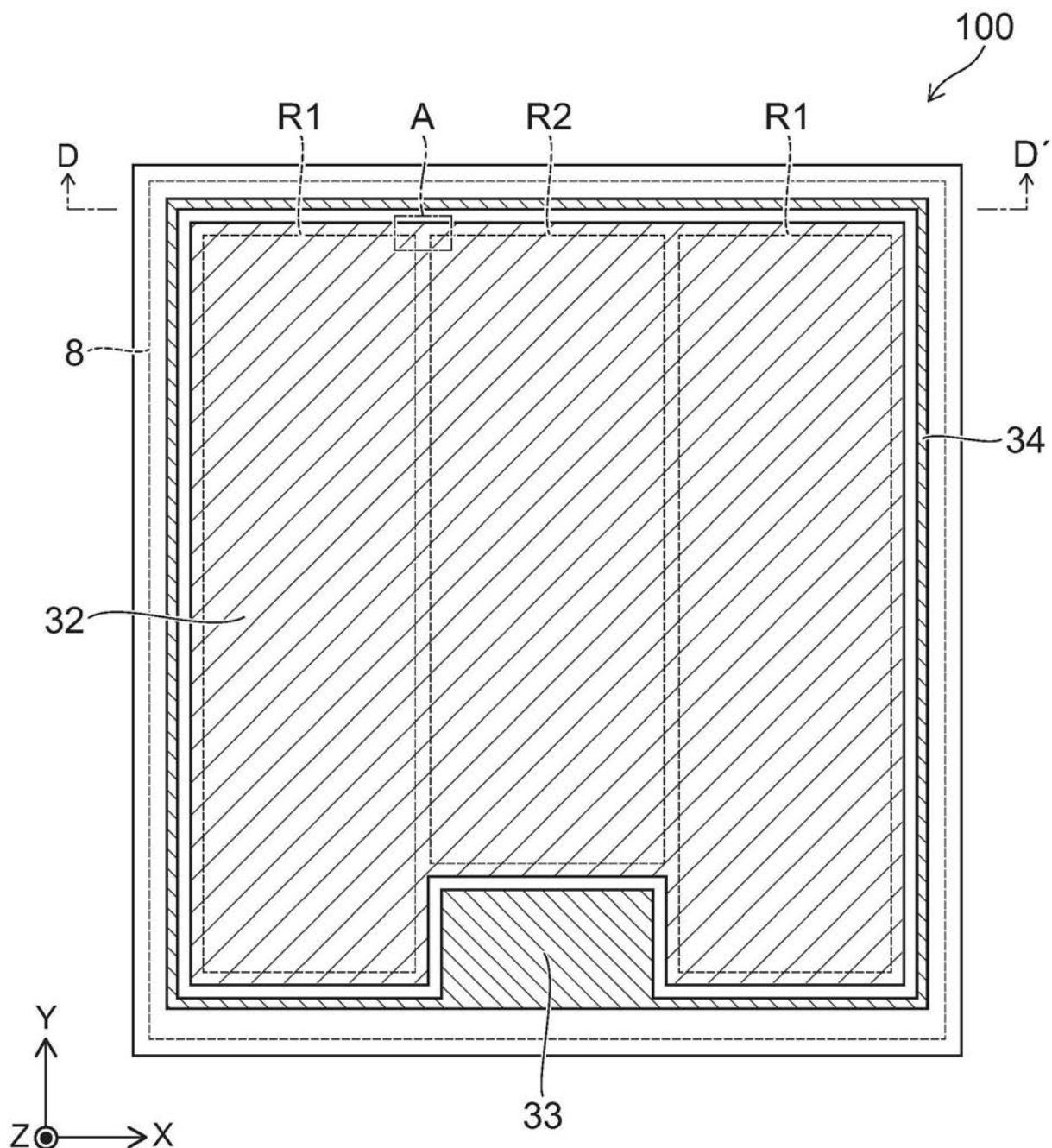


图1

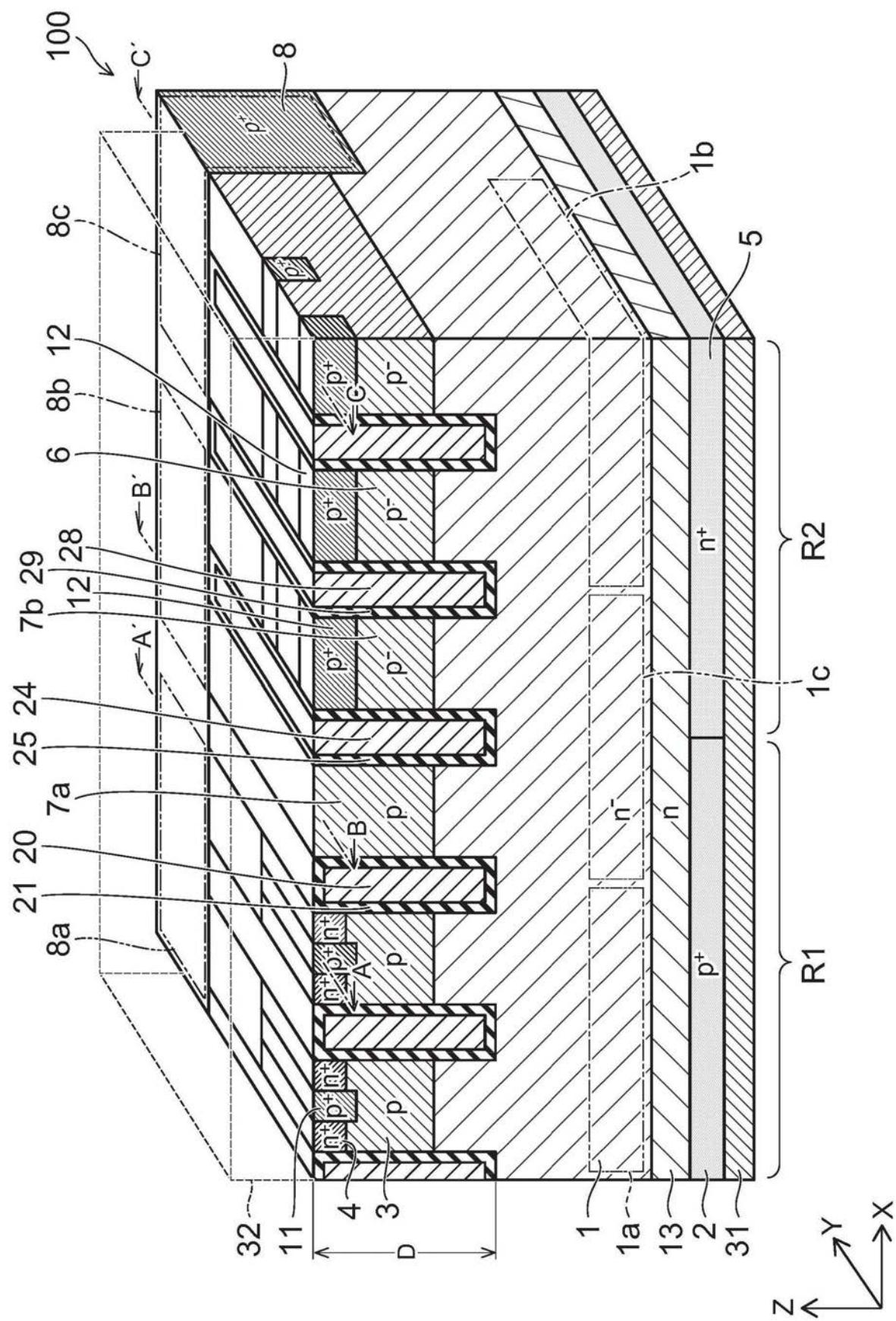


图2

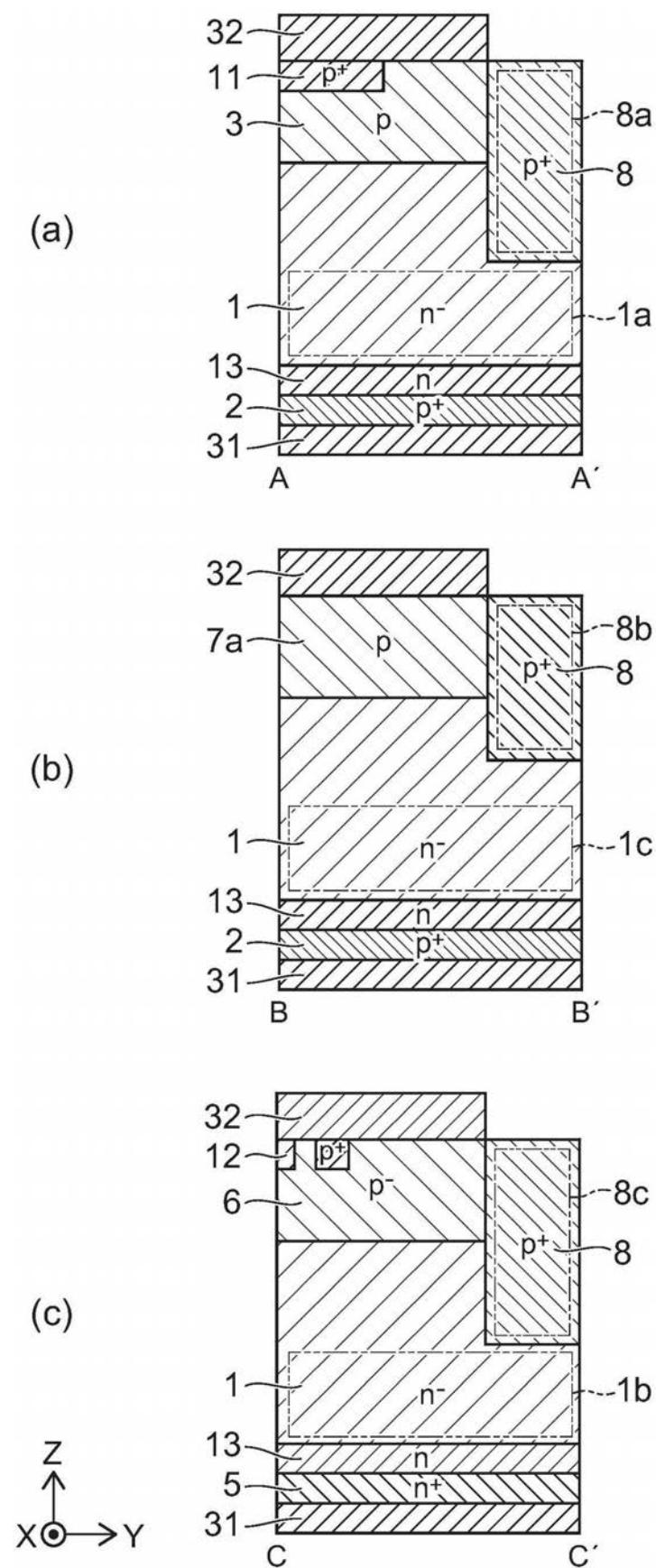


图3

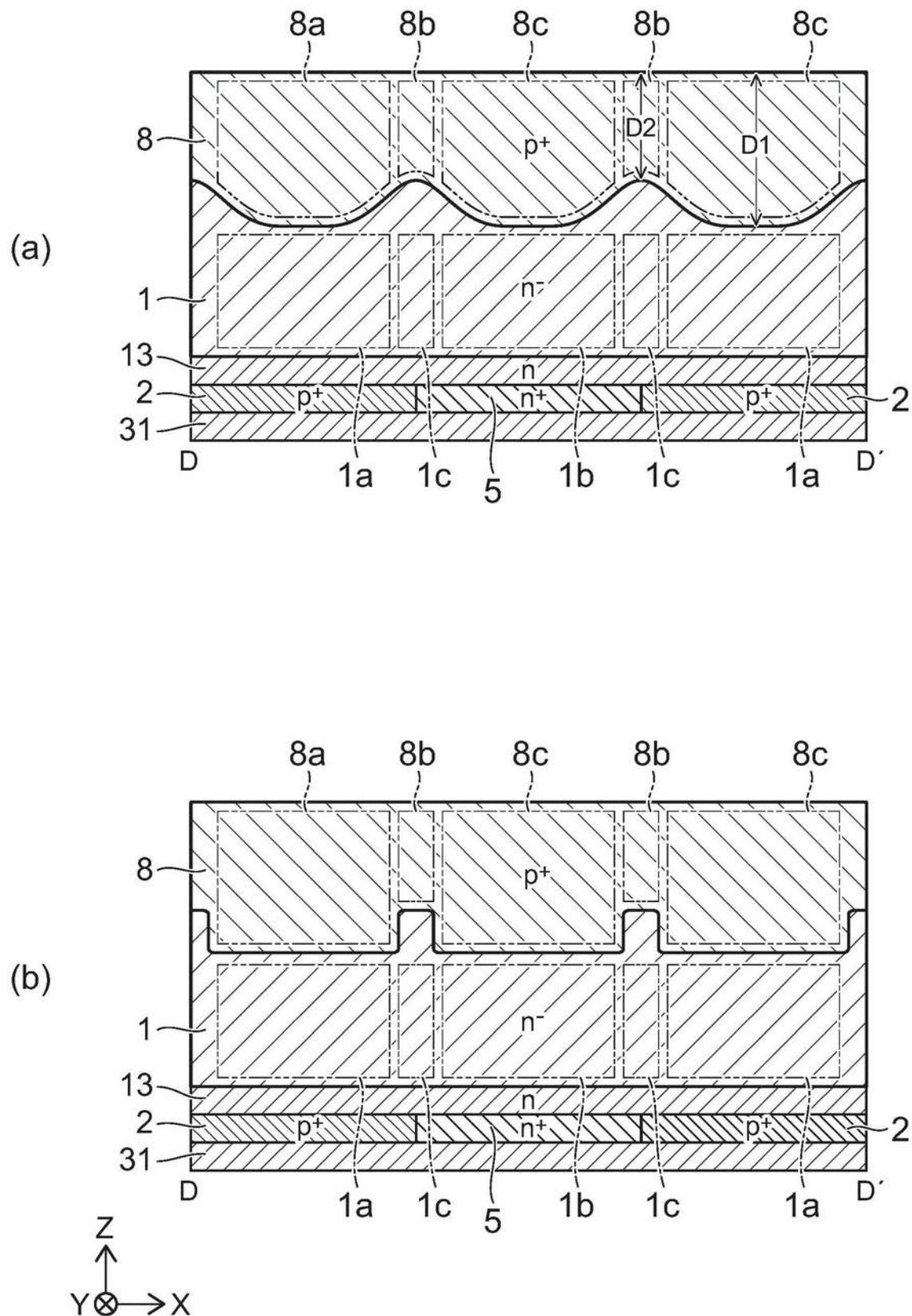


图4

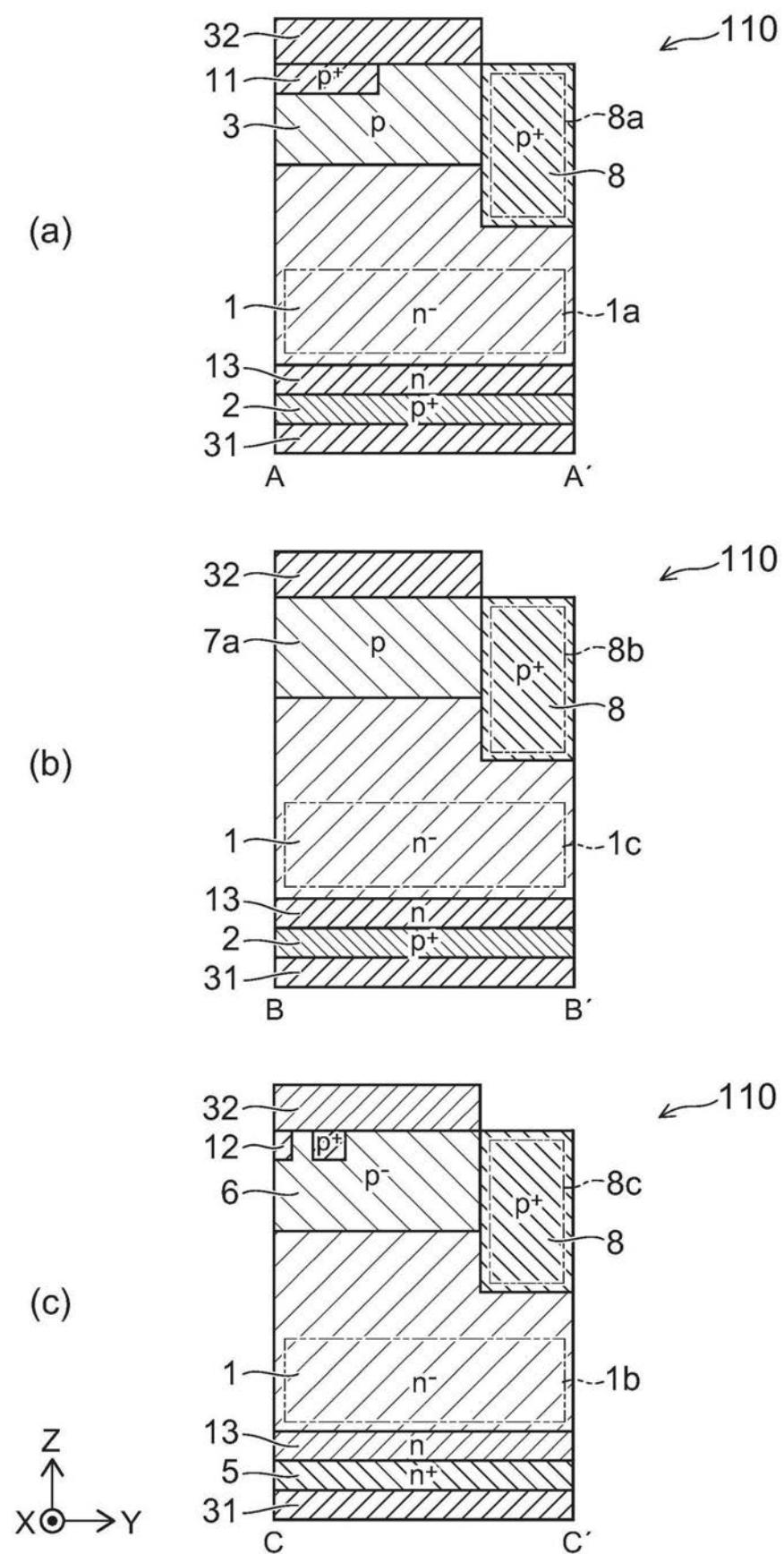
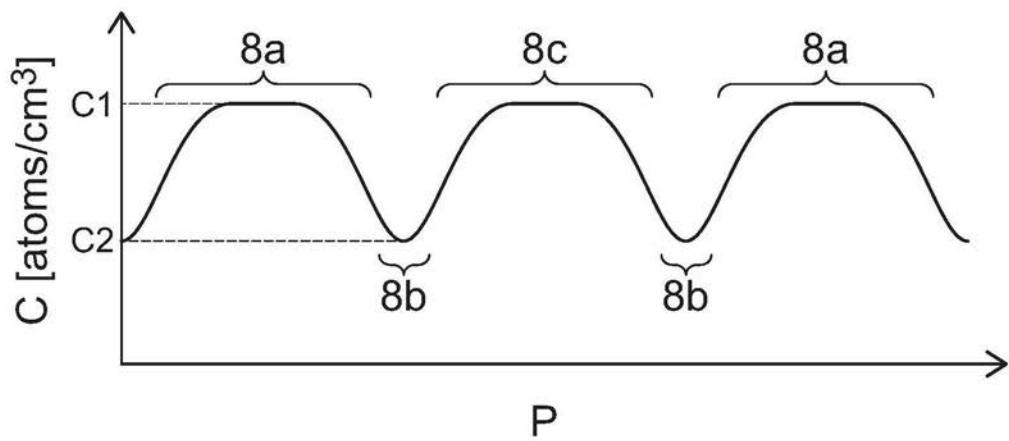
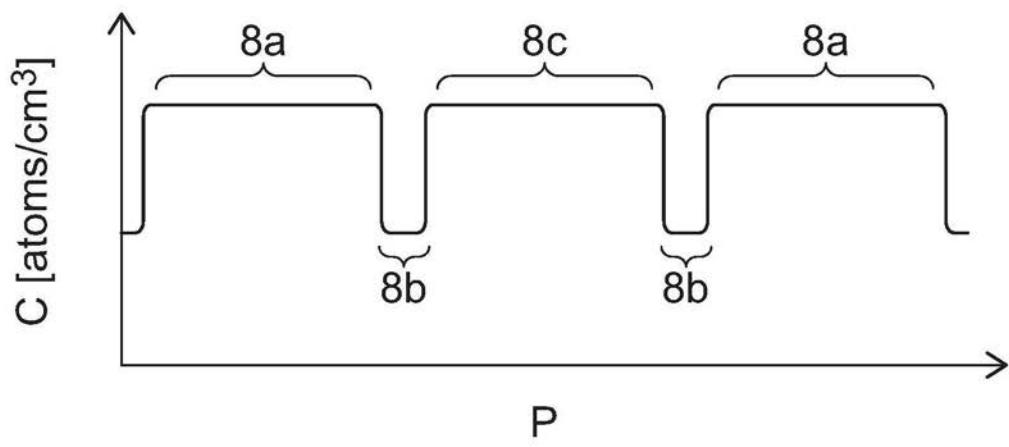


图5



(a)



(b)

图6

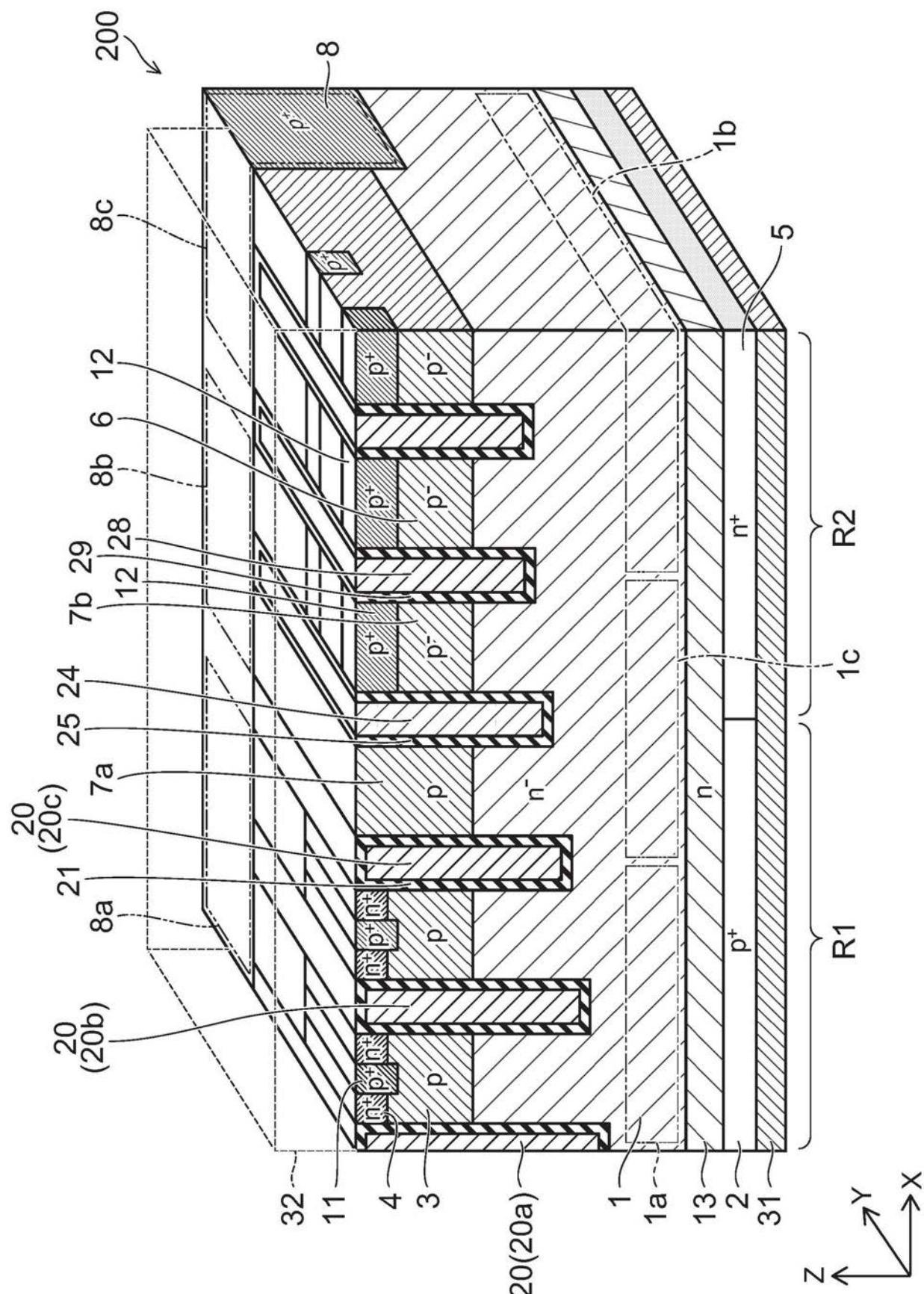


图7

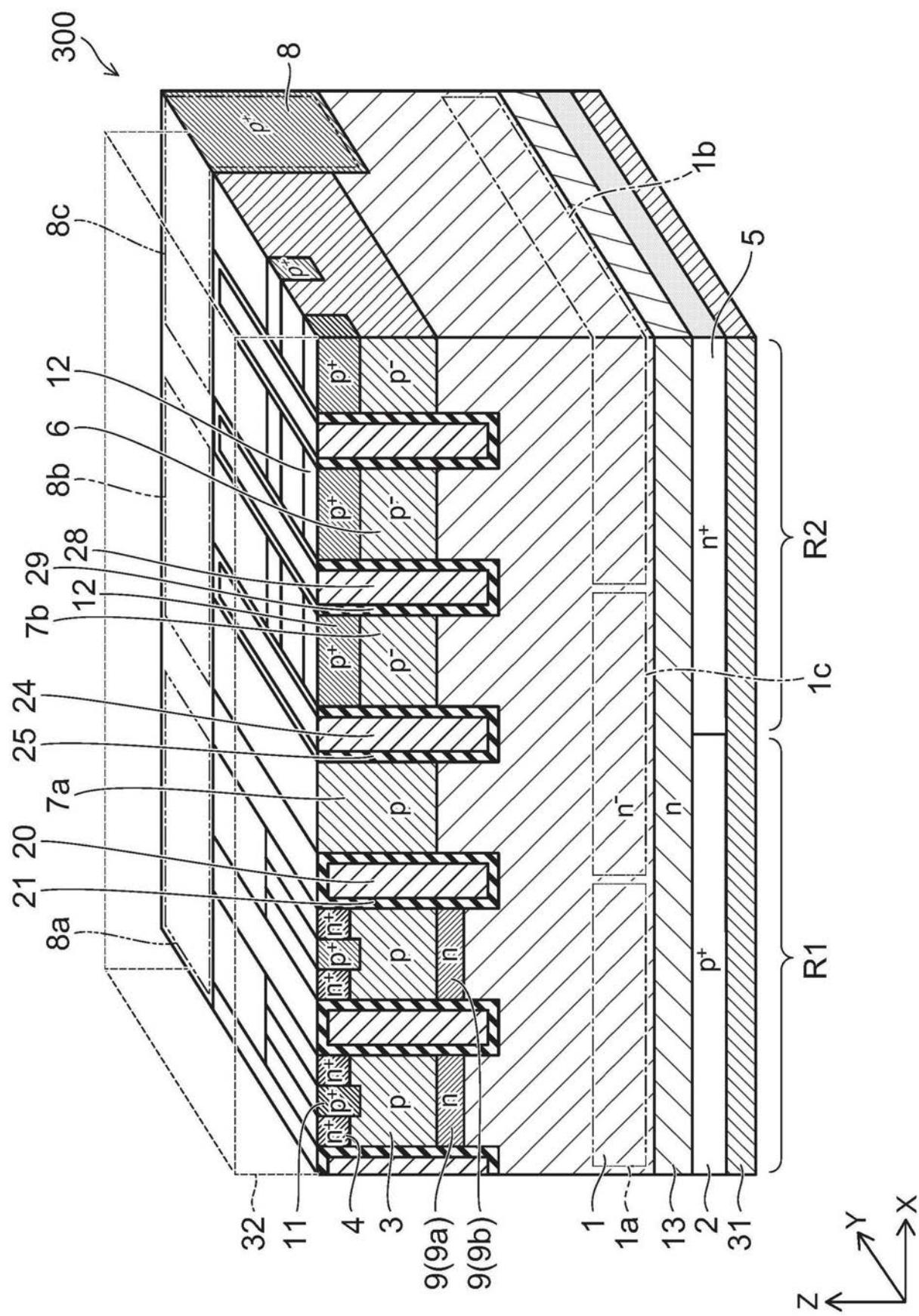


图8

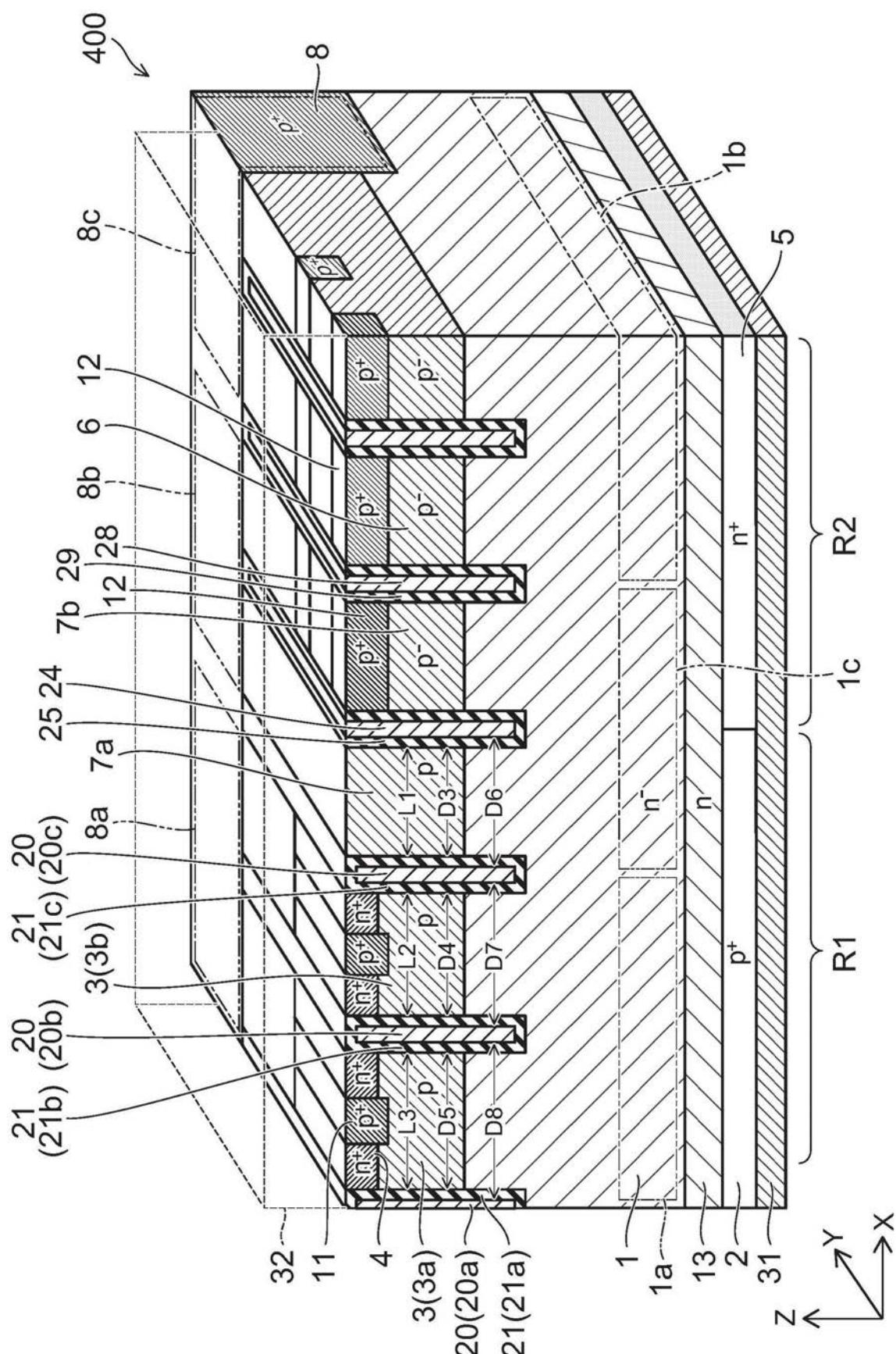


图9