

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165744

(P2008-165744A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06K 19/07 (2006.01)</b>	G06K 19/00 J	5B035
<b>H01L 21/8244 (2006.01)</b>	H01L 27/10 381	5F083
<b>H01L 27/11 (2006.01)</b>	H01L 27/10 433	5H030
<b>H01L 21/8246 (2006.01)</b>	H01L 27/10 461	
<b>H01L 27/112 (2006.01)</b>	G06K 19/00 H	
審査請求 未請求 請求項の数 4 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2007-302541 (P2007-302541)  
 (22) 出願日 平成19年11月22日 (2007.11.22)  
 (31) 優先権主張番号 特願2006-330177 (P2006-330177)  
 (32) 優先日 平成18年12月7日 (2006.12.7)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 上妻 宗広  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 黒川 義元  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 5B035 AA02 AA04 BB09 CA04 CA12  
 CA23

最終頁に続く

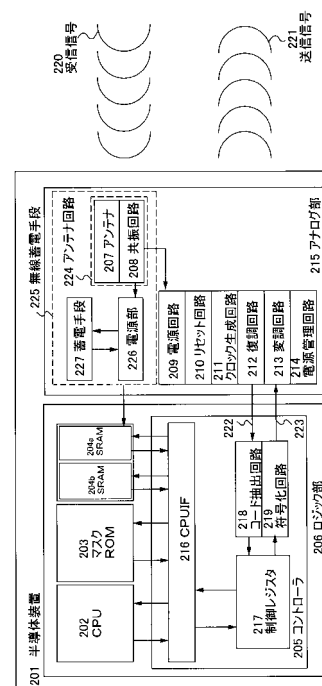
(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】CPU搭載無線タグのメモリ内のデータの書き換えを可能にした上で、CPUシステムを高速化し、無線タグの通信性能の向上を行う。

【解決手段】CPUが搭載されている無線タグにRFバッテリー付きのSRAMを搭載することで、CPUシステムの高速化による通信性能を向上させる。また、CPU搭載無線タグのメモリ内のデータの書き換えを可能にした。RFバッテリーは、アンテナ回路と、電源部と、蓄電装置と、を有する。SRAMとRFバッテリーとを組み合わせることで、SRAMに不揮発性メモリとしての機能を持たせる。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

S R A M と、前記 S R A M からデータを読み出す中央処理装置と、アンテナ回路が受信する電力を蓄えることができる無線蓄電手段とを有し、  
前記無線蓄電手段から前記 S R A M に前記電力が供給されることを特徴とする半導体装置。

**【請求項 2】**

S R A M と、前記 S R A M からデータを読み出す中央処理装置と、前記 S R A M に電力を供給する無線蓄電手段と、を有し、  
前記無線蓄電手段は、アンテナ回路が受信した交流信号を直流信号に変換する電源部と、  
蓄電装置とを有し、  
前記電源部は前記直流信号を用いて前記蓄電装置における充電または放電を制御することを特徴とする半導体装置。

10

**【請求項 3】**

S R A M と、前記 S R A M からデータを読み出す中央処理装置と、前記 S R A M に電力を供給する無線蓄電手段と、を有し、  
前記無線蓄電手段は、交流信号を受信するアンテナ回路と、前記交流信号を直流信号に変換する電源部と、蓄電装置とを有し、  
前記電源部は前記直流信号を用いて前記蓄電装置における充電または放電を制御することを特徴とする半導体装置。

20

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか 1 項において、  
前記蓄電手段は、バッテリーまたはコンデンサを有することを特徴とする半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、無線通信用の半導体装置に関する。特に、C P U ( C e n t r a l P r o c e s s i n g U n i t : 中央処理装置 ) を搭載した無線通信用の半導体装置に関する。

**【背景技術】**

30

**【0002】**

近年、超小型 I C チップと、無線通信用のアンテナ回路を組み合わせた小型の半導体装置 ( 無線タグ ) が脚光を浴びている。無線タグは、無線通信装置 ( 以下、リーダ / ライタという ) を使った通信信号の授受により、データの書き込み、データの読み出しを行うことができる。無線タグの形状は、カード状、或いはカードよりもさらに小型のチップ状であることが多いが、用途に合わせて様々な形状を採りうる。

**【0003】**

無線タグの応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない。一方、無線通信は無線でデータを読み取るため、電波を通すのであれば遮蔽物があっても読み取れる。したがって、商品管理の効率化、低コスト化などが期待されている。また無線タグは、その他にも、乗車券、航空旅客券、料金の自動精算など、広範な応用が期待されている。

40

**【0004】**

下記特許文献 1 には、メモリを有する無線タグについて記載されている。

**【特許文献 1】**特開 2 0 0 5 - 2 0 2 9 4 7 号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

現在、無線タグではプログラムデータ記憶用のメモリとして、例えば、マスク R O M (

50

Read Only Memory)が使用されている。マスクROMは生産コスト、読み出し速度、データ保持の面で有利である。しかし、複数回のデータの書き換えが不可能なため、基本的にメモリ内のデータを変更することはできず、一度製造された無線タグの用途は限られてしまう。データの書き換え回数の制限を解消する方法に、記憶媒体としてフラッシュメモリを無線タグに搭載することが考えられる。フラッシュメモリを用いる場合、電氣的にデータの書き換えが可能であり、データも記憶保持できるが、無線タグに搭載する上で読み出し速度の遅さが問題となる。またフラッシュメモリは、書き込み時間は読み出し時間よりも長く、消去時間は数百ミリ秒もかかり、応答時間が現在の無線タグよりも劣る性能となってしまう。さらにフラッシュメモリはプロセスが難しいためコストが高く、低コストで生産する必要のある無線タグに搭載することは現実的に非常に困難である。

10

#### 【0006】

またPC(Personal Computer)に組み込まれている、DRAM(Dynamic Random Access Memory)を用いた従来のCPUシステムでは、まず、CPUシステム起動時にマスクROMに記憶されたプログラムデータをメインメモリであるDRAMに記憶させている。DRAMは集積度が高く安価であることが特徴として挙げられる。しかし、データを一定時間毎に再書き込みするリフレッシュ動作を行う必要があるために、メモリの動作は低速である。リフレッシュ動作が行われる理由は、DRAMのデータの記憶が電荷の蓄積に依り、その蓄積された電荷がリーク電流によって減少するためである。

20

#### 【0007】

CPUシステムの動作を高速化するために、集積度はDRAMに劣るが、リフレッシュ動作の必要がなく、高速動作の可能なSRAM(Static Random Access Memory:エスラム)をキャッシュメモリとして用いるのは非常に有効である。特にCPUの動作において参照される頻度の高いプログラムデータを、DRAMではなくSRAMに保存することで、読み出し時間を短縮化し、システムの高速動作を可能にする。

#### 【0008】

しかし、無線タグはPCと異なり、電力が常時供給されるものではなく、頻繁に途切れる状態にある。そのため電力が供給されている間に、短時間で応答(システムの起動や処理、等)させることが重要な要素として挙げられる。無線タグにPCと同じシステム(DRAM+SRAM)を組み込んだ場合、電力供給後、システムが安定して動作するために一定の起動時間が必要となる。これは、特にROMからデータを読み出し、DRAMやSRAMに参照頻度の高いデータの書き込みが行われていることに依る。無線タグにおいて、起動時間が長く応答までに時間がかかり過ぎてしまうと、商品管理、等の実用に不向きである。そのため、上記のPCに組み込まれているシステムを無線タグに搭載することは現実的に有効な方法ではない。

30

#### 【0009】

無線タグの応答速度が遅い場合、リーダ/ライタとの通信時に無線タグを静止させるか、あるいは、無線タグを動かす場合は低速度に保たなければ、正常な応答を返すことができない。これは一定速度以上で動くタグを認識できないためであり、無線タグの使い道を狭める要因の一つとなっている。無線タグが様々な分野で利用されるためには応答速度を向上させることが重要な課題となる。

40

#### 【0010】

本発明は、以上の問題を鑑みなされたものであり、CPU搭載無線タグのメモリ内のデータの書き換えを可能にした上で、CPUシステムを高速化し、無線タグの通信性能の向上を行うことを課題とする。

#### 【課題を解決するための手段】

#### 【0011】

本発明は、CPUが搭載されている半導体装置に、無線で伝送されてきた電力を蓄える

50

ことができる無線蓄電手段（ＲＦバッテリー）と、ＳＲＡＭとを設ける。そして、無線蓄電手段からＳＲＡＭへの電力の供給を行うことで、ＣＰＵシステムの高速化による通信性能を向上させた半導体装置を提供する。ＳＲＡＭはメモリの中でも読み出し動作と書き込み動作の早さ、サイクル時間とアクセス時間の同一性、待機時の消費電力の小ささの点で優れている。以上の特徴からＳＲＡＭはＣＰＵが搭載された半導体装置のシステムを高速化する上で非常に重要な役目を果たす。また、無線蓄電手段と組み合わせているためＳＲＡＭのデータを保存することができ、ＲＯＭと同様の機能を持つ。

#### 【００１２】

無線蓄電手段は、電源部と、蓄電装置と、を有する。無線蓄電手段はさらにアンテナ回路を有していても良い。アンテナ回路は、アンテナと、共振回路と、を有する。アンテナは、無線信号を受信する機能を有する。特に、アンテナは受信できる周波数帯に限りがあるため、複数のアンテナ回路を搭載することで受信可能な無線信号の周波数領域を広げることができる。共振回路は、受信した無線信号を基に起電力を生成する回路である。電源部は、アンテナ回路により得られた交流信号を直流信号に変換する機能、また、蓄電装置への充電、蓄電装置からの放電を切り替える制御回路と、を有する。蓄電装置は、電力を蓄える機能を持つバッテリーまたはコンデンサを有する。

10

#### 【発明の効果】

#### 【００１３】

本発明の半導体装置では、無線蓄電手段付きのＳＲＡＭを搭載することにより、プログラムメモリおよびデータメモリとしてＳＲＡＭを使用し、メモリ動作の高速化を可能とする。これによりＣＰＵシステムの高速動作が実現できる。また、製造直後は、ＳＲＡＭにはデータが記憶されていないため、半導体装置の用途に応じたプログラムデータを記憶させることが可能である。さらに、製造段階において半導体装置の用途を限っていないため、大量生産により生産コストも低く抑えることが可能となる。

20

#### 【発明を実施するための最良の形態】

#### 【００１４】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

30

#### 【００１５】

##### （実施の形態１）

半導体装置のプログラムデータを記憶するためのメモリを、無線蓄電手段付きのＳＲＡＭに変更することで、プログラムデータを電源オフ時にも記憶保持できる。また、ＳＲＡＭを用いることでＣＰＵのメモリアクセス時に高速な、読み出し、書き込み、消去、が可能となる。また、プログラムデータの書き込み、書き換えが可能になるため、用途に応じたＣＰＵシステムを持つ半導体装置が作製可能となる。以下にその構成、動作について示す。

#### 【００１６】

半導体装置のブロック構成は、図１に示すものである。

40

#### 【００１７】

図１に示すように、半導体装置２０１はロジック部２０６とアナログ部２１５とを有する。ロジック部２０６は、ＣＰＵ２０２と、マスクＲＯＭ２０３と、ＳＲＡＭ２０４ａと、ＳＲＡＭ２０４ｂと、コントローラ２０５とを有する。またアナログ部２１５は、電源回路２０９と、リセット回路２１０と、クロック生成回路２１１と、復調回路２１２と、変調回路２１３と、電源管理回路２１４と、無線蓄電手段２２５とを有する。無線蓄電手段２２５は、アンテナ回路２２４と、電源部２２６と、蓄電装置２２７と、を有する。また、アンテナ回路２２４は、アンテナ２０７と、共振回路２０８と、を有する。

#### 【００１８】

ＳＲＡＭ２０４ａは、無線蓄電手段２２５から電力が供給され、プログラムデータの記

50

憶保持に使用される。つまり無線蓄電手段 225 は、SRAM 204a のデータ保持用の電力供給源として機能する。SRAM 204b は、CPU 202 の演算結果等の一時的な記憶保持などの作業メモリとして使用される。

#### 【0019】

コントローラ 205 は、CPU インターフェース (CPUIF) 216 と、制御レジスタ 217 と、コード抽出回路 218 と、符号化回路 219 とを有する。なお、図 1 では、説明を簡単にするため、通信信号を受信信号 220 と、送信信号 221 とに分けて示したが、実際には、両者は一体とされた信号であり、半導体装置 201 およびリーダ/ライタの間で同時に送受信される。受信信号 220 は、アンテナ回路 224 で受信された後、復調回路 212 により復調される。また、送信信号 221 は、変調回路 213 により変調された後、アンテナ 207 から送信される。

10

#### 【0020】

図 1 において、通信信号により形成される磁界中に半導体装置 201 を置くと、アンテナ回路 224 において誘導起電力が生じる。誘導起電力は、電源回路 209 における電気容量により保持され、また電気容量によって電位が安定化され、半導体装置 201 の各回路に電源電圧として供給される。リセット回路 210 は、半導体装置 201 全体の初期リセット信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。クロック生成回路 211 は、電源管理回路 214 より生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 212 は、ASK 方式の受信信号 220 の振幅の変動を "0" "1" の受信データ 222 として検出する。復調回路 212 は、例えばローパスフィルタとする。さらに、変調回路 213 は、送信データを ASK 方式の送信信号 221 の振幅を変動させて送信する。例えば、送信データ 223 が "0" の場合、共振回路 208 の共振点を変化させ、通信信号の振幅を変化させる。電源管理回路 214 は、電源回路 209 よりロジック部 206 に供給される電源電圧またはロジック部 206 における消費電流を監視し、クロック生成回路 211 において、クロック信号の周波数とデューティ比を変更するための制御信号を生成する。

20

#### 【0021】

無線蓄電手段 225 において、アンテナ 207 が受信した無線信号を基に共振回路 208 で得られた誘導起電力は、電源部 226 により整流される。また、電源部 226 は、蓄電装置 227 に対して、蓄電、放電の制御を行なう機能を有する。蓄電装置 227 は、電力を保持する機能を有し、いわゆる蓄電池 (バッテリー) を適用できる。例えば、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能である。なお、蓄電装置 227 には、蓄電池 (バッテリー) の他、大容量のコンデンサ (例えば、積層セラミックコンデンサ、電気二重層コンデンサなど) を適用することができる。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいので、本発明の実施の形態の半導体装置 201 に適用することで小型化を図ることができる。金属リチウム電池は、正極活物質にリチウムイオン含有遷移金属酸化物、金属酸化物、金属硫化物、鉄系化合物、導電性ポリマーまたは有機イオウ系化合物等を用い、負極活物質にリチウム (合金)、電解質に有機系電解液またはポリマー電解質などを用いることで、充放電容量を大きくすることができる。

30

40

#### 【0022】

次に、本実施の形態における半導体装置の動作を説明する。製造直後の半導体装置内の SRAM 204a にはデータが記憶されていないため、CPU 202 の動作のプログラムデータを書き込む必要がある。SRAM 204a におけるデータの書き込みと書き換え、CPU システムの一連の動作を以下に説明する。

#### 【0023】

まず、リーダ/ライタより送信された受信信号 220 を、半導体装置 201 が受信する。受信信号 220 には SRAM 204a に記憶させるためのプログラムデータが含まれている。なお、図 1 では、説明を簡単にするため、通信信号を受信信号 220 と、送信信号

50

221 とに分けて示したが、実際には、両者は一体とされた信号であり、半導体装置 201 およびリーダー/ライタの間で同時に送受信される。受信信号 220 は、復調回路 212 で復調され、コード抽出回路 218 で制御コマンドやプログラムデータなどに分解され、制御レジスタ 217 に格納される。ここで、制御コマンドは、半導体装置 201 の応答を指定するデータである。例えば、固有 ID 番号の送信、動作停止、暗号解読などを指定する。

#### 【0024】

続いて、ロジック部 206 において、CPU 202 が、マスク ROM 203 に格納された書き込み用プログラムデータを基に受信したプログラムデータを SRAM 204a に書き込む。以降、CPU 202 は、SRAM 204a からプログラムデータを読み出し、演算処理を実行する。演算処理結果や演算途中のデータは SRAM 204b に書き込まれる。CPU 202 は SRAM 204a、SRAM 204b とデータの受渡しを行うことで処理動作を行う。

10

#### 【0025】

無線蓄電手段 225 は、SRAM 204a に書き込まれたプログラムデータ保持用の電力供給源として機能する。無線蓄電手段 225 からの電力供給によって SRAM 204a は電源オフ時にデータを保持することができる。また、SRAM 204a に記憶されたプログラムデータは、マスク ROM 203 に記憶された消去用、または、書き換え用のプログラムデータを実行することで、容易に消去、または、書き換えが可能である。

20

#### 【0026】

なお、CPU 202 は、CPUIF 216 を介してマスク ROM 203、SRAM 204a、SRAM 204b、制御レジスタ 217 にアクセスする。CPUIF 216 は、CPU 202 が要求するアドレスより、マスク ROM 203、SRAM 204a、SRAM 204b、制御レジスタ 217 のいずれかに対するアクセス信号を生成する機能を有している。

#### 【0027】

最後に、符号化回路 219 において、制御レジスタ 217 からの信号により送信データ 223 を生成し、変調回路 213 で送信信号 221 を変調し、アンテナ 207 より送信信号 221 をリーダー/ライタに送信する。

30

#### 【0028】

以上の説明のように、半導体装置は生産段階において SRAM 内にプログラムデータは記憶されていないため、SRAM 204a に、用途に応じた任意のプログラムデータを書き込むことができる。初期状態において、プログラムデータの限定がないため、半導体装置の大量生産が可能であり、生産コストを低く抑えることができる点が特徴として挙げられる。また、SRAM 搭載により、CPU システムの起動直後でも CPU は SRAM から直接データの読み出し、書き込みが行えるため、CPU システム全体の処理速度の向上が可能となる。

#### 【0029】

なお、SRAM 204a はプログラムメモリとしての使用に限らず、データメモリとして使用することもできる。

40

#### 【0030】

以上の構成をとることで、応答速度を向上させたデータの書き換え可能な半導体装置の提供が可能となる。

#### 【0031】

##### (実施の形態 2)

本実施の形態では、無線蓄電手段付き SRAM と CPU を有する半導体装置について説明する。図 2 は、本実施の形態の半導体装置のブロック図である。

#### 【0032】

図 2 を用いて半導体装置のブロック構成を説明する。図 2 において、半導体装置 101 は、ロジック部 106 と、アナログ部 115 とを有する。またロジック部 106 は、CP

50

U 1 0 2 と、マスク R O M 1 0 3 と、S R A M 1 0 4 と、コントローラ 1 0 5 とを有する。アナログ部 1 1 5 は、アンテナ回路 1 2 4 と、電源回路 1 0 9 と、リセット回路 1 1 0 と、クロック生成回路 1 1 1 と、復調回路 1 1 2 と、変調回路 1 1 3 と、電源管理回路 1 1 4 と、無線蓄電手段 1 2 5 とを有する。また、アンテナ回路 1 2 4 は、アンテナ 1 0 7 と、共振回路 1 0 8 と、を有する。無線蓄電手段 1 2 5 は、アンテナ回路 1 2 4 と、電源部 1 2 6 と、蓄電装置 1 2 7 と、を有する。

#### 【 0 0 3 3 】

コントローラ 1 0 5 は、C P U インターフェース ( C P U I F ) 1 1 6 と、制御レジスタ 1 1 7 と、コード抽出回路 1 1 8 と、符号化回路 1 1 9 とを有する。なお、図 2 では、説明を簡単にするため、通信信号を受信信号 1 2 0 と、送信信号 1 2 1 とに分けて示したが、実際には、両者は一体とされた信号であり、半導体装置 1 0 1 およびリーダ/ライタの間で同時に送受信される。受信信号 1 2 0 は、アンテナ回路 1 2 4 とで受信された後、復調回路 1 1 2 により復調される。また、送信信号 1 2 1 は、変調回路 1 1 3 により変調された後、アンテナ 1 0 7 から送信される。

#### 【 0 0 3 4 】

図 2 において、通信信号により形成される磁界中に半導体装置 1 0 1 を置くと、アンテナ回路 1 2 4 において誘導起電力が生じる。誘導起電力は、電源回路 1 0 9 における電気容量により保持され、また電気容量によって電位が安定化され、半導体装置 1 0 1 の各回路に電源電圧として供給される。リセット回路 1 1 0 は、半導体装置 1 0 1 全体の初期リセット信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号を初期リセット信号として生成する。クロック生成回路 1 1 1 は、電源管理回路 1 1 4 より生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 1 1 2 は、A S K 方式の受信信号 1 2 0 の振幅の変動を " 0 " " 1 " の受信データ 1 2 2 として検出する。復調回路 1 1 2 は、例えばローパスフィルタとする。さらに、変調回路 1 1 3 は、送信データを A S K 方式の送信信号 1 2 1 の振幅を変動させて送信する。例えば、送信データ 1 2 3 が " 0 " の場合、共振回路 1 0 8 の共振点を変化させ、通信信号の振幅を変化させる。電源管理回路 1 1 4 は、電源回路 1 0 9 よりロジック部 1 0 6 に供給される電源電圧またはロジック部 1 0 6 における消費電流を監視し、クロック生成回路 1 1 1 において、クロック信号の周波数とデューティ比を変更するための制御信号を生成する。

#### 【 0 0 3 5 】

無線蓄電手段 1 2 5 において、アンテナ 1 0 7 が受信した無線信号を基に共振回路 1 0 8 で得られた誘導起電力は、電源部 1 2 6 により整流される。また、電源部 1 2 6 は、蓄電装置 1 2 7 に対して、蓄電、放電の制御を行なう機能を有する。蓄電装置 1 2 7 は、電力を保持する機能を有し、いわゆる蓄電池 ( バッテリー ) を適用できる。例えば、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能である。なお、蓄電装置 1 2 7 には、蓄電池 ( バッテリー ) の他、蓄電器である大容量のコンデンサ ( 例えば、積層セラミックコンデンサ、電気二重層コンデンサなど ) を適用することができる。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいので、本発明の実施の形態の半導体装置 1 0 1 に適用することで小型化を図ることができる。金属リチウム電池は、正極活物質にリチウムイオン含有遷移金属酸化物、金属酸化物、金属硫化物、鉄系化合物、導電性ポリマーまたは有機イオウ系化合物等を用い、負極活物質にリチウム ( 合金 ) 、電解質に有機系電解液またはポリマー電解質などを用いることで、充放電容量を大きくすることができる。

#### 【 0 0 3 6 】

次に、本実施の形態における半導体装置の動作を説明する。流通業界において商品管理を行う場合、どのような場所を、いつ通過したかは重要な情報である。また、この位置情報、時間情報は消費者に対して製造元、商品の信頼性を得ることのできる点として挙げられる。リーダ/ライタによって半導体装置 1 0 1 に搭載された S R A M 1 0 4 に位置情報

10

20

30

40

50

または時間情報を書き込む場合を以下で説明する。

【 0 0 3 7 】

まず、リーダ/ライタより送信された受信信号 1 2 0 を、半導体装置 1 0 1 が受信する。受信信号 1 2 0 には S R A M 1 0 4 に書き込む位置情報または時間情報が含まれている。受信信号 1 2 0 は、復調回路 1 1 2 で復調された後、コード抽出回路 1 1 8 で制御コマンドや位置情報または時間情報などに分解され、制御レジスタ 1 1 7 に格納される。ここで、制御コマンドは、半導体装置 1 0 1 の応答を指定するデータである。例えば、固有 I D 番号の送信、動作停止、暗号解読などを指定する。

【 0 0 3 8 】

続いて、ロジック部 1 0 6 において、C P U 1 0 2 が、マスク R O M 1 0 3 に格納された書き込み用プログラムデータを基に S R A M 1 0 4 に位置情報または時間情報を書き込む。また書き換え動作は書き込み動作と同様に、C P U 1 0 2 がマスク R O M 1 0 3 に格納された書き換え用プログラムデータを基に S R A M 1 0 4 の記憶データを書き換える。S R A M 1 0 4 に一度書き込まれた位置情報または時間情報は位置情報または時間情報を読み出すためのプログラムデータを含む受信信号 1 2 0 を半導体装置 1 0 1 に受信させることで送信信号 1 2 1 を得ることができる。

【 0 0 3 9 】

無線蓄電手段 1 2 5 は、S R A M 1 0 4 のデータ保持用の電力供給源として機能する。

【 0 0 4 0 】

なお、C P U 1 0 2 は、C P U I F 1 1 6 を介してマスク R O M 1 0 3、S R A M 1 0 4、制御レジスタ 1 1 7 にアクセスする。C P U I F 1 1 6 は、C P U 1 0 2 が要求するアドレスより、マスク R O M 1 0 3、S R A M 1 0 4、制御レジスタ 1 1 7 のいずれかに対するアクセス信号を生成する機能を有している。

【 0 0 4 1 】

最後に、符号化回路 1 1 9 において、応答信号から送信データ 1 2 3 を生成し、変調回路 1 1 3 で変調し、アンテナ 1 0 7 より送信信号 1 2 1 をリーダ/ライタに送信する。

【 0 0 4 2 】

本実施の形態を用いることにより、直接 S R A M から読み出すことが可能となるため、従来の不揮発性メモリと比べて読み出し時間が短縮されるので、処理時間を短縮することが可能となる。また、無線蓄電手段の付加により S R A M に書き込んだデータの保持が可能であるため、電源再供給直後にもシステムの高速度動作が可能となる。

【 0 0 4 3 】

以上の読み出し速度、また、書き込み速度の向上により、リーダ/ライタとの通信時間が短縮できる。応答時間を短縮化したデータ書き込み可能な半導体装置を製造物、製造部品に貼付することで製造工程の履歴情報（固有 I D、製造場所、製造時間、等）を得ることができる。応答時間の短縮化によって、製造ラインの速度を遅くすることなく半導体装置へのデータ書き込みが可能となり、生産ラインへの導入が容易に行える。また、半導体装置に書き込まれた情報を高速に読み取ることで、製造途中で異なる工程へ振り分ける場合や出荷先の分別を自動に行うことができ、生産ラインの効率化を計ることが可能となる。

【 0 0 4 4 】

上記の構成をとることで、応答速度を向上させた半導体装置を提供することが可能となる。

【 0 0 4 5 】

（実施の形態 3）

次に、図 3 を用いて、半導体装置 8 0 0 の構成例を説明する。図 3 は、半導体装置 8 0 0 のブロック図である。半導体装置 8 0 0 は、アンテナ回路 8 0 1、信号処理回路 8 0 2、および蓄電装置 8 0 3 を有する。

【 0 0 4 6 】

アンテナ回路 8 0 1 は、信号の送受信を行う。アンテナ回路 8 0 1 は、アンテナ回路の

10

20

30

40

50



形状に応じた周波数の信号を検波する。アンテナ回路 801 で受信した信号を信号処理回路 802 で直流電源に変換し、電力を蓄電装置 803 に供給する。

【0047】

蓄電装置 803 はいわゆる蓄電池（バッテリー）を適用できる。例えば、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能である。なお、蓄電装置 803 には、蓄電池（バッテリー）の他、大容量のコンデンサ（例えば、積層セラミックコンデンサ、電気二重層コンデンサなど）を適用することができる。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいいため、本発明の実施の形態の半導体装置 800 に適用することで小型化を図ることができる。金属リチウム電池は、正極活物質にリチウムイオン含有遷移金属酸化物、金属酸化物、金属硫化物、鉄系化合物、導電性ポリマーまたは有機イオウ系化合物等を用い、負極活物質にリチウム（合金）、電解質に有機系電解液またはポリマー電解質などを用いることで、充放電容量を大きくすることができる。

10

【0048】

リチウムイオン電池の活物質や電解質をスパッタリング法により形成することにより、蓄電装置 803 を、信号処理回路 802 が形成された基板上に形成することができ、また、アンテナ回路 801 が形成された基板上に形成することもできる。信号処理回路 802 やアンテナ回路 801 が形成された基板上に、蓄電装置 803 を形成することにより、半導体装置 800 を薄膜化、軽量化することができる。

20

【0049】

アンテナ回路 801 は、アンテナ 842 と、共振回路 843 と、を有する。アンテナ 842 は、無線信号を受信する機能を有する。共振回路 843 は、アンテナ 842 が受信した無線信号を基に誘導起電力を生成し、電力を得る回路である。

【0050】

信号処理回路 802 は、電源部 820 とロジック部 830 とに大別される。電源部 820 は、図 3 に示すように、アンテナ回路 801 の出力が接続された整流回路 821、整流回路 821 の出力が接続された充電制御回路 822、蓄電装置 803 の出力が接続された放電制御回路 823、充電制御回路 822 および放電制御回路 823 を制御するスイッチ制御回路 824 を有する。

30

【0051】

充電制御回路 822 は、レギュレータ 822a、レギュレータ 822a の出力が接続されたスイッチ 822b を有する。レギュレータ 822a の出力は、スイッチ 822b を介して蓄電装置 803 に接続されている。

【0052】

整流回路 821 は、アンテナ回路 801 で受信した交流信号を半波整流し、平滑化して直流電圧を作る。充電制御回路 822 は、整流回路 821 から出力される直流電圧を一定電圧にした後、蓄電装置 803 に供給する回路である。整流回路 821 から出力される直流電圧は、充電制御回路 822 のレギュレータ 822a に入力され一定電圧の直流電圧とされる。レギュレータ 822a で生成された定電圧はスイッチ 822b を介して蓄電装置 803 に出力され、蓄電装置 803 に充電される。レギュレータ 822a は、規格以上の電圧が蓄電装置 803 に印加されないように、電圧値を一定にするための回路である。なお、レギュレータ 822a で、入力される直流電圧に対して、電圧値だけでなく、電流値も一定にするようにしてもよい。また、スイッチ 822b をダイオードのような整流素子にすることで、レギュレータ 822a を省略することができる。すなわち、充電制御回路 822 を整流素子のみという単純な構成とすることができる。

40

【0053】

放電制御回路 823 は、レギュレータ 823a、レギュレータ 823a の入力に接続されたスイッチ 823b を有する。レギュレータ 823a の入力、スイッチ 823b を介して、蓄電装置 803 の出力に接続されている。レギュレータ 823a の出力は S R A M

50

８３６に接続されている。蓄電装置８０３に充電された電力が放電制御回路８２３からＳＲＡＭ８３６に供給される。蓄電装置８０３から供給される電力はレギュレータ８２３ａにより定電圧電源とされるため、規格以上の電圧がＳＲＡＭ８３６に入力されることを防ぐことができる。なお、レギュレータ８２３ａで、入力される直流電圧について電圧値だけでなく、電流値も一定にするようにしてもよい。

#### 【００５４】

スイッチ制御回路８２４は、蓄電装置８０３の充電、および蓄電装置８０３からＳＲＡＭ８３６への電源供給を制御する回路である。スイッチ制御回路８２４には、蓄電装置８０３の出力が接続され、この出力をもとに蓄電装置８０３の充電状態を監視する。また、スイッチ制御回路８２４には、整流回路８２１の出力が接続され、この出力から、アンテナ回路８０１で受信した信号の振幅の大きさ（電界の大きさ）を監視している。スイッチ制御回路８２４は、蓄電装置８０３および整流回路８２１の出力を監視し、スイッチ８２２ｂおよびスイッチ８２３ｂのオン、オフを制御する。例えば、スイッチ８２３ｂの制御は、蓄電装置８０３の電圧がある値 $V_1$ 以上になるとスイッチ８２３ｂをオンにし、蓄電装置８０３の電力をＳＲＡＭ８３６に供給する。ある値 $V_2$ （ $V_1 > V_2$ ）以下になるとスイッチ８２３ｂをオフし、ＳＲＡＭ８３６への電力の供給を停止する。例えば、 $V_1$ の設定値は、ＳＲＡＭ８３６のデータを安定に記憶保持ができる電圧値とし、 $V_2$ の設定値は、ＳＲＡＭ８３６のデータを記憶保持させるのに必要な電圧の最小値とする。

#### 【００５５】

ロジック部８３０は、図３に示すように接続された復調回路８３１、アンプ８３２、論理回路８３３、制御レジスタ８３４、ＣＰＵＩＦ８３５、ＳＲＡＭ８３６、マスクＲＯＭ８３７、ＣＰＵ８３８、論理回路８３９、アンプ８４０、および変調回路８４１を有する。ロジック部８３０において、アンプ８３２はアンテナ回路８０１に入力される信号の振幅を増幅し、クロック信号として論理回路８３３に供給する。またＡＳＫ変調やＰＳＫ変調された通信信号は復調回路８３１で復調される。復調後の信号も論理回路８３３に送られ解析される。論理回路８３３で解析された信号は制御レジスタ８３４に送られ、それに基づき、制御レジスタ８３４はＣＰＵＩＦ８３５を介して、ＣＰＵ８３８へ制御信号を送る。

#### 【００５６】

ＳＲＡＭ８３６は、基本的には一時的なデータの記憶を行う作業メモリである。本実施の形態ではＳＲＡＭ８３６を無線蓄電手段と組み合わせており、リーダ／ライタからの電力の供給が行われていない時においてもＳＲＡＭ８３６においてデータの保持が可能となる。マスクＲＯＭ８３７は、ＣＰＵ８３８が動作するために必要となるプログラムデータを記憶している。ＣＰＵ８３８の動作時には、マスクＲＯＭ８３７から読み出したデータに基づいて演算処理を行う。ＣＰＵ８３８は制御信号を基にＣＰＵＩＦ８３５を介して、ＳＲＡＭ８３６、または、マスクＲＯＭ８３７から指定アドレスのデータを読み出し、演算処理を実行する。ＣＰＵ８３８から送られてきたデータは、論理回路８３９でエンコード処理される。そして、エンコード処理されたデータを含む信号が、アンプ８４０で増幅され、その信号によって、変調回路８４１はアンテナ回路８０１より出力する信号に変調をかける。ここで図３における電力は、ロジック部８３０の外に設けられる蓄電装置８０３によって電源部８２０を介して供給している。このようにして半導体装置８００のロジック部８３０は動作する。

#### 【００５７】

図３に示す半導体装置８００において、無線蓄電手段は、アンテナ回路８０１、電源部８２０および蓄電装置８０３を有する。以下、無線蓄電手段を充電し、無線蓄電手段で蓄えた電力を供給する方法を説明する。

#### 【００５８】

半導体装置８００は、電磁波を受信することにより蓄電装置８０３を自動的に充電させることが可能である。また、アンテナ回路８０１は、アンテナ回路の形状に応じた周波数帯域の信号を検波して、直流電源に変換し、電力を発生させることができる。また、リー

10

20

30

40

50

ダ/ライタの代わりに、充電専用で電磁波を発信する装置、いわゆる給電器を用いることで蓄電装置 803 を意図的に充電して、SRAM 836 に電力が無くなることを回避することができる。リーダ/ライタに充電専用の信号を送信する機能を備えることで、充電器として機能させることもできる。

【0059】

無線蓄電手段に充電された電力を SRAM 836 に供給することで、SRAM 836 に記憶されたデータを保持することが可能である。SRAM 836 に記憶されたデータが保持されることで、半導体装置とリーダ/ライタとの通信開始時に、SRAM 836 へのデータ書き込み時間の省略、SRAM 836 の高速読み出しにより、CPU 838 とのデータの受け渡しも高速に行えるため、システムの処理の高速化を行うことが可能となる。SRAM 836 の読み出し、書き込み速度がメモリの中でも非常に高速である特徴を更に活かすことができる。

【0060】

以上の説明のように、無線蓄電手段と SRAM を組み合わせて半導体装置のシステムに組み込むことで、CPU システムの性能を向上させた半導体装置の提供が可能となる。

【実施例 1】

【0061】

図 4 に、本発明の半導体装置の一形態を、斜視図で示す。図 4 において半導体装置 500 は、基板 520 と、カバー材 521 を有する。基板 520、カバー材 521 として、ガラス基板、石英基板、プラスチック基板または SOI (Silicon on Insulator) 基板を用いることが出来る。

【0062】

アンテナ回路 522 と、アンテナ回路 522 以外のアナログ部 523 と、ロジック部 524 とは、基板 520 上に形成されている。そしてカバー材 521 は、アンテナ回路 522 と、アンテナ回路 522 以外のアナログ部 523 と、ロジック部 524 とを覆うように、基板 520 と重なっている。なおアンテナ回路 522 は基板 520 上に形成されていても良いし、アンテナ回路 522 を別途用意して、基板 520 上に貼り付けても良い。

【0063】

アンテナ回路 522 以外のアナログ部 523 には無線蓄電手段 525 が含まれており、ロジック部 524 には SRAM 526 と CPU 527 が含まれている。本発明では、無線蓄電手段 525 から SRAM 526 に電力が供給されている。

【0064】

半導体装置 500 とリーダ/ライタとの間における通信は、キャリア (搬送波) として用いる電波を変調することで行うことが出来る。本実施例では 950 MHz のキャリアを用いた半導体装置 500 の構成について示したが、キャリアの周波数はこれに限定されない。キャリアとして、125 kHz、13.56 MHz など様々な周波数の電波を用いることができる。信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することが出来る。変調の方式も振幅変調、周波数変調、位相変調など様々な方式があるが、特に限定はされない。

【0065】

また本実施例では、電界を用いて通信を行う場合の半導体装置を例示しているので、アンテナ回路 522 としてダイポールアンテナを用いている。電界ではなく磁界を用いて通信を行う場合には、アンテナ回路 522 にコイル状のアンテナを用いることが出来る。

【0066】

また本実施例では、アンテナ回路 522 を有する半導体装置 500 の構成について説明しているが、本発明の半導体装置は必ずしもアンテナ回路 522 を有していなくとも良い。また図 4 に示した半導体装置に、発振回路を設けても良い。

【0067】

本発明の半導体装置は、無線蓄電手段 525、SRAM 526 を含め、全て通常の MOS のプロセスで形成することが可能である。よって、半導体装置を小型化することが出来

10

20

30

40

50

る。

【 0 0 6 8 】

本実施例は、実施の形態 1 ~ 3 と適宜組み合わせる実施することが可能である。

【 実施例 2 】

【 0 0 6 9 】

次に、本発明の半導体装置の作製方法について詳しく述べる。なお本実施例では薄膜トランジスタ ( T F T ) を半導体素子の一例として示すが、本発明の半導体装置に用いられる半導体素子はこれに限定されない。例えば T F T の他に、記憶素子、ダイオード、抵抗、コイル、容量、インダクタなどを用いることができる。

【 0 0 7 0 】

まず図 5 ( A ) に示すように、耐熱性を有する基板 3 0 0 上に、絶縁膜 3 0 1、剥離層 3 0 2、下地膜として機能する絶縁膜 3 0 3 と、半導体膜 3 0 4 とを順に形成する。絶縁膜 3 0 1、剥離層 3 0 2、絶縁膜 3 0 3 及び半導体膜 3 0 4 は連続して形成することが可能である。

【 0 0 7 1 】

基板 3 0 0 として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板、またはシリコン基板等の半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度は低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【 0 0 7 2 】

プラスチック基板として、ポリエチレンテレフタレート ( P E T ) に代表されるポリエステル、ポリエーテルスルホン ( P E S )、ポリエチレンナフタレート ( P E N )、ポリカーボネート ( P C )、ナイロン、ポリエーテルエーテルケトン ( P E E K )、ポリスルホン ( P S F )、ポリエーテルイミド ( P E I )、ポリアリレート ( P A R )、ポリブチレンテレフタレート ( P B T )、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【 0 0 7 3 】

なお本実施例では、剥離層 3 0 2 を基板 3 0 0 上の全面に設けているが本発明はこの構成に限定されない。例えばフォトリソグラフィ法などを用いて、基板 3 0 0 上において剥離層 3 0 2 を部分的に形成する様にしても良い。

【 0 0 7 4 】

絶縁膜 3 0 1、絶縁膜 3 0 3 は、C V D 法やスパッタリング法等を用いて、酸化珪素、窒化珪素 (  $S i N_x$ 、 $S i_3 N_4$  等)、酸化窒化珪素 (  $S i O_x N_y$  ) (  $x > y > 0$  )、窒化酸化珪素 (  $S i N_x O_y$  ) (  $x > y > 0$  ) 等の絶縁性を有する材料を用いて形成する。

【 0 0 7 5 】

絶縁膜 3 0 1、絶縁膜 3 0 3 は、基板 3 0 0 中に含まれる N a などのアルカリ金属やアルカリ土類金属が半導体膜 3 0 4 中に拡散し、T F T などの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また絶縁膜 3 0 3 は、剥離層 3 0 2 に含まれる不純物元素が半導体膜 3 0 4 中に拡散するのを防ぎ、なおかつ後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。

【 0 0 7 6 】

絶縁膜 3 0 1、絶縁膜 3 0 3 は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。本実施例では、膜厚 1 0 0 n m の酸化窒化珪素膜、膜厚 5 0 n m の窒化酸化珪素膜、膜厚 1 0 0 n m の酸化窒化珪素膜を順に積層して絶縁膜 3 0 3 を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の酸化窒化珪素膜に代えて、膜厚 0 . 5 ~ 3  $\mu$  m のシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法、印刷法などによって形成しても良い。ま

10

20

30

40

50

た、中層の窒化酸化珪素膜に代えて、窒化珪素膜 ( $\text{SiN}_x$ 、 $\text{Si}_3\text{N}_4$  等) を用いてもよい。また、上層の酸化窒化珪素膜に代えて、酸化珪素膜を用いてもよい。また、それぞれの膜厚は、 $0.05 \sim 3 \mu\text{m}$  とするのが望ましく、その範囲から自由に選択することができる。

#### 【0077】

或いは、剥離層 302 に最も近い、絶縁膜 303 の下層を酸化窒化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成してもよい。

#### 【0078】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された  $\text{Si}-\text{O}-\text{Si}$  結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも 1 種を有していてもよい。

#### 【0079】

酸化珪素膜は、 $\text{SiH}_4/\text{O}_2$ 、TEOS (テトラエトキシシラン) /  $\text{O}_2$  等の混合ガスを用い、熱 CVD、プラズマ CVD、常圧 CVD、バイアス ECR CVD 等の方法によって形成することができる。また、窒化珪素膜は、代表的には、 $\text{SiH}_4/\text{NH}_3$  の混合ガスを用い、プラズマ CVD によって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、 $\text{SiH}_4/\text{N}_2\text{O}$  の混合ガスを用い、プラズマ CVD によって形成することができる。

#### 【0080】

剥離層 302 は、金属膜、金属酸化膜、金属膜と金属酸化膜とを積層して形成される膜を用いることができる。金属膜と金属酸化膜は、単層であってもよいし、複数の層が積層された積層構造を有していてもよい。また、金属膜や金属酸化膜の他に、金属窒化物や金属酸化窒化物を用いてもよい。剥離層 302 は、スパッタ法やプラズマ CVD 法等の各種 CVD 法等を用いて形成することができる。

#### 【0081】

剥離層 302 に用いられる金属としては、タングステン (W)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、ニオブ (Nb)、ニッケル (Ni)、コバルト (Co)、ジルコニウム (Zr)、亜鉛 (Zn)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os) またはイリジウム (Ir) 等が挙げられる。剥離層 302 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いてもよい。

#### 【0082】

また剥離層 302 は珪素 (Si) 単体で形成された膜を用いてもよいし、珪素 (Si) を含む化合物で形成された膜を用いてもよい。或いは、珪素 (Si) と上記金属とを含む合金で形成された膜を用いてもよい。珪素を含む膜は、非晶質、微結晶、多結晶のいずれでもよい。

#### 【0083】

剥離層 302 は、上述した膜を単層で用いてもよいし、上述した複数の膜を積層して用いてもよい。金属膜と金属酸化膜とが積層された剥離層 302 は、元となる金属膜を形成した後、該金属膜の表面を酸化または窒化させることで形成することができる。具体的には、酸素雰囲気中または  $\text{N}_2\text{O}$  雰囲気中で元となる金属膜にプラズマ処理を行ったり、酸素雰囲気中または  $\text{N}_2\text{O}$  雰囲気中で金属膜に加熱処理を行ったりすればよい。また元となる金属膜上に接するように、酸化珪素膜または酸化窒化珪素膜を形成することでも、酸化を行うことが出来る。また元となる金属膜上に接するように、窒化酸化珪素膜、窒化珪素膜を形成することで、窒化を行うことが出来る。

#### 【0084】

金属膜の酸化または窒化を行うプラズマ処理として、プラズマ密度が  $1 \times 10^{11} \text{ cm}^{-3}$  以上、好ましくは  $1 \times 10^{11} \text{ cm}^{-3}$  から  $9 \times 10^{15} \text{ cm}^{-3}$  以下であり、マイクロ波 (例えば周波数  $2.45 \text{ GHz}$ ) などの高周波を用いた高密度プラズマ処理を行ってもよい。

10

20

30

40

50

## 【0085】

なお元となる金属膜の表面を酸化することで、金属膜と金属酸化膜とが積層した剥離層302を形成するようにしても良いが、金属膜を形成した後に金属酸化膜を別途形成するようにしても良い。

## 【0086】

例えば金属としてタングステンを用いる場合、スパッタ法やCVD法等により元となる金属膜としてタングステン膜を形成した後、該タングステン膜にプラズマ処理を行う。これにより、金属膜に相当するタングステン膜と、該金属膜に接し、なおかつタングステンの酸化物で形成された金属酸化膜とを、形成することができる。

## 【0087】

なおタングステンの酸化物は $WO_x$ で表される。 $x$ は2以上3以下の範囲内にあり、 $x$ が2の場合( $WO_2$ )、 $x$ が2.5の場合( $W_2O_5$ )、 $x$ が2.75の場合( $W_4O_{11}$ )、 $x$ が3の場合( $WO_3$ )となる。タングステンの酸化物を形成するにあたり $x$ の値に特に制約はなく、エッチングレート等をもとに $x$ の値を定めれば良い。

## 【0088】

半導体膜304は、絶縁膜303を形成した後、大気に曝さずに形成することが望ましい。半導体膜304の膜厚は20~200nm(望ましくは40~170nm、好ましくは50~150nm)とする。なお半導体膜304は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomic%程度であることが好ましい。

## 【0089】

なお半導体膜304は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板300として石英のような耐熱性に優れている基板を用いる場合、950程度の高温アニールを行う結晶化法と、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法とを用いても良い。

## 【0090】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する半導体膜304の耐性を高めるために、550、4時間の加熱処理を該半導体膜304に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO<sub>4</sub>レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いるのが望ましい。具体的には、連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。そして、好ましくは光学系により照射面に矩形形状または楕円形状のレーザ光に成形して、半導体膜304に照射する。このときのエネルギー密度は0.01~100MW/cm<sup>2</sup>程度(好ましくは0.1~10MW/cm<sup>2</sup>)が必要である。そして、走査速度を10~2000cm/sec程度とし、照射する。

## 【0091】

連続発振の気体レーザとして、Arレーザ、Krレーザなどを用いることが出来る。また連続発振の固体レーザとして、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、フォルステライト(Mg<sub>2</sub>SiO<sub>4</sub>)レーザ、GdVO<sub>4</sub>レーザ、Y<sub>2</sub>O<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることが出来る。

## 【0092】

またパルス発振のレーザとして、例えばArレーザ、Krレーザ、エキシマレーザ、CO<sub>2</sub>レーザ、YAGレーザ、Y<sub>2</sub>O<sub>3</sub>レーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイア

10

20

30

40

50

レーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

【0093】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜304に照射してから半導体膜304が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数を用いることで、半導体膜304がレーザ光によって熔融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜304中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜304が形成される。具体的には、含まれる結晶粒の走査方向における幅が10

10

【0094】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0095】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

20

【0096】

上述したレーザ光の照射により、結晶性がより高められた半導体膜304が形成される。なお、予め半導体膜304に、スパッタ法、プラズマCVD法、熱CVD法などで形成した多結晶半導体を用いるようにしても良い。

【0097】

また本実施例では半導体膜304を結晶化しているが、結晶化せずに非晶質半導体膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたTFEは、多結晶半導体を用いたTFEよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

30

【0098】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ が挙げられる。この珪素を含む気体を、水素、水素及びヘリウムで希釈して用いても良い。

【0099】

次に図5(B)に示すように、半導体膜304を所定の形状に加工(パターニング)し、島状の半導体膜305～307を形成する。そして、島状の半導体膜305～307を覆うように、ゲート絶縁膜308を形成する。ゲート絶縁膜308は、プラズマCVD法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板300側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

40

【0100】

ゲート絶縁膜308は、高密度プラズマ処理を行うことにより島状の半導体膜305～307の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラ

50

ジカルを含む場合もある)によって、半導体膜の表面を酸化または窒化することにより、1 ~ 20 nm、代表的には5 ~ 10 nmの絶縁膜が半導体膜に接するように形成される。この5 ~ 10 nmの絶縁膜をゲート絶縁膜308として用いる。

#### 【0101】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体膜の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることが出来る。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

#### 【0102】

次に図5(C)に示すように、ゲート絶縁膜308上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、島状の半導体膜305 ~ 307の上方にゲート電極309を形成する。本実施例では積層された2つの導電膜をパターニングしてゲート電極309を形成する。導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

#### 【0103】

本実施例では、1層目の導電膜として窒化タンタル膜またはタンタル(Ta)膜を、2層目の導電膜としてタングステン(W)膜を用いる。2つの導電膜の組み合わせとして、本実施例で示した例の他に、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜、アルミニウム膜とタンタル膜、アルミニウム膜とチタン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の行程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSix等も用いることが出来る。

#### 【0104】

また、本実施例ではゲート電極309を積層された2つの導電膜で形成しているが、本実施例はこの構成に限定されない。ゲート電極309は単層の導電膜で形成されていても良いし、3つ以上の導電膜を積層することで形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

#### 【0105】

導電膜の形成にはCVD法、スパッタリング法等を用いることが出来る。本実施例では1層目の導電膜を20 ~ 100 nmの厚さで形成し、2層目の導電膜を100 ~ 400 nmの厚さで形成する。

#### 【0106】

なおゲート電極309を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有するゲート電極309を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的にゲート電極309を形成しても良い。

#### 【0107】



なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

#### 【0108】

次に、ゲート電極309をマスクとして、島状の半導体膜305～307に、n型を付与する不純物元素（代表的にはP（リン）またはAs（砒素））を低濃度にドーピングする（第1のドーピング工程）。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ 、加速電圧： $50 \sim 70 \text{ keV}$ としたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜308を介してドーピングがなされ、島状の半導体膜305～307に、一対の低濃度不純物領域310がそれぞれ形成される。なお、第1のドーピング工程は、pチャネル型TFETとなる島状の半導体膜305をマスクで覆って行っても良い。

10

#### 【0109】

次に図6（A）に示すように、nチャネル型TFETとなる島状の半導体膜306、307を覆うように、マスク311を形成する。そしてマスク311に加えてゲート電極309をマスクとして用い、島状の半導体膜305に、p型を付与する不純物元素（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $20 \sim 40 \text{ keV}$ として行なう。この第2のドーピング工程によって、ゲート絶縁膜308を介してドーピングがなされ、島状の半導体膜305に、p型の高濃度不純物領域312が形成される。

20

#### 【0110】

次に図6（B）に示すように、マスク311をアッシング等により除去した後、ゲート絶縁膜308及びゲート電極309を覆うように、絶縁膜を形成する。該絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成する。本実施例では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。

#### 【0111】

そして、垂直方向を主体とした異方性エッチングにより、ゲート絶縁膜308及び該絶縁膜を部分的にエッチングする。上記異方性エッチングによりゲート絶縁膜308が部分的にエッチングされて、島状の半導体膜305～307上に部分的に形成されたゲート絶縁膜313が形成される。また上記異方性エッチングにより絶縁膜が部分的にエッチングされて、ゲート電極309の側面に接するサイドウォール314が形成される。サイドウォール314は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる。本実施例ではエッチングガスとしては、 $\text{CHF}_3$ とHeの混合ガスを用いる。なお、サイドウォール314を形成する工程は、これらに限定されるものではない。

30

#### 【0112】

次にpチャネル型TFETとなる島状の半導体膜305を覆うようにマスクを形成する。そして、形成したマスクに加えてゲート電極309及びサイドウォール314をマスクとして用い、n型を付与する不純物元素（代表的にはPまたはAs）を高濃度にドーピングする（第3のドーピング工程）。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 、加速電圧： $60 \sim 100 \text{ keV}$ として行なう。この第3のドーピング工程によって、島状の半導体膜306、307に、一対のn型の高濃度不純物領域315がそれぞれ形成される。

40

#### 【0113】

なおサイドウォール314は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール314の下部に低濃度不純物領域またはノンドープのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域またはオフセット領域の幅を制御するには、サイドウォール314を形成する際の異方性エッチングの条件またはサイドウォール314を形成するための絶縁膜の膜厚を適宜変更し、サイドウォー

50

ル 3 1 4 のサイズを調整すればよい。

【 0 1 1 4 】

次に、マスクをアッシング等により除去した後、不純物領域の加熱処理による活性化を行っても良い。例えば、50 nm の酸化窒化珪素膜を形成した後、550 、4 時間、窒素雰囲気中において、加熱処理を行えばよい。

【 0 1 1 5 】

また、水素を含む窒化珪素膜を、100 nm の膜厚に形成した後、410 、1 時間、窒素雰囲気中において加熱処理を行ない、島状の半導体膜 3 0 5 ~ 3 0 7 を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の加熱処理を行ない、島状の半導体膜 3 0 5 ~ 3 0 7 を水素化する工程を行なっても良い。加熱処理には、熱アニール、レーザーアニール法または R T A 法などを用いることが出来る。加熱処理により、水素化のみならず、半導体膜に添加された不純物元素の活性化も行うことが出来る。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。

10

【 0 1 1 6 】

上述した一連の工程により、n チャンネル型 T F T 3 1 8 、3 1 9 、p チャンネル型 T F T 3 1 7 が形成される。

【 0 1 1 7 】

次に図 6 ( C ) に示すように、T F T 3 1 7 ~ 3 1 9 を保護するためのパッシベーション膜として機能する絶縁膜 3 2 0 を形成する。絶縁膜 3 2 0 は必ずしも設ける必要はないが、絶縁膜 3 2 0 を形成することで、アルカリ金属やアルカリ土類金属などの不純物が T F T 3 1 7 ~ 3 1 9 へ侵入するのを防ぐことが出来る。具体的に絶縁膜 3 2 0 として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施例では、膜厚 600 nm 程度の酸化窒化珪素膜を、絶縁膜 3 2 0 として用いる。この場合、上記水素化の工程は、該酸化窒化珪素膜形成後に行っても良い。

20

【 0 1 1 8 】

次に、T F T 3 1 7 ~ 3 1 9 を覆うように、絶縁膜 3 2 0 上に絶縁膜 3 2 1 を形成する。絶縁膜 3 2 1 は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low - k 材料）、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、P S G（リンガラス）、B P S G（リンボロンガラス）、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜 3 2 1 を形成しても良い。

30

【 0 1 1 9 】

絶縁膜 3 2 1 の形成には、その材料に応じて、C V D 法、スパッタ法、S O G 法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

40

【 0 1 2 0 】

次に島状の半導体膜 3 0 5 ~ 3 0 7 がそれぞれ一部露出するように絶縁膜 3 2 0 及び絶縁膜 3 2 1 にコンタクトホールを形成する。そして、導電膜 3 2 2 と、該コンタクトホールを介して島状の半導体膜 3 0 5 ~ 3 0 7 に接する導電膜 3 2 3 ~ 3 2 6 とを形成する。コンタクトホール開口時のエッチングに用いられるガスは、C H F <sub>3</sub> と H e の混合ガスを用いたが、これに限定されるものではない。

【 0 1 2 1 】

導電膜 3 2 2 ~ 3 2 6 は、C V D 法やスパッタリング法等により形成することができる。具体的に導電膜 3 2 2 ~ 3 2 6 として、アルミニウム（A l）、タンゲステン（W）、チタン（T i）、タンタル（T a）、モリブデン（M o）、ニッケル（N i）、白金（P

50

t)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、珪素(Si)等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜322~326は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

#### 【0122】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜322~326を形成する材料として最適である。特にアルミニウムシリコン(Al-Si)膜は、導電膜322~326をパターニングするとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて低減することができる。また、珪素(Si)の代わりに、アルミニウム膜に0.5%程度のCuを混入させても良い。

10

#### 【0123】

導電膜322~326は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン(Al-Si)膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、島状の半導体膜305~307上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜323~326と島状の半導体膜305~307が良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜322~326をチタン\窒化チタン\アルミニウムシリコン\チタン\窒化チタンの5層構造とすることが出来る。

20

#### 【0124】

なお、導電膜324、325はnチャネル型TFET318の高濃度不純物領域315に接続されている。導電膜325、326はnチャネル型TFET319の高濃度不純物領域315に接続されている。導電膜323はpチャネル型TFET317の高濃度不純物領域312に接続されている。pチャネル型TFET317は、導電膜323によりその不純物領域312が全て電氣的に接続されている。またpチャネル型TFET317は2つのゲート電極309が電氣的に接続されており、MOSバラクタとして機能する。

30

#### 【0125】

次に図7(A)に示すように、導電膜322~326を覆うように絶縁膜330を形成し、その後、導電膜322の一部が露出するように、該絶縁膜330にコンタクトホールを形成する。そして該コンタクトホールにおいて導電膜322と接するように、導電膜331を形成する。導電膜322~326に用いることが出来る材料であるならば、導電膜331の材料として使用することが出来る。

40

#### 【0126】

絶縁膜330は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC(ダイヤモンドライクカーボン)に代表される炭素を含む膜などを用いることができる。なおフォトリソグラフィ法で開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜330はその材料に応じて、CVD法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

#### 【0127】

次にアンテナとして機能する導電膜332を、その一部が導電膜331と接するように

50

形成する。導電膜 332 は、銀 (Ag)、金 (Au)、銅 (Cu)、パラジウム (Pd)、クロム (Cr)、白金 (Pt)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、鉄 (Fe)、コバルト (Co)、亜鉛 (Zn)、錫 (Sn)、ニッケル (Ni) などの金属を用いて形成することが出来る。導電膜 332 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 332 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

#### 【0128】

導電膜 332 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

10

#### 【0129】

例えばスクリーン印刷法を用いる場合、粒径が数 nm から数十  $\mu\text{m}$  の導電性を有する粒子 (導電体粒子) を有機樹脂に分散させた導電性のペーストを、絶縁膜 330 上に選択的に印刷することで導電膜 332 を形成することができる。導電体粒子は、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo)、錫 (Sn)、鉛 (Pb)、亜鉛 (Zn)、クロム (Cr) またはチタン (Ti) 等を用いて形成することが出来る。導電体粒子は上記金属で形成されたものの他に、上記金属を主成分とする合金で形成されていても良いし、上記金属を含む化合物を用いて形成されていても良い。またハロゲン化銀の微粒子または分散性ナノ粒子も用いることができる。また、導電性ペーストに含まれる有機樹脂として、ポリイミド、シロキサン系樹脂、エポキシ樹脂、珪素樹脂等を用いることが出来る。

20

#### 【0130】

上記金属の合金の一例として、銀 (Ag) とパラジウム (Pd)、銀 (Ag) と白金 (Pt)、金 (Au) と白金 (Pt)、金 (Au) とパラジウム (Pd)、銀 (Ag) と銅 (Cu) の組み合わせが挙げられる。また例えば、銅 (Cu) を銀 (Ag) でコートした導電体粒子なども用いることが可能である。

#### 【0131】

なお導電膜 332 の形成にあたり、印刷法や液滴吐出法で導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストに、銀を主成分とする導電体粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150 ~ 300 の温度範囲で焼成することにより、導電膜 332 を形成することができる。焼成は、赤外ランプ、キセノンランプ、ハロゲンランプなどを用いたランプアニールで行なっても良いし、電気炉を用いたファーネスアニールで行なっても良い。またエキシマレーザや、Nd:YAG レーザを用いたレーザーアニール法で行なっても良い。また、半田や鉛フリーの半田を主成分とする微粒子を用いてもよく、この場合は粒径 20  $\mu\text{m}$  以下の微粒子を用いることが好ましい。半田や鉛フリーの半田は、低コストであるといった利点を有している。

30

#### 【0132】

印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも導電膜 332 を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、半導体装置の作製に費やされるコストを抑えることができる。

40

#### 【0133】

次に図 7 (B) に示すように、導電膜 331 及び導電膜 332 を覆うように、絶縁膜 330 上に絶縁膜 333 を形成する。絶縁膜 333 は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC (ダイヤモンドライクカーボン) に代表される炭素を含む膜などを用いることができる。な

50

おフォトリソグラフィ法で開口部を形成するのに用いるマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜 333 はその材料に応じて、CVD 法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

#### 【0134】

次に図 8 (A) に示すように、絶縁膜 303 から絶縁膜 333 までの、TF T に代表される半導体素子と各種導電膜を含む層 (以下、「素子形成層 334」と記す) を、基板 300 から剥離する。本実施例では、第 1 のシート材 335 を素子形成層 334 の絶縁膜 333 側の面に貼り合わせ、物理的な力を用いて基板 300 から素子形成層 334 を剥離する。剥離層 302 は、全て除去せず一部が残存した状態であっても良い。

#### 【0135】

また上記剥離は、剥離層 302 のエッチングを用いた方法で行っても良い。この場合、剥離層 302 が一部露出するように溝を形成する。溝は、ダイシング、スクライピング、UV 光を含むレーザ光を用いた加工、フォトリソグラフィ法などにより、形成する。溝は、剥離層 302 が露出する程度の深さを有していれば良い。そしてエッチングガスとしてフッ化ハロゲンを用い、該ガスを溝から導入する。本実施例では、例えば  $\text{ClF}_3$  (三フッ化塩素) を用い、温度: 350、流量: 300 sccm、気圧: 6 Torr、時間: 3 h の条件で行なう。また、 $\text{ClF}_3$  ガ스에窒素を混ぜたガスをを用いても良い。 $\text{ClF}_3$  等のフッ化ハロゲンを用いることで、剥離層 302 が選択的にエッチングされ、基板 300 を TF T 317 ~ 319 から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

#### 【0136】

次に図 8 (B) に示すように、素子形成層 334 の上記剥離により露出した面に、第 2 のシート材 336 を貼り合わせた後、素子形成層 334 を第 1 のシート材 335 から剥離する。

#### 【0137】

なお基板 300 上に複数の半導体装置に対応する半導体素子を形成している場合には、素子形成層 334 を半導体装置ごとに分断する。分断は、レーザ照射装置、ダイシング装置、スクライブ装置等を用いることができる。

#### 【0138】

なお本実施例では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、信号処理回路と電氣的に接続するようにしても良い。この場合、アンテナと信号処理回路との電氣的な接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等で圧着させることにより電氣的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

#### 【0139】

なお、図 8 (B) に示す半導体装置が完成したら、絶縁膜 333 を覆うように第 3 のシート材を貼り合わせ、加熱処理と加圧処理の一方または両方を行って第 2 のシート材 336 と第 3 のシート材を貼り合わせる様にしても良い。第 2 のシート材 336、第 3 のシート材として、ホットメルトフィルム等を用いることができる。また第 3 のシート材を用意せずとも、第 1 のシート材 335 を剥離せずに、第 1 のシート材 335 と第 2 のシート材 336 を貼り合わせる様にしても良い。

#### 【0140】

また第 2 のシート材 336、第 3 のシート材として、静電気等を防止する帯電防止対策を施したフィルム (以下、帯電防止フィルムと記す) を用いることもできる。帯電防止フィルムで封止を行うことによって、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

#### 【0141】

帯電防止フィルムは、帯電を防ぐことが出来る材料（帯電防止剤）がフィルムに練り込まれたタイプ、フィルムそのものが帯電を防ぐ効果を有するタイプ、及び帯電防止剤をフィルムにコーティングしたタイプ等が挙げられる。帯電防止剤は、ノニオンポリマー系、アニオンポリマー系、カチオンポリマー系、ノニオン界面活性剤系、アニオン界面活性剤系、カチオン界面活性剤系、両性界面活性剤系を用いることが出来る。また金属、インジウムと錫の酸化物（ITO）等も帯電防止剤として用いることが出来る。また帯電を防ぐ効果を有するフィルムの材料として、オレフィン系樹脂、ABS樹脂、スチレン系樹脂、PMMA樹脂、ポリカーボネート系樹脂、PVCポリエステル系樹脂、ポリアミド樹脂、変性PPO樹脂などを用いることが出来る。

【0142】

10

なお、本実施例は、上記実施の形態または他の実施例と組み合わせて実施することが出来る。

【実施例3】

【0143】

本実施例では、単結晶基板に形成されたトランジスタを用いて、本発明の半導体装置を作製する例について説明する。単結晶基板に形成されたトランジスタは特性のばらつきを抑えることが出来るので、半導体装置に用いるトランジスタの数を抑えることが出来る。

【0144】

まず図9（A）に示すように、半導体基板2300に、半導体素子を電気的に分離するための素子分離用絶縁膜2301を絶縁膜で形成する。素子分離用絶縁膜2301の形成により、トランジスタを形成するための領域である素子形成領域2302と、を互いに電気的に分離することが出来る。

20

【0145】

半導体基板2300は、例えば、n型またはp型の導電性を有する単結晶シリコン基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0146】

素子分離用絶縁膜2301の形成には、選択酸化法（LOCOS（Local Oxidation of Silicon）法）またはトレンチ分離法等を用いることができる。

30

【0147】

また本実施例ではn型の導電性を有する単結晶シリコン基板を半導体基板2300として用い、素子形成領域2303にpウェル2304を形成した例を示している。半導体基板2300の素子形成領域2303に形成されたpウェル2304は、p型の導電性を付与する不純物元素を素子形成領域2303に選択的に導入することによって形成することができる。p型を付与する不純物元素としては、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）等を用いることができる。また半導体基板2300としてp型の導電性を有する半導体基板を用いる場合、素子形成領域2302にn型を付与する不純物元素を選択的に導入し、nウェルを形成すれば良い。

40

【0148】

なお本実施例では、半導体基板2300としてn型の導電性を有する半導体基板を用いているため、素子形成領域2302には不純物元素の導入を行っていない。しかし、n型を付与する不純物元素を導入することにより素子形成領域2302にnウェルを形成してもよい。n型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。

【0149】

次に図9（B）に示すように、素子形成領域2302、2303を覆うように絶縁膜2305、2306をそれぞれ形成する。本実施例では、半導体基板2300を熱酸化する

50

ことで素子形成領域 2302、2303 に形成された酸化珪素膜を、絶縁膜 2305、2306 として用いる。また、熱酸化により酸化珪素膜を形成した後、窒化処理を行うことによって酸化珪素膜の表面を窒化させて酸窒化珪素膜を形成し、酸化珪素膜と酸窒化珪素膜とが積層された層を絶縁膜 2305、2306 として用いても良い。

#### 【0150】

他にも、上述したように、プラズマ処理を用いて絶縁膜 2305、2306 を形成してもよい。例えば、高密度プラズマ処理により半導体基板 2300 の表面を酸化または窒化することで、素子形成領域 2302、2303 に、絶縁膜 2305、2306 として用いる酸化珪素 ( $\text{SiO}_x$ ) 膜または窒化珪素 ( $\text{SiN}_x$ ) 膜を形成することができる。

#### 【0151】

次に図 9 (C) に示すように、絶縁膜 2305、2306 を覆うように導電膜を形成する。本実施例では、導電膜として、順に積層された導電膜 2307 と導電膜 2308 とを用いた例を示している。導電膜は、単層の導電膜を用いていても良いし、3 層以上の導電膜が積層された構造を用いていても良い。

#### 【0152】

導電膜 2307、2308 として、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用いることが出来る。また導電膜 2307、2308 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。本実施例では、窒化タンタルを用いて導電膜 2307 を形成し、タングステンを用いて導電膜 2308 を形成する。

#### 【0153】

次に図 10 (A) に示すように、積層して設けられた導電膜 2307、2308 を所定の形状に加工 (パターニング) することによって、絶縁膜 2305、2306 上にゲート電極 2309、2310 を形成する。

#### 【0154】

次に図 10 (B) に示すように、素子形成領域 2302 を覆うように、レジストでマスク 2311 を選択的に形成する。そして、素子形成領域 2303 に不純物元素を導入する。マスク 2311 に加えてゲート電極 2310 もマスクとして機能するので、上記不純物元素の導入により、p ウェル 2304 にソース領域またはドレイン領域として機能する不純物領域 2312 と、チャネル形成領域 2313 が形成される。不純物元素は、n 型を付与する不純物元素または p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。本実施例では、不純物元素として、リン (P) を用いる。

#### 【0155】

次にマスク 2311 を除去した後、図 10 (C) に示すように、素子形成領域 2303 を覆うようにレジストでマスク 2314 を選択的に形成する。そして素子形成領域 2302 に不純物元素を導入する。マスク 2314 に加えてゲート電極 2309 もマスクとして機能するので、上記不純物元素の導入により、素子形成領域 2302 内の半導体基板 2300 において、ソース領域またはドレイン領域として機能する不純物領域 2315 と、チャネル形成領域 2316 が形成される。不純物元素としては、n 型を付与する不純物元素または p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。本実施例では、図 10 (C) で素子形成領域 2303 に導入した不純物元素と異なる導電型を有する不純物元素 (例えば、ボロン (B)) を導入する。

#### 【0156】

次に図 11 (A) に示すように、絶縁膜 2305、2306、ゲート電極 2309、2310 を覆うように絶縁膜 2317 を形成する。そして絶縁膜 2317 にコンタクトホールを形成し、不純物領域 2312、2315 を一部露出させる。次にコンタクトホールを介して不純物領域 2312、2315 と接続する導電膜 2318 を形成する。導電膜 2318 は、CVD 法やスパッタリング法等により形成することができる。

#### 【0157】

絶縁膜 2317 は、無機絶縁膜、有機樹脂膜またはシロキサン系絶縁膜を用いて形成することができる。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC (ダイヤモンドライクカーボン) に代表される炭素を含む膜などを用いることができる。有機樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。また絶縁膜 2317 はその材料に応じて、CVD 法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

10

#### 【0158】

なお本発明の半導体装置に用いるトランジスタは、本実施例において図示した構造に限定されるものではない。例えば、逆スタガ構造であっても良い。

#### 【0159】

次に図 11 (B) に示すように層間膜 2324 を形成する。そして層間膜 2324 をエッチングしコンタクトホールを形成し、導電膜 2318 の一部を露出させる。層間膜 2324 は樹脂には限定せず、CVD 酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2324 上に、コンタクトホールを介して導電膜 2318 と接する配線 2325 を形成する。

20

#### 【0160】

次にアンテナとして機能する導電膜 2326 を、配線 2325 と接するように形成する。導電膜 2326 は、銀 (Ag)、金 (Au)、銅 (Cu)、パラジウム (Pd)、クロム (Cr)、白金 (Pt)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、鉄 (Fe)、コバルト (Co)、亜鉛 (Zn)、錫 (Sn)、ニッケル (Ni) などの金属を用いて形成することが出来る。導電膜 2326 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 2326 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

30

#### 【0161】

導電膜 2326 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

#### 【0162】

なお本実施例では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、信号処理回路と電氣的に接続するようにしても良い。この場合、アンテナと信号処理回路との電氣的な接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等で圧着させることにより電氣的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

40

#### 【0163】

上記作製方法を用いることで、本発明の半導体装置は、半導体基板にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。上記構成により、より極薄化、小型化された半導体装置を提供することができる。

#### 【0164】

50



なお、本実施例は、上記実施の形態または他の実施例と組み合わせて実施することが出来る。

【図面の簡単な説明】

【0165】

【図1】本発明の半導体装置の構成を示すブロック図。

【図2】本発明の半導体装置の構成を示すブロック図。

【図3】本発明の半導体装置の構成を示すブロック図。

【図4】本発明の半導体装置の斜視図。

【図5】本発明の半導体装置の作製方法を示す図。

【図6】本発明の半導体装置の作製方法を示す図。

10

【図7】本発明の半導体装置の作製方法を示す図。

【図8】本発明の半導体装置の作製方法を示す図。

【図9】本発明の半導体装置の作製方法を示す図。

【図10】本発明の半導体装置の作製方法を示す図。

【図11】本発明の半導体装置の作製方法を示す図。

【符号の説明】

【0166】

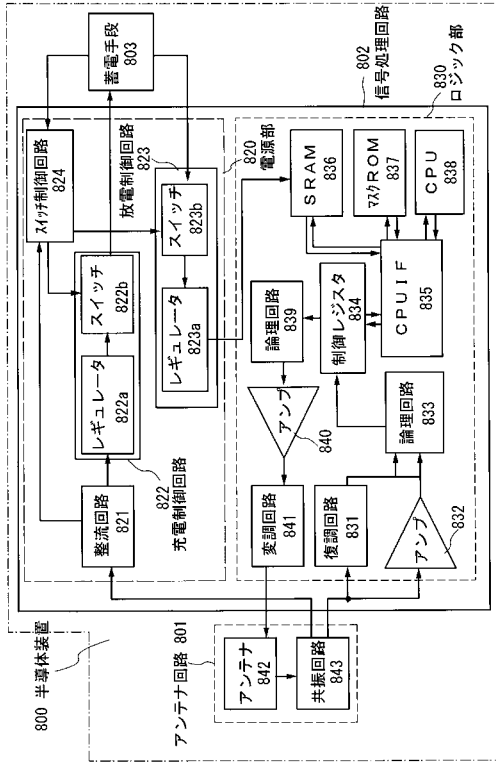
101	半導体装置	
102	CPU	
103	マスクROM	20
104	SRAM	
105	コントローラ	
106	ロジック部	
107	アンテナ	
108	共振回路	
109	電源回路	
110	リセット回路	
111	クロック生成回路	
112	復調回路	
113	変調回路	30
114	電源管理回路	
115	アナログ部	
116	CPUIF	
117	制御レジスタ	
118	コード抽出回路	
119	符号化回路	
120	受信信号	
121	送信信号	
122	受信データ	
123	送信データ	40
124	アンテナ回路	
125	無線蓄電手段	
126	電源部	
127	蓄電装置	
201	半導体装置	
202	CPU	
203	マスクROM	
205	コントローラ	
206	ロジック部	
207	アンテナ	50

2 0 8	共振回路	
2 0 9	電源回路	
2 1 0	リセット回路	
2 1 1	クロック生成回路	
2 1 2	復調回路	
2 1 3	変調回路	
2 1 4	電源管理回路	
2 1 5	アナログ部	
2 1 6	C P U I F	
2 1 7	制御レジスタ	10
2 1 8	コード抽出回路	
2 1 9	符号化回路	
2 2 0	受信信号	
2 2 1	送信信号	
2 2 2	受信データ	
2 2 3	送信データ	
2 2 4	アンテナ回路	
2 2 5	無線蓄電手段	
2 2 6	電源部	
2 2 7	蓄電装置	20
3 0 0	基板	
3 0 1	絶縁膜	
3 0 2	剥離層	
3 0 3	絶縁膜	
3 0 4	半導体膜	
3 0 5	半導体膜	
3 0 6	半導体膜	
3 0 8	ゲート絶縁膜	
3 0 9	ゲート電極	
3 1 0	低濃度不純物領域	30
3 1 1	マスク	
3 1 2	不純物領域	
3 1 3	ゲート絶縁膜	
3 1 4	サイドウォール	
3 1 5	不純物領域	
3 1 7	T F T	
3 1 7	T F T	
3 1 8	T F T	
3 1 9	T F T	
3 2 0	絶縁膜	40
3 2 1	絶縁膜	
3 2 2	導電膜	
3 2 3	導電膜	
3 2 4	導電膜	
3 2 5	導電膜	
3 3 0	絶縁膜	
3 3 1	導電膜	
3 3 2	導電膜	
3 3 3	絶縁膜	
3 3 4	素子形成層	50

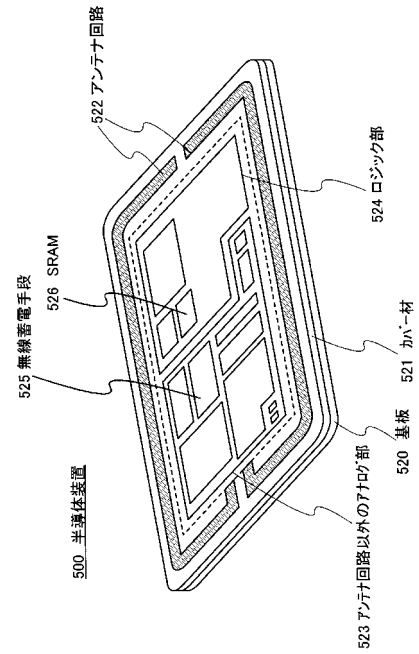
3 3 5	シート材	
3 3 6	シート材	
5 0 0	半導体装置	
5 2 0	基板	
5 2 1	カバー材	
5 2 2	アンテナ回路	
5 2 3	アナログ部	
5 2 4	ロジック部	
5 2 5	無線蓄電手段	
5 2 6	S R A M	10
5 2 7	C P U	
8 0 0	半導体装置	
8 0 1	アンテナ回路	
8 0 2	信号処理回路	
8 0 3	蓄電装置	
8 2 0	電源部	
8 2 1	整流回路	
8 2 2	充電制御回路	
8 2 3	放電制御回路	
8 2 4	スイッチ制御回路	20
8 3 0	ロジック部	
8 3 1	復調回路	
8 3 2	アンプ	
8 3 3	論理回路	
8 3 4	制御レジスタ	
8 3 5	C P U I F	
8 3 6	S R A M	
8 3 7	マスク R O M	
8 3 8	C P U	
8 3 9	論理回路	30
8 4 0	アンプ	
8 4 1	変調回路	
8 4 2	アンテナ	
8 4 3	共振回路	
2 0 4 a	S R A M	
2 0 4 b	S R A M	
2 3 0 0	半導体基板	
2 3 0 1	素子分離用絶縁膜	
2 3 0 2	素子形成領域	
2 3 0 3	素子形成領域	40
2 3 0 4	p ウェル	
2 3 0 5	絶縁膜	
2 3 0 7	導電膜	
2 3 0 8	導電膜	
2 3 0 9	ゲート電極	
2 3 1 0	ゲート電極	
2 3 1 1	マスク	
2 3 1 2	不純物領域	
2 3 1 3	チャネル形成領域	
2 3 1 4	マスク	50



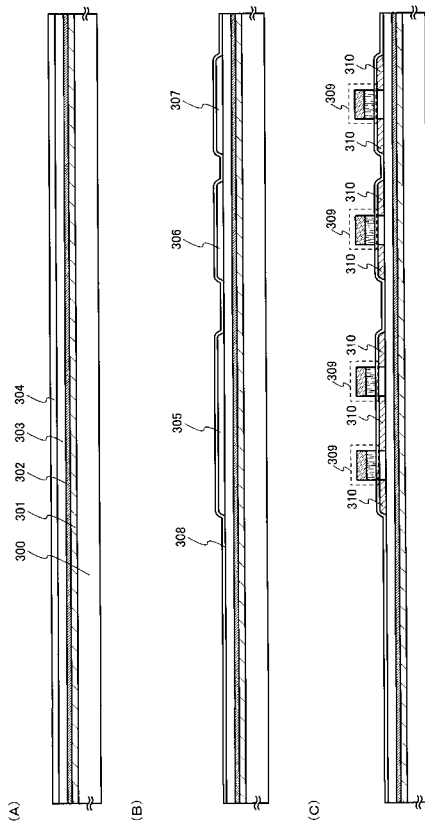
【図 3】



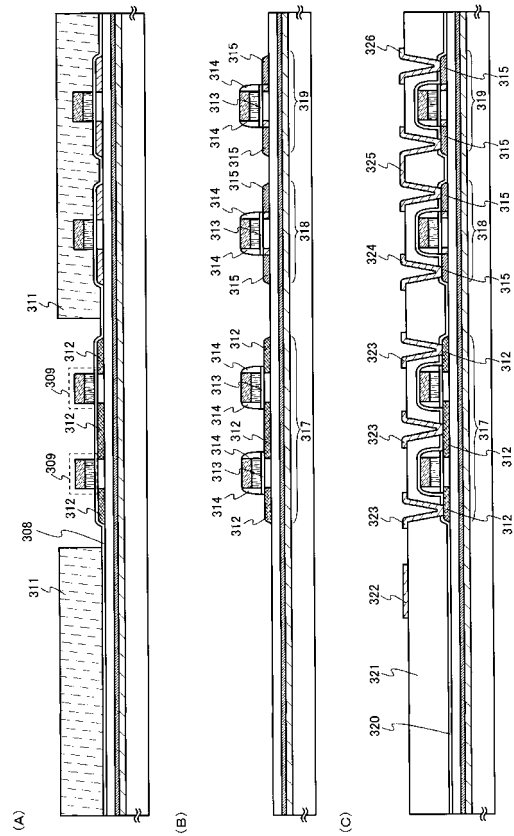
【図 4】



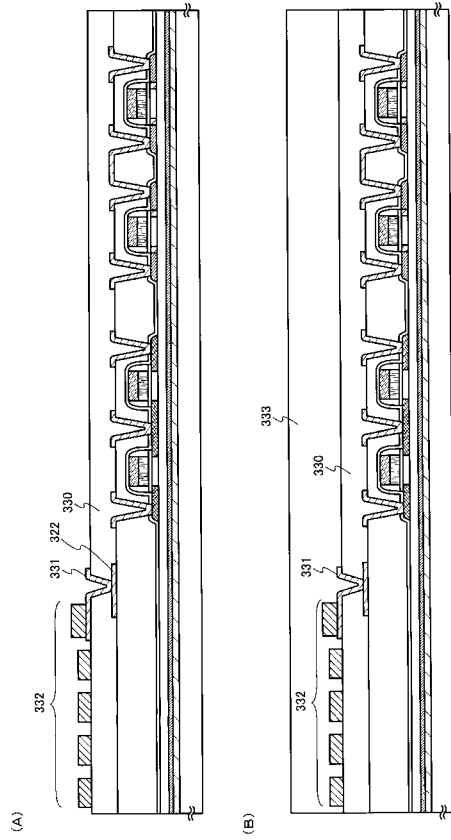
【図 5】



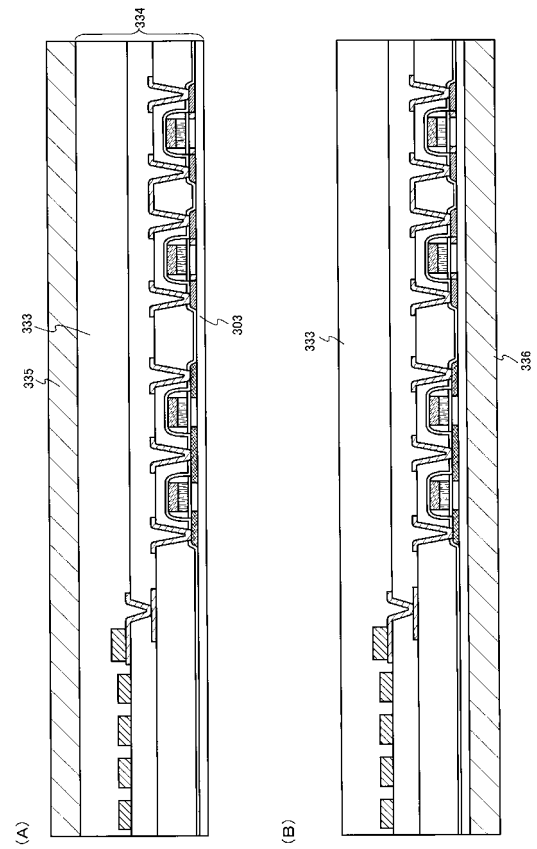
【図 6】



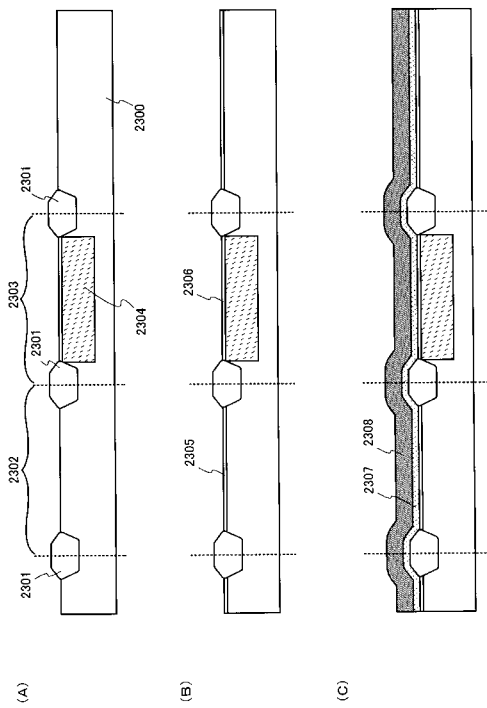
【図 7】



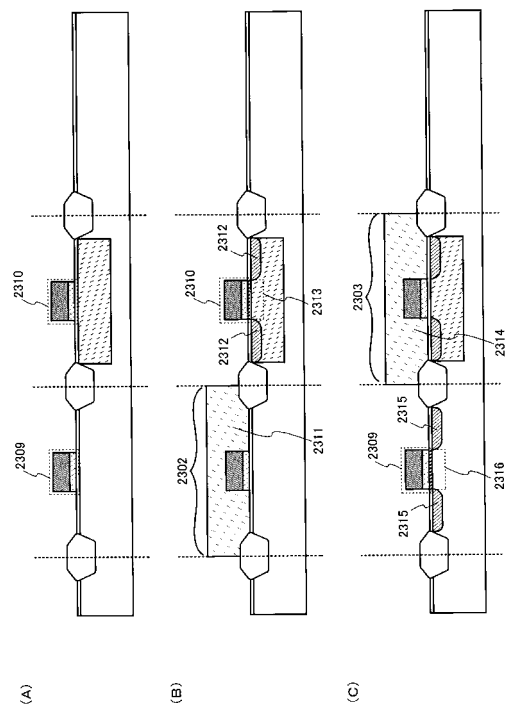
【図 8】



【図 9】

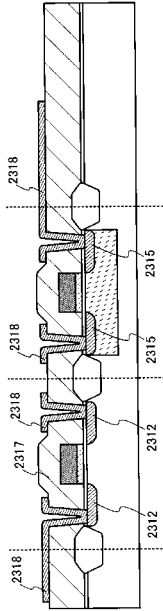


【図 10】

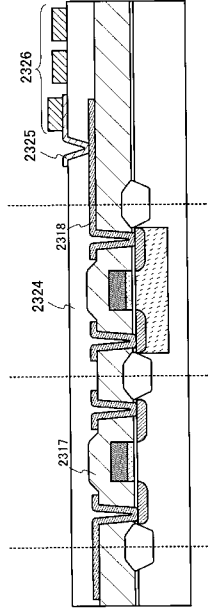


【図 11】

(A)



(B)



## フロントページの続き

(51)Int.Cl.		F I		テーマコード ( 参考 )
<b>H 0 1 L 27/10 (2006.01)</b>		H 0 1 M 10/46		
<b>H 0 1 M 10/46 (2006.01)</b>		H 0 2 J 17/00	A	
<b>H 0 2 J 17/00 (2006.01)</b>				

F ターム ( 参考 ) 5F083 BS02 BS05 BS09 BS10 BS11 BS12 BS14 BS17 BS21 BS22  
 BS23 BS24 BS26 BS27 CR01 GA01 GA30 HA02 HA06 HA10  
 JA05 JA19 JA31 JA35 JA36 JA37 JA38 JA39 JA40 JA53  
 JA56 JA58 JA60 NA01 PR03 PR18 PR21 PR33 PR36 PR43  
 PR44 PR45 PR46 PR53 PR54 PR55 PR56 ZA12 ZA13 ZA14  
 ZA30  
 5H030 AS11 BB01 BB09 BB21 DD20