

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月9日(09.02.2012)

PCT

(10) 国際公開番号
WO 2012/017730 A1

- (51) 国際特許分類:
H03M 1/12 (2006.01) H04N 5/378 (2011.01)
H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2011/062519
- (22) 国際出願日: 2011年5月31日(31.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-177756 2010年8月6日(06.08.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 萩原 義雄 (HAGIHARA Yoshio) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(54) Title: TIME DETECTION CIRCUIT, AD CONVERTER, AND SOLID STATE IMAGING DEVICE

(54) 発明の名称: 時間検出回路、AD変換器、および固体撮像装置

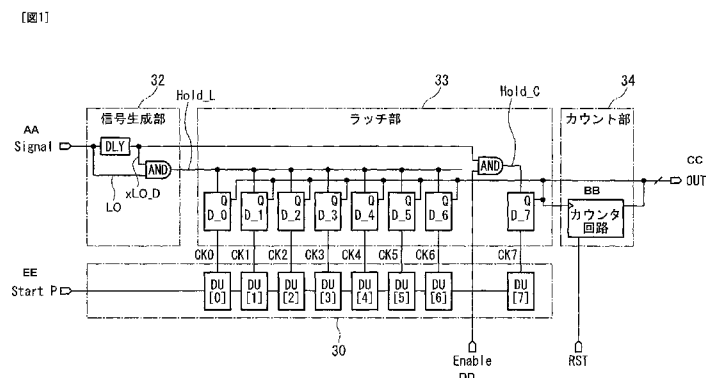


FIG. 1:
32 SIGNAL GENERATION UNIT
33 LATCH UNIT
34 COUNT UNIT
BB COUNTER CIRCUIT

(57) Abstract: The present invention is a time detection circuit having: a delay unit (30) that starts operation at a first timing relating to the input of a first pulse and that has a plurality of delay units (DU) that delay and output an input signal (Start P); a latch unit (33) that latches the logical state of the plurality of delay units (DU); a count unit (34) that counts on the basis of a clock (CK7) output from any one (DU[7]) of the plurality of delay units; and a latch control unit (32) that enables the latch unit (33) at a second timing relating to the input of a second pulse, and causes the latch unit to execute a latch at a third timing that lags from the second timing by a predetermined time. The latch circuits (D_0 to D_6) that configure the latch unit (33) maintain a disabled state (holding state) until the input of the second pulse (the interval of detected time), and so it is possible to reduce the electric current consumed by the latch unit (33).

(57) 要約:

[続葉有]

WO 2012/017730 A1



本発明は、入力信号(Start P)を遅延させて出力する複数の遅延ユニット(DU)を有し、第1のパルスの入力に係る第1のタイミングで動作を開始する遅延部(30)と、前記複数の遅延ユニット(DU)の論理状態をラッチするラッチ部(33)と、前記複数の遅延ユニットのいずれか(DU[7])から出力されるクロック(CK7)に基づいてカウントを行うカウント部(34)と、第2のパルスの入力に係る第2のタイミングで前記ラッチ部(33)を有効にし、前記第2のタイミングから所定の時間だけ経過した第3のタイミングで前記ラッチ部(33)にラッチを実行させるラッチ制御部(32)と、を有する時間検出回路である。ラッチ部(33)を構成するラッチ回路(D_0-D_6)が、第2のパルスの入力があるまで(被検出時間の間)デイスエーブル状態(保持状態)を維持するため、ラッチ部(33)の消費電流を低減することができる。

明 細 書

発明の名称： 時間検出回路、AD変換器、および固体撮像装置 技術分野

[0001] 本発明は、時間検出回路およびそれを用いたAD変換器、固体撮像装置に関する。

本願は、2010年8月6日に、日本に出願された特願2010-177756号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来の時間検出回路の一例として、図8に示した構成（例えば、特許文献1，2参照）が知られている。初めに、図8の時間検出回路の構成および動作について説明する。

[0003] 図8は、従来例に係る時間検出回路の構成を示している。図8に示す時間検出回路は、遅延部30、比較部31、ラッチ部33、およびカウント部34で構成される。遅延部30は、入力信号を遅延させて出力する複数の遅延ユニットDU[0]～DU[7]を有する。先頭の遅延ユニットDU[0]にスタートパルス（=StartP）が入力される。比較部31は、時間検出の対象となるアナログ信号Signalと、時間の経過と共に減少するランプ波Rampとが入力され、アナログ信号Signalとランプ波Rampを比較した結果を示す信号を出力する電圧比較器を有する。ラッチ部33は、遅延部30の出力CK0～CK7の論理状態をラッチするラッチ回路D_0～D_7を有する。カウント部34は、遅延部30からの出力CK7に基づいてカウントを行うカウンタ回路を有する。

[0004] 比較部31において、アナログ信号Signalの振幅に応じたタイムインターバル（時間軸方向の大きさ）が生成される。バッファ回路は、入力信号を反転して出力する反転バッファ回路である。ここでは、本明細書中の説明を理解し易くするために反転バッファ回路の構成としている。

[0005] ラッチ部33を構成するラッチ回路D_0～D_7は、バッファ回路の出力HoldがHighのときにイネーブル（有効）状態であり、遅延ユニットDU[0]～DU[7]の出

力CK0～CK7をそのまま出力する。また、ラッチ回路D_0～D_7は、バッファ回路の出力HoldがHighからLowに遷移するときにディスエーブル（無効）状態となり、そのときの遅延ユニットDU[0]～DU[7]の出力CK0～CK7に応じた論理状態をラッチする。

[0006] 制御信号RSTは、カウント部34を構成するカウンタ回路のリセット動作を行うための信号である。尚、カウント部34のカウント結果の論理状態をラッチするカウントラッチ回路を明示していないが、ラッチ機能を有するカウンタ回路を用いることにより、カウンタ回路がカウントラッチ回路を兼ねている。

[0007] 次に、従来例の動作について説明する。図9は、従来例に係る時間検出回路の動作を示している。

[0008] まず、比較部31での比較開始に係るタイミング（第1のタイミング）で、スタートパルス(=StartP)として、遅延部30の遅延時間に略一致する周期のクロックが遅延部30に入力される。これにより、遅延部30が動作を開始する。遅延部30を構成する遅延ユニットDU[0]は、スタートパルス(=StartP)を反転および遅延させて出力CK0として出力し、遅延部30を構成する遅延ユニットDU[1]～DU[7]はそれぞれ前段の遅延ユニットの出力を反転および遅延させて出力CK1～CK7として出力する。遅延ユニットDU[0]～DU[7]の出力CK0～CK7はラッチ部33のラッチ回路D_0～D_7に入力される。バッファ回路の出力HoldがHighであるため、ラッチ回路D_0～D_7はイネーブル状態であり、遅延ユニットDU[0]～DU[7]の出力CK0～CK7をそのまま出力する。

[0009] カウント部34は、ラッチ部33のラッチ回路D_7の出力Q7として出力される遅延部30の出力CK7に基づいてカウント動作を行う。このカウント動作では、出力CK7の立上りまたは立下りでカウント値が増加または減少する。アナログ信号Signalとランプ波Rampとが略一致したタイミング（第2のタイミング）で出力C0が反転する。比較部31の出力C0がバッファ回路でバッファリングされた後（第3のタイミング）、バッファ回路の出力HoldがLowとなる。

[0010] これにより、ラッチ回路D_0～D_7がディスエーブル状態となる。このとき

、遅延ユニットDU[0]～DU[7]の出力CK0～CK7に応じた論理状態がラッチ回路D_0～D_7にラッチされる。

カウント部34は、ラッチ回路D_7が動作を停止することでカウント値をラッチする。ラッチ部33がラッチしている論理状態と、カウント部34がラッチしているカウント値とにより、アナログ信号Signalに対応したデータが得られる。

[0011] 上記従来例に係る時間検出回路によれば、タイムインターバルに対応したデータを得ることができる。すなわち、タイムインターバルに対応した時間を検出することができる。

上記の時間検出回路を利用して、アナログ信号をデジタル信号に変換するAD変換器を構成することもできる。

先行技術文献

特許文献

[0012] 特許文献1：特開2009-38726号公報

特許文献2：特開2009-38781号公報

発明の概要

発明が解決しようとする課題

[0013] 上記従来の時間検出回路では、ラッチ部33を構成するラッチ回路D_0～D_6がタイムインターバルの期間動作することにより、ラッチ部33で消費される電流値が大きくなり、時間検出回路の低消費電流化が困難である。

[0014] 従来例の時間検出回路では、第1のタイミングから第3のタイミングまでの期間、ラッチ部33を構成するラッチ回路D_0～D_6が常に動作している。遅延部30の出力CK0～CK7は、一般的に周波数が高いため、ラッチ部33を構成するラッチ回路D_0～D_6で消費される電流により、時間検出回路自体の低消費電流化が困難となっている。

[0015] ここで、従来例の時間検出回路をAD変換器に用いた具体的デバイスの例として、デジタルスチルカメラ（DSC）等を使用されるイメージャを考えてみる

。具体的には、画素数は2000万画素、フレームレートは60frame/secというスペックを仮定してみる。尚、AD変換器は画素列ごとに配置するものとする。説明を容易にするため、2000万画素の画素配列を縦横に4000行×5000列とし、更に単純化のためにブランキング期間がないものとする、1秒当りに画素信号を読み出す行の数は、以下ようになる。

$$60\text{frame/sec} \times 4000\text{行/frame} = 240\text{Kline/sec}$$

[0016] つまり、1行の読出しレートは240KHzとなる。例えば10ビットのAD変換を、上位7ビット（カウント部34のカウント値）と下位3ビット（ラッチ部33を構成するラッチ回路D_0～D_7のデータ）で構成したとすると、1行の読出しレートの128（ $=2^7$ ）倍、すなわち30MHz程度で遅延部30からクロックCK0～CK7が出力される必要がある。ここで、ラッチ部33を構成するラッチ回路1個当りの消費電流値を1uA/個と仮定すると、1列当りのラッチ回路D_0～D_6での消費電流値は、

$$1\text{uA/個} \times 7\text{個} = 7\text{uA}$$

となる。尚、ラッチ回路D_7の出力は、カウント部34を構成するカウンタ回路のカウントクロックとして用いるため計算には含めていない。

[0017] つまり、5000列での消費電流値は35mAとなる。この計算では、AD変換器が画素からデータを受け取るまでの待機期間等の、AD変換としての比較動作ができない期間を考慮しておらず、また、上記画素以外にOB（Optical Black）画素から画素信号を読み出す期間やブランキング期間を除いているため、実際には、上記のように見積もった周波数30MHzよりも高い周波数になると考えられる。

[0018] 本発明は、消費電流を低減することができる時間検出回路、AD変換器、および固体撮像装置を提供する。

課題を解決するための手段

[0019] 本発明の時間検出回路は、入力信号を遅延させて出力する複数の遅延ユニットを有し、第1のパルスの入力に係る第1のタイミングで動作を開始する遅延部と、前記複数の遅延ユニットの論理状態をラッチするラッチ部と、前

記複数の遅延ユニットのいずれかから出力されるクロックに基づいてカウントを行うカウント部と、前記カウント部の状態をラッチするカウントラッチ部と、第2のパルスの入力に係る第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから所定の時間だけ経過した第3のタイミングで前記ラッチ部および前記カウントラッチ部にラッチを実行させるラッチ制御部と、を有する。

[0020] 好ましくは、前記遅延部は、前記複数の遅延ユニットが円環状に接続された円環遅延回路であってもよい。

[0021] 好ましくは、所定のアナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記参照信号が前記アナログ信号に対して所定の条件をみたしたときに比較信号を出力する比較部を更に有し、前記ラッチ制御部に前記比較信号が入力され、前記第1のタイミングは、前記参照信号が前記比較部に入力されるタイミングに係り、前記第2のタイミングは、前記比較信号が前記ラッチ制御部に入力されるタイミングに係ってもよい。

[0022] また、本発明のAD変換器は、上記の時間検出回路と、前記参照信号を生成する参照信号生成部と、前記ラッチ部にラッチされた前記論理状態と、前記カウントラッチ部がラッチした前記状態とに基づいてデジタル信号を生成する演算部と、を有する。

[0023] また、本発明の固体撮像装置は、入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配置された撮像部と、前記画素信号に応じた前記アナログ信号が入力される上記のAD変換器と、を有し、前記比較部、前記ラッチ部、前記カウント部、前記カウントラッチ部、および前記ラッチ制御部は、前記撮像部を構成する前記画素の1列または複数列ごとに設けられる。

発明の効果

[0024] 本発明によれば、第2のパルスの入力に係る第2のタイミングでラッチ部を有効にし、第2のタイミングから所定の時間だけ経過した第3のタイミングでラッチ部およびカウントラッチ部にラッチを実行させることによって、

ラッチ部の動作時間が短縮されるので、消費電流を低減することができる。

図面の簡単な説明

[0025] [図1] 本発明の第1の実施形態に係る時間検出回路の構成を示す回路図である。

[図2] 本発明の第1の実施形態に係る時間検出回路の動作を示すタイミングチャートである。

[図3] 本発明の第2の実施形態に係る時間検出回路の構成を示す回路図である。

[図4] 本発明の第2の実施形態に係る時間検出回路の動作を示すタイミングチャートである。

[図5] 本発明の第3の実施形態に係る時間検出回路の構成を示す回路図である。

[図6] 本発明の第3の実施形態に係る時間検出回路の動作を示すタイミングチャートである。

[図7] 本発明の第4の実施形態による固体撮像装置の構成を示すブロック図である。

[図8] 従来の時間検出回路の構成を示す回路図である。

[図9] 従来の時間検出回路の動作を示すタイミングチャートである。

発明を実施するための形態

[0026] 以下、図面を参照し、本発明の実施形態を説明する。

[0027] (第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態に係る時間検出回路の構成の一例を示している。以下、本例の構成について説明する。

図1に示す時間検出回路は、遅延部30、信号生成部32、ラッチ部33、およびカウンタ部34で構成される。

[0028] 遅延部30は、入力信号を遅延させて出力する複数の遅延ユニットDU[0]～DU[7]を有する。先頭の遅延ユニットDU[0]にスタートパルス(=StartP)が入力される。

- [0029] 信号生成部32は、ラッチ部33およびカウント部34の動作を制御する制御信号を生成する。信号生成部32は、時間検出の対象となるアナログ信号Signalを反転および遅延させる反転遅延回路DLYと、反転遅延回路DLYの入力L0(=Signal)と反転遅延回路DLYの出力xL0_Dとの論理積(AND)をとった信号を出力するAND回路とを有する。詳細は後述するが、この構成により、信号生成部32は、第1のタイミングでスタートパルス(=StartP)が入力された後の第2のタイミングでラッチ部33のラッチ回路D_0~D_6をイネーブル(有効)状態にし、第2のタイミングから所定の時間だけ経過した第3のタイミングでラッチ回路D_0~D_6およびカウント部34にラッチを実行させるための制御信号を生成する。
- [0030] ラッチ部33は、遅延部30の出力CK0~CK7の論理状態をラッチするラッチ回路D_0~D_7を有する。また、ラッチ部33は、信号生成部32の反転遅延回路DLYの出力xL0_Dと制御信号Enableとの論理積(AND)をとった信号Hold_Cをラッチ回路DU[7]へ出力するAND回路を有する。カウント部34は、遅延部30からの出力CK7に基づいてカウントを行うカウンタ回路を有する。
- [0031] ラッチ部33を構成するラッチ回路D_0~D_6は、信号生成部32のAND回路の出力Hold_LがHighのときにイネーブル(有効)状態であり、遅延ユニットDU[0]~DU[6]の出力CK0~CK6をそのまま出力する。また、ラッチ回路D_0~D_6は、信号生成部32のAND回路の出力Hold_LがHighからLowに遷移するときにディスエーブル(無効)状態となり、そのときの遅延ユニットDU[0]~DU[6]の出力CK0~CK6に応じた論理状態をラッチする。
- [0032] 一方、ラッチ部33を構成するラッチ回路D_7は、ラッチ部33のAND回路の出力Hold_CがHighのときにイネーブル(有効)状態であり、遅延ユニットDU[7]の出力CK7をそのまま出力する。また、ラッチ回路D_7は、ラッチ部33のAND回路の出力Hold_CがHighからLowに遷移するときにディスエーブル(無効)状態となり、そのときの遅延ユニットDU[7]の出力CK7に応じた論理状態をラッチする。
- [0033] 制御信号Enableは、ラッチ部33のAND回路を制御するための信号である。制

御信号RSTは、カウント部34を構成するカウンタ回路のリセット動作を行うための信号である。本図では、カウント部34のカウント結果の論理状態をラッチするカウントラッチ回路を明示していないが、ラッチ機能を有するカウンタ回路を用いることにより、カウンタ回路がカウントラッチ回路を兼ねている。尚、本構成はあくまで一例であり、これに限らない。

[0034] 次に、本例の動作について説明する。図2は、本実施形態に係る時間検出回路の動作を示している。

[0035] まず、スタートパルス(=StartP)として、遅延部30の遅延時間に略一致する周期のクロックが入力される(第1のタイミング)。これにより、遅延部30が動作を開始する。遅延部30を構成する遅延ユニットDU[0]は、スタートパルス(=StartP)を反転および遅延させて出力CK0として出力し、遅延部30を構成する遅延ユニットDU[1]~DU[7]はそれぞれ前段の遅延ユニットの出力を反転および遅延させて出力CK1~CK7として出力する。遅延ユニットDU[0]~DU[7]の出力CK0~CK7はラッチ部33のラッチ回路D_0~D_7に入力される。反転遅延回路DLYの入力L0(=Signal)がLowであり、信号生成部32のAND回路の出力Hold_LがLowであるため、ラッチ回路D_0~D_6はディスエーブル状態であり、動作を停止している。

[0036] 一方、ラッチ部33のAND回路の出力Hold_CがHighであるため、ラッチ回路D_7はイネーブル状態であり、遅延ユニットDU [7]の出力CK7をそのまま出力する。カウント部34は、ラッチ回路D_7の出力Q7として出力される遅延部30の出力CK7に基づいてカウント動作を行う。このカウント動作では、出力CK7の立上りまたは立下りでカウント値が増加または減少する。

[0037] 第1のタイミングから、検出の対象となる『被検出時間』が経過した後、信号生成部32の反転遅延回路DLYの入力L0(=Signal)が反転することにより、信号生成部32のAND回路の出力Hold_LがHighとなる。これにより、ラッチ回路D_0~D_6はイネーブル状態となる。第2のタイミングから、信号生成部32の反転遅延回路DLYの遅延時間に一致する時間が経過した後(第3のタイミング)、信号生成部32の反転遅延回路DLYの出力xL0_Dが反転し、信号生成部32のA

ND回路の出力Hold_LがLowとなる。これにより、ラッチ回路D_0～D_6がディスエーブル状態となる。このとき、遅延ユニットDU[0]～DU[6]の出力CK0～CK6に応じた論理状態がラッチ部33のラッチ回路D_0～D_6にラッチされる。

[0038] また、上記第3のタイミングでラッチ部33のAND回路の出力Hold_CがLowとなるため、ラッチ回路D_7がディスエーブル状態となり、遅延ユニットDU[7]の出力CK7に応じた論理状態がラッチ部33のラッチ回路D_7にラッチされる。カウント部34は、ラッチ回路D_7が動作を停止することでカウント値をラッチする。ラッチ部33がラッチしている論理状態と、カウント部34がラッチしているカウント値とにより、『被検出時間』に対応したデータが得られる。ラッチされたデータは、例えば後段の演算部（図示せず）に出力され、2進化等の処理が行われる。

[0039] 上記の動作では、第2のタイミングから第3のタイミングまでの期間のみ、ラッチ回路D_0～D_6が動作するため、ラッチ部33での消費電流を低減することができる。したがって、時間検出回路の消費電流を低減することができる。

[0040] 尚、本例ではラッチ部33を構成するラッチ回路D_0～D_6の動作を制御することで低消費電力化を実現した構成としているが、例えばラッチ回路D_1～D_5を制御するような構成でも構わない。また、これに限る必要もない。

[0041] （第2の実施形態）

次に、本発明の第2の実施形態を説明する。図3は、本実施形態に係る時間検出回路の構成の一例を示している。以下、本例の構成図について説明する。図1に示した構成と異なるのは、遅延部30の構成である。本実施形態では、遅延部30を構成する複数の遅延ユニットDU[*]（*は、0～7）をリング状に接続することで円環遅延回路を実現している。これ以外は、図1と同様であるので説明は省略する。

[0042] 次に、本例の動作について説明する。図4は、本実施形態に係る時間検出回路の動作を示している。図2と異なるのは、スタートパルス(=StartP)であり、スタートパルス(=StartP)の論理状態がLowからHighに変化することで遅延

部30が動作を開始し、遅延部30からの出力CK7に基づいてカウント部34のカウント動作が行われる。これ以外は、図2と同様であるので説明は省略する。

[0043] 第1の実施形態では、スタートパルス(=StartP)を、遅延部30の遅延時間に略一致する周期のクロックとして生成する必要があったが、本実施形態では、スタートパルス(=StartP)の生成が容易となる。このため、遅延部30の制御すなわち時間検出回路の制御が容易となる。

[0044] (第3の実施形態)

次に、本発明の第3の実施形態を説明する。図5は、本実施形態に係る時間検出回路の構成の一例を示している。以下、本例の構成図について説明する。図5では遅延部30の図示を省略している。図3に示した構成と異なるのは、比較部31を追加している点である。比較部31は、時間検出の対象となるアナログ信号Signalと、時間の経過と共に増加あるいは減少するランプ波Rampとが入力され、アナログ信号Signalとランプ波Rampを比較した結果を示す信号を出力する電圧比較器で構成される。これにより、アナログ信号Signalに応じたタイムインターバル(図2の説明における『被検出時間』に相当)が生成されることになる。これ以外は、図3と同様であるので説明は省略する。

[0045] 次に、本例の動作について説明する。まず、比較部31での比較開始に係るタイミング(第1のタイミング)で、スタートパルス(=StartP)の論理状態がLowからHighに変化する。

これにより、遅延部30が動作を開始する。遅延部30を構成する遅延ユニットDU[0]は、スタートパルス(=StartP)を反転および遅延させて出力CK0として出力し、遅延部30を構成する遅延ユニットDU[1]～DU[7]はそれぞれ前段の遅延ユニットの出力を反転および遅延させて出力CK1～CK7として出力する。遅延ユニットDU[0]～DU[7]の出力CK0～CK7はラッチ部33のラッチ回路D_0～D_7に入力される。反転遅延回路DLYの入力C0がLowであり、信号生成部32のAND回路の出力Hold_LがLowであるため、ラッチ回路D_0～D_6はディスエーブル状態であり、動作を停止している。

[0046] 一方、ラッチ部33のAND回路の出力Hold_CがHighであるため、ラッチ回路D_

7はイネーブル状態であり、遅延ユニットDU [7]の出力CK7をそのまま出力する。カウント部34は、ラッチ回路D_7の出力Q7として出力される遅延部30の出力CK7に基づいてカウント動作を行う。このカウント動作では、出力CK7の立上りまたは立下りでカウント値が増加または減少する。

[0047] アナログ信号Signalとランプ波Rampとが略一致したタイミング（第2のタイミング）で比較部31の出力C0が反転し、Highとなる。これにより、ラッチ回路D_0～D_6はイネーブル状態となる。第2のタイミングから、信号生成部32の反転遅延回路DLYの遅延時間に一致する時間が経過した後（第3のタイミング）、信号生成部32の反転遅延回路DLYの出力xC0_Dが反転し、信号生成部32のAND回路の出力Hold_LがLowとなる。これにより、ラッチ回路D_0～D_6がディスエーブル状態となる。このとき、遅延ユニットDU[0]～DU[6]の出力CK0～CK6に応じた論理状態がラッチ部33のラッチ回路D_0～D_6にラッチされる。

[0048] また、上記第3のタイミングでラッチ部33のAND回路の出力Hold_CがLowとなるため、ラッチ回路D_7がディスエーブル状態となり、遅延ユニットDU[7]の出力CK7に応じた論理状態がラッチ部33のラッチ回路D_7にラッチされる。カウント部34は、ラッチ回路D_7が動作を停止することでカウント値をラッチする。ラッチ部33がラッチしている論理状態と、カウント部34がラッチしているカウント値とにより、第1のタイミングから第2のタイミングまでのタイムインターバルに対応したデータが得られる。ラッチされたデータは、例えば後段の演算部（図示せず）に出力され、2進化等の処理が行われる。

[0049] 上記の動作では、第2のタイミングから第3のタイミングまでの期間のみ、ラッチ回路D_0～D_6が動作するため、ラッチ部33での消費電流を低減することができる。したがって、時間検出回路の消費電流を低減することができる。

[0050] 尚、本例ではラッチ部33を構成するラッチ回路D_0～D_6の動作を制御することで低消費電力化を実現した構成としているが、例えばラッチ回路D_1～D_5を制御するような構成でも構わない。また、これに限る必要もない。

[0051] （第4の実施形態）

次に、本発明の第4の実施形態を説明する。図7は、本実施形態に係る固体撮像装置の構成の一例を示している。以下、本例の構成図について説明する。図7に示す固体撮像装置1は、撮像部2、垂直選択部12、読出電流源部5、アナログ部6、遅延部18、ランプ部19、カラム処理部15、水平選択部14、演算部17、制御部20で構成されている。

[0052] 撮像部2は、入射される電磁波の大きさに応じた信号を生成し出力する単位画素3が複数、行列状に配されている。垂直選択部12は、撮像部2の各行を選択する。読出電流源部5は、撮像部2からの信号を電圧信号として読み出す。アナログ部6は、撮像部2から読み出された信号にアナログ的な処理を施す。遅延部18は、第2、第3の実施形態で説明した遅延部30に対応し、円環遅延回路8を有する。ランプ部19は、時間の経過とともに増加または減少する参照信号としてランプ波を生成する。カラム処理部15は、ランプ部19と参照信号線19を介して接続される。水平選択部14は、カラム処理部15で生成されたデータを水平信号線117に読み出す。演算部17は、水平信号線117に接続されている。制御部20は各部を制御する。

[0053] 図7では、簡単のため4行×6列の単位画素3から構成される撮像部2の場合について説明しているが、現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置されることになる。尚、図示を割愛するが、撮像部2を構成する単位画素3は、フォトダイオード／フォトゲート／フォトトランジスタなどの光電変換素子、およびトランジスタ回路によって構成されている。

[0054] このシステム構成において、撮像部2の各単位画素3を駆動制御する周辺の駆動系や信号処理系、即ち垂直選択部12、水平選択部14、カラム処理部15、演算部17、遅延部18、ランプ部19、および制御部20などの周辺回路は、撮像部2と共に、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成される。

[0055] 以下では、各部のより詳細な説明を行う。撮像部2は、単位画素3が4行6列分だけ2次元に配置されるとともに、この4行6列の画素配列に対して行ごとに行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行

に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各単位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列ごとに垂直信号線13が配線されている。

[0056] 読出電流源部5は、例えばNMOSトランジスタを用いて構成される。ドレイン端子には撮像部2からの垂直信号線13が接続され、制御端子には適宜所望の電圧が印加され、ソース端子はGNDに接続される。これにより、単位画素3からの信号が電圧モードとして出力されることになる。尚、電流源としてNMOSトランジスタを用いた場合で説明しているがこれに限る必要はない。

[0057] アナログ部6は、詳細な説明は省略するが、垂直信号線13を介して入力された電圧モードの画素信号に対して、画素リセット直後の信号レベル（リセットレベル）と真の信号レベルとの差分処理を行うことで、画素ごとの固定なバラツキであるFPN(=Fixed Pattern Noise: 固定パターンノイズ)やリセットノイズといわれるノイズ成分を取り除く。尚、必要に応じて信号増幅機能を持つAGC(=Auto Gain Control)回路などを設けても構わない。

[0058] カラム処理部15は、例えば撮像部2の画素列ごと、即ち垂直信号線13ごとに設けられたADC部16を有し、撮像部2の各単位画素3から画素列ごとに垂直信号線13を通して読み出されるアナログの画素信号をデジタルデータに変換する。尚、本例では、撮像部2の画素列に対して1対1の対応関係をもってADC部16を配置する構成をとっているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、複数の画素列に対してADC部16を1つ配置し、この1つのADC部16を複数の画素列間で時分割にて使用する構成をとることも可能である。カラム処理部15は、後述するランプ部19、遅延部18、および演算部17と共に、撮像部2の選択画素行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するAD変換器を構成している。

[0059] 遅延部18は、円環遅延回路である対称発振回路であるVCO (=Voltage Controlled Oscillator) 回路に限らず、対称発振回路と同様に円環遅延回路自体は奇数個の遅延ユニットで構成されるが、その出力は等価的に偶数（特に、

2のべき乗)である所謂非対称発振回路を用いても構わない。更に、円環遅延回路自体が偶数個(特に、2のべき乗個)の遅延ユニットで構成され、下位論理状態の出力(端子)が偶数(特に、2のべき乗)となるRDL(=Ring Delay Line)回路や円環遅延回路自体が偶数個(特に、2のべき乗個)の遅延ユニットで構成され、更に遅延ユニットを構成する全差動型反転回路の最終段の出力がそれぞれ初段の入力の逆側に帰還されて構成される所謂全差動型発振回路を用いても構わない。尚、遅延部18として円環遅延回路が好適であるが、それに限る必要もない。

- [0060] ランプ部19は、例えば積分回路によって構成され、制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ波を生成し、参照信号線119を介して電圧比較部131の入力端子の一方に供給する。尚、ランプ部19としては、積分回路を用いたものに限られるものではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のステップを細かくする、あるいはそれと同等な構成をとる必要がある。
- [0061] 水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部15のADC部16の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、ADC部16でAD変換されたデジタルデータは順に水平信号線117に読み出される。
- [0062] 演算部17は、水平信号線117に出力されたデジタルデータに基づいてバイナリ化等のコード変換を実施し、2進化したデジタルデータを出力する。また、演算部17は、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、nビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。
- [0063] 制御部20は、ランプ部19、遅延部18、垂直選択部12、水平選択部14、演算部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG(=Timing Generator: タイミングジェネレータ)の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。尚、制御部20は、撮像

部2や垂直選択部12および水平選択部14など、他の機能要素とは独立して、別の半導体集積回路として提供されても構わない。その場合、撮像部2や垂直選択部12および水平選択部14などからなる撮像デバイスと制御部20とにより、半導体システムの一例である撮像装置が構築される。この撮像装置は、周辺の信号処理や電源回路なども組み込まれた撮像モジュールとして提供されても構わない。

[0064] 次に、ADC部16の構成について説明する。ADC部16は各々、撮像部2の各单位画素3から垂直信号線13を通して読み出されるアナログの画素信号を、ランプ部19から与えられる、AD変換するためのランプ波と比較することにより、画素信号の大きさに対応した時間軸方向の大きさ（パルス幅）を持つタイムインターバルを生成する。そして、このタイムインターバルに対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。

[0065] 以下では、ADC部16の構成の詳細について説明する。ADC部16は列ごとに設けられており、図7では6個のADC部16が設けられている。各列のADC部16は同一の構成となっている。ADC部16は、電圧比較部131、ラッチ制御部132、ラッチ部133、カラムカウンタ134で構成される。

[0066] 比較部の一例である電圧比較部131は、撮像部2の単位画素3から垂直信号線13を通して出力されるアナログの画素信号に応じた信号電圧と、ランプ部19から供給されるランプ波とを比較することによって、画素信号の大きさを、時間軸方向の情報であるタイムインターバル（パルス幅）に変換する。電圧比較部131の比較出力は、例えばランプ電圧が信号電圧よりも大なるときにはLowレベルになり、ランプ電圧が信号電圧以下のときにはHighレベルになる。ラッチ制御部132は、電圧比較部131の比較出力に基づいて、ラッチ部133およびカラムカウンタ134を制御するための制御信号を生成する。

[0067] ラッチ部133は、ラッチ回路D_0～D_6およびラッチ回路D_7を有する。電圧比較部131の比較出力を受けて、この比較出力が反転するタイミング（第2のタイミング）で、ラッチ部133を構成するラッチ回路D_0～D_6がイネーブル状

態となる。第2のタイミングから所定の時間が経過した後（第3のタイミング）、ラッチ部133の各ラッチ回路D_0～D_7がディスエーブル状態となることで、遅延部18で生成された論理状態をラッチ（保持／記憶）する。カラムカウンタ134は、ラッチ部133のラッチ回路D_7の出力に基づいてカウントを行う。ここで、カラムカウンタ134は、カラムカウンタ134の論理状態を保持するラッチ機能を合わせ持つカウンタ回路を想定している。

[0068] ここで、ラッチ部133の論理状態が示す下位データ信号は、例えば8ビットのデータである。また、カラムカウンタ134のカウント結果が示す上位データ信号は、例えば10ビットのデータである。尚、この10ビットは一例であって、10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。

[0069] 次に、本例の動作について説明する。ここでは、単位画素3の具体的な動作については説明を省略するが、周知のように単位画素3ではリセットレベルと信号レベルとが出力される。出力されたりセットレベルと信号レベルは、アナログ部6においてCDS処理された画素出力信号として出力される。

[0070] AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波と、画素出力信号とを比較し、この比較処理の開始に係る時点（第1のタイミング）から、画素出力信号とランプ波のランプ電圧とが一致した時点（第2のタイミング）から所定の時間が経過した後（第3のタイミング）までの期間を、円環遅延回路からの出力（例えばCK7、すなわち図5に記載のラッチ部33のラッチ回路D_7の出力Qに相当）に基づくカウントと、一定の位相差を有する多相クロック（CK0～CK7、すなわち図5に記載のラッチ部33のラッチ回路D_0～D_7の出力Qに相当）の論理状態と、を用いて計測することで、画素出力信号に対応したデジタルデータを得る。尚、撮像部2の選択行の各単位画素3から、1回目の読出し動作で画素信号の雑音を含むリセットレベルが読み出してAD変換し、次に、2回目の読出し動作で信号レベル読み出してAD変換し、その後デジタル的にCDS動作することにより、画素出力信号に応じたデジタルデータを得るようにしても構わない。また、これに限る必要もない。

- [0071] 任意の画素行の単位画素3から垂直信号線13へ出力された画素出力信号が安定した後、制御部20は、ランプ部19に対して、ランプ波生成の制御データを供給する。これを受けてランプ部19は、電圧比較部131の一方の入力端子に与える比較電圧として、全体として時間的にランプ状に変化するランプ波を出力する。電圧比較部131は、このランプ波と画素出力信号との比較を開始する（第1のタイミング）。また、制御部20は、この第1のタイミングで、円環遅延回路8へ出力するスタートパルスでLowからHighに変化させる。
- [0072] 電圧比較部131は、ランプ部19から与えられるランプ波と、画素出力信号とを比較し、双方の電圧が略一致したとき（第2のタイミング）に、比較出力を出力する。この比較出力は、更に反転または遅延して出力される（第3のタイミング）。第2のタイミングにおいて、電圧比較部131の比較出力に基づいてラッチ部133のラッチ回路D_0～D_6がイネーブル状態となり、第3のタイミングにおいて、ラッチ部133のラッチ回路D_0～D_7がディスエーブル状態となり、遅延部18からの出力に応じた論理状態をラッチする。カラムカウンタ134は、ラッチ部133のラッチ回路D_7が停止することでカウント値をラッチする。これにより、画素出力信号に応じたデジタルデータ（データ信号）が得られる。制御部20は、所定の期間が経過すると、ランプ部19への制御データの供給と、遅延部18からの出力とを停止する。これにより、ランプ部19は、ランプ波の生成を停止する。
- [0073] その後、デジタルデータは、水平選択部14により水平信号線117を介して出力され、演算部17に転送される。演算部17において、バイナリ化処理を実施することで2進化データが得られる。尚、演算部17をカラム処理部15に内蔵する構成でも構わない。
- [0074] 上記の動作では、第2のタイミングから第3のタイミングまでの期間のみ、ラッチ回路D_0～D_6が動作するため、ラッチ部33での消費電流を低減することができる。したがって、AD変換器の消費電流、ひいては固体撮像装置の消費電流を低減することができる。
- [0075] 尚、本例ではラッチ部133を構成するラッチ回路D_0～D_6の動作を制御する

ことで低消費電力化を実現した構成としているが、例えばラッチ回路D₁～D₅を制御するような構成でも構わない。また、これに限る必要もない。

[0076] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0077] 本発明によれば、ラッチ部の動作時間が短縮されることにより、消費電流が低減された時間検出回路、AD変換器、および固体撮像装置を提供することができる。

符号の説明

[0078]

2	撮像部
5	読出電流源部
6	アナログ部
8	円環遅延回路
12	垂直選択部
14	水平選択部
15	カラム処理部
16	ADC部
17	演算部
18	遅延部
19	ランプ部（参照信号生成部）
20	制御部
30	遅延部
31	比較部
32	信号生成部（ラッチ制御部）
33	ラッチ部
34	カウント部（カウントラッチ部）
131	電圧比較部（比較部）

- 132 ラッチ制御部
- 133 ラッチ部
- 134 カラムカウンタ（カウントラッチ部）

請求の範囲

- [請求項1] 入力信号を遅延させて出力する複数の遅延ユニットを有し、第1のパルスの入力に係る第1のタイミングで動作を開始する遅延部と、
前記複数の遅延ユニットの論理状態をラッチするラッチ部と、
前記複数の遅延ユニットのいずれかから出力されるクロックに基づいてカウントを行うカウント部と、
前記カウント部の状態をラッチするカウントラッチ部と、
第2のパルスの入力に係る第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから所定の時間だけ経過した第3のタイミングで前記ラッチ部および前記カウントラッチ部にラッチを実行させるラッチ制御部と、
を有する時間検出回路。
- [請求項2] 前記遅延部は、前記複数の遅延ユニットが円環状に接続された円環遅延回路である、請求項1に記載の時間検出回路。
- [請求項3] 所定のアナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記参照信号が前記アナログ信号に対して所定の条件をみたしたときに比較信号を出力する比較部を更に有し、
前記ラッチ制御部に前記比較信号が入力され、
前記第1のタイミングは、前記参照信号が前記比較部に入力されるタイミングに係り、
前記第2のタイミングは、前記比較信号が前記ラッチ制御部に入力されるタイミングに係る、請求項1に記載の時間検出回路。
- [請求項4] 前記遅延部は、前記複数の遅延ユニットが円環状に接続された円環遅延回路である、請求項3に記載の時間検出回路。
- [請求項5] 時間検出回路と、
前記参照信号を生成する参照信号生成部と、
前記ラッチ部にラッチされた前記論理状態と、前記カウントラッチ部がラッチした前記状態とに基づいてデジタル信号を生成する演算部

と、

を有するAD変換器であって、

前記時間検出回路は、

入力信号を遅延させて出力する複数の遅延ユニットを有し、第1のパルスの入力に係る第1のタイミングで動作を開始する遅延部と、

前記複数の遅延ユニットの論理状態をラッチするラッチ部と、

前記複数の遅延ユニットのいずれかから出力されるクロックに基づいてカウントを行うカウント部と、

前記カウント部の状態をラッチするカウントラッチ部と、

第2のパルスの入力に係る第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから所定の時間だけ経過した第3のタイミングで前記ラッチ部および前記カウントラッチ部にラッチを実行させるラッチ制御部と、

所定のアナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記参照信号が前記アナログ信号に対して所定の条件をみたしたときに比較信号を出力する比較部と、

を有し、

前記ラッチ制御部に前記比較信号が入力され、

前記第1のタイミングは、前記参照信号が前記比較部に入力されるタイミングに係り、

前記第2のタイミングは、前記比較信号が前記ラッチ制御部に入力されるタイミングに係る、AD変換器。

[請求項6] 前記遅延部は、前記複数の遅延ユニットが円環状に接続された円環遅延回路である、請求項5に記載のAD変換器。

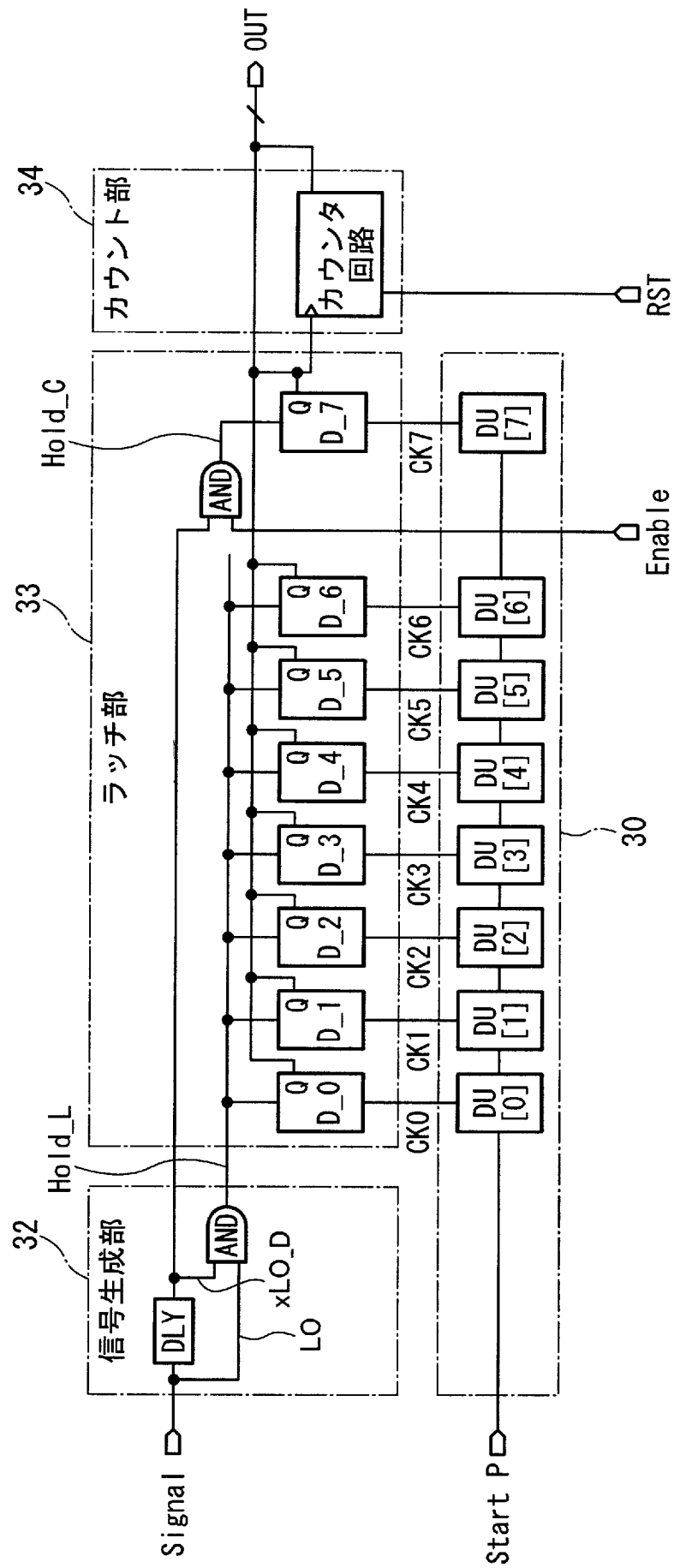
[請求項7] 入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配置された撮像部と、
前記画素信号に応じた前記アナログ信号が入力されるAD変換器と、
を有し、

前記AD変換器は、
時間検出回路と、
前記参照信号を生成する参照信号生成部と、
前記ラッチ部にラッチされた前記論理状態と、前記カウントラッチ部がラッチした前記状態とに基づいてデジタル信号を生成する演算部と、
を有するAD変換器であって、
前記時間検出回路は、
入力信号を遅延させて出力する複数の遅延ユニットを有し、第1のパルスの入力に係る第1のタイミングで動作を開始する遅延部と、
前記複数の遅延ユニットの論理状態をラッチするラッチ部と、
前記複数の遅延ユニットのいずれかから出力されるクロックに基づいてカウントを行うカウント部と、
前記カウント部の状態をラッチするカウントラッチ部と、
第2のパルスの入力に係る第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから所定の時間だけ経過した第3のタイミングで前記ラッチ部および前記カウントラッチ部にラッチを実行させるラッチ制御部と、
所定のアナログ信号と、時間の経過とともに増加または減少する参照信号とが入力され、前記参照信号が前記アナログ信号に対して所定の条件をみたしたときに比較信号を出力する比較部と、
を有し、
前記ラッチ制御部に前記比較信号が入力され、
前記第1のタイミングは、前記参照信号が前記比較部に入力されるタイミングに係り、
前記第2のタイミングは、前記比較信号が前記ラッチ制御部に入力されるタイミングに係り、
前記比較部、前記ラッチ部、前記カウント部、前記カウントラッチ

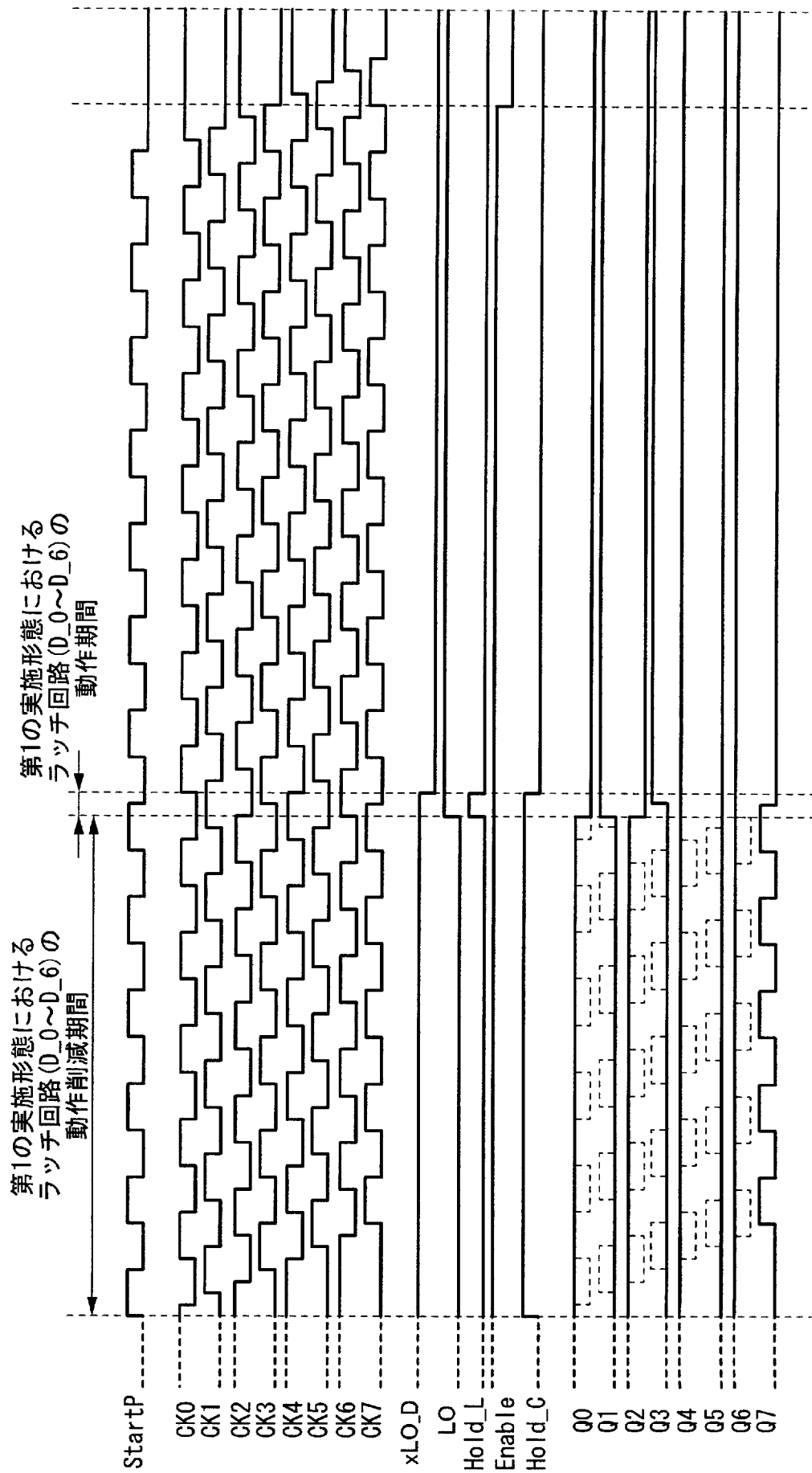
部、および前記ラッチ制御部は、前記撮像部を構成する前記画素の 1 列または複数列ごとに設けられる、固体撮像装置。

[請求項8] 前記遅延部は、前記複数の遅延ユニットが円環状に接続された円環遅延回路である、請求項 7 に記載の固体撮像装置。

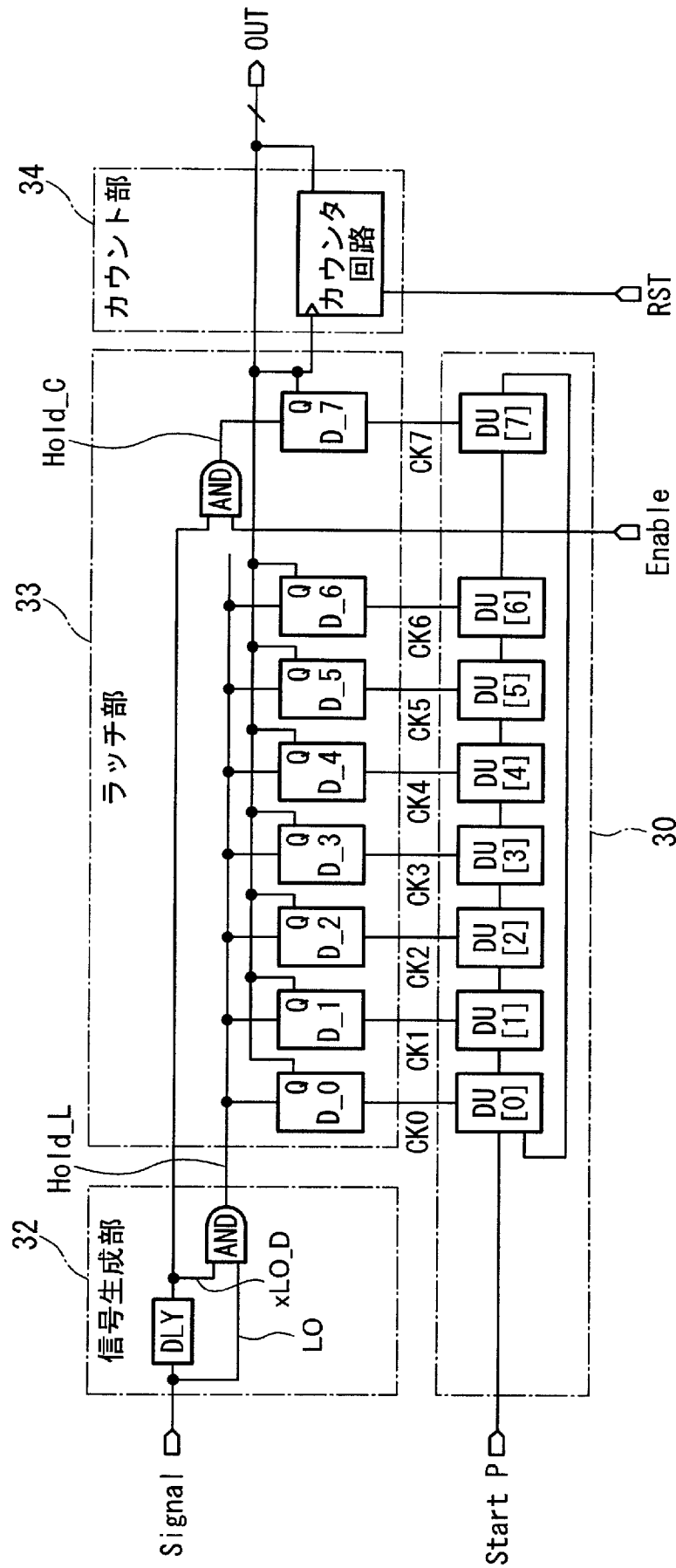
[図1]



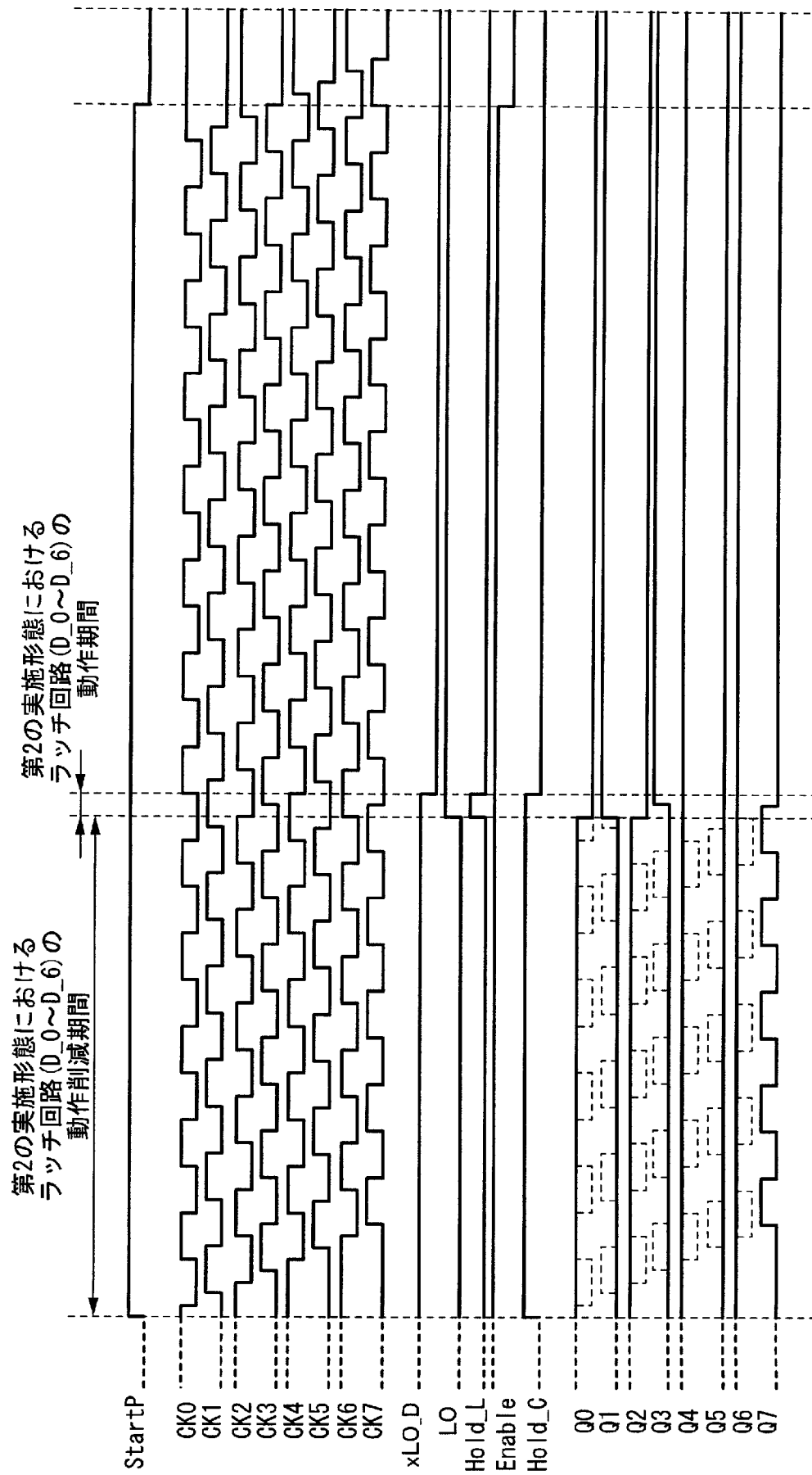
[図2]



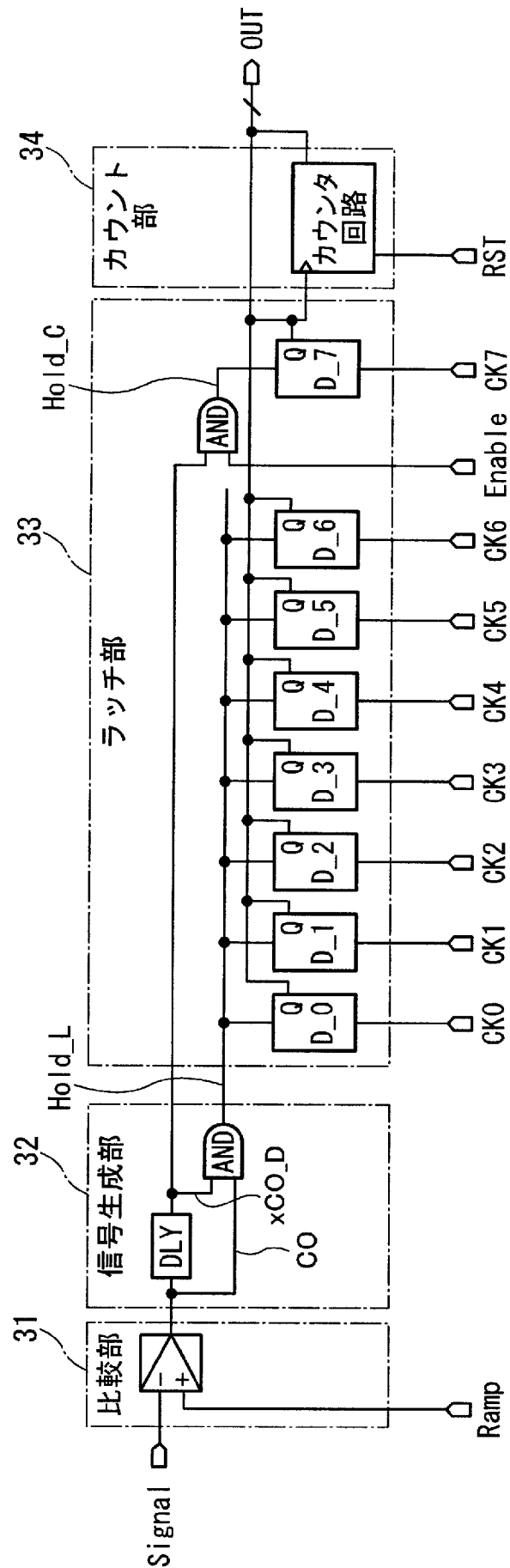
[図3]



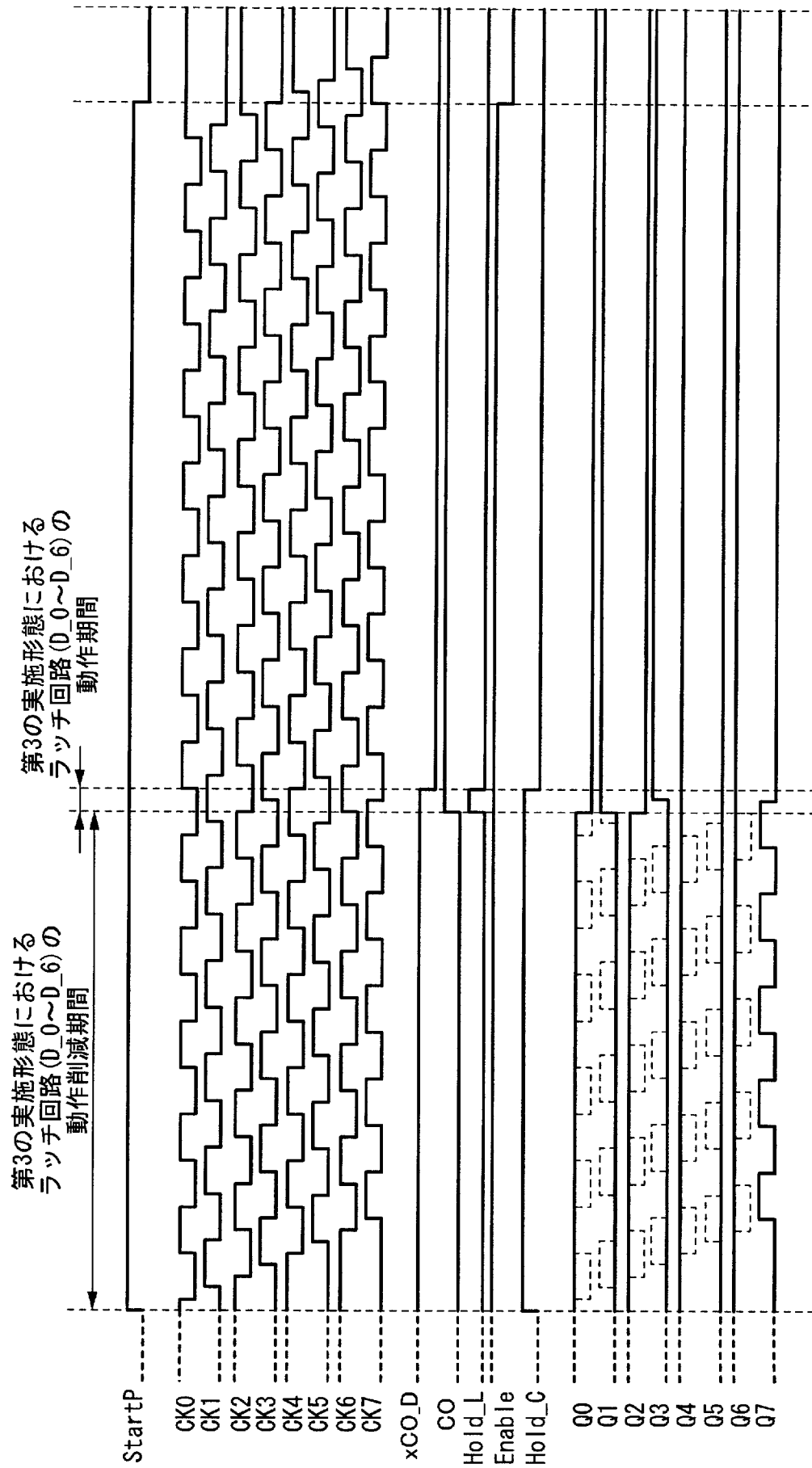
[図4]

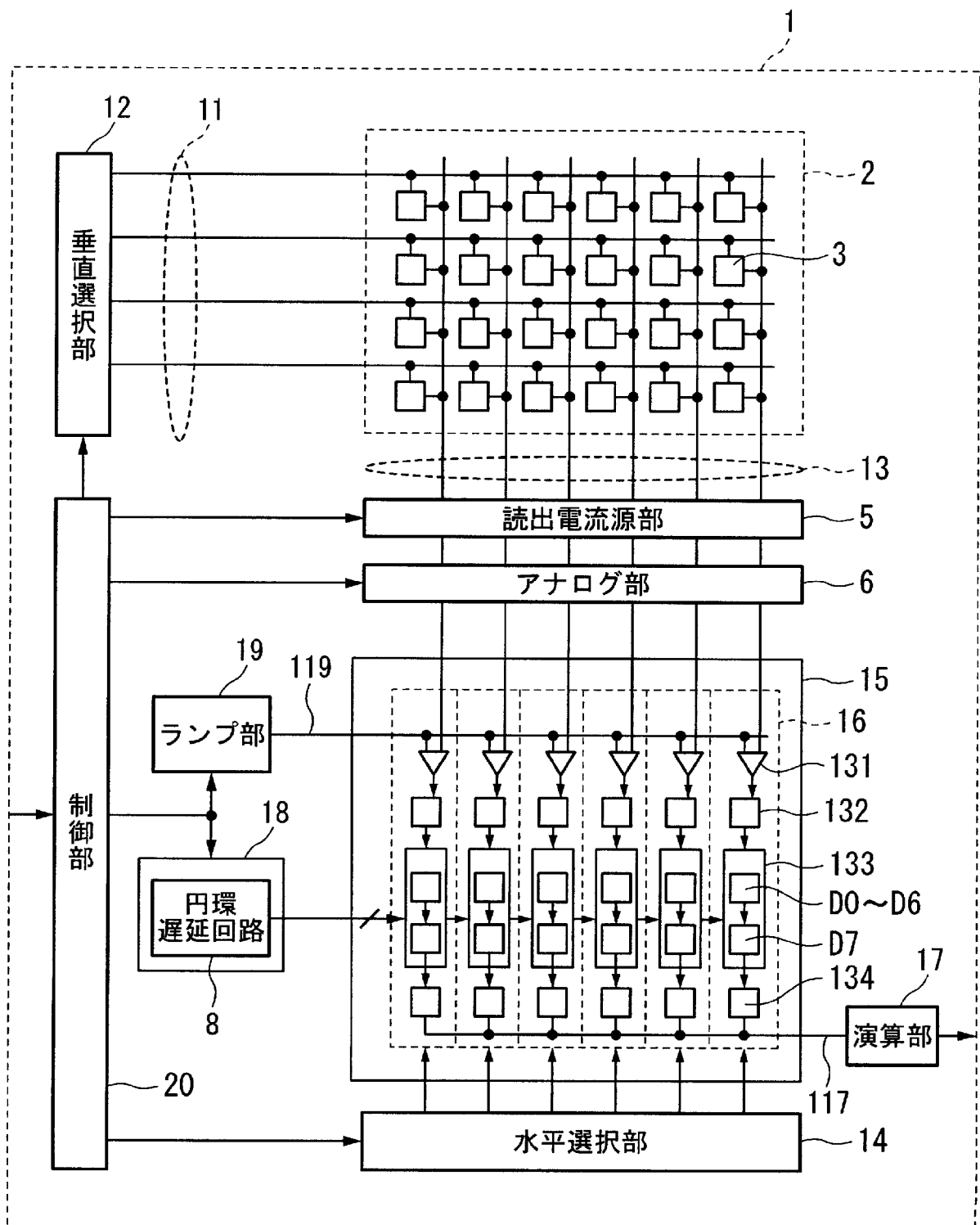


[図5]

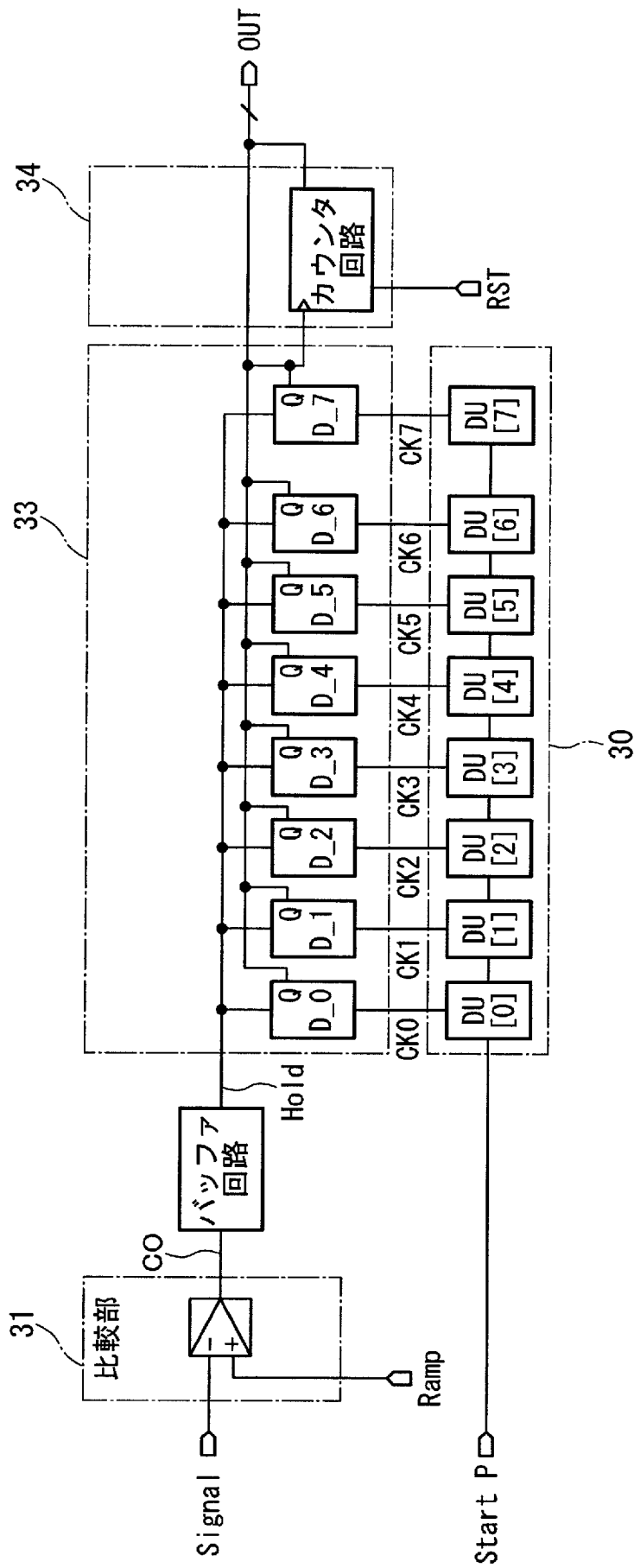


[図6]

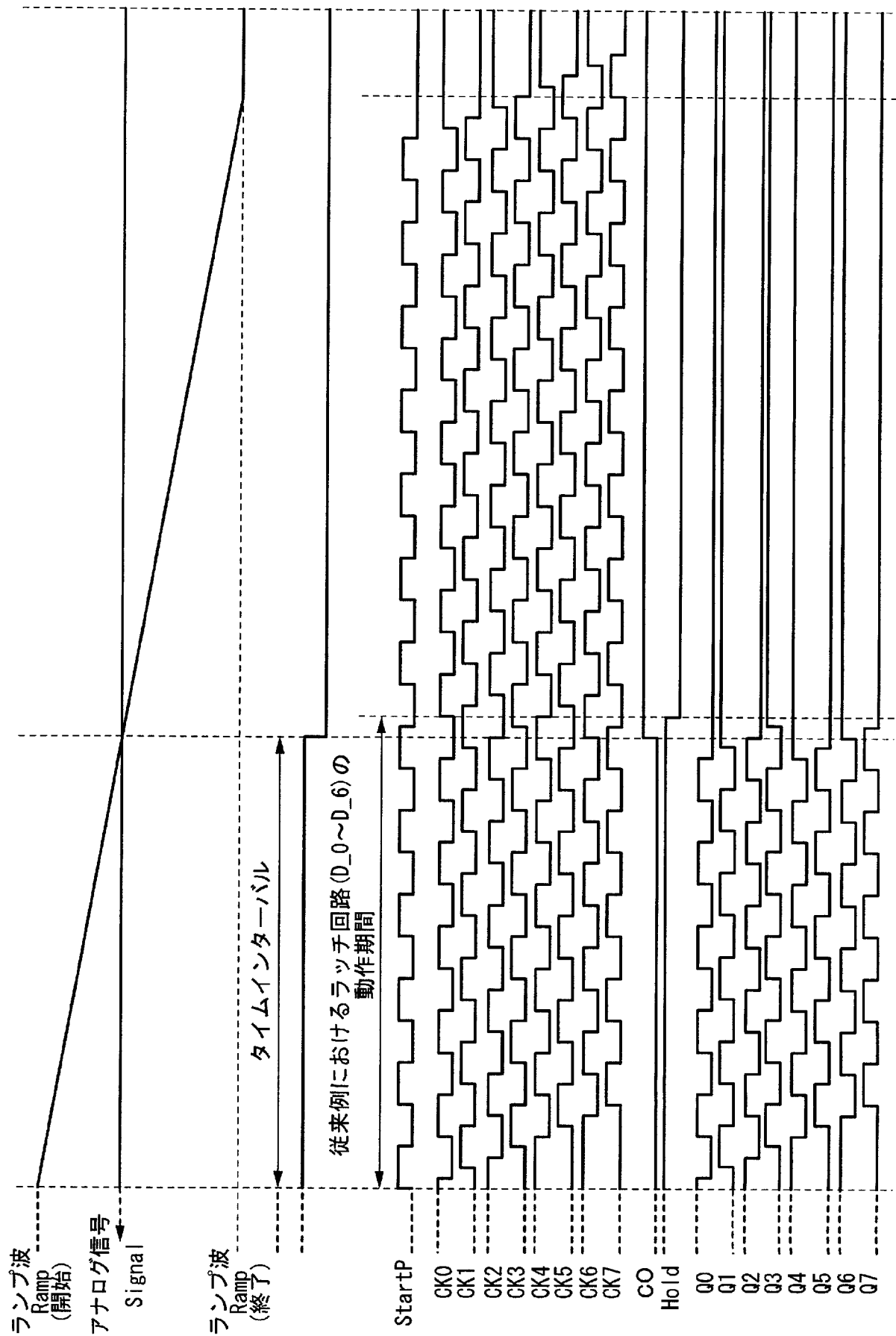




[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/062519

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/12(2006.01) i, H04N5/374(2011.01) i, H04N5/378(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-38726 A (Panasonic Corp.), 19 February 2009 (19.02.2009), front page & US 2009/0026352 A1 & US 2010/0110252 A1	1-8
A	JP 2010-50529 A (NEC Electronics Corp.), 04 March 2010 (04.03.2010), fig. 1, 2 & US 2010/0045503 A1 & CN 101655521 A	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 June, 2011 (28.06.11)

Date of mailing of the international search report
05 July, 2011 (05.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/12(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-38726 A（パナソニック株式会社）2009.02.19, フロントページ & US 2009/0026352 A1 & US 2010/0110252 A1	1-8
A	JP 2010-50529 A（NECエレクトロニクス株式会社）2010.03.04, 第1,2図 & US 2010/0045503 A1 & CN 101655521 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 6 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6