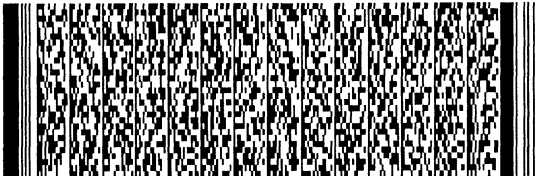


申請日期：88-12-30	案號：88123306	公 告 本
類別：G46F3/44		

(以上各欄由本局填註)

發明專利說明書		518501
一、 發明名稱	中 文	具有可程式等待狀態的微處理裝置
	英 文	MICROPROCESSING DEVICE HAVING PROGRAMMABLE WAIT STATES
二、 發明人	姓 名 (中文)	1. 馬克桑斯·奧拉斯
	姓 名 (英文)	1. Maxence Aulas
	國 籍	1. 法國
	住、居所	1. 法國埃克斯市聖約瑟夫路13號
三、 申請人	姓 名 (名稱) (中文)	1. 艾特梅爾公司
	姓 名 (名稱) (英文)	1. Atmel Corporation
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖約瑟市奧查德林蔭大道2325號
	代表人 姓 名 (中文)	1. 朱莉·Y·瑪-斯皮諾拉
	代表人 姓 名 (英文)	1. Julie Y. Mar-Spinola
		

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1999/03/10	09/266,045	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

發明之技術領域

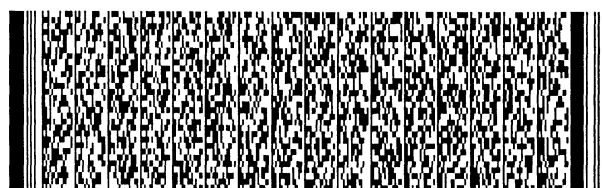
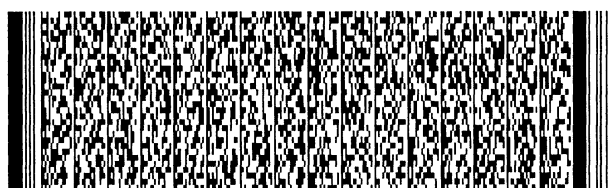
本發明係關於裝置，尤指一種供具有外部裝置之I/O之可程式等待狀態方案。

背景技藝

通常，每當系統在二裝置之間，諸如微處理單元與記憶體裝置之間交換資料時，系統必須保證在二裝置間之相互作用同步。例如，現今之微處理器及微控制器係使用允許很高速度操作之技術所製成。300MHz及更高之時鐘速度變為平常。然而周邊裝置，特別是記憶體裝置，諸如FLASH，SRAM，及EEPROM，一般不能如此高時鐘速度。

與緩慢裝置同步之一種常用方法，為每一裝置存取使用等待狀態，改變裝置之匯流排循環持續時間，有時候稱作"匯流排拉伸"。系統之位址解碼器將位址解碼，並確定將行選擇何一記憶體。系統之控制邏輯然後確定記憶體是否為一需要等待狀態者，如果需要，並認定等待訊號線。微處理核心在一時鐘循環對訊號線取樣，並且如果線被認定，進入等待狀態(大體上為一種空閒狀態)一時鐘循環。微控制器在次一時鐘對該線取樣，並在等待訊號線被取消(解除認定)時恢復操作。這提供緩慢記憶體裝置足夠時間，以在內部將位址解碼，存取記憶體，並允許資料在其輸出緩衝器穩定。

使用等待狀態之一種先前技藝技術，包括在記憶體裝置本身儲存等待狀態數。計算裝置包括存取此數之邏輯，以確定匯流排循環所需要予以延長之時間量。此方法需要特



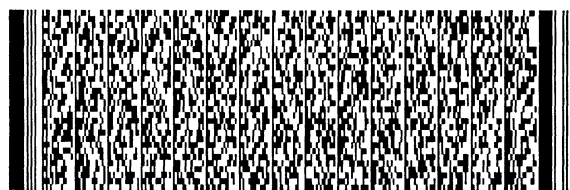
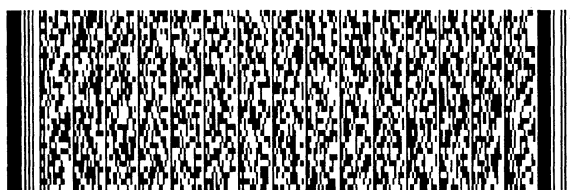
五、發明說明 (2)

殊裝置，其包括邏輯，以儲存等待狀態數並對其提供計算裝置。

使用等待狀態之另一方法，使用於中斷-驅動之I/O裝置。程式解碼器中之邏輯檢測某些I/O指令之發生，並認定等待訊號，以依指令而定，中止微處理器之操作一段時間。在自中斷回復指令使微處理器暫停，以給予緩慢I/O裝置時間進行其作用之情形，此方法可使用於對緩慢I/O裝置之存取。

以上所未針對之一項問題，為在對另一裝置之存取開始前，未給予足夠時間，以完成對第一裝置讀取存取之情形，對多重記憶體裝置之存取，導致匯流排衝突。該問題起因於在發生對另一裝置存取時，第一裝置之輸出驅動器仍然驅動二裝置所共用之資料匯流排。除非在第二裝置進行存取前，允許經過足夠時間，二裝置均將試圖驅動匯流排。由於二驅動器電路之同時存取，結果為錯亂之資料及增加之功率消耗。然而，此問題本身並不始終存在。例如，自同一裝置之連續讀取操作，並不呈現驅動電路之問題。寫入操作後隨讀取操作，同樣不呈現驅動電路之問題。

所需要者為在微計算架構之控制電路，其檢測對多重記憶體之存取，並根據所正予以進行之I/O操作類型，插入等待狀態。宜於有電路可檢測正存取何一記憶體，並相應插入等待狀態。另宜於有電路依正予以進行之I/O操作順序，插入等待狀態。



五、發明說明 (3)

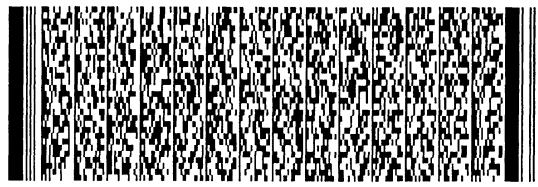
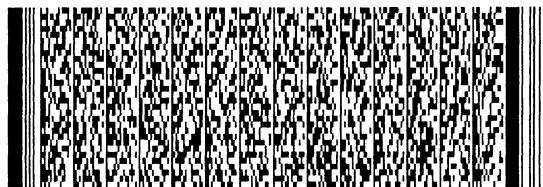
發明之概述

在一種具有第一及第二外部記憶體之計算裝置，一種存取記憶體之方法，包含使第一等待狀態值與第一記憶體關聯，及使一第二等待狀態值與第二記憶體關聯，然後選擇與一選定之記憶體關聯之等待狀態值，並讀取該記憶體。在讀取步驟後，並在次一I/O操作前，將CPU置入等待狀態，一段與選定之等待狀態值成比例之時間；亦即等待狀態 $\times$ 時鐘週期。

然而，如果次一I/O操作為對CPU之內部記憶體，則在I/O操作前，CPU不進入等待狀態，而是立即進行I/O操作。如果在內部I/O操作後，對原來選定之外部記憶體作讀取操作，則不進入等待狀態，並且存取立即進行。如果在內部I/O操作後，對不同之外部記憶體作讀取操作，則進入等待狀態一段自完成讀取操作所定時，與原來選定之外部記憶體關聯之等待狀態成比例之時間。

根據本發明，一種微處理裝置包括外部記憶體，核心邏輯，及一記憶體控制器所予以耦合至之系統匯流排。一等待狀態電路產生一等待訊號，將核心邏輯置於等待狀態。一外部匯流排電路耦合至等待狀態電路，其檢測在系統匯流排所發生之記憶體存取之順序，並相應啟動等待狀態電路，將核心邏輯置於等待狀態。資料裝置耦合至外部匯流排電路，供儲存一供每一記憶體裝置之資料浮動等待狀態值。

資料裝置響應選定之記憶體裝置，輸出一資料浮動等待



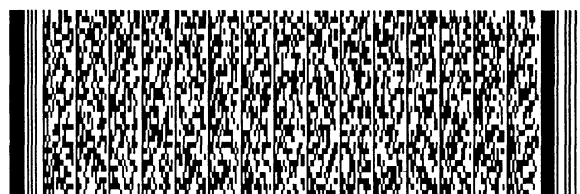
五、發明說明 (4)

狀態值至外部匯流排電路。外部匯流排電路檢測外部讀取之發生，後隨對另一外部記憶體之存取，並起始一資料浮動等待狀態一段與對應於所存取之記憶體之等待狀態值成比例之期間，亦即等待狀態 x 時鐘週期。然而，如果外部匯流排電路檢測寫入操作，後隨讀取操作，則不發生資料浮動等待狀態，雖然仍可能發生一種典型等待狀態。同樣，如果外部讀取操作後隨內部存取，則將不發生資料浮動等待狀態。

實施本發明之最佳方式

請參照圖1，一種根據本發明之資料處理系統100，包含編組在一系統匯流排120周圍之各種子系統。一微處理單元110，諸如微控制器或類似者，包括核心邏輯112及一內部記憶體114。一外部時鐘156提供定時訊號s130，以驅動微處理單元110。在核心邏輯112與記憶體114間之資料轉移發生在內部匯流排116。內部匯流排予以耦合至系統匯流排120，以提供在微處理單元110外面之資料轉移。記憶體位址線s140來自匯流排116，其饋給至記憶體控制器152。核心邏輯112提供資料選擇訊號s142，指示核心需要資料轉移(讀或寫)。特別是，訊號s142HI指示資料轉移循環，而訊號s142LO指示位址循環。資料選擇訊號饋給至記憶體控制器152，及饋給至等待狀態產生器160。

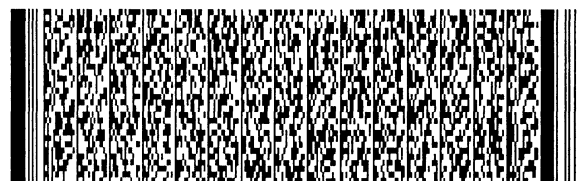
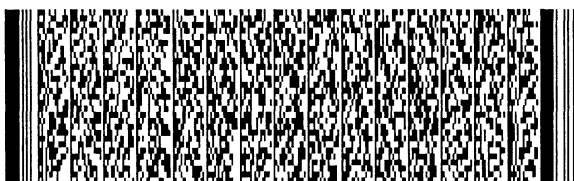
外部記憶體130及132也連接至系統匯流排120。代表性外部記憶體包括EEPROM，FLASH，及SRAM。記憶體130及132由代表性控制訊號，諸如供記憶體130之晶片選擇訊號



五、發明說明 (5)

s100，輸出啟動訊號s104及寫入啟動訊號s106，以及供記憶體132之晶片選擇訊號s102，輸出啟動訊號s104及寫入啟動訊號s106所控制。依在位址線s140所存在之I/O操作及位址而定，此等訊號源於記憶體控制器152。記憶體控制器也產生一外部讀取訊號s108，指示一在微處理單元110外面之記憶體之讀取循環。記憶體控制器也產生一連續讀取訊號s110，指示自同一先前所存取記憶體之讀取操作之發生。

等待狀態產生器160提供一等待訊號s150(有效HI)，饋給至核心邏輯112。認定訊號s150導致核心邏輯進入等待狀態，同時解除認定訊號s150允許核心邏輯繼續。等待狀態產生器160自典型等待狀態暫存器150接收一等待狀態數。等待狀態產生器160也接收資料選擇訊號s142，指示將行發生資料轉移。根據習知操作，在存取外部記憶體，俾將微處理單元110置於等待狀態一段時間足夠允許存取外部記憶體位置時，產生等待訊號s150。此段時間係依據一由典型等待狀態暫存器150所產生之值。根據本發明，有外部記憶體選擇邏輯140用以儲存等待狀態數，供不同之記憶體類型。一般為，每一記憶體類型係與一位址範圍關聯。因此，供既定資料之位址，指示在其中儲存資料之記憶體之類型。因而，位址線s140饋給至外部選擇邏輯140，其然後輸出對應於在諸線所存在之位址之記憶體裝置之等待狀態數。如可看出，每一記憶體有二關聯等待狀態數，一典型等待狀態數及一資料浮動等待狀態數。典型



五、發明說明 (6)

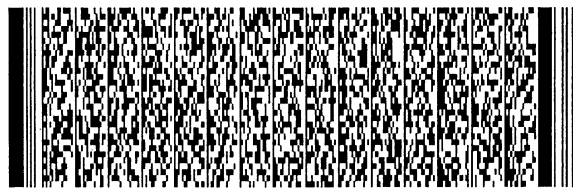
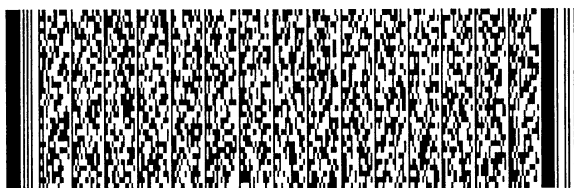
等待狀態數為先前技藝等待狀態數，用以將CPU置於等待狀態一段足夠允許提取及驅動已定址資料至系統匯流排120之時間。對應於既定位址之典型等待狀態數，儲存在暫存器150，並自該處饋給至等待狀態產生器160。

外部選擇邏輯140也提供一資料浮動等待狀態數，儲存在資料浮動暫存器142。來自資料浮動暫存器之三資料浮動位元s160饋給至外部匯流排邏輯170。另外，外部匯流排邏輯接收來自等待狀態產生器160之外部讀取訊號s108，連續讀取訊號s110，資料選擇訊號s142，及等待訊號s150。依據此等輸入訊號，外部匯流排邏輯170將會產生一ACK訊號s152(有效HI)，饋給至等待狀態產生器，以在ACK訊號s152為LO時，認定等待訊號s150。

藉由使用者所提供之程式碼180，提供位址範圍及等待狀態數。在一種實施例，外部記憶體選擇邏輯140包括許多可經由一種記憶體標記方案存取之暫存器，其中暫存器具有在程式控制下可存取之關聯位址。使用者可利用典型及資料浮動之位址範圍及對應等待狀態數，將暫存器規劃程式。

完成圖1之說明，在重設電路154有電源，其供給重設訊號s120及其補訊號s122。有一時鐘電路，其提供時鐘訊號s130及其補訊號s132。

現請參照圖2，示電路包含外部匯流排邏輯170。有計數邏輯由觸發器202，204，及206所組成，其藉時鐘訊號s130予以定時。計數邏輯之輸出由個別觸發器之反相輸出



五、發明說明 (7)

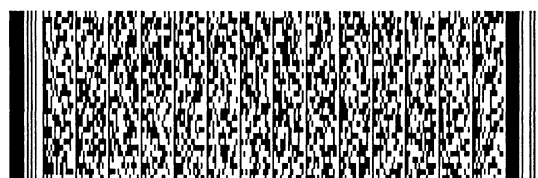
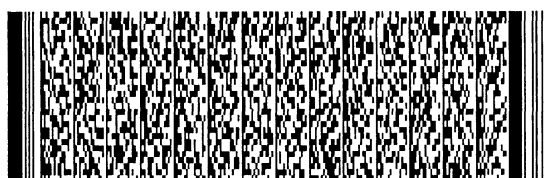
所組成。此等輸出饋給至一比較器電路220，包含三XOR閘耦合至一NAND閘。除了觸發器204之輸出由緩衝器254驅動，並且然後饋給至比較器電路220外，每一XOR閘之輸入耦合至觸發器202-206之反相輸出。至比較器之其他輸入來自資料浮動位元s160。比較器220之輸出饋給至NAND閘260之輸入。

資料浮動位元s160藉邏輯電路222一起予以OR。OR操作之結果饋給至NAND閘260之另一輸入。

等待訊號s150及外部讀取訊號s108分別饋給至反相器267及268，其輸出通過NAND閘266予以耦合。反相器及NAND閘一起操作如一OR閘。NAND閘266之輸出饋給至AND閘264之輸入。資料選擇訊號s142耦合至AND閘264之另一輸入。AND閘264之輸出耦合至NAND閘262之輸入。至NAND閘262另一輸入耦合至觸發器208之輸出。

資料選擇訊號s142也通過反相器265予以反相，並經由OR閘263以連續讀取訊號s110予以OR。OR閘263之輸出及NAND閘262之輸出經由AND閘261予以耦合，其輸出饋給至NAND閘260之第三輸入。NAND閘260復饋給至觸發器208，其產生ACK訊號s152。

請回至計數邏輯，觸發器202藉NAND閘250通過反相器251予以驅動。NAND閘接收觸發器202之反相輸出及觸發器208之反相輸出。進行向前，NOR閘253接收觸發器202之反相輸出及觸發器208非之反相輸出。NOR閘253之輸出饋給至多工器210之輸入1。至多工器210之另一輸入耦合至時



五、發明說明 (8)

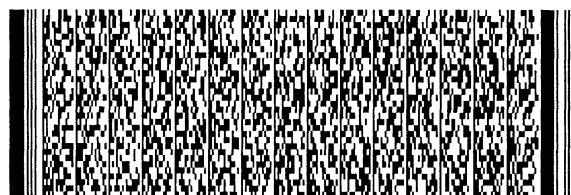
鐘訊號 s130。多工器之輸出饋給至觸發器204。

觸發器204之反相輸出饋給(經由緩衝器254)至NAND閘255及反相器256，並為供多工器210之選擇器控制。NAND閘255也接收觸發器208之反相輸出。NAND閘250及255之輸出耦合至NAND閘258。反相器256耦合至AND閘259，其也接收經由反相器257來自觸發器202之反相輸出之輸入，及來自觸發器208之反相輸出之輸入。閘258及259之輸出分別饋給至多工器212之輸入0及1。多工器212之輸出予以輸入至觸發器206，其反相輸出用作多工器212之選擇輸入。

現將解釋外部匯流排邏輯170之操作。通常，供外部記憶體存取，對應於所存取記憶體之資料浮動值，自外部選擇邏輯140載入至資料浮動暫存器142。在一讀取循環後，計數邏輯(觸發器202, 204及206)將會開始增量最多至資料浮動值(訊號s160)。在計數時，ACK訊號s152解除認定(L0)，指示系統匯流排120仍然被所讀取記憶體之輸出緩衝器驅動。等待狀態產生器160響應，而認定等待訊號s150，以將微控制器110置於等待狀態。計數一經達到資料浮動值s160，計數器將會重設，並且ACK訊號s152將會變HI，指示系統匯流排120為自由。

配合圖3-6中所示之定時圖，便最佳解釋外部匯流排邏輯170之各種操作組態。定時圖為模擬圖2中所示外部匯流排邏輯170之產物。模擬係使用Cadence製造之一種VeriLogXL模擬器作成。

請參照圖1, 2及3，假設記憶體130(MEM0)為一8-位元記憶



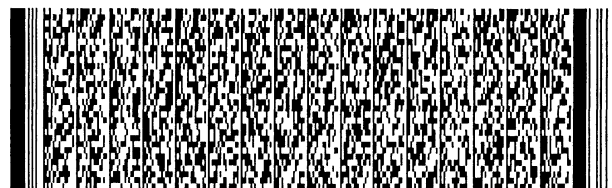
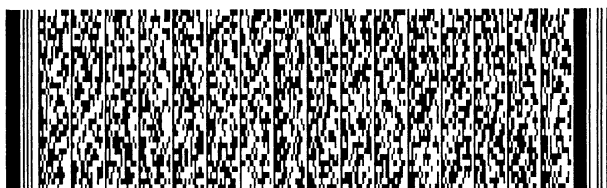
五、發明說明 (9)

體，其位址具有最上位元等於 "0x010"。外部選擇邏輯140予以程式化為使一供以0x010開始之位址資料浮動等待狀態數五關聯。圖3之定時圖例示寫入操作之訊號傳輸，後隨記憶體MEM0之二連續讀取操作。另外，寫入及讀取操作包括16-位元字，因此每一I/O操作由二8-位元記憶體存取(低位元組，高位元組)所組成。

圖3中之定時圖，其頂部示記憶體位址訊號s140及時鐘訊號s130。晶片選擇s100(CS0，有效L0)指示選擇MEM0。所存取之第一位址為0x01000500。在位址匯流排s140認定此位址時，外部選擇邏輯140輸出五至資料浮動暫存器142。因此，資料浮動位元s160認定五。

在時間期間t1，認定寫入啟動訊號s106(有效L0)二次，在此二次，將低及高位元組寫入至記憶體位置0x01000500。因為操作為寫入，故認定資料轉移訊號s142，並解除認定外部讀取訊號s108(有效L0)。因此根據本發明，如在邏輯電路170所具體實施，ACK訊號s152保持認定，並且計數器輸出(觸發器202, 204及206之輸出)在寫入循環之結束保持低，如在圖3中事件A₃所標示，指示系統匯流排120為自由。觀察在期間t1，等待狀態產生器160依然認定等待訊號s150。此為響應寫入操作所產生典型等待狀態之結果。

請察知，由於正進行對同一記憶體(MEM0)之存取，亦即讀取操作，記憶體控制器152在事件A₃認定連續讀取訊號s110。讀取操作發生在時間期間t2，在此期間，輸出啟動



五、發明說明 (10)

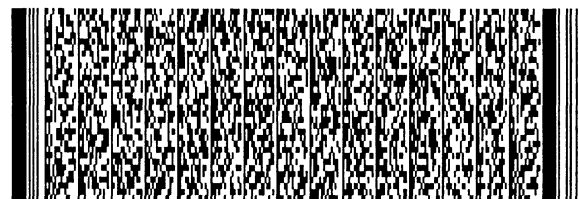
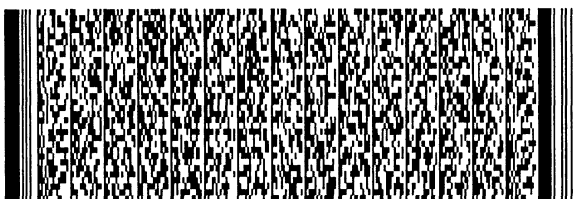
訊號s104在事件B₃被驅動L0，以輸出所存取字之第一位元組。也在事件B₃，外部讀取訊號s108變L0，指示發生外部讀取存取。在事件C₃讀取第二位元組。而且，在期間t2發生典型等待狀態，以提供完成讀取操作之足夠時間。

在事件D₃，認定一新位址，亦即0x01000500。而且，由於正存取同一記憶體(MEM0)，故認定連續讀取訊號s110。因此，根據本發明，計數器不開始計數，並且因而觸發器208繼續輸出如此認定ACK訊號s152之HI，以指示系統匯流排120為自由。

結束圖3之討論，在時間期間t3，在事件E₃及F₃發生二讀取存取，以讀出儲存在記憶體位置0x01000500構成該字之二位元組。在同一期間，操作伴有正予以認定之等待訊號s150所指示之典型等待狀態。

自圖3之上述討論可看出，由於匯流排衝突不是問題，在完成寫入循環時，外部匯流排邏輯170不起始等待狀態。另外，匯流排邏輯不起始等待狀態，供自同一記憶體連續讀取。

請參照圖1, 2及4，假設記憶體130(MEM0)為8-位元記憶體，其位址有最上位元等於"0x010"。另假設外部選擇邏輯140已程式化為使供以0x010開始之位址資料浮動等待狀態數五關聯。圖4之定時圖例示供自MEM0之讀取操作，後隨至MEM0之寫入操作，後隨自MEM0之讀取操作之定時。如同圖3情形，寫入及讀取操作包括16-位元字，因此每一I/O操作由二8-位元記憶體存取(低位元組，高位元組)所組成。

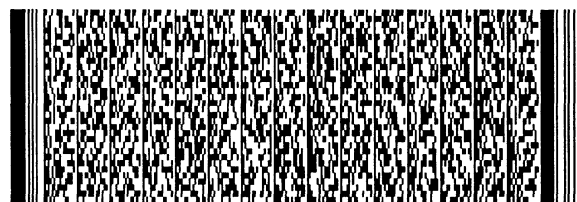


五、發明說明 (11)

如在圖4中可看出，在時間期間 t_1 ，發生讀取操作，伴有對應之典型等待狀態。在事件 A_4 完成讀取時，解除認定輸出啟動訊號 s_{104} ，並同樣解除認定外部讀取訊號 s_{108} 。解除認定ACK訊號 s_{152} ，其導致計數器(觸發器202, 204, 206)開始計數，及等待狀態產生器160認定等待狀態訊號 s_{150} ，以指示系統匯流排120為忙碌。從而，CPU110進入等待狀態。

與先前技藝技術比較，次一I/O操作將會在事件 B_4 開始，因為CPU試圖在與MEM0之輸出緩衝區仍然自其讀取操作保持至匯流排之同時，在系統匯流排120驅動其輸出資料時，導致匯流排之爭用。然而，根據本發明，代之為在事件 B_4 進入等待狀態，藉以給予MEM0之輸出驅動器足夠時間(五時脈)釋放系統匯流排，因而在寫入操作開始時，匯流排為自由，並且無由於微控制器與MEM0間之匯流排爭用，而有錯亂資料之虞。

因此，在事件 C_4 ，在計數器計數最多至五，並且比較器220檢測與資料浮動值 s_{160} 之相等性時，觸發器208輸出HI，以重新認定ACK訊號 s_{152} 。等待狀態產生器160應該如在短劃線所示，響應而解除認定等待訊號 s_{150} 。然而，在隨後之寫入操作插入典型等待狀態一段時間 t_2 。在寫入循環(事件 D_4)之結束，由於認定外部選擇訊號，計數器因為ACK訊號 s_{152} 保持HI而不起始，並因此在次一I/O操作發生前無等待狀態。回憶在寫入操作之結束，外部匯流排邏輯170不起始計數。然而，可看出在自記憶體位置 $0x010001fs$



五、發明說明 (12)

讀取之時間期間 t_3 ，仍然發生典型等待狀態。

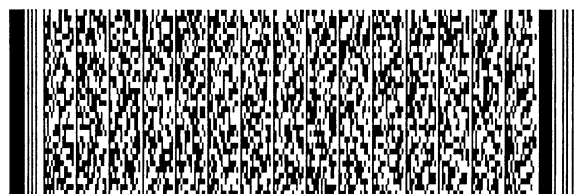
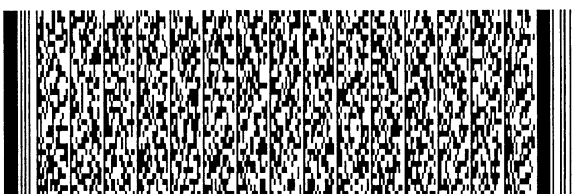
總之，圖4之定時圖，示本發明依方已完成之操作，而選擇性認定等待狀態。在外部讀取及如果資料浮動暫存器含非零值之情形，發生等待狀態，以允許輸出驅動器釋放匯流排。在寫入操作之情形，不起始等待狀態。

請參照圖1，2及5，假設記憶體130(MEM0)為一8-位元記憶體，其位址有最上位元等於"0x010"。另假設內部記憶體114具有位址有最上位元等於"0x000"。外部選擇邏輯140予以程式化為使一供以0x010開始之位址資料浮動等待狀態數五關聯。圖5之定時圖例示自MEM0讀取操作之訊號傳輸，後隨自內部記憶體114之三連續讀取操作，後隨自MEM0之另一讀取操作。MEM0讀取操作包括16-位元字，因此每一I/O操作由二8-位元記憶體存取(低位元組，高位元組)所組成。

在圖5之定時圖，其頂部示記憶體位址訊號s140及時鐘訊號s130。第一讀取存取為在時間期間 t_1 自位置0x010001e8至外部記憶體MEM0。請察知，在相同期間認定等待訊號s150，按典型等待狀態處理。

在事件A5，在讀取操作之結束，ACK訊號s152變L0，因此起動計數器開始計數。回憶ACKL0指示系統匯流排120為不自由。然而，可看出等待訊號s150保持解除認定；原因為隨後讀取操作係至內部記憶體114，其不依靠系統匯流排120被MEM0之輸出驅動器釋放。

請回頭參照圖1，在檢測到內部記憶體位址時，外部記



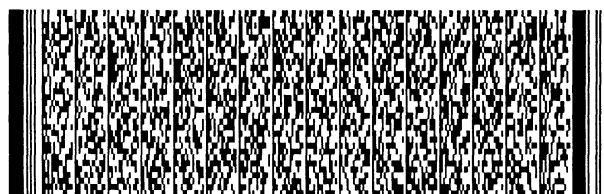
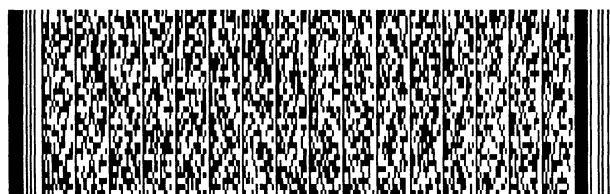
五、發明說明 (13)

記憶體選擇140將零載入至典型等待狀態暫存器150。這饋給至等待狀態產生器160，其在看見零典型等待狀態值時，響應而使等待訊號s150維持在解除認定狀態，而不論ACK訊號s152之邏輯狀態。由於核心邏輯112可在一單一時脈存取內部記憶體，故無需發生待狀態值。

然而，計數器繼續計數自位址0x00000ec8, 0x00000ecc, 及0x00000ed0之三內部讀取之持續時間。維持此活動性之原因，為MEM0之輸出驅動器仍然需要時間，以電釋放系統匯流排，並且如果微處理單元110想要存取外部記憶體，其將必須進入等待狀態，直到計數完成；亦即到達一值等於資料浮動值s160。否則，將會發生匯流排爭用。

在另一方面，如果存取同一外部記憶體，則無需進入等待狀態。此確切為在圖5中所示之情況。請察知，在事件B₅，連續讀取訊號s110變L0，以指示再次存取MEM0。這導致ACK訊號s152變HI，其立即重設計數器(觸發器202, 204, 206)至零。在時間期間t2及t3，後隨自位址0x010001ea及0x01000258MEM0之二讀取操作，連同其對應之典型等待狀態。

總結圖5中所提出之諸點，可看出，在內部記憶體存取後隨自外部記憶體之讀取操作時，計數器仍然啟動，但不使CPU進入等待狀態。在將會強制CPU等待，以供完成計數，因而可釋放系統匯流排之情形，這允許隨後外部記憶體存取之可能性。然而，如果外部存取為對同一外部記憶體，則計數立即停止，以提供對外部記憶體之存取，而無



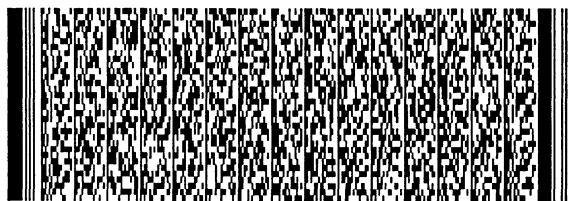
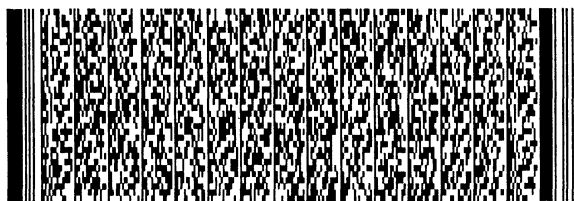
五、發明說明 (14)

等待狀態。

請參照圖1, 2及6, 假設記憶體130(MEM0)為一8-位元記憶體, 其位址有最上位元等於"0x010", 以及記憶體132(MEM1)為另一8-位元記憶體, 其位址有最上位元等於"0x011"。另假設外部選擇邏輯140已程式化為使一供MEM0之資料浮動等待狀態數一, 及一供MEM1之資料浮動值五關聯。圖6之定時圖例示至MEM1之寫入操作, 後隨自MEM0之讀取操作, 後隨自MEM1之讀取操作, 後隨自MEM0之四讀取操作之定時。MEM0之讀取操作包括8-位元資料, 因而每一I/O操作需要一單一存取。MEM1之寫入及讀取操作包括32-位元字。因此每一I/O操作由四8-位元記憶體存取所組成。

在時間期間t1, 如晶片選擇訊號s102被認定所指示, 選擇MEM1。四寫入存取予以作成至位置0x01100040。可看出, 選定之資料浮動s160為五。而且請察知, 在期間t1'之等待狀態係由於典型等待狀態所產生。

在事件A₆完成寫入循環時, 選擇MEM0在位址0x01000270, 連同資料浮動s160之對應改變至一。在重新選擇MEM1供位址0x01100040時, 在事件B₆開始讀取操作, 並在C₆完成。計數器開始計數, 因此使觸發器208變Lo, 其復導致發生等待狀態。由於資料浮動為一, 計數器作成一計數, 並且觸發器208在D₆變Hi。在事件C₆與D₆間之此等待狀態, 允許MEM0輸出驅動器釋放系統匯流排120, 因而在事件D₆可進行MEM1之隨後讀出, 而無匯流排衝突之虞。因此, 在時間期間t2之等待狀態, 係由於在MEM1之讀取時, 自讀取MEM0



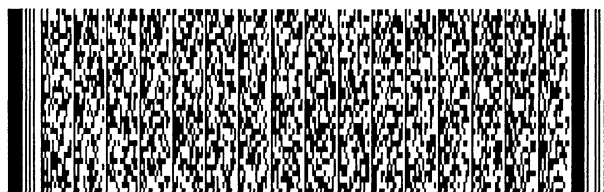
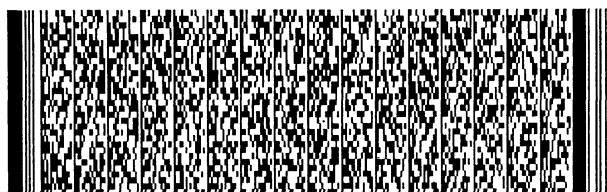
五、發明說明 (15)

之資料浮動，及由於典型等待狀態產生。

在 H_6 選擇MEM1時，可看出資料浮動s160再一次設定至資料浮動值五。在事件 E_6 完成讀取操作時，計數器開始計數，此次為供計數五。ACK訊號s152變Lo對應之時間期間，指示MEM1釋放系統匯流排。在到達計數五時，ACK訊號s152變HI，並且在位置0x0100274(事件 F_6)繼續讀取MEM0。而且，在時間期間t3之等待狀態，係由資料浮動等待狀態及典型等待狀態所組成。同一記憶體MEM0發生在事件 G_6 之隨後讀取，並因而在每一讀取操作後，不需要資料浮動等待狀態。然而，仍然產生典型等待狀態。

自圖6之上述討論可看出，資料浮動值s160依予以存取之記憶體而變化。使用者可依一種按記憶體裝置基礎選擇資料浮動值。這允許長延遲供緩慢記憶體，及短延遲供快速記憶體，而非必須指定一單一最壞情形延遲供最慢記憶體。此方法防止在不同記憶體裝置當中之匯流排衝突，而同時使涉及不同記憶體之連續I/O操作間之延遲最少。

本發明之資料浮動等待狀態方法，可應用於具有多重類型內部記憶體之架構，各可能爭用對內部匯流排116之存取，並且在完成讀取循環時，各有釋放資料匯流排之不同定時需求。例如，圖7示圖1之一種變化，其中微控制器110'包括二內部記憶體114A及114B。如可看出，在圖7中之架構，內部匯流排116存在與外部匯流排120所存在匯流排衝突之相同可能。一般精於此項技藝者可容易使在圖3-6之上述討論所闡釋之原理適應諸如圖7中所示之多重內部記



五、發明說明 (16)

憶 體 架 構 。



圖式簡單說明

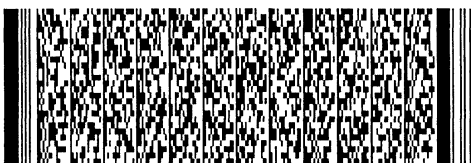
圖式之簡單說明

圖1為一種根據本發明之資料處理系統之方塊圖。

圖2為圖1中所示外部匯流排應答邏輯之方塊圖。

圖3-6為定時圖，例示根據本發明之記憶體存取方案，其資料處理系統之各種操作組態。

圖7為資料處理系統之一種替代性實施例之方塊圖。

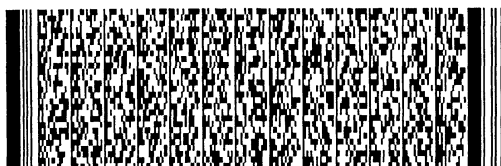


四、中文發明摘要 (發明之名稱：具有可程式等待狀態的微處理裝置)

本發明論及藉微控制器控制資料匯流排，計及記憶體輸出驅動器需要有限量之時間，以在輸出操作後，電釋放匯流排。每一記憶體有一關聯之等待狀態數，供在讀取操作後，及在次一I/O操作前，將微控制器選擇性置於可變長度之等待狀態。

英文發明摘要 (發明之名稱：MICROPROCESSING DEVICE HAVING PROGRAMMABLE WAIT STATES)

The present invention deals with the control of a data bus by a microcontroller, taking into account the fact that memory output drivers require a finite amount of time to electrically release the bus after an output operation. Each memory has an associated wait state number for selectively placing the microcontroller in a wait state of variable length subsequent to a read operation and prior to the next I/O operation.



六、申請專利範圍

1. 一種存取第一及第二記憶體之方法，於一種計算裝置，其具有一第一記憶體及一第二記憶體，第一及第二記憶體耦合至一共用資料匯流排，包含下列步驟：

使一第一等待狀態值與第一記憶體關聯；

使一第二等待狀態值與第二記憶體關聯；

自選定之記憶體之一讀取資料；

在完成讀取步驟時，將計算裝置置於等待狀態一段與選定之記憶體關聯之等待狀態值成比例之時間；以及

在該段時間終了時，進行第一及第二記憶體之另一者之一次I/O操作。

2. 如申請專利範圍第1項之方法，其中讀取步驟前面為寫入至記憶體之一之步驟，緊接後面為讀取步驟。

3. 如申請專利範圍第1項之方法，其中自選定之記憶體之一讀取資料之步驟，包括自其連續讀取許多資料。

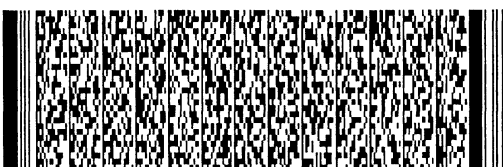
4. 如申請專利範圍第1項之方法，其中將計算裝置置於等待狀態之步驟，包括選擇與選定之記憶體關聯之等待狀態值，並計數至一等於該值之數。

5. 如申請專利範圍第1項之方法，其中第一及第二記憶體為外部記憶體。

6. 如申請專利範圍第1項之方法，其中第一及第二記憶體為內部記憶體。

7. 如申請專利範圍第1項之方法，其中第一及第二等待狀態值係依據第一及第二記憶體之各別輸出電路之特徵。

8. 如申請專利範圍第7項之方法，其中第一及第二等待狀



六、申請專利範圍

態值係另依據計算裝置所使用時脈之頻率。

9. 如申請專利範圍第7項之方法，其中該特徵為在讀取操作後，輸出電路達成高阻抗狀態所需要之時間。

10. 一種存取記憶體之方法，於一種計算裝置，其具有一內部記憶體，一第一外部記憶體及一第二外部記憶體，第一及第二外部記憶體耦合至一共用資料匯流排，第一及第二外部記憶體具有對應之輸出驅動器電路供輸出資料，包含下列步驟：

使一第一等待狀態值與第一記憶體關聯；

使一第二等待狀態值與第二記憶體關聯；

自選定之記憶體之一讀出資料；

在完成自第一記憶體讀出資料步驟時，選擇與選定之記憶體關聯之等待狀態值，並計數至一數等於該值；

在完成自內部記憶體讀出資料步驟時，進行次一I/O步驟，

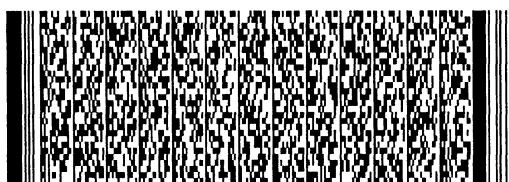
其中：

i) 如果次一I/O步驟為讀取選定之外部記憶體以外之其他外部記憶體，則進入等待狀態，直到已完成計數之步驟；

ii) 如果次一I/O步驟為讀取選定之外部記憶體，則立即進行次一I/O步驟。

11. 如申請專利範圍第10項之方法，其中等待狀態值係依據各別輸出驅動器電路達成高阻抗狀態所需要之時間。

12. 如申請專利範圍第10項之方法，其中如果次一I/O步



六、申請專利範圍

驟為寫入至外部記憶體之一，則進入等待狀態，直到已完成計數。

13. 如申請專利範圍第12項之方法，其中如果I/O步驟為寫入第二外部記憶體，則進入等待狀態，直到已完成計數。

14. 如申請專利範圍第10項之方法，其中自第一外部記憶體讀出資料之步驟，包括自其連續讀取許多資料。

15. 一種微處理裝置，包含：

一系統匯流排(120)；

邏輯(110, 152)，耦合至系統匯流排，該邏輯有至少一第一內部記憶體(114a)及一第一訊號(s108)之一第一輸出，在外部記憶體之讀取操作，第一訊號有第一邏輯狀態，否則有第二邏輯狀態；

至少一第一外部記憶體(130)，耦合至系統匯流排；

一等待狀態電路(160)，有一第二訊號(s150)之第二輸出耦合至邏輯(110, 152)，從而邏輯響應被認定第二訊號而進入等待狀態；

一外部匯流排控制電路(170)，有一計數電路(202, 204, 206)，一比較電路(220)，及一第三訊號(s152)之第三輸出耦合至等待狀態電路(160)，從而等待狀態電路響應第三訊號被認定及解除認定而認定及解除認定第二訊號；以及

資料裝置(140, 142)，供儲存許多等待狀態值，等待狀態值之一對應於該第一外部記憶體(130)；



六、申請專利範圍

外部匯流排控制電路(170)，認定第三訊號(s152)為第一訊號(s108)之狀態之函數；

計數電路(202, 204, 206)，響應第一訊號自第一邏輯狀態改變至第二邏輯狀態，而起始一計數順序；

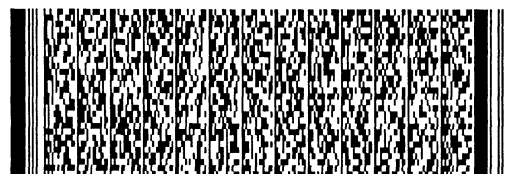
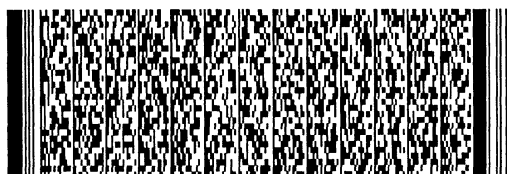
比較電路(220)，有一第一輸入耦合至資料裝置(140, 142)，以接收選定之等待狀態值之一，及一第二輸入耦合為接收一自計數器所輸出之計數；

比較電路在其輸入變成相等時，解除認定第三訊號。

16. 如申請專利範圍第15項之微處理器裝置，其中邏輯(110, 152)產生記憶體位址(s140)，並且資料裝置(140, 142)包括一選擇器(140)，供響應一所產生之記憶體位址而產生等待狀態值之一。

17. 如申請專利範圍第15項之裝置，其中邏輯(110, 152)包括一第四訊號(s110)之第四輸出，指示至同一記憶體之連續讀取操作，第四輸出耦合至外部匯流排控制電路(170)，外部匯流排控制電路另認定第三訊號為第四訊號之狀態之函數。

18. 如申請專利範圍第15項之計算裝置，另包括程式規劃裝置(180)，供將等待狀態數選擇性載入至資料裝置(140, 142)。



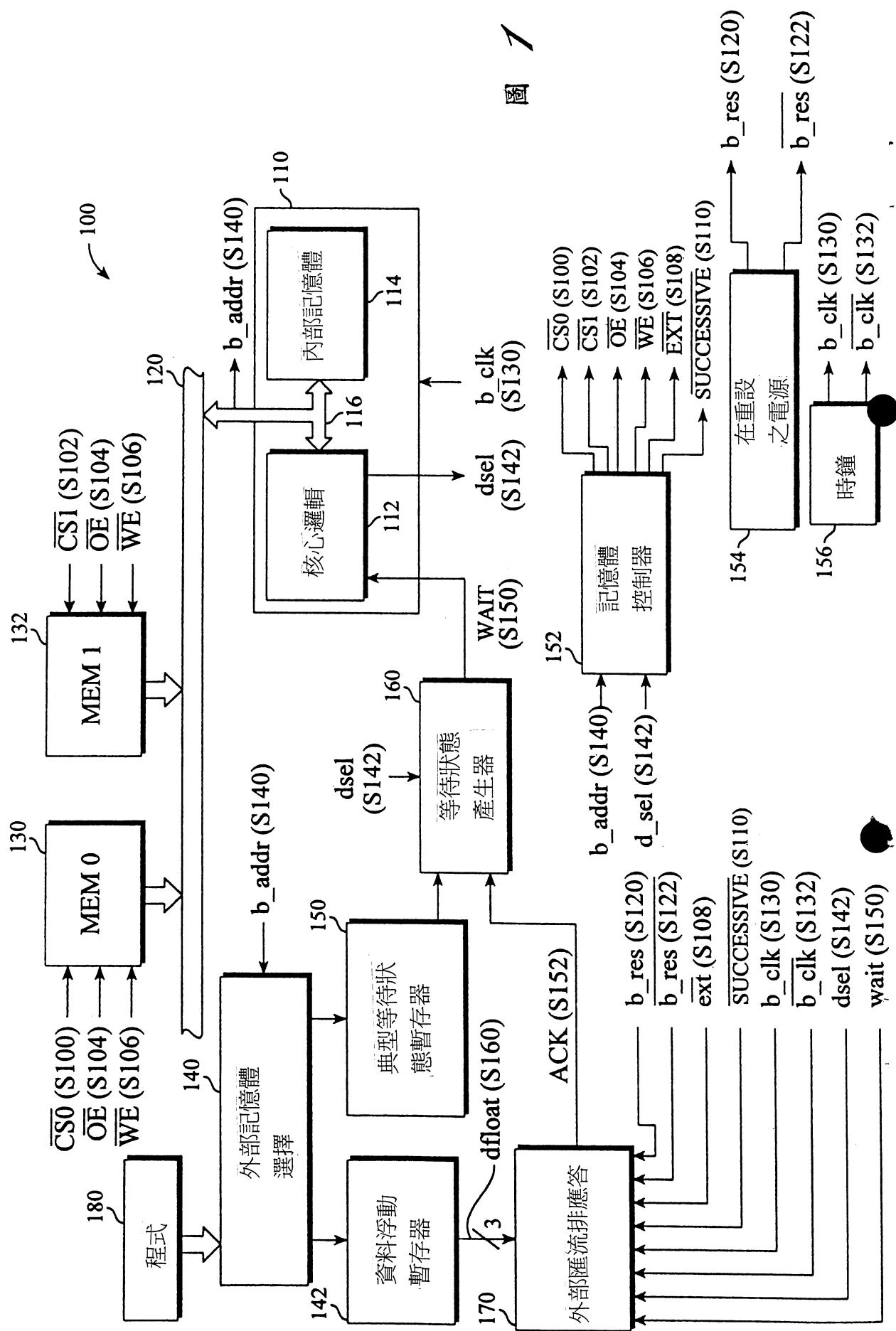


圖 1

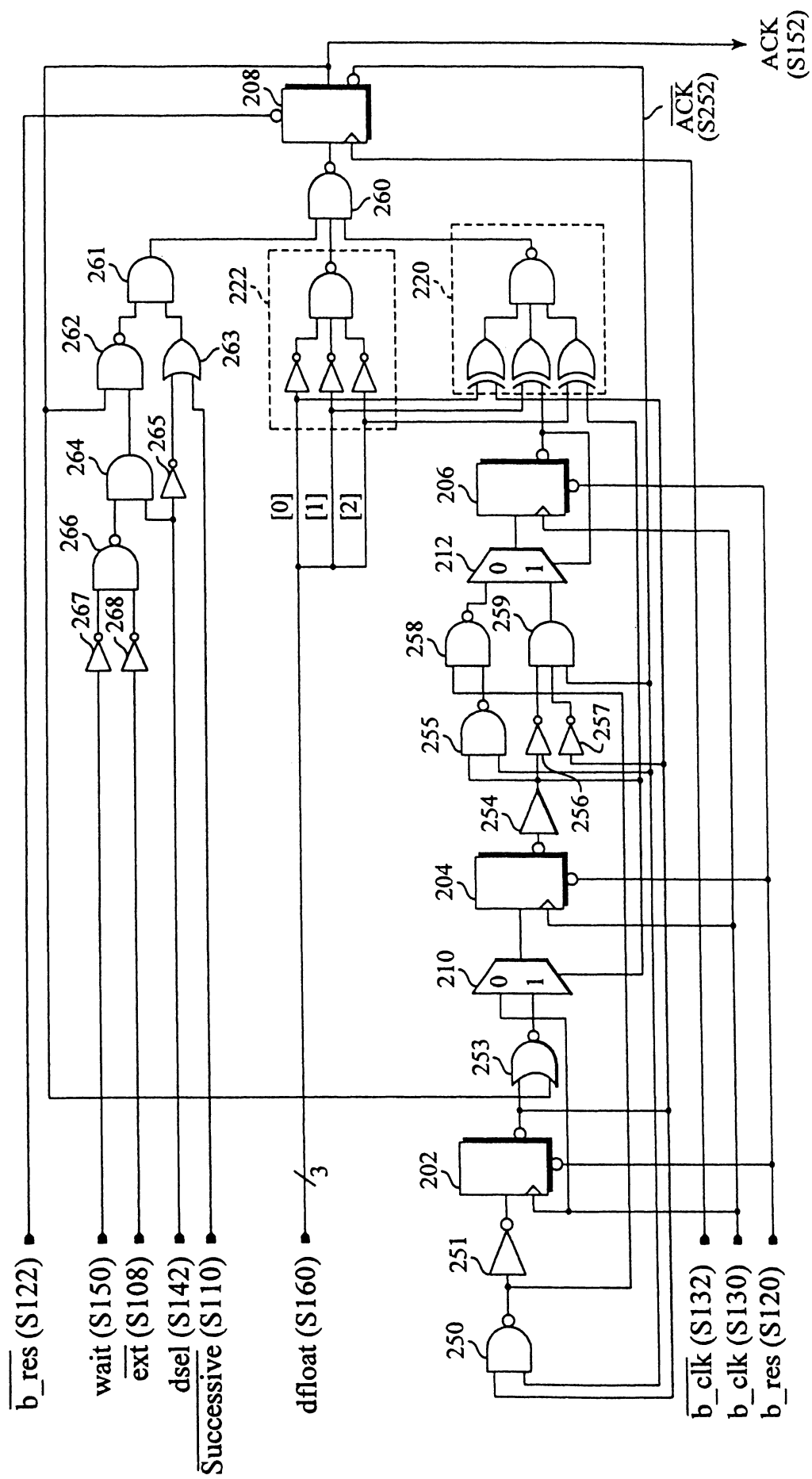
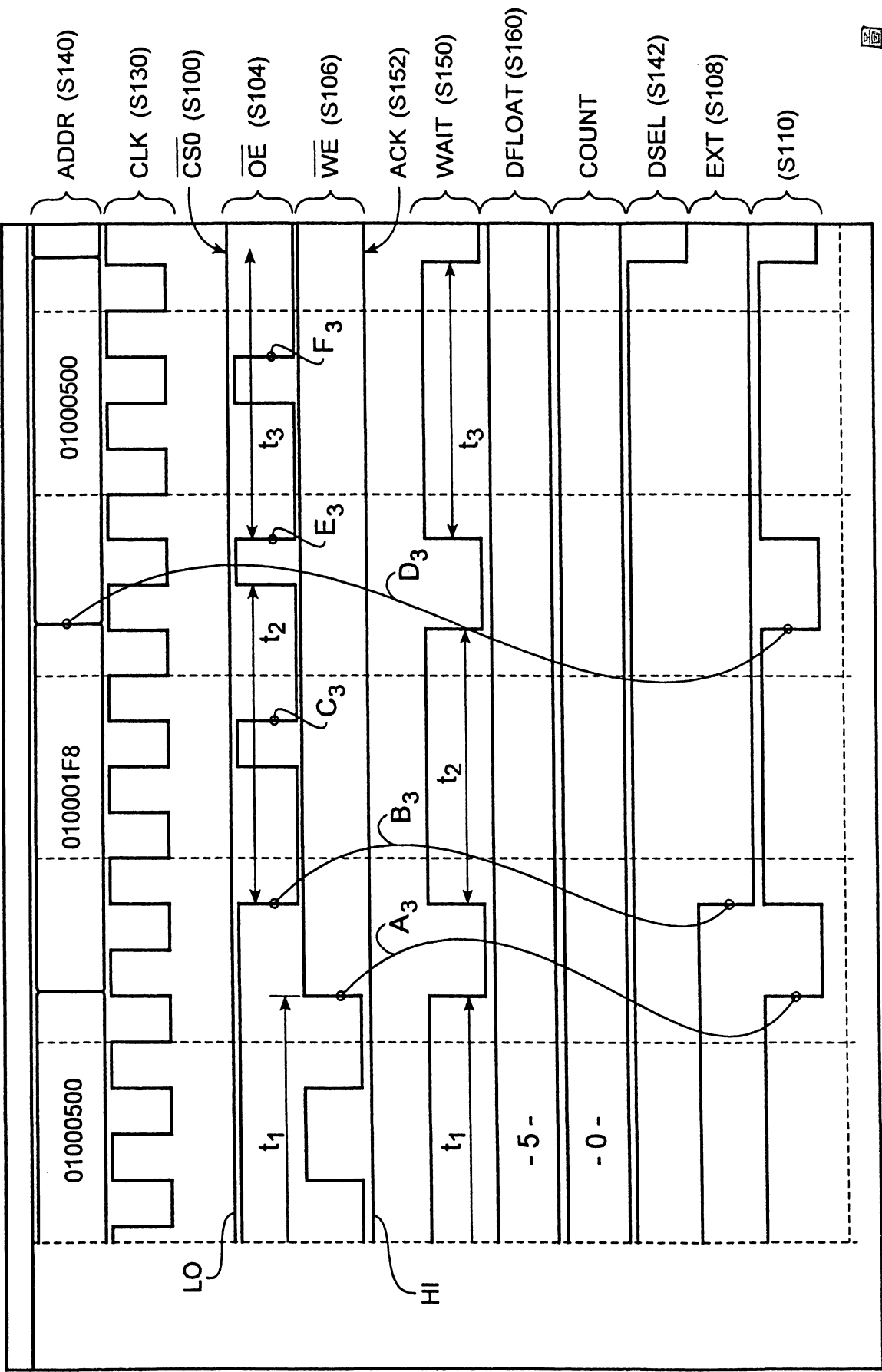
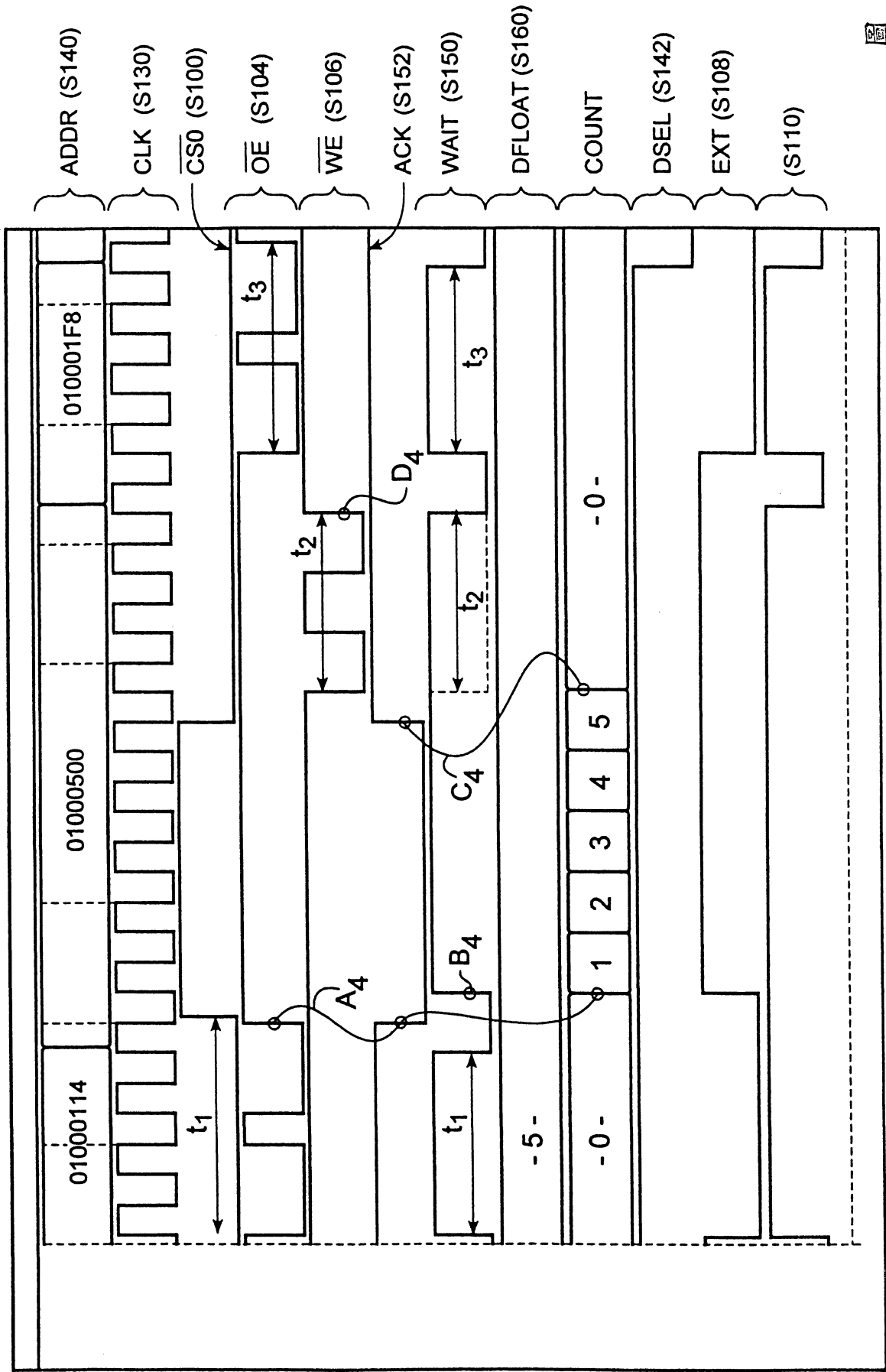
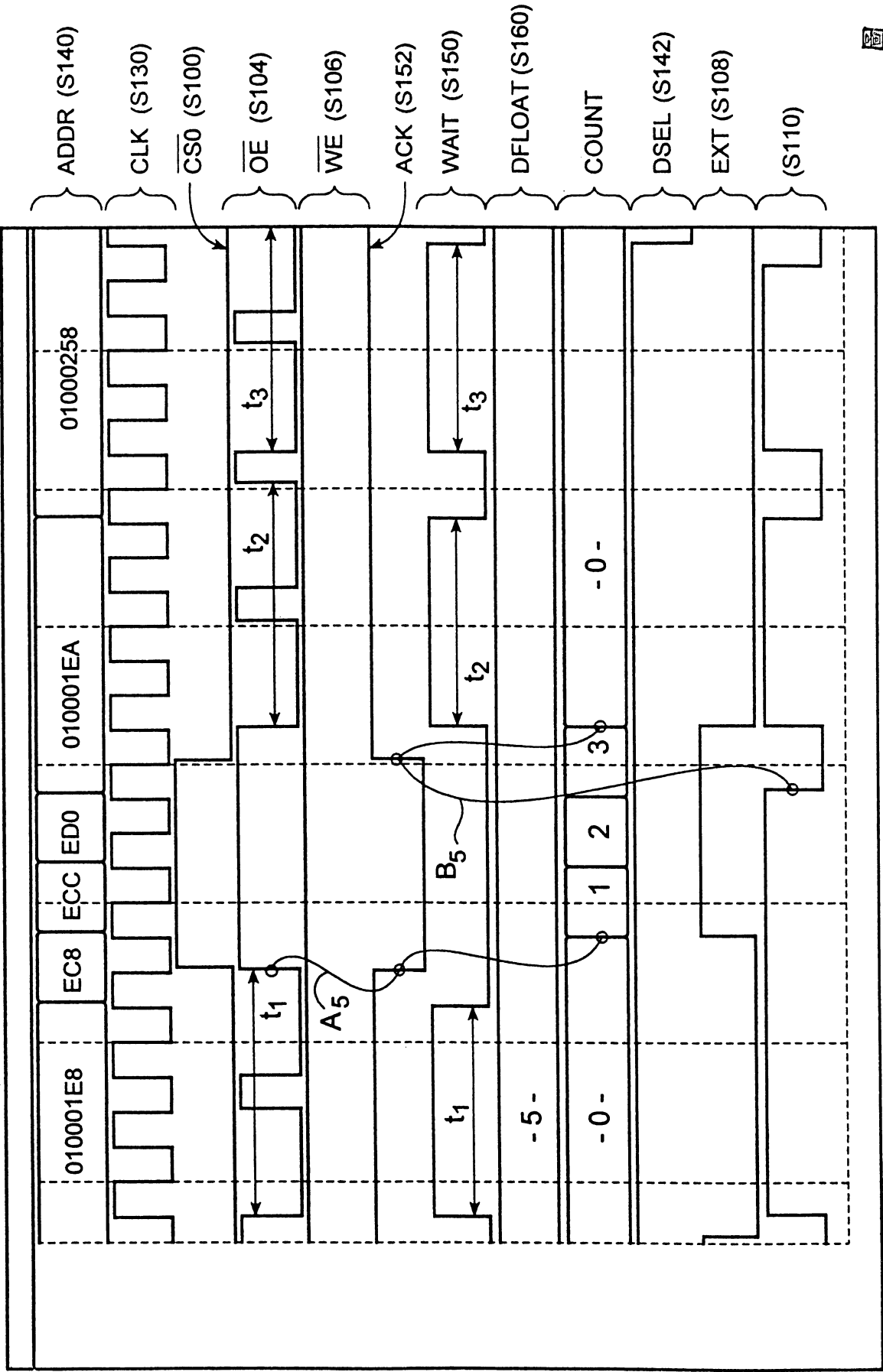
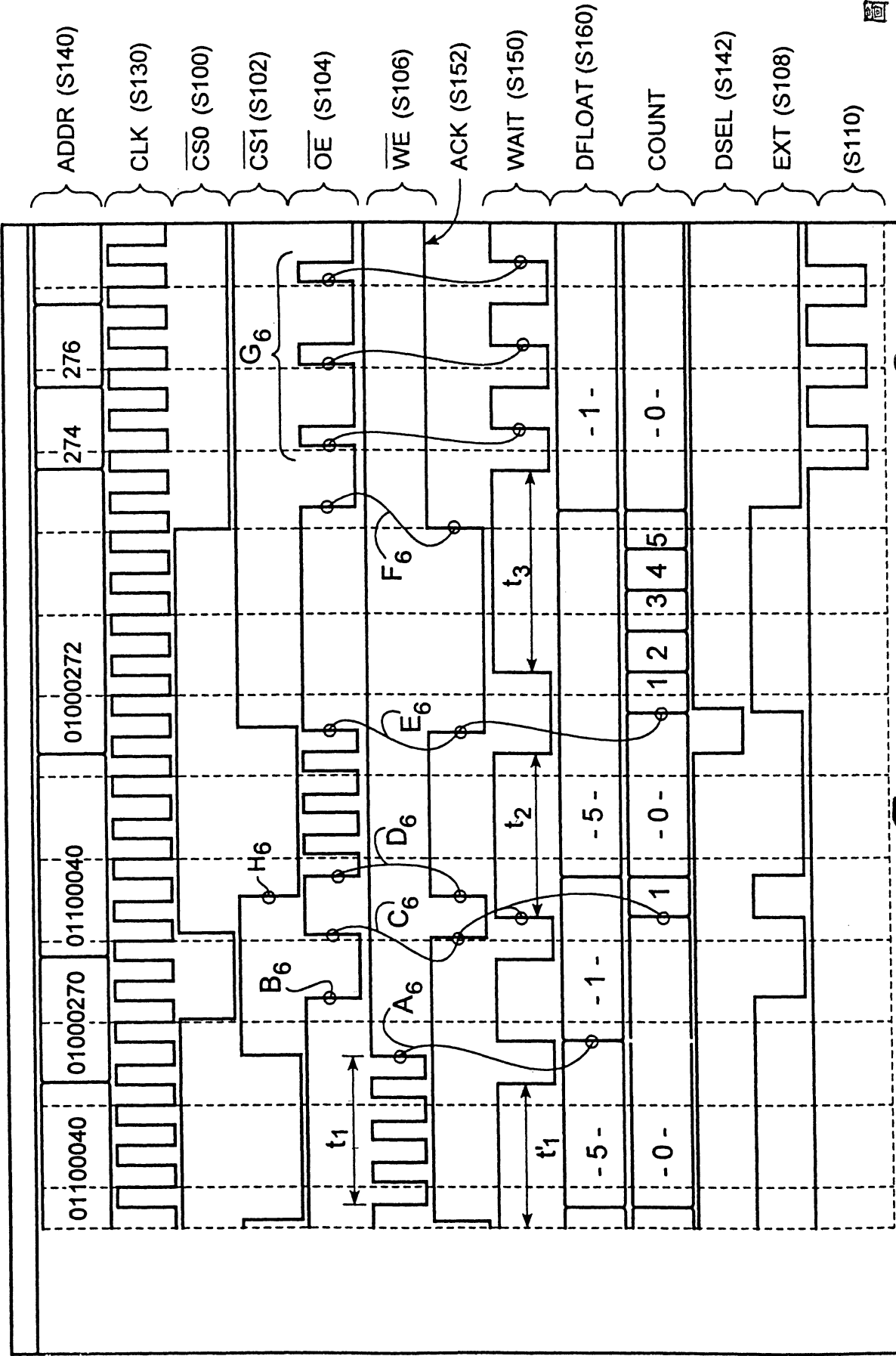


圖 2









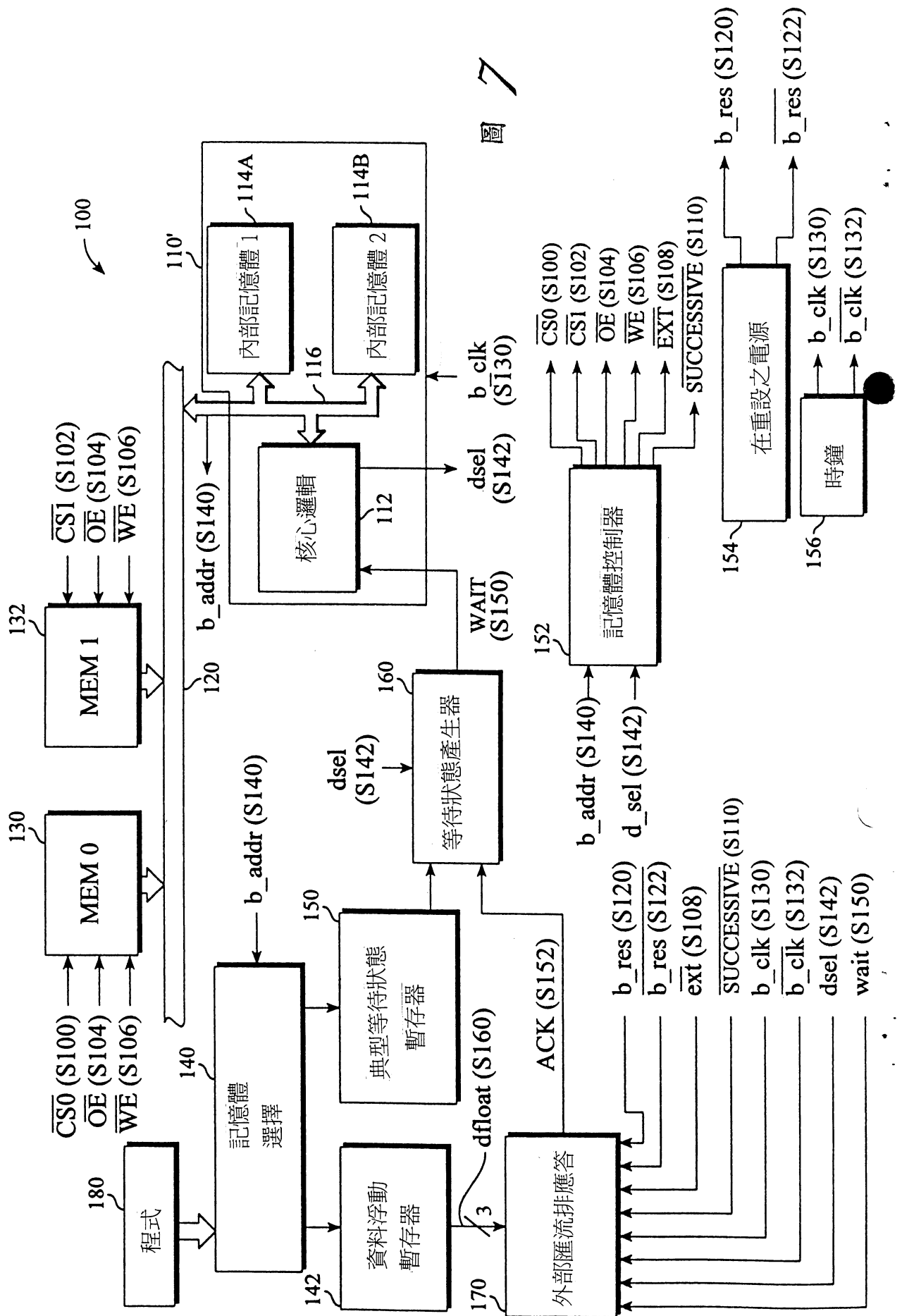


圖 7