

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) . Int. Cl.⁶
G06F 12/00

(45) 공고일자 2005년10월24일
(11) 등록번호 10-0504969
(24) 등록일자 2005년07월22일

(21) 출원번호	10-1998-0012195	(65) 공개번호	10-1998-0081140
(22) 출원일자	1998년04월07일	(43) 공개일자	1998년11월25일

(30) 우선권주장	08/835,363	1997년04월07일	미국(US)
------------	------------	-------------	--------

(73) 특허권자	프리스케일 세미컨덕터, 인크. 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501
-----------	--

(72) 발명자	해리스 죠세프 엠. 쥬니어 미국, 텍사스 78717, 쎄다 파크, 마조르카 드라이브 9908
----------	--

던 존 필립 미국, 텍사스 78736, 오스틴, 더어닝 코트 9604

프뢴드 테오 씨. 미국, 텍사스 78245, 오스틴, 갤럽 코브 3311

나쉬 제임스 칼 미국, 텍사스 78746, 오스틴, 크레스티드 버트 1700

(74) 대리인	이병호 이범래 정상구 신현문
----------	--------------------------

심사관 : 최봉목

(54) 메모리용대기제어부를가진집적회로

요약

본 발명에 따른 집적 회로(10)는 중앙 처리 장치(CPU)(12)와, 하나 또는 그 이상의 메모리 뱅크들을 구성하는 복수의 메모리 블록들(26-34)을 포함한다. 복수의 파워 제어 스위치들(38-42)이 복수의 외부 전압 공급 신호들 중 각각의 메모리 블록(26-34)에 제공될 신호를 동적으로 선택하는 데 사용된다. 파워 제어 스위치들(38-42)은 레지스터(24)에의 데이터 기록을 통해 소프트웨어로 구성될 수 있고 또는 테스트 제어 회로(22)에 의해 인에이블되거나 VDD 파워 전압 고장에 응답하여 자동적으로 인에이블될 수 있다. 그 외에, 지능 제어기(intelligent controller)가, 다른 모든 메모리 뱅크들이 낮은 파워 대기 모드(a low power stand-by mode)에 있는 동안 현재 액세스된 메모리 뱅크들 또는 최근에 액세스된 메모리 뱅크들만이 높은 파워 레벨에서 작동될 수 있도록, 메모리 뱅크들로부터의 데이터 액세스들 및 명령어 패치들의 실행 흐름에 응답하여 파워 제어 스위치들을 동적으로 제어할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 파워-스위치 가능한 메모리 뱅크들 및 블록들을 포함하는 데이터 처리 시스템의 블록도.

도 2는 본 발명에 따른 도 1의 전압 공급을 스위치 하는데 사용될 수 있는 스위칭 회로의 개략적인 회로도.

도 3은 본 발명에 따른 도 1의 전압 공급을 스위치 하는데 사용될 수 있는 다른 스위칭 회로의 개략적인 회로도.

도 4는 본 발명에 따른 집적 회로의 전압 단자들 사이에서 스위치 하도록 도 1에서 사용될 수 있는 또 다른 스위칭 회로의 개략적인 회로도.

도 5는 본 발명에 따른 메모리 액세스 또는 소프트웨어 실행 흐름으로 RAM의 뱅크들 및/또는 블록들로 제공된 낮은 파워 및 정상 파워 서플라이 전압들을 지능적이고 동적으로 제어하는데 사용될 수 있는 제어기의 블록도.

도 6은 본 발명에 따른 메모리 액세스 또는 소프트웨어 실행 흐름으로 RAM의 뱅크들 및/또는 블록들로 제공된 낮은 파워 및 정상 파워 서플라이 전압들을 지능적이고 동적으로 제어하는데 사용될 수 있는 다른 제어기의 블록도.

도 7은 본 발명에 따른 메모리 액세스 또는 소프트웨어 실행 흐름으로 RAM의 뱅크들 및/또는 블록들로 제공된 낮은 파워 및 정상 파워 서플라이 전압들을 지능적이고 동적으로 제어하는데 사용될 수 있는 또 다른 제어기의 블록도.

도 8은 본 발명의 한 실시예에 따른 제어 회로의 흐름도.

※ 도면의 주요 부분에 대한 부호의 설명

10: 집적 회로 12: CPU

22: 테스트 제어 회로 24: 레지스터

26-34: 메모리 블록들 38-42: 파워 제어 스위치들

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 일반적으로 데이터 처리 시스템들에 관한 것으로, 특히 집적 회로 내의 대기 메모리(standby memory)로서 복수의 메모리 뱅크들 중에서 메모리 뱅크들의 한 세트를 동적으로(dynamically) 선택하는 것에 관한 것이다.

발명의 배경

마이크로컨트롤러들, 마이크로프로세서들, 및 RAM들(randomly accessed memories)과 같은 현대의 집적 회로들에 있어서, 이들 집적 회로들(ICs)에는 전형적으로 하나 이상의 파워 신호(예를 들면, 대기 파워 신호 및 정상 동작 파워 신호 등)가 제공된다. 제 1 파워 서플라이 신호가 정상 기능 모드 IC 동작을 위해 사용(예를 들면 VDD)되는 반면, 제 2 파워 서플라이 신호는 대기 모드 IC 동작을 위한 백업 파워 서플라이로 사용된다(예를 들면, VSTBY). 현대의 설계들에 있어서,

집적회로(IC) 내의 전체 메모리 어레이에는 백업 파워 서플라이에 의해 백업되거나 또는 백업 파워 서플라이에 의해 백업되지 않는다. 그러므로, 제 1 파워 서플라이 신호가 고장나고 메모리 어레이가 제 2 파워 서플라이 신호에 의해 백업되면, 파워 고장 전에 메모리 어레이에 저장된 데이터는 메모리 어레이에 계속 유지된다. 그러나, 제 1 파워 서플라이 신호가 고장나고 메모리 어레이가 제 2 파워 서플라이 신호에 의해 백업되지 않으면, 파워 고장 전에 메모리 어레이에 저장된 데이터는 손실된다. 이러한 비유연성(inflexible) 시스템을 사용할 때, 집적 회로(IC)의 사용자는 제 1 파워 신호가 고장날 때 항상 메모리 어레이에 저장된 모든 데이터가 손실되거나 또는 계속 유지되는 상태에 있게 된다. 이 시스템에서는, 메모리의 특정 부분들이 제 2 파워 서플라이 신호에 의해 백업되나 메모리의 다른 부분들이 제 2 파워 서플라이 신호에 의해 백업되지 않도록 하는 어떠한 유연성도 존재하지 않는다. 따라서, 메모리 백업은 단편적으로(piece-meal) 프로그램 가능하게 실행될 수 없다. 그러므로, 이러한 유연성의 부재는 해당 부분에 의해 소모된 파워 및 집적 회로(IC)의 폭넓은 응용 가능성과 유연성을 위한 기능에 영향을 끼친다.

발명이 이루고자 하는 기술적 과제

그러므로, 대기 파워 신호(또는 낮은 파워 신호)가 복수의 메모리 뱅크들 또는 블록들을 구비하는 메모리 어레이의 메모리 뱅크 또는 블록에 선택적으로 연결되도록 허용하는 방법이 필요하다. 이러한 부가된 기능(functionality)은 강화된 IC 파워 관리, 선택적 데이터 유지 관리, 및 보다 유연한 파워 손실 응답을 허용하기에 적합하다.

설명의 간결성 및 명확성을 위해, 도면들에 설명된 요소들은 크기대로 도시되어야 할 필요는 없다는 것이 이해될 것이다. 예를 들면, 요소들의 일부의 크기들은 명확성을 위해 다른 요소들보다 상대적으로 강조된다. 또한, 적절히 고려된 곳에서, 참조 숫자들은 대응하는 또는 유사한 요소들을 나타내기 위해 도면들에서 반복되었다.

발명의 구성 및 작용

일반적으로, 본 발명은 집적 회로(IC) 내에 스위치들을 제공하는 것을 포함하며, 스위치들은 스위치 출력들에 대해 복수의 독립적인 전압 공급 신호들 중 한 신호를 제공한다. 스위치 출력들에 공급된 전압을 변화시킴으로써, 파워 고장 발생시, 상이한 메모리 뱅크들 및/또는 블록들이 백업되도록 선택될 수 있는 반면, 다른 메모리 뱅크들 및/또는 블록들은 선택되지 않는다. 그 외에, 스위치 출력들에 공급된 전압을 변화시킴으로써, 상이한 메모리 뱅크들 및/또는 블록들이 동일한 시간 주기들 동안 상이한 파워 서플라이 전압들을 수신할 수 있다. 예컨대, 각각의 메모리 뱅크 또는 블록이 VDD, 대기 파워 서플라이(VSTBY), 또는 낮은 전압 서플라이에 연결되도록 독립적으로 구성될 수 있다. 이들 둘 또는 그 이상의 파워 서플라이 신호들은 개별적인 메모리 블록들 또는 뱅크들에 대해 시스템이 요구하는 바에 따라 상이한 전압 서플라이 소스들에 의해 전력이 공급될 수 있도록 집적 회로 내의 하나 또는 그 이상의 메모리 블록들 또는 뱅크들에 선택적으로 연결될 수 있다.

본 명세서에서는 어떤 전압 소스 신호가 어떤 메모리 뱅크로 루트 되는지를 제어하는 네 개의 방법들이 교시되며 이들 방법들 중 하나 또는 그 이상이 IC의 각 스위치에 의해 사용될 수 있다. 제 1 방법에 있어서, 테스트 제어 회로는 정상 기능의 VDD 파워 소스 대신 하나 또는 그 이상의 메모리 뱅크들로 대기 전압을 제공하기 위해 하나 또는 그 이상의 스위치들을 인에이블시키는 제어 신호를 출력한다. 제 2 방법에서, 사용자 액세스 가능한 레지스터(24)는 VDD가 공급되지 않을 때 어떤 메모리 뱅크들이 대기 전압 VSTBY를 수신할 것인지를 동적으로 선택하거나(즉, 대기 메모리가 선택됨), VDD가 공급되지 않을 때 어떤 메모리 뱅크들이 계속해서 VDD 파워 서플라이에 연결될 것인지를 선택하기 위해(즉, 비 대기(non-stand-by) 메모리가 선택됨) 사용자 또는 소프트웨어에 의해 기록될 수 있다. 제 3 방법에서, 스위치들은 한 파워 서플라이에 고장이 있을 경우 스위치들이 메인 파워의 고장에도 불구하고 선택된 메모리 뱅크들의 내용들을 유지할 수 있는 제 2 대기 또는 백업 파워 서플라이 소스를 자동적으로 선택하도록 설계될 수 있다. 제 4 방법에서, 집적 회로 내의 지능 제어 회로는 액세스될(최근에 액세스되거나 또는 가장 빈번하게 액세스되는) 메모리 뱅크들만을 고-전력 모드로 선택적으로 인에이블시키고, 이들 뱅크들이 액세스되지 않거나 또는 가까운 미래에도 쉽게 액세스되지 않을 때 메모리 뱅크들을 저-전력 데이터-유지 동작 모드로 선택적으로 디스에이블시키기 위해 실행 흐름, 소프트웨어 명령어들의 프리페칭(prefetching) 및/또는 메모리 위치 데이터 액세스들을 모니터 할 수 있다. 한 세트의 스위치들을 통해 이러한 방법들 중 하나 또는 그 이상을 사용함으로써, 어떤 메모리 뱅크들 또는 블록들이 대기 메모리로 지정되고 어떤 메모리 블록들이 비 대기 메모리로 지정되는지를 동적으로 결정하기 위해 보다 큰 유연성이 사용자에게 부여된다. 특히, 이들 방법들 중 하나 또는 그 이상이 메모리의 어느 부분이 백업되어 자체 데이터를 유지하고, 메모리의 어떤 부분이 백업되지 않고 파워 고장시 자체 데이터를 손실하는지를 결정하기 위해 사용될 수 있다. 이것은 시스템 내에서 전력 소모에 대한 사용자의 일부 제어를 허용하는 다른 이점을 제공하며, 또한 데이터 처리 시스템 내에서 메모리 파워 분배를 실행함에 있어 보다 큰 유연성을 허용한다.

본 발명은 도들 1-8을 참조로 더욱 잘 이해될 수 있다.

도 1 은 본 발명의 한 실시예에 따른 집적 회로(10)를 도시한다. 집적 회로(10)는 중앙 처리 장치(CPU)(12), 제어 회로(20), 메모리 어레이(11), 및 스위치 회로(13)를 포함한다. 도 1에서, CPU(12)는 임의의 크기 및 임의의 주파수에서 명령어들 또는 집적 회로 데이터를 실행 또는 처리하는 임의의 CPU일 수 있다. 그러나, 본 발명은 마이크로컨트롤러들 또는 마이크로프로세서들에 제한되지 않고 SRAM과 같이 CPU가 없는 집적 회로들에서 또한 사용될 수 있다는 것이 이해되어야 한다. CPU(12)는 데이터 버스(14)와 어드레스 버스(16), 및 제어 신호들(18)을 통해 제어 회로(20)와 통신한다. 제어 회로(20)는 도 1에서 메모리 어레이(11)에 대해 판독 및 기록 액세스를 제공하기 위해 CPU(12)와 양방향으로 통신한다. 아울러, 제어 회로(20)는 스위치 회로(13)를 제어하며, 그에 따라 제어 회로(20)는 복수의 전압 서플라이 단자들 중 어느 단자가 선택된 메모리 뱅크들 또는 블록들에 연결되는지를 결정할 것이다.

메모리 어레이(11)는 복수의 메모리 블록들(26-34)을 포함하며, 각 메모리 블록은 복수의 SRAM 셀들 또는 DRAM 셀들과 같은, 복수의 휘발성 메모리 셀들을 포함한다. 메모리 블록들(26-34)은 각 블록이 다른 모든 메모리 블록들에 대해 선택된 전압과 무관한 공급 전압을 수신하도록 선택될 수 있거나, 또는 일부 메모리 뱅크들의 시스템으로 구성될 수 있다. 메모리 뱅크들의 경우, 각 뱅크는 하나 또는 바람직하게는 그 이상의 블록들을 포함할 것이며, 뱅크 내의 모든 블록들은 한 세트로서 선택 가능한 공급 전압이다. 특히, 도 1에서, 메모리 블록들(34 및 32)은 단일 뱅크로 구성되며, 메모리 블록(30)은 자립형(stand-alone) 단일 메모리 블록 뱅크이고, 메모리 블록들(26 및 28)은 제 3 메모리 뱅크로 구성된다. 도 1에서, 파워 서플라이 신호들은 뱅크 단위로 루트 되며, 한 뱅크 안의 모든 블록들은 파워 서플라이 전압들의 견지에서 동일하게 취급된다. 일반적으로, 메모리 뱅크는 파워 서플라이를 목적으로 하는 메모리 셀들의 집합적인 세트로 취급되는 하나 또는 그 이상의 집합적 메모리 블록들을 포함하는 메모리 어레이(11)의 임의의 부분이다. 복수의 감지 증폭기들(26a-34a)이 개별적으로 각 메모리 블록들(26-34)에 연결된다. 이들 감지 증폭기들(26a-34a)은 CPU(12)가 메모리 블록들(26-34) 내에 저장된 정보에 액세스할 수 있도록 메모리 블록들(26-34)로부터의 판독 동작들을 인에이블한다. 아울러, 데이터는 또한 도 1에 도시된 어레이 버스(36)를 거쳐 메모리 블록들(26-34)에 기록될 수 있다. 일반적으로, 어레이 버스(36)는 제어 회로(20)를 거쳐 CPU(12)와 메모리 어레이(11)사이에서 양방향으로 통신하는 양방향 버스이다.

스위칭 회로(13)는 복수의 파워 제어 스위치들을 포함한다. 도 1의 메모리 어레이(11)가 예로서, 세 개의 별개의 메모리 뱅크들로 구성되는 것으로 도시되기 때문에, 세 개의 별개의 파워 제어 스위치들(38-42)이 도 1에 도시된다. 각 파워 제어 스위치(38-42)는 VDD 라인, 저 파워 라인, 또는 대기 전압 라인과 같은 복수의 파워 라인들에 연결된다. 특히, 도 1에서, 각 파워 제어 스위치(38-42)는 VDD 파워 서플라이 전압 라인 및 대기(VSTBY) 파워 서플라이 전압 라인에 연결되며, VDD 파워 서플라이 전압 라인 상의 전압은 대기 파워 서플라이 전압 라인 상의 전압보다 크거나 일치한다. 파워 제어 스위치들(38-42)은 도 1에서 규정된 세 개의 메모리 뱅크들 각각에 대해 VDD 신호 또는 VSTBY 신호를 선택한다. VSTBY 또는 VDD의 선택은 파워 제어 스위치들(38-42)에서 실행된 특정 설계에 기초한다. 특히, VSTBY 또는 VDD의 선택은 어떤 메모리 뱅크들 또는 블록들이 VDD에 고장이 발생할 경우 백업되도록 선택되는지에 기초한다. 도 2-4(이후 보다 상세히 논의됨)에서, 파워 제어 스위치들(38-42) 중 임의의 하나를 실행시키는데 사용될 수 있는 세 개의 가능한 스위칭 회로들이 존재한다. 도 2의 스위칭 회로(43)가 파워 제어 스위치들(38-42) 중 어느 하나에서의 사용을 위해 선택되는 경우, 파워 제어 스위치는 제어 회로(20) 내에 레지스터(24)의 사용을 필요로 하지 않을 것이다. 스위칭 회로(43)를 사용함으로써 스위칭 회로(43)에 연결된 메모리 뱅크 또는 블록이 비-대기 메모리로 선택된다. 특히, 메모리 블록에 대한 VDD 신호가 손실되거나 또는 고장이 발생할 경우, 스위칭 회로(43)는 메모리 블록에 데이터를 유지하도록 메모리 블록을 대기 전압 VSTBY으로 자동 스위칭할 수 없다. 그러므로, 스위칭 회로(43)에 연결된 메모리 뱅크는 비-대기 메모리이며, VDD의 손실은 메모리 뱅크 내에서의 데이터의 손실을 초래한다. 그러나, 스위칭 회로(43)는 테스트 제어 회로(22)에 의해 제어될 수 있으며, 이는 도 1의 제어 회로(20) 안에 위치한다. 테스트 제어 회로(22)로부터의 테스트 신호 출력이 인에이블 될 때, 스위칭 회로(43)는 메모리 뱅크들을 VDD로부터 분리시키고 메모리 뱅크들을 소프트 에러 테스팅(soft error testing)과 같은 테스팅을 위해 VSTBY 신호에 연결하며, 이 경우 테스트 신호는 소프트 에러 테스트 신호로 지정된다. 파워가 손실될 때, 메모리 내용들은 스위칭 회로(43)를 사용하여 손실되나, 동시에 보다 작은 파워가 메모리 데이터 유지의 결여로 인해 집적 회로(10)에 의해 소모된다. 그러므로, 중요하지 않은 프로그램 및 데이터 정보가 비-대기 메모리로 선택된 메모리 내에 위치하게 될 수 있다.

다른 형태에 있어서, 파워 제어 스위치들(38-40)의 임의의 하나 또는 전체가 도 3의 스위칭 회로(45)를 통해 수행되도록 선택될 수 있다. 스위칭 회로(45) 사용시, 레지스터(24)는 스위칭 회로(45)에 대한 제어를 실행하도록 사용될 수 없다. 대신, 전압 VSTBY은 일단 VDD 파워 신호가 일정한 임계 전압 이하로 떨어지면 스위칭 회로(45)에 의해 자동적으로 선택된다. 예컨대, VDD가 3 volts에서 기준이고 VDD가 약 2 volts의 임계치 이하로 떨어지도록 조절하는 경우, 스위칭 회로(45)는 VDD로부터 VSTBY로 스위칭된다. 게다가, 도 1의 테스트 제어 회로(22)는 테스트 신호를 출력하는데 사용될 수 있으며, 그에 따라 스위칭 회로(45)는 앞서 논의된 바와 같은 테스트 동작들을 위해 VDD에서 VSTBY로 전압 공급을 스위칭하도록 강요될 수 있다.

또 다른 실시예에 있어서, 파워 제어 스위치들(38-42)의 임의의 하나 또는 전체가 도 4의 스위칭 회로(47)로서 실행되도록 선택될 수 있다. 스위칭 회로(47)로, 사용자는 대기 또는 낮은 파워 전압이 선택되는지 여부 또는 어떤 정상 기능 VDD 전압이 도 1에 도시된 레지스터(24)에 하나 또는 그 이상의 비트들로 이루어진 제어값의 기록을 통하여 선택되는지를 프로그래밍할 수 있다. 게다가, 스위칭 회로(47)는 VDD 전압이 고장이 발생하거나 일정 임계치 이하로 떨어질 때 자동적으로 VSTBY 전압을 선택한다. 더욱이, 도 1에서 테스트 제어부(22)로부터의 테스트 신호 출력이 스위칭 회로(47)로 하여금 VDD 전압 공급으로부터 VSTBY 전압 공급으로 변화시키도록 강요하는데 사용될 수 있다.

다른 실시예에 있어서, 도 2-4의 세 개의 모든 스위칭 회로 또는 일부 그의 복수의 서브 세트가 도 1의 전력 제어 스위치들(38-42)에서 제공될 수 있다. 이 설계에 있어서, 사용자는 하드웨어 리세트, 소프트웨어 등을 거쳐 어떤 형태의 스위칭 회로(도 2-4중 임의의 하나)가 도 1의 각각의 메모리 뱅크에 인가되는지를 선택할 수 있다. 예컨대, 이 시스템으로, 사용자는 1 시간 주기에, 파워 제어 스위치(38)가 스위칭 회로(43)가 되고, 파워 제어 스위치(40)가 스위칭 회로(45)가 되며, 파워 제어 스위치(42)가 스위칭 회로(47)가 되도록 구성할 수 있는 반면, 다른 시간 주기에서는 접속 회로(10)가 파워 제어 스위치(38)가 스위칭 회로(45)가 되고, 파워 제어 스위치(40)가 스위칭 회로(47)가 되며, 파워 제어 스위치(42)가 스위칭 회로(45)가 되도록 구성할 수 있다. 다시 말해, 각 파워 제어 스위치(38-42)에 대해 추가 N-방식 스위치를 제공하고 도 2-4로부터 선택된 스위칭 회로들 중 N개를 파워 제어 스위치들(38-42)내에 위치하게 허용함으로써, 사용자는 VSTBY 및 VDD 스위칭 제어 회로(20)의 어느 형태가 특정 메모리 뱅크들에 대해 실행할 수 있는지 효과적으로 프로그래밍할 수 있다. 기본적으로, 도 1의 회로는 동적인 사용자 제어된 VSTBY/VDD 메모리 제어를 허용한다. VSTBY가 VDD보다 낮은 전압일 경우, VSTBY는 낮은 파워 전압이 될 수 있고 VDD는 정상 모드 기능 전압일 수 있다. 본 명세서에서의 실시예들이 두 개의 전압들의 고장이 파워 제어 스위치들(38-42)에 의해 선택될 수 있도록 허용한다는 사실을 주목하는 것이 중요하다. 예컨대, VSTBY, VDD, 및 VLPWR(voltage low power)이 다른 실시예에서 도 1의 전력 제어 스위치들(38-42)에 입력들로서 제공될 수 있다.

한 가능 실시예에 대한 예로서, 파워 제어 스위치(38)가 스위칭 회로(43)로 형성되고, 파워 제어 스위치(40)가 스위칭 회로(45)로 형성되며, 파워 제어 스위치(42)가 스위칭 회로(47)로 형성된다고 가정하자. 이 구조에 있어서, 스위칭 회로(43)에 의해 형성된 파워 제어 스위치(38)는 메모리 블록들(26 및 28)을 포함하는 메모리 셀들의 뱅크를 제어할 것이다. 메모리 블록들(26 및 28)이 스위칭 회로(43)에 의해 제어되므로, VDD에 고장이 발생할 때, 스위칭 회로(43)는 메모리 블록들(26 및 28)에 파워를 공급하도록 자동적으로 VSTBY를 선택할 수 없다. 그러므로, 메모리 블록들(26 및 28)은 비 대기 메모리로 선택된다. 그러나, 테스트 제어 회로(22)는 테스트 동작들을 실행하기 위해 메모리 블록들(26 및 28)을 VSTBY 파워 모드로 하기 위해 파워 제어 스위치(38)를 제어할 수 있다. 끝으로, 레지스터(24)는 스위칭 회로(43)에 대해 어떠한 제어도 실행할 수 없으며, 그러므로, 메모리 블록들(26 및 28)의 보다 적은 사용자 프로그래밍 가능 소프트웨어 제어가 스위칭 회로(43)를 사용하여 가능하다.

이 예에서 스위칭 회로(45)에 따라 설계된 파워 제어 스위치(40)는 메모리 블록들(32 및 34)을 제어한다. 그러므로, 파워 제어 스위치(40)는 파워 서플라이 VDD가 고장이 발생했을 때 메모리 블록들(32 및 34)을 VSTBY로 자동 스위칭할 것이다. 아울러, 테스트 제어 회로(22)는 파워 제어 스위치(40)로 하여금 테스트 동작들의 실행시 VDD 대신 VSTBY를 사용하도록 강요할 수 있다. 끝으로, 레지스터(24)는 파워 제어 스위치(40)에 대해 어떠한 제어도 실행하지 않으며, 그러므로 파워 제어 스위치(40)가 스위칭 회로(45)에 따라 설계될 때 적은 소프트웨어 프로그램 가능한 기능들이 메모리 블록들(32 및 34)에 대해 가능하다.

파워 제어 스위치(42)가 스위칭 회로(47)에 따라 설계된다. 그러므로, 상기 테스트 제어 회로(22)로부터의 테스트 신호 출력이 파워 제어 스위치(42)로 하여금 강제로 VDD 전압 대신 VSTBY 전압을 메모리 블록(30)에 공급하도록 하는데 사용될 수 있다. 아울러, 레지스터 뱅크(24)가 소프트웨어 프로그램 제어 또는 파워-온 리세트 제어가 일정한 시간 주기들 동안 메모리 블록(30)에 연결되는 전압 소스에 관한 메모리 블록(30)에 대해 실행될 수 있도록 하나 또는 그 이상의 프로그래밍 가능한 비트들을 거쳐 파워 제어 스위치(42)에 대해 제어를 실행할 수 있다. 더욱이, VDD가 고장이 발생할 경우, VSTBY가 스위칭 회로(47)에 따라 메모리 블록(30)에 파워를 공급하도록 자동 스위칭될 것이다.

그러므로, 파워 제어 스위치(38)가 스위칭 회로(43)에 따라 설계되고, 파워 제어 스위치(40)는 스위칭 회로(45)에 따라 설계되며, 파워 제어 스위치(42)가 스위칭 회로(47)에 의해 설계됨으로써, 메모리 블록들(26 및 28)은 비-대기 메모리가 되고, 메모리 블록들(34 및 32)은 대기 메모리로 설계되며, 메모리 블록(30)은 소프트웨어 프로그래밍 가능 제어 대기 메모리가 된다. 다른 실시예에서, 레지스터(24) 내의 하나 또는 그 이상의 비트들은 동작동안 VSTBY 또는 VDD로의 연결을 강제로 실행하는데 사용될 수 있고 및/또는 레지스터(24)로부터의 하나 또는 그 이상의 비트들이 VDARR에 연결된 메모리 뱅크가 대기 메모리인지 비-대기 메모리인지 여부를 결정하는데 사용될 수 있다.

특정 스위치 회로들에 대한 논의가 이제 도 2-4에 도시된 회로들에 따라 이제 제공된다.

도 2는 도 1에서 하나 또는 그 이상의 파워 제어 스위치들(38-42)을 실행시키는데 사용될 수 있는 간단하고 물리적으로 작은 스위칭 회로(43)를 도시한다. 스위치 회로(43)는 도 1에 도시된 VSTBY 전압에 의해 파워가 공급되는 네 개의 인버터들(50, 52, 54, 및 56)을 포함한다. 그 외에, 스위치 회로(43)는 도 1에 도시된 VDD 신호에 의해 파워가 공급되는 인버터(58)를 포함한다. 스위치 회로(43)는 또한 멀티플렉서 회로(60)를 포함하며, 멀티플렉서 회로(60)는 출력으로서 VSTBY 전압 또는 VDD 전압을 제공한다. 멀티플렉서 회로(60)의 출력은 메모리 어레이에 연결된 전압 공급 신호(VDARR)로서 도시되며 도 1에서 VDARR로서 도시된다. 스위치 회로(43)는 또한 CPU(12) 또는 제어 회로(20)에 대해 VDD 또는 VSTBY 중 어떤 전압이 출력 VDARR 상에서 구동되는지를 나타내기 위해 제어 회로(20) 또는 CPU(12) 중 하나와 통신될 수 있는 상태 신호를 제공한다. 일반적으로, 스위치 회로(43)는 2-1 멀티플렉서이며, 테스트 신호는 선택 입력으로서 기능하며 VSTBY 및 VDD 신호들은 2-1 멀티플렉서에 대한 두 개의 입력들이다. 테스트 제어 회로(22)로부터의 출력으로서 테스트 신호를 인에이블 또는 디스에이블함으로써, VDD 또는 VSTBY 중 하나가 도 1에 도시된 특정 메모리 블록 또는 뱅크에 대해 선택된다.

도 3은 도 1의 파워 제어 스위치들(38-42)중 하나 또는 그 이상으로 사용될 수 있는 대체 스위칭 회로(45)를 도시한다. 스위치 회로(45)는 RC 회로(70), NAND 게이트(72), RC 회로(84), 인버터(74), 인버터(76), 인버터(80), 멀티플렉서 회로(82), 인버터(86), 인버터(88), 및 인버터(90)를 구비한다. RC 회로(70)는 잡음이 존재하는 VDD 공급 전압 신호 상에서의 변동들을 안정화시키기 위해 사용된다. 도 1의 테스트 제어 회로(22)로부터 출력된 VDD 신호 및 테스트 신호 출력이 NAND 게이트(72)에 입력된다. 다른 RC 회로(84)가 시스템으로부터 또한 잡음을 차단시키기 위해 NAND 게이트(72)의 출력에 연결된다. RC 회로(84)에 의해 제공된 필터링된 신호가 복수의 인버터들(74, 76, 및 80)에 제공되며, 이들 인버터들(74, 76, 및 78)은 VSTBY 전압에 연결된다. 인버터(78)는 인버터(78)의 본래 경향이 VDD에 고장이 발생할 때 낮아지도록 VDD 전압에 연결된다. 복수의 인버터들(74-80)이 멀티플렉서 회로(82)에 피드된다. 회로(70 내지 80) 및 RC 회로(84)가 멀티플렉서 회로(82)에 대해 선택 신호를 제공한다. 멀티플렉서 회로(82)에 대한 두 개의 입력들은 도 3 및 도 1에 도시된 바와 같이 VDD 신호 및 VSTBY 신호이다.

적절한 선택 신호에 응답하여, VDD 또는 VSTBY 중 하나가 도 1에 도시된 바와 같이 멀티플렉서 회로(82)의 VDD 어레이(VDARR) 출력으로서 제공된다. 게다가, 스위치 회로(45)는 두 개의 상태 신호들을 제공한다. 제 1 상태 신호(ARRAY STATUS SIGNAL)가 메모리 어레이(11)에 제공됨으로써 메모리 어레이(11)는 어떤 파워 서플라이가 어떤 메모리 뱅크들에 공급되는지를 결정할 수 있다. 제 2 상태 신호(CONTROL STATUS SIGNAL)가 제어 회로(20)에 제공됨으로써 제어 회로(20)에 대해 집적 회로(10) 안의 메모리 파워 구조들이 알려지게 된다. 멀티플렉서 회로(60)에 의해 제공된 제 1 상태 신호가 또한 복수의 인버터들(74, 76, 및 80)에 제공되며, 이들 인버터들(74, 76, 및 80)은 VSTBY 전압에 연결되고, 그들의 출력은 제 2 상태 신호가 된다. 스위치 회로(45)는 VDD에 고장이 발생할 때 VSTBY가 자동적으로 VDARR 출력에 연결되도록 설계된다. 게다가, 스위치 회로(45)는 도 1의 테스트 제어 회로(22)에 의해 제공된 테스트 신호에 응답하도록 설계된다. 다시 말해, 테스트 신호가 인에이블될 때, VSTBY가 VDARR의 출력에 제공되며 테스트 신호가 디스에이블될 때 VDD 신호가 VDARR의 출력에 제공된다.

도 4는 도 3에 도시된 것과 유사한 스위칭 회로(47)를 도시한다. 스위칭 회로(45)에 관해 도시되고 논의된 모든 기능들은 스위칭 회로(47)에 대해서도 마찬가지로 가능하다. 그러나, 스위치 회로(47)는 스위치 회로(45)에 제공된 기능에 대해 추가의 기능을 제공한다. 스위치 회로(45)와는 달리, 스위치 회로(47)는 도 1의 레지스터(24)에 의해 제어될 수 있다. 하나 또는 그 이상의 2진 값들을 레지스터(24)에 기록함으로써, 스위치 회로(47)에 따라 설계된 하나 또는 그 이상의 스위치들이 출력 VDARR 상에 VDD 또는 VSTBY를 지능적으로 제공하도록 프로그래밍될 수 있다. 이러한 지능적 소프트웨어 사용자 프로그램 가능한 응답을 인에이블시키기 위해, OR 게이트(92)가 스위치 회로(47)를 형성하도록 스위치 회로(45)에 부가되며, 아울러 레지스터(24) 안에 배치된 D 플립-플롭이 도 4에 도시된 바와 같이 또한 사용된다.

이러한 실시예에서, 레지스터(24)는 CPU(12)에서 실행되는 소프트웨어 명령에 응답하여 스위치 회로(47)에 제어 신호를 제공한다. 특히, 레지스터(24) 안에 배치된 D 플립-플롭은, 어드레스 버스(16)에 의해 선택될 시, 입력으로서 도 1의 데이터 버스(14)로부터 최소한 1비트를 수신하며, 이 입력에 응답하여 D 플립-플롭은 제어 신호를 OR 게이트(92)에 송신한다. 다시 말해, 컴퓨터 프로그래머 또는 집적 회로(10)의 사용자에 의해 제공된 소프트웨어가 어떤 전압 전력 핀이 IC(10) 내의 어떤 메모리 뱅크들 또는 블록들에 연결되는지를 제어하기 위해 레지스터(24) 내의 2진 값들을 프로그램하는데 사용될 수 있다.

한 형태에 있어서, VSTBY는 VDD에 일치하는 값을 가진 전압이 될 수 있다. 이 형태에서, 사실상의 어떠한 전력 절약도 VDD와 VSTBY 사이의 스위칭에서 실현되지 않으며, VSTBY는 VDD에 고장이 발생할 시 단순히 메모리의 내용을 그대

로 유지하는 백업 전압으로 사용된다. 제어 회로(20)는 VSTBY 모드가 엔터될 때 다양한 메모리 블록들의 내용들이 보호되도록 VSTBY 모드에 있을 때 메모리 블록들을 락킹(lock)하거나 또는 그렇지 않을 수 있다. 다른 형태에 있어서, VSTBY는 VDD 전압보다 작은 전압일 수 있다. 이 형태에서, VSTBY 전압이 메모리 뱅크에서 동작 가능할 때, SRAM 셀들은 또는 DRAM 셀들을 포함할 수 있는 메모리 뱅크는 저장 장치 내의 논리 값들을 유지하나, 적은 전력을 소모할 것이다. 그러므로, 도 1에 도시된 스위칭은 메모리 어레이(11)에서 전력 관리를 실행하는데 사용될 수 있다.

도 5는 메모리 블록들(26 내지 34)을 VDD 또는 대기(VSTBY) 전압 공급 펈들에 선택적이고도 독립적으로 연결하도록 사용될 수 있는 제어기(100)를 도시한다. 도 5의 제어기(100)는 도 1의 제어 회로(20) 내에 위치할 것이다. 제어기(100)는 CPU(12)에 의해 제공된 어드레스들을 모니터할 것이다. 도 5에서 어드레스(102)로 도시된, 이러한 제공된 어드레스들은 오퍼런드(operand) 판독들/기록들 및/또는 오피코드 폐치들이 될 수 있다. 제어기(100) 뒤의 연산 개념은 CPU(12)에 의해 제공된 어드레스들이 제어기(100)에 의해 관찰될 수 있으며, 그에 따라 현재 CPU(12)에 의해 액세스되는 메모리 블록 또는 뱅크만이 높은 전력의 VDD 모드로 전력이 공급될 수 있고 그에 따라 도 1의 다른 모든 메모리 셀들이 VSTBY 또는 낮은 전력 모드로 된다는 것이다. 다시 말해, 메모리 뱅크들 또는 메모리 블록들은 프로그램 실행 흐름이 CPU(12)에서 동적으로 변화함에 따라 프로그램 실행 흐름의 함수와 같은 VDD로 선택적으로 인에이블 또는 디스에이블된다. 메모리 블록들(26 내지 34)을 통한 프로그램 실행 흐름을 지능적으로 모니터함으로써, 액티브하게 사용되고 있는 메모리의 선택된 부분들만이 인에이블될 수 있으며, 그에 따라 다른 모든 메모리 부분들이 도 1의 집적 회로(10) 내에서 전체 전력을 유지하도록 낮은 전력 모드로 배치된다.

도 5는 어드레스(102)를 도시한다. 어드레스(102)의 N 비트들은 어떤 메모리 어레이(11)의 블록 또는 뱅크가 각 특정 메모리 판독 또는 기록 동작에 대해 액세스되는지 나타내고/디코딩하기 위해 사용된다. 어드레스(102)의 N 비트들이 CPU(12)에 의해 제공될 때, 그들은 래치(104) 또는 유사한 저장 장치에 의해 래치(latch)된다. 일단 어드레스(102)의 N 비트들이 래치(104)에서 래치되면, 래치(104)는 비교 회로(106)가 어드레스(102)의 새로운/상이한 N 비트들이 CPU(12)에 의해 제공된 것을 결정할 때까지 새로운 값을 저장하도록 다시 클럭되지 않으며, 이들 새로운/상이한 N 비트들은 앞서 래치(104)에 저장된 것과 일치하지 않는다. 그러므로, 비교 회로(106)는 래치(104)의 현재 2진 출력을 CPU(12)로부터 제공된 어드레스(102)의 새로운 N 비트들의 세트와 비교하며, 새로운 N 비트들의 어드레스(102)가 현재 래치(104)에 저장된 어드레스(102)의 N 비트들과 상이할 때에만 이 어드레스의 N 비트들을 래치한다. 래치(104)에 저장된 2진 값은 디코더(108)에 출력된다. 도 5에서 N이 4일 경우(즉, 4 어드레스 비트들이 뱅크/블록을 디코딩하는데 사용될 경우), 디코더(108)의 출력은 16개의 2진 신호들로 이루어질 것이다. 디코더(108)의 16개의 출력들 또는 2^N 출력들 중, 단지 하나의 출력이 어느 한 시점에서 인에이블될 것이다. 이들 16개 또는 2^N 개의 2진 신호들이 이후 도 1의 레지스터(24)에 기록되며, 도 5의 출력들(110)은 도 1의 메모리 어레이(11)에서 단지 하나의 메모리 블록 또는 뱅크만을 턴온(즉, VDD로 전력을 공급)시키는데 사용된다.

제어기(100)는 도 1의 집적 회로(10)에서 작은 표면적을 점유하지만, 제어기(100)는 모든 실시예들에 대한 최적의 해결책이 될 수 없다. 예컨대, CPU(12)가 10개의 명령어 중 5개가 메모리 블록(30)에 위치하고 다른 5개의 명령어들이 메모리 블록(32) 안에 위치하는 루프 방식으로 한 세트의 10개의 명령어들을 실행할 경우, 도 5의 래치(104)는 루프를 통해 매시간 5번의 메모리 판독들마다 스위칭 상태가 될 것이다. 다시 말해, 제어기(100)는 전후 메모리 블록(30)의 인에이블 및 메모리 블록(30)의 디스에이블을 "반복(thrash)"할 것이며, 그 후 모든 루프에서 메모리 블록(30)을 디스에이블하는 동안 메모리 블록(32)을 인에이블할 것이다. 메모리 뱅크들 또는 블록들 사이의 반복은 몇몇 설계들에서 단점일 수도 있다. 이러한 반복은 집적 회로(10) 내의 회로가, 메모리 블록이 VSTBY 및 VDD가 디스에이블된 상태에서 인에이블 상태로 되기 전에 VDD로 시간이 경과함에 따라 충전될 것을 요구하면서 사실상 상이한 전압들이 될 때 특히 불합리해질 것이다. 다른 상황에서, 예컨대, CPU(12)는 도 1의 메모리 블록(34)으로부터의 코드를 실행할 수 있는 반면 도 1의 메모리 블록(26)에서 데이터를 액세스한다. 이 경우, 제어기(100)는 또한 메모리 블록(34)과 메모리 블록(26) 사이에서 반복할 것이다. 어떤 실시예들에서 이러한 반복을 피하기 위해, 도 6-7의 제어기들이 제공된다.

도 6은 도 1에서의 제어 회로(20) 안에 위치할 수 있는 제어기(121)를 도시한다. 제어기(121)는 제어기(121)의 목적이 전력 소모를 개선하기 위해 현재 사용되고 있거나 또는 과거에 최근에 사용되었던 RAM의 뱅크들만을 인에이블시키는 제어 신호를 제공하는 것이라는 면에서 도 5의 제어기(100)와 유사하다. 다시 말해, 제어기(121)는 메모리 블록들(26-34)에 대한 가장 최근의 액세스들을 캐쉬(chche)하며 단지 전체 소모된 전력을 감소시키기 위해 액세스된 캐쉬되거나 최종적인 몇몇의 메모리 블록들/뱅크들만을 인에이블시키는 특수 목적의 캐쉬이다. 최소 최근 사용(LRU) 대체 알고리즘이 도 6의 제어기(121)에서 실행된다.

도 6은 특히 단지 세 개의 메모리 뱅크들 또는 블록들만이 레지스터들(126-130)을 통해 캐쉬에 저장되는 것을 도시하며, 최적의 설계에 있어서 세 개의 레지스터들(126-130) 내의 어떠한 두 개의 값도 일치하지 않는다. 그러나, 세 개 이상 또는

세 개 이하의 셀 뱅크들 또는 블록들이 캐쉬에 저장될 수 있으며, 그에 따라 도 1의 시스템에서 인에이블되는 메모리의 량을 제어하게 된다는 것을 주목해야 한다. 도 6에서, CPU(12)는 어드레스들의 스트림을 제공한다. CPU(12)에 의해 제공된 어드레스들은 어드레스 버퍼(122)에 의해 래치되거나 바로 어드레스 버퍼(124a) 및 멀티플렉서 회로(124c)를 포함하는 제어 회로(124)에 제공된다. 도 6의 제어 회로(124)는 도 8에서 아웃라인된 동작을 가진 상태 머신 및 멀티플렉스 스위칭 회로를 포함한다.

CPU(12)가 초기에 어드레스 및 데이터 정보 처리를 시작할 때, 레지스터들(126-130)은 비워질 것이다. 제어 회로(124)는 레지스터들(126-130)이 비워지는 것을 인식하고 서로 구별되는 N 비트들의 제 1 세 개의 세트들이 어드레스 버퍼(122)를 통해 발생함에 따라 도 6의 N 비트들의 제 1 세 개의 세트들을 레지스터들(126-130)로 캐시하게 될 것이다. 레지스터(126-130)가 유효 어드레스 비트들로 채워진 후, 도 8의 상태 머신은 레지스터들(126-130)의 내용 상의 LRU 대체 방법에서 나타나는 제어 회로(124)에 의해 실행된다. 도 6의 제어 회로(124)를 기술하기 위해, 도 8의 논의가 도움이 된다.

도 6에서, 5개의 메모리 뱅크들이 임의의 시점에서 개별적으로 인에이블될 수 있다. 이들 5개의 메모리 뱅크들은 뱅크 1 내지 뱅크 5로 지칭된다고 가정하자.

아울러 CPU(12)에 의해 액세스된 제 1 의 세 개의 메모리 뱅크들이 뱅크들(1-3)이라고 가정하자. 뱅크(1)에 연관된 어드레스 비트들이 레지스터(126)에 저장될 것이고, 뱅크(2)의 어드레스 비트들이 레지스터(128)에 저장될 것이며, 뱅크(3)에 연관된 어드레스 비트들이 레지스터(130)에 저장될 것이다. 제어기(121)의 이러한 초기화 후, CPU(12)가 다시 한번 뱅크(1)에 액세스한다고 가정하자. 최소 최근 사용(LRU) 알고리즘이 도 8의 상태 머신에 사용되므로, 뱅크(1)는 레지스터들(126-130)의 정상으로 이동되어야 하며, 다른 가장 최근에 사용된 뱅크들(2 및 3)은 유지한다. 레지스터들(126-130)에서의 순서가 뱅크(1)가 레지스터들(126-130)에 의해 형성된 LRU 구조의 정상에 위치하고, 뱅크(2)는 레지스터(128) 내에 위치하며, 뱅크(3)는 레지스터(130)내에 위치하므로, CPU(12)가 뱅크에 다시 한번 액세스함으로 인해 어떠한 변화도 레지스터들(126-130)에 일어날 필요가 없다(즉, 레지스터들(126-130)은 이미 디폴트에 의해 적절한 순서의 메모리 뱅크들을 포함함). 그러므로, 도 8에 도시된 바와 같이, 새로운 입력 어드레스 X가 레지스터 A(레지스터 126)에 저장된 값에 일치할 때, 어떠한 변화도 레지스터들(126-130) 내에서 이루어지지 않는다.

그러나, CPU(12)로부터의 새로운 입력 어드레스 X가 레지스터(128)에 저장된 뱅크(2)의 값들에 일치한다고 가정하자. X가 레지스터(128)에 저장된 B의 값에 일치하므로, 도 8의 상태도가 레지스터(128)내의 값이 레지스터(126)로 이동함을 나타내는데, 레지스터(126)내의 값이 레지스터(128)로 우선적으로 하향 이동되며, 그에 따라 레지스터(130)의 내용이 LRU 구조에서 최하위 우선순위 아이템으로 유지된다. 기본적으로, 입력 어드레스 X가 레지스터(128)의 값과 일치할 때, 128에서의 값이 가장 최근에 사용된 위치이며 큐의 정면으로 이동되어야 하며 그에 따라 다른 두 개의 나머지 요소들은 큐의 단부 근처에 위치하게 된다.

레지스터(126)가 가장 최근에 사용되는 것으로 뱅크(1)를 저장하고, 레지스터(126)가 뱅크(2)를 저장하며, 레지스터(130)가 최소 최근에 사용된 뱅크로 뱅크(3)를 저장하는 최초의 구조를 가정하자. 이후 뱅크(3)는 CPU(12)로부터 액세스되고 뱅크(3)는 이미 레지스터(130)에 저장되어 있다고 가정하자. 도 8의 흐름도는 새로운 어드레스 X가 레지스터(130)에 저장된 값 C에 일치할 때, 레지스터(130)의 내용들이 레지스터(126)로 이동되고(최고 최근 사용 위치로 백업되고), 레지스터(128)의 내용들이 레지스터(130)로 이동되며, 레지스터(126)의 내용들이 레지스터(130)로 이동됨을 나타낸다. 이러한 레지스터들 내용들의 스위칭은 제어 회로(124) 안에 위치한 멀티플렉서 회로(124c)에 의해 실행된다.

뱅크들(1 내지 3)이 각각 레지스터들(126-130)에 저장된다고 가정하자. 이제 CPU(12)가 뱅크(4)에 액세스한다고 가정하자. 뱅크(3)가 큐의 최하위 우선순위 위치에 저장되므로, 도 8은 뱅크(4)를 지칭하는 새로운 어드레스 X가 새로운 최고 최근 사용 아이템으로서 레지스터(126)내로 이동됨을 나타낸다. 레지스터(126) 내에 존재했던 뱅크(1)는 레지스터(128)로 이동되며 큐/캐쉬에서 제 2 의 우선 순위를 갖는다. 최소 최근 사용 요소는 이제 도 6에서 레지스터(128)로부터 레지스터(130)로 이동되는 뱅크(2)가 된다. 앞서 레지스터(130)에 저장되었던 뱅크(3)는 이제 전체 큐로부터 이동되며 더 이상 도 6의 시스템 내에 존재하지 않고 따라서 더 이상 VDD로의 연결에 의해 인에이블되지 않는다. 그러므로, 뱅크(4)가 액세스될 때, 레지스터(126)는 뱅크(4)를 포함할 것이고, 레지스터(128)는 뱅크(1)의 어드레스 비트들을 포함할 것이며, 레지스터(130)는 뱅크(2)의 어드레스 비트들을 포함할 것이고, 도 6의 제어기(121)는 단지 가장 최근에 사용된 뱅크들(1, 2, 및 4)만을 인에이블하며, 뱅크들(3 및 5)은 낮은 전력 동작 모드에 있게 될 것이다.

이해되어야 하는 바와 같이, 제어 회로(124)를 통해 실행되는 상태 머신을 따라 레지스터(126-130)는 세 개의 가장 최근 사용된 메모리의 뱅크들이 레지스터들(126-130)에 의해 식별/저장되게 허용한다. 도 8을 참조하여 앞서 기술된 바와 같이 레지스터들(126, 128, 및 130) 사이에 이동을 실행하기 위해, 도 6의 비교기 논리(132)는 도 8로부터 사용된 흐름을 결

정하는데 사용된다. 디코더들(134-138) 및 OR 논리(140)는 도 1의 레지스터(24)에 제어 신호들을 송신하도록 사용된다. 디코더들(134-138)은 각각 인에이블되어야 하는 가장 최근에 사용된 메모리의 세 개의 뱅크들을 나타내는 하나의 핫 제어 신호를 발생시킨다. OR 논리(140)는 레지스터(24)에 저장되는 세 개의 인에이블 값을 발생시키도록 디코더들(134-138)로부터 세 개의 인에이블된 신호들을 함께 논리적으로 OR할 것이다. 레지스터(24)는 그 후 도 1에서의 메모리의 세 개의 가장 최근에 사용된 뱅크들을 인에이블하도록 이들 세 개의 인에이블된 값을 사용할 것이다. 제어기(121)에 저장되지 않은 메모리의 다른 모든 뱅크들은 낮은 전력의 대기 모드로 디스에이블 또는 배치된다. 이러한 LRU/캐쉬 대체 기법 및 복수의 엔트리 캐쉬는 앞서 논의된 반복을 회피하나, 실행되기 위해 보다 많은 실리콘 표면적을 요구하게 된다.

도 7은 대체 제어기(120)를 도시한다. 제어기(121 및 120)사이의 주된 차이점은 제어기의 제어 회로(125)가 제어 회로(124)와는 다소 상이한 방식으로 동작한다는 것이다. 샤파우(shadow) 레지스터들 및/또는 멀티플렉서 회로를 사용하는 대신, 하나 또는 그 이상의 일시적인 저장 레지스터들(124d)이 직렬 또는 병렬 방식으로 레지스터들(126-130)사이에서 내용의 적절한 스위칭을 실행하도록 어드레스 버퍼(124e)와 함께 사용될 수 있다. 기본적으로, 도 6 및 도 7의 제어기들은 유사하며 상태 머신 동작에 있어서의 미소한 변화를 가지면서 앞서 논의된 것과 동일한 기능을 갖는다.

도 8은 각각 도 6 및 도 7의 제어 회로(124) 및 제어 회로(125)의 기능적 동작을 도시한다. 도 8은 도 6을 참조로 하여 앞서 논의되었으며 여기에서는 간결함을 위해 중복해서 기술되지 않는다.

따라서, 본 발명에 따라 반도체 장치에서 불필요한 크로스바 전류를 크게 감소시키거나 또는 제거하는 회로 및 레이아웃이 제공된다. 본 발명이 특정 실시예를 참조하여 기술 및 설명되었을지라도, 본 발명이 이들 기술된 실시예들에 제한되지 않음을 인지해야 한다. 당업자들은 변경 및 수정이 본 발명의 사상 및 범주를 벗어나지 않고 이루어질 수 있다는 것을 인식할 것이다. 그러므로, 본 발명은 첨부된 특허 청구 범위에 해당하는 한 모든 변경 및 수정을 포함하는 것으로 의도된다.

발명의 효과

대기 파워 신호(또는 낮은 파워 신호)가 복수의 메모리 뱅크들 또는 블록들을 구비하는 메모리 어레이의 메모리 뱅크 또는 블록에 선택적으로 연결되도록 허용하는 방법이 제공된다.

(57) 청구의 범위

청구항 1.

집적 회로에 있어서:

제 1 복수의 휘발성 메모리 셀들과;

제 1 파워 라인과;

제 2 파워 라인과;

상기 제 1 복수의 휘발성 메모리 셀들에 전기적으로 연결되고, 상기 제 1 파워 라인에 전기적으로 연결되며, 상기 제 2 파워 라인에 전기적으로 연결된 제 1 파워 제어 스위치로서, 상기 제 1 복수의 휘발성 메모리 셀들은 제 1 제어 신호에 응답하여 상기 제 1 파워 라인에 전기적으로 연결되거나 또는 상기 제 2 파워 라인에 전기적으로 연결되는, 상기 제 1 파워 제어 스위치와;

상기 제 1 파워 제어 스위치에 전기적으로 연결된 레지스터로서, 상기 레지스터는 상기 제 1 파워 제어 스위치에 상기 제 1 제어 신호를 제공하는, 상기 레지스터와;

제 2 복수의 휘발성 메모리 셀들과;

상기 제 2 복수의 휘발성 메모리 셀들에 전기적으로 연결되고, 상기 제 1 파워 라인에 전기적으로 연결되며, 상기 제 2 파워 라인에 전기적으로 연결된 제 2 파워 제어 스위치로서, 상기 제 2 복수의 휘발성 메모리 셀들은 제 2 제어 신호에 응답하여 상기 제 1 파워 라인에 전기적으로 연결되거나 또는 상기 제 2 파워 라인에 전기적으로 연결되는, 상기 제 2 파워 제어 스위치를 포함하는, 집적 회로.

청구항 2.

집적 회로에 있어서:

휘발성 메모리로서, 상기 휘발성 메모리는 제 1 복수의 휘발성 메모리 셀들, 제 2 복수의 휘발성 메모리 셀들, 및 제 3 복수의 휘발성 메모리 셀들을 포함하는, 상기 휘발성 메모리와;

제 1 파워 라인과;

제 2 파워 라인과;

상기 제 1 복수의 휘발성 메모리 셀들에 전기적으로 연결되고, 상기 제 1 파워 라인에 전기적으로 연결되며, 상기 제 2 파워 라인에 전기적으로 연결된 제 1 파워 제어 스위치로서, 상기 제 1 복수의 휘발성 메모리 셀들은 제 1 제어 신호에 응답하여 상기 제 1 파워 라인에 전기적으로 연결되거나 또는 상기 제 2 파워 라인에 전기적으로 연결되는, 상기 제 1 파워 제어 스위치와;

상기 제 1 파워 제어 스위치에 전기적으로 연결된 레지스터로서, 상기 레지스터는 상기 제 1 파워 제어 스위치에 상기 제 1 제어 신호를 제공하는, 상기 레지스터와;

상기 제 2 복수의 휘발성 메모리 셀들에 전기적으로 연결되고, 상기 제 1 파워 라인에 전기적으로 연결되며, 상기 제 2 파워 라인에 전기적으로 연결된 제 2 파워 제어 스위치로서, 상기 제 2 복수의 휘발성 메모리 셀들은 제 2 제어 신호에 응답하여 상기 제 1 파워 라인에 전기적으로 연결되거나 또는 상기 제 2 파워 라인에 전기적으로 연결되는, 상기 제 2 파워 제어 스위치와;

상기 제 3 복수의 휘발성 메모리 셀들에 전기적으로 연결되고, 상기 제 1 파워 라인에 전기적으로 연결되며, 상기 제 2 파워 라인에 전기적으로 연결된 제 3 파워 제어 스위치로서, 상기 제 3 복수의 휘발성 메모리 셀들은 제 3 제어 신호에 응답하여 상기 제 1 파워 라인에 전기적으로 연결되거나 또는 상기 제 2 파워 라인에 전기적으로 연결되는, 상기 제 3 파워 제어 스위치를 포함하는, 집적 회로.

청구항 3.

공급 전압을 집적 회로 내의 복수의 메모리 블록들에 공급하는 방법에 있어서, 상기 방법은:

상기 집적 회로를 제공하는 단계로서, 상기 집적 회로는 제 1 복수의 휘발성 메모리 셀들을 포함하는 제 1 메모리 블록과, 제 2 복수의 휘발성 메모리 셀들을 포함하는 제 2 메모리 블록과, 레지스터와, 제 1 파워 제어 스위치와, 제 2 파워 제어 스위치를 포함하며, 상기 제 1 파워 제어 스위치는 상기 제 1 메모리 블록에 연결되고 상기 제 2 파워 제어 스위치는 상기 제 2 메모리 블록에 연결되며 상기 레지스터는 적어도 상기 제 1 파워 제어 스위치에 연결되는, 상기 집적 회로 제공 단계와;

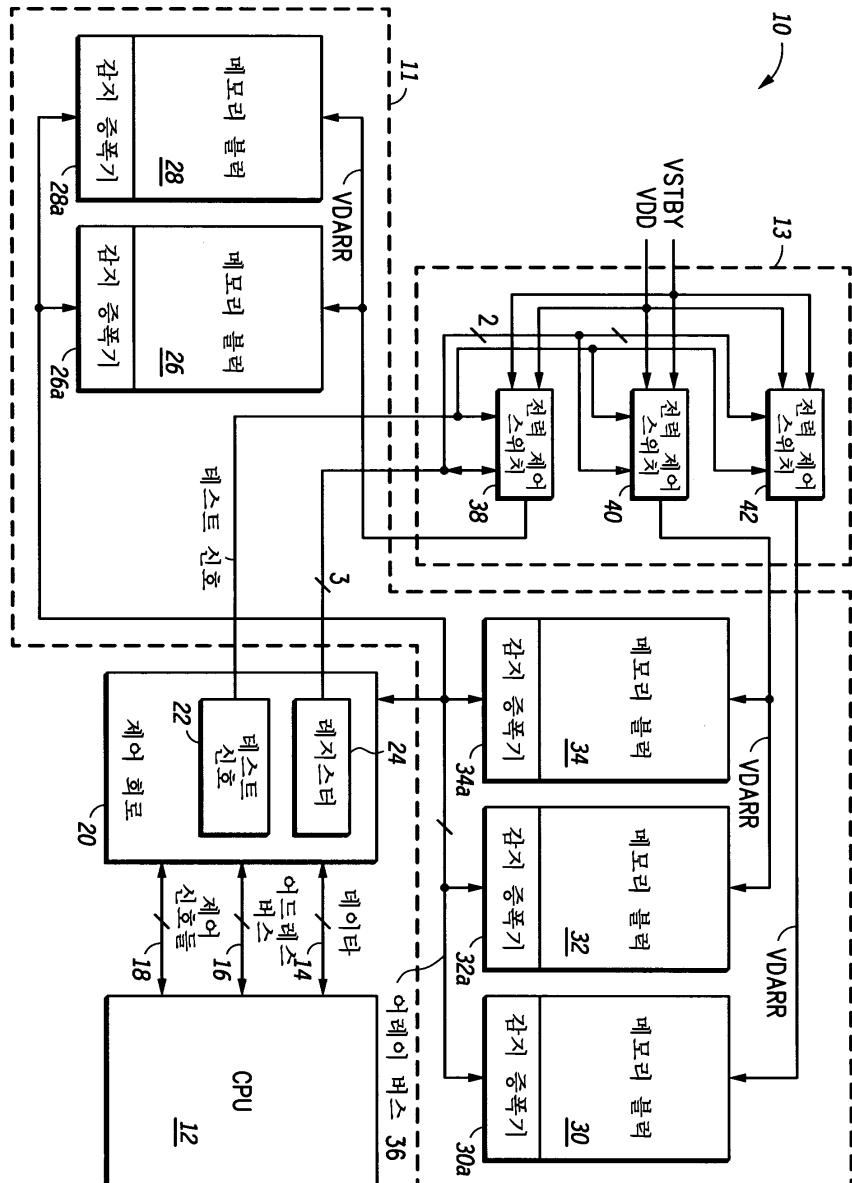
제 1 공급 전압 및 제 2 공급 전압을 상기 제 1 파워 제어 스위치 및 상기 제 2 파워 제어 스위치에 제공하는 단계와;

제 1 제어 신호를 상기 레지스터에의 제어 값의 기록에 응답하여 상기 제 1 파워 제어 신호에 제공하는 단계로서, 상기 제 1 메모리 블록은 상기 제 1 제어 신호에 응답하여 상기 제 1 공급 전압 또는 상기 제 2 공급 전압에 연결되는, 상기 제 1 제어 신호 제공 단계와;

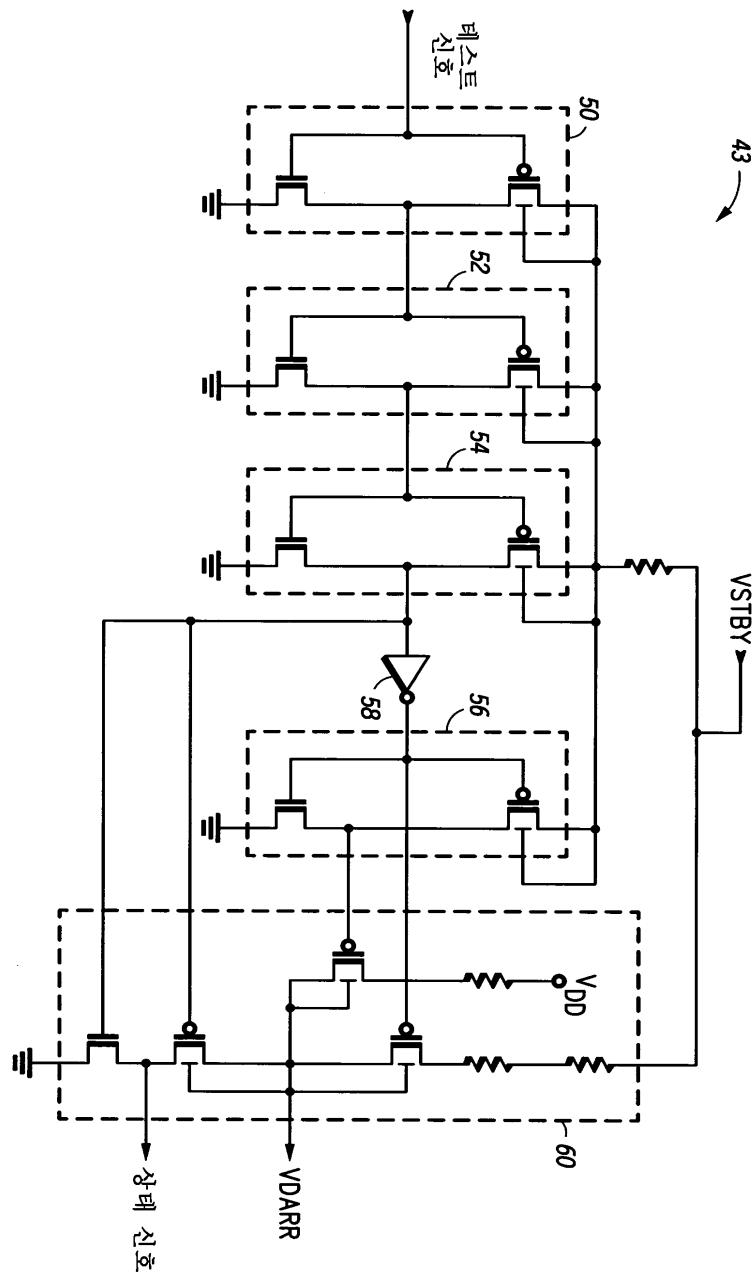
제 2 제어 신호를 상기 제 2 파워 제어 스위치에 제공하는 단계로서, 상기 제 2 메모리 블록은 상기 제 2 제어 신호에 응답하여 상기 제 1 공급 전압 또는 상기 제 2 공급 전압에 연결되는, 상기 제 2 제어 신호 제공 단계를 포함하는, 방법.

도면

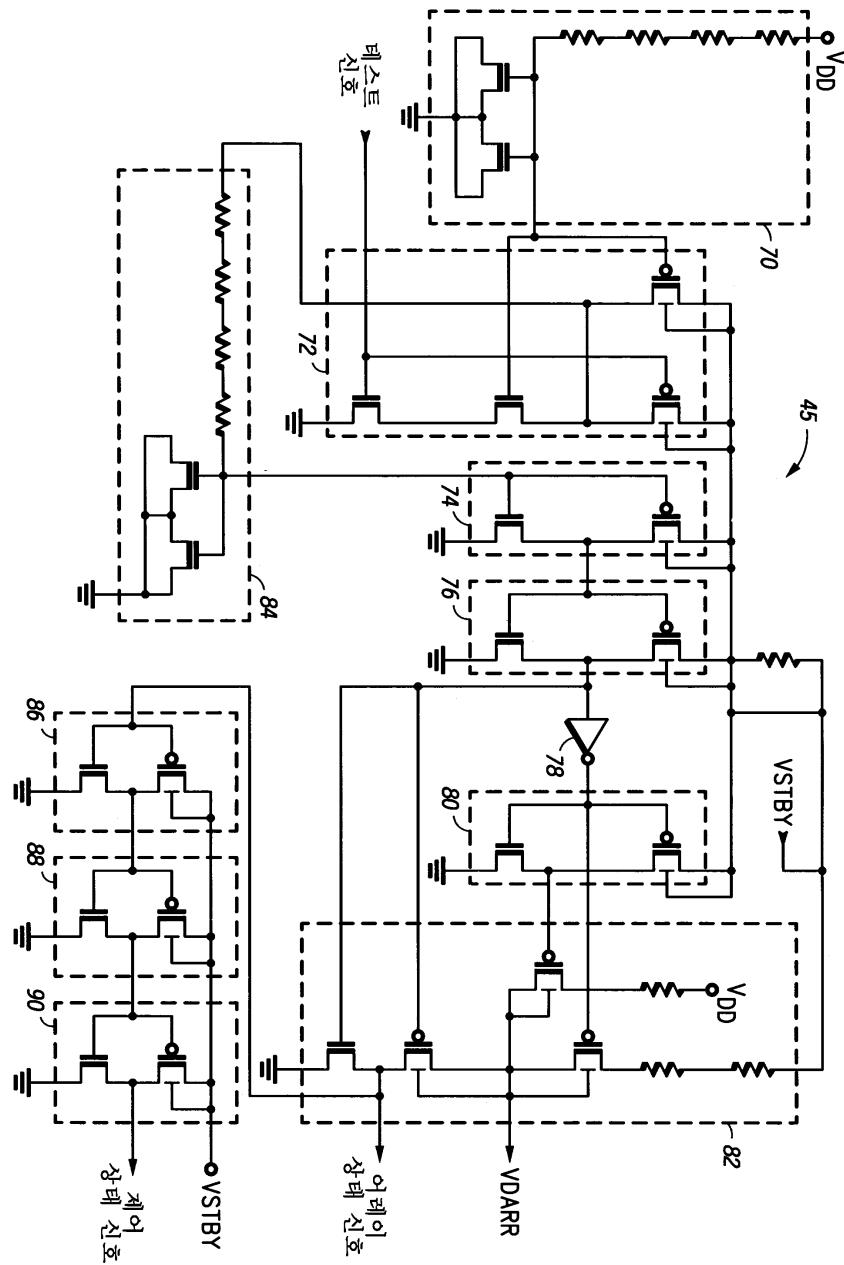
도면1



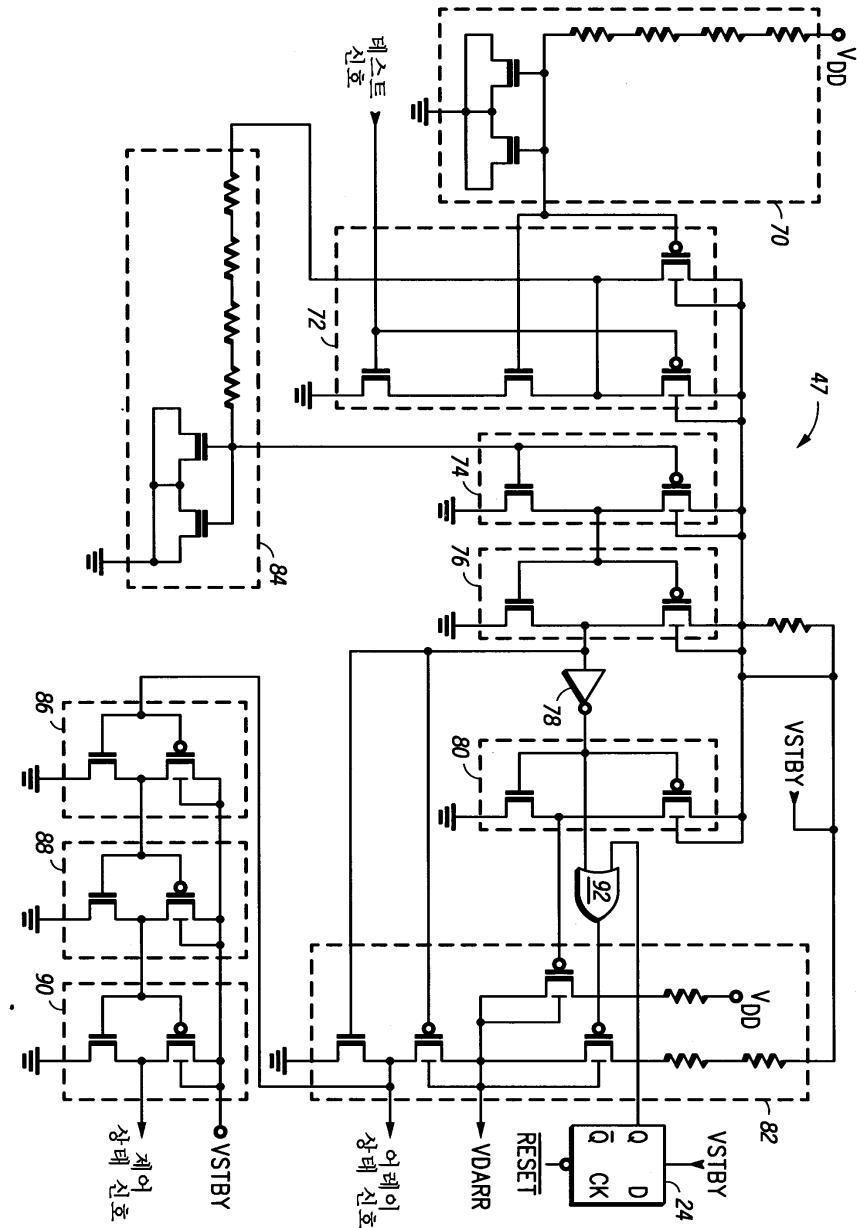
도면2



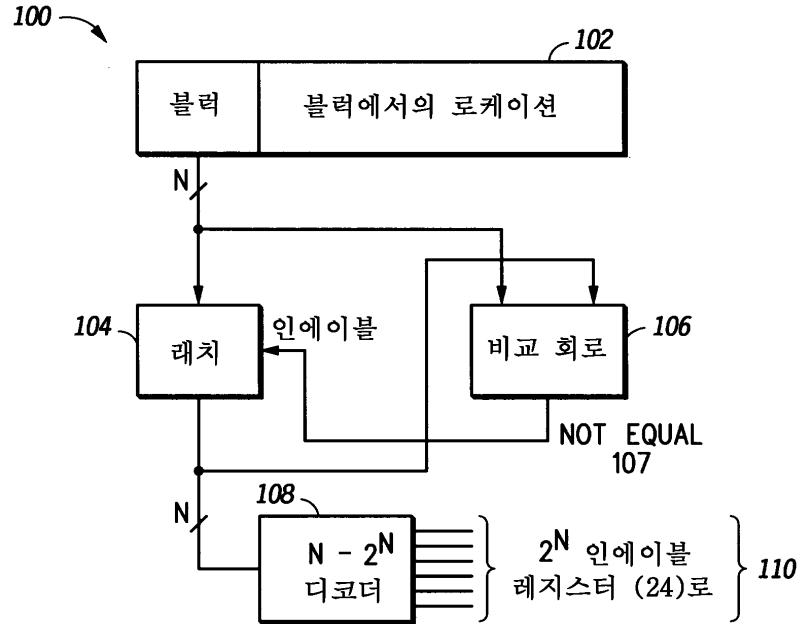
도면3



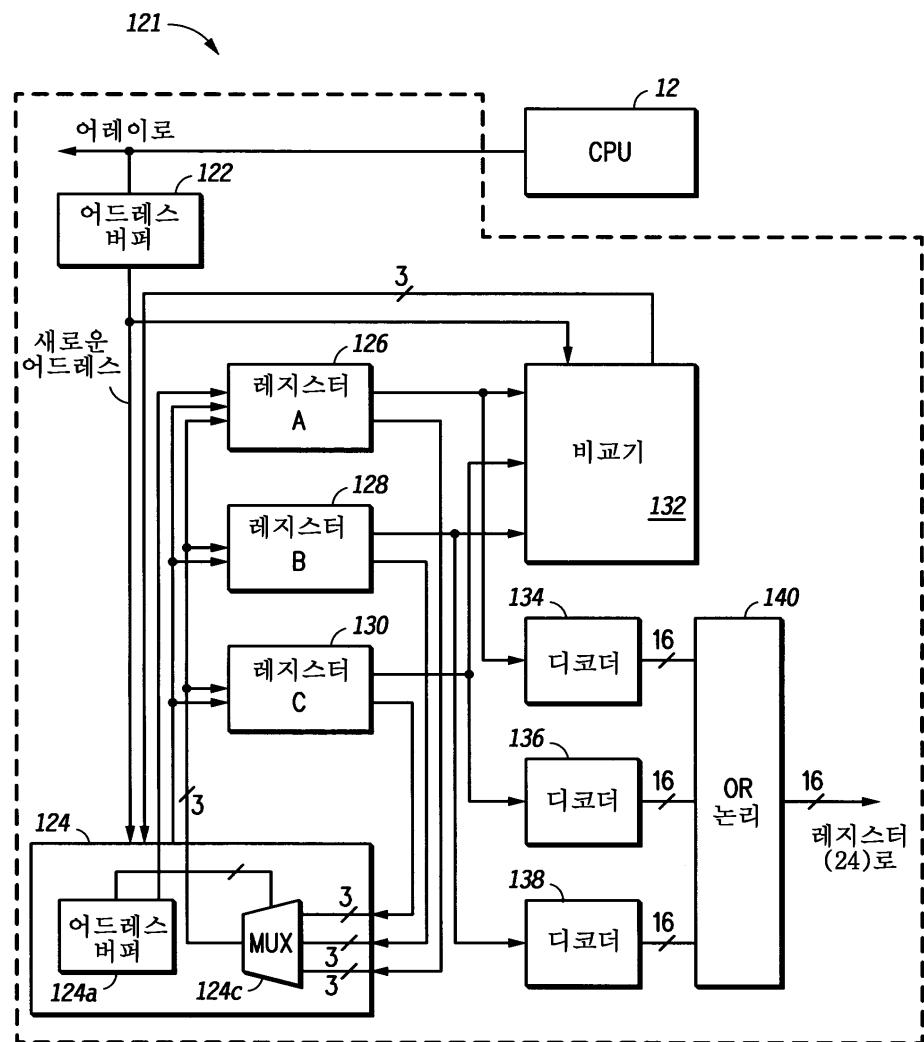
도면4



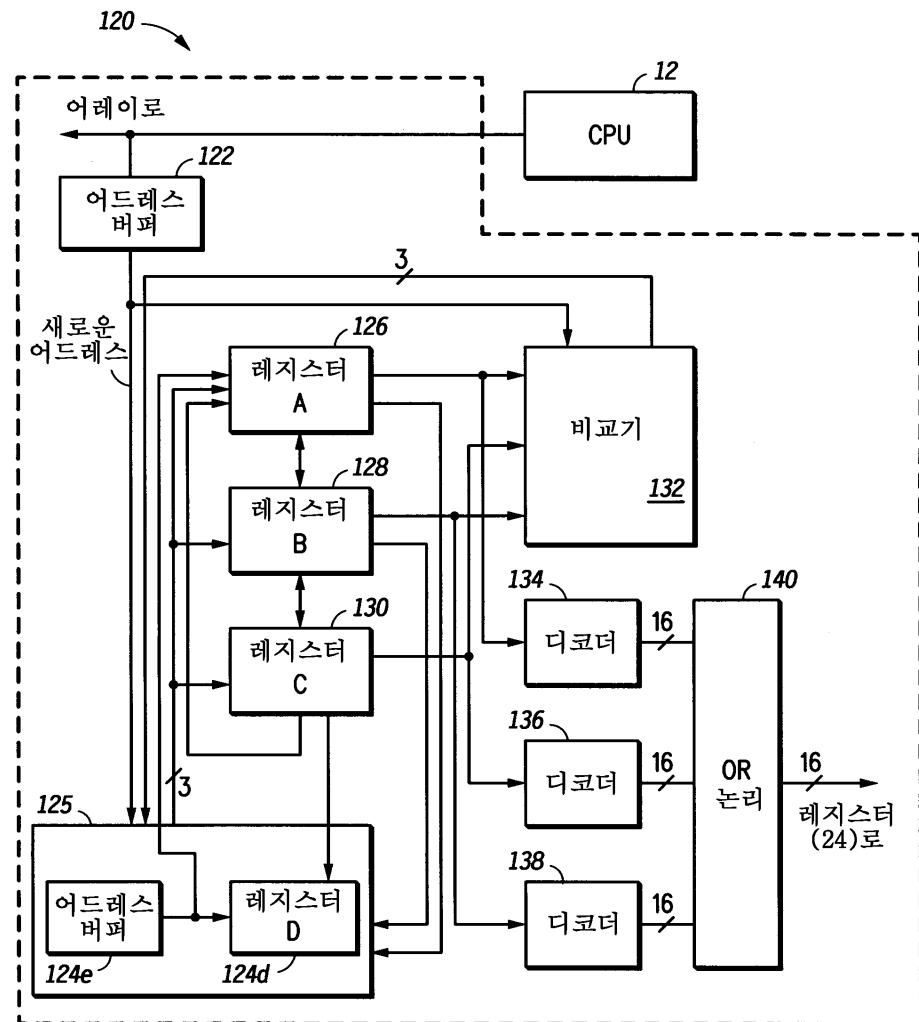
도면5



도면6



도면7



도면8

142

