



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523153 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：098134418

(22)申請日：中華民國 98 (2009) 年 10 月 09 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/10/20 美國

12/254,331

(71)申請人：飛思卡爾半導體公司 (美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國(72)發明人：哈利克 馬修 T HERRICK, MATTHEW T. (US) ; 張可明 CHANG, KO-MIN
(US) ; 琴德洛 高利珊卡 L CHINDALORE, GOWRISHANKAR L. (US) ; 康康松
泰 KANG, SUNG-TAEG (KR)

(74)代理人：陳長文

(56)參考文獻：

JP 2003-309193A

US 2004/0119107A1

US 2005/0110088A1

US 2005/0243606A1

US 2007/0269972A1

審查人員：詹利澤

申請專利範圍項數：10 項 圖式數：11 共 28 頁

(54)名稱

製造分離閘記憶體單元之方法

METHOD OF MAKING A SPLIT GATE MEMORY CELL

(57)摘要

本發明係關於一種方法，其包含在一半導體基板(12)上形成一第一層閘材料(18)；在該第一層上形成一硬遮罩層(20)；形成一開口(22)；在該硬遮罩層上且在該開口內形成一電荷儲存層(24)；在該電荷儲存層上形成一第二層閘材料(26)；移除覆於該硬遮罩層上之該第二層的一部分及該電荷儲存層的一部分，其中該第二層之一第二部分保留在該開口內；在該硬遮罩層上及在該第二部分上形成一經圖案化遮罩層(28、30、32)，其中該經圖案化遮罩層界定一第一位元單元及一第二位元單元兩者；及使用該經圖案化遮罩層形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層製成之一選擇閘(38、40)及由該第二層製成之一控制閘(34、36)。

A method includes forming a first layer of gate material (18) over a semiconductor substrate (12); forming a hard mask layer (20) over the first layer; forming an opening (22); forming a charge storage layer (24) over the hard mask layer and within the opening; forming a second layer (26) of gate material over the charge storage layer; removing a portion of the second layer and a portion of the charge storage layer which overlie the hard mask layer, wherein a second portion of the second layer remains within the opening; forming a patterned masking layer (28, 30, 32) over the hard mask layer and over the second portion, wherein the patterned masking layer defines both a first and second bitcell; and forming the first and second bitcell using the patterned masking layer, wherein each of the first and second bitcell comprises a select gate (38, 40) made from the first layer and a control gate (34, 36) made from the second layer.

指定代表圖：

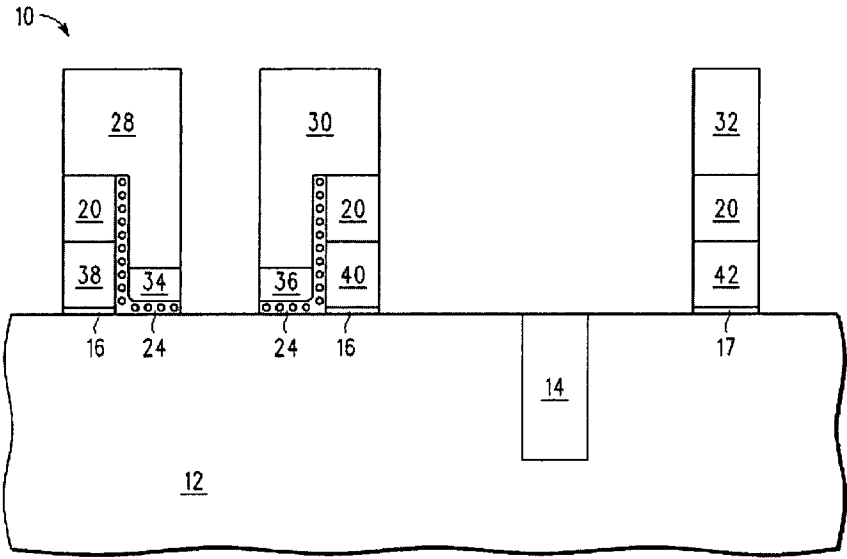


圖 8

符號簡單說明：

- 10 . . . 半導體裝置
- 12 . . . 半導體基板
- 14 . . . 隔離區域
- 16 . . . 介電質層
- 17 . . . 介電質層
- 20 . . . 硬遮罩層
- 24 . . . 電荷儲存層
- 28 . . . 經圖案化遮罩層
- 30 . . . 經圖案化遮罩層
- 32 . . . 經圖案化遮罩層
- 34 . . . 控制閘
- 36 . . . 控制閘
- 38 . . . 選擇閘
- 40 . . . 選擇閘
- 42 . . . 邏輯閘

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98134418

※申請日：98.10.9

※IPC 分類：H01L 21/847 12006.01

一、發明名稱：(中文/英文)

H01L 21/28 12006.01

製造分離閘記憶體單元之方法

H01L 21/336 12006.01

METHOD OF MAKING A SPLIT GATE MEMORY CELL

二、中文發明摘要：

本發明係關於一種方法，其包含在一半導體基板(12)上形成一第一層閘材料(18)；在該第一層上形成一硬遮罩層(20)；形成一開口(22)；在該硬遮罩層上且在該開口內形成一電荷儲存層(24)；在該電荷儲存層上形成一第二層閘材料(26)；移除覆於該硬遮罩層上之該第二層的一部分及該電荷儲存層的一部分，其中該第二層之一第二部分保留在該開口內；在該硬遮罩層上及在該第二部分上形成一經圖案化遮罩層(28、30、32)，其中該經圖案化遮罩層界定一第一位元單元及一第二位元單元兩者；及使用該經圖案化遮罩層形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層製成之一選擇閘(38、40)及由該第二層製成之一控制閘(34、36)。

三、英文發明摘要：

A method includes forming a first layer of gate material (18) over a semiconductor substrate (12); forming a hard mask layer (20) over the first layer; forming an opening (22); forming a charge storage layer (24) over the hard mask layer and within the opening; forming a second layer (26) of gate material over the charge storage layer; removing a portion of the second layer and a portion of the charge storage layer which overlie the hard mask layer, wherein a second portion of the second layer remains within the opening; forming a patterned masking layer (28, 30, 32) over the hard mask layer and over the second portion, wherein the patterned masking layer defines both a first and second bitcell; and forming the first and second bitcell using the patterned masking layer, wherein each of the first and second bitcell comprises a select gate (38, 40) made from the first layer and a control gate (34, 36) made from the second layer.

四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體裝置
12	半導體基板
14	隔離區域
16	介電質層
17	介電質層
20	硬遮罩層
24	電荷儲存層
28	經圖案化遮罩層
30	經圖案化遮罩層
32	經圖案化遮罩層
34	控制閘
36	控制閘
38	選擇閘
40	選擇閘
42	邏輯閘

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於半導體記憶體，且更特定言之，係關於製造具有一分離閘的非揮發性記憶體(NVM)。

此申請案已於2008年10月20日在美國作為專利申請案第12/254,331申請。

【先前技術】

已經發現分離閘非揮發性記憶體(NVM)以為可靠操作提供許多益處。然而，製造上的困難已經產生於處理此等結構。由一電荷儲存層分離之兩個足夠接近的閘為議題之部分，該電荷儲存層可能包含奈米晶體。此外，該NVM與邏輯電晶體之整合增加處理步驟的數目。

因此，需要在製造分離閘NVM中的改良。

【實施方式】

本發明藉由實例得以繪示且不受該等隨附圖式之限制，其中相似的參考指示相似的元件。該等圖式內的元件係出於簡單及清晰而繪示且不需按比例繪製。

在一態樣中，一第一層閘材料係形成於一閘介電質上且硬遮罩材料係形成於該閘材料上。一開口形成於該硬遮罩材料及該閘材料內。該開口與可包括奈米晶體的一電荷儲存層對齊。一第二層閘材料(相對厚較佳)經沈積且填充該開口。一回蝕刻(較佳地藉由化學機械拋光(CMP)執行)導致該第二層與該剩餘硬遮罩材料的一頂部表面齊平。該第二層可維持於此位準或可甚至經進一步蝕刻以便處於低於

該第一層閘材料的高度。該第二層與該第一層之一圖案化蝕刻同時形成選擇閘、控制閘及邏輯閘。隨後的處理移除該硬遮罩層，形成側壁間隔件及源極/汲極區域。參考該等圖式及下文之描述可更好理解此意。

本文描述之該半導體基板可為任何半導體材料或諸多材料之諸多組合，諸如砷化鎵、矽鍺、絕緣體上矽(SOI)、矽、單晶矽、相似物及以上的諸多組合。

圖1顯示一半導體裝置10，其包括一半導體基板12、基板12內的一隔離區域14、在隔離區域14一側之基板12上的一閘介電質層16、在隔離區域與閘介電質層16之一相對側上的基板12上的一閘介電質層17、閘介電質層16與17及隔離區域14上的一多晶矽層18、及多晶矽層18上的一氮化物層20。氮化物層20用作為一硬遮罩且可為另一適合的材料。該閘介電質層16側係非揮發性記憶體單元(NVM)待形成之處。該閘介電質層17側係邏輯電晶體待形成之處。邏輯電晶體係用於執行各種邏輯功能之任何者且大體上針對速率而設計。氮化物層20及多晶矽層18可各自為大約1500埃厚。可能使用其他厚度，但氮化物層20應為至少500埃，因為氮化物層20被用作為一硬遮罩且非僅用作為一抗反射塗層(ARC)。類似地，多晶矽層18可為其他厚度但較佳為至少500埃。閘介電質16與閘介電質17可同時形成且因此具有相同的厚度，若該相同厚度是有效的則此形成是有益的。若需要不同的閘介電質，則該等閘介電質可具有一不同材料或不同厚度。閘介電質16與閘介電質17可經熱

生長至大約40埃。閘介電質可變化且可具有不同的材料及厚度。可期望具有介於多晶矽層18與氮化物層20之間的一薄氧化物層(可能僅80埃)。

圖2顯示在透過硬遮罩20、多晶矽層18及閘介電質16執行一圖案化蝕刻以形成在該NVM側上的一開口22後的半導體裝置10。開口22可為大約5000埃寬。此蝕刻為使用(待審查者補充的化學劑)一各向異性蝕刻。

圖3顯示在開口22內及硬遮罩層20上沈積一電荷儲存層24後的半導體裝置10。電荷儲存層24可使用奈米晶體來電荷儲存。在此情況下，電荷儲存層24可藉由首先形成一介電質層，隨後形成奈米晶體而製成。另一介電質層經形成圍繞該等奈米晶體且在該等奈米晶體上。另一電荷材料(諸如氮化物)亦可能為有效的。電荷儲存層24可為大約200埃厚。此厚度可改變，尤其是若使用大型奈米晶體(約100埃或更大的奈米晶體)。

圖4顯示在電荷儲存層24上沈積一多晶矽層26後的半導體裝置10。多晶矽層18及多晶矽層26為在形成諸閘(諸如用作為諸控制閘的諸閘、用作為諸選擇閘的諸閘及用作為在執行與一NVM不同的邏輯功能的諸電晶體中之閘的諸閘)中有用的多晶矽。其他材料(諸如導電材料)可能被發現係有用的。舉例而言，使金屬可用成為閘之許多工作正在被完成。多晶矽層26較佳地為相對較厚的，至少與圖2中的開口22的該厚度一樣厚。在此情況下，該多晶矽層26可為大約2800埃厚。在實踐中，較佳地該多晶矽層26甚至更

厚，例如大約5000埃。

圖5顯示在化學機械拋光(CMP)多晶矽層26使得多晶矽層26之該剩餘部分的一頂部表面與氮化物層20的一頂部表面齊平後的半導體裝置10。

圖6顯示在一回蝕經執行以降低多晶矽層26之該剩餘部分的高度而使其低於多晶矽層18的一頂部表面之高度後的半導體裝置10。該回蝕係使用在氮化物與多晶矽之間具選擇性的一化學劑而執行。此一化學劑亦可能對氧化物具選擇性使得電荷儲存層24不受到明顯蝕刻。此一蝕刻之一實例為使用一以氯為主的化學劑的一反應性離子蝕刻。一此種實例為 $\text{Cl}_2 + \text{HBr}$ 、 $\text{He} + \text{O}_2$ 及 CF_4 。

圖7顯示在沈積及圖案化一光阻層以留下光阻部分28、30及32後的半導體裝置10。光阻部分28重疊氮化物層20之一部分及在該開口一側上的多晶矽層26之一部分，其中多晶矽層26之該剩餘部分常駐在該開口內。光阻部分30重疊氮化物層20之一部分及在該開口另一側上的多晶矽層26之一部分，多晶矽層26之該剩餘部分常駐在該開口內。光阻部分32係在待執行一邏輯電晶體處之該邏輯部分上。

圖8顯示在使用光阻部分28、30及32蝕刻透過氮化物層20、多晶矽層18而使選擇閘34與36及邏輯閘42分別自光阻部分28、30及32之下的多晶矽層18保留後的半導體裝置10。此蝕刻亦透過多晶矽層26及電荷儲存層24而使控制閘38及40分別自光阻部分28及30之下的多晶矽層26保留。此蝕刻分三個步驟。第一步驟為氮化物的一蝕刻。第二步驟

為多晶矽的一蝕刻。雖然多晶矽36薄於多晶矽40且因此多晶矽36係過蝕刻，但是電荷儲存層24充當一蝕刻阻止。因此，基板12在過蝕刻期間受到保護。第三步驟為通過電荷儲存層24之一蝕刻。在該蝕刻期間，可能存在對光阻部分28、30及32的實質腐蝕。用於移除氮化物、多晶矽及一奈米晶體電荷儲存層之該等腐蝕劑係眾所周知的。用於蝕刻氮化物層20之一化學劑的一實例為(待審查者補充的化學劑)。用於蝕刻多晶矽層18之一化學劑的一實例為(待審查者補充的化學劑)。用於蝕刻電荷儲存層24之一化學劑的一實例為(待審查者補充的化學劑)。

圖9顯示在移除光阻部分28、30與32及氮化物層20之該等剩餘部分後的半導體裝置10。電荷儲存層24之垂直部分高度在氮化物蝕刻期間亦降低。可用於此氮化物蝕刻的一濕蝕刻熱磷酸在此情況下對氧化物係具高度選擇性，可能期望具有先前描述之介於多晶矽層18與氮化物層20之間的該薄氧化物層，因為熱磷酸可以使多晶矽有凹痕。

圖10顯示在執行一低濃度源極/汲極植入用於形成源極/汲極延伸從而引起形成輕微摻雜區域44、46、48、50及52後的半導體裝置10。此植入可能為n型摻雜劑，諸如砷或磷。

圖11顯示在形成複數個側壁間隔件後的半導體裝置10，該等側壁間隔件以橫截面顯示為選擇閘38諸側上的側壁間隔件54及58、選擇閘34一側上的側壁間隔件56、選擇閘36一側上的側壁間隔件60、選擇閘40諸側上的側壁間隔件62

及64及邏輯閘42諸側上的側壁間隔件68及70。將該等側壁間隔件用作為一遮罩，則執行一植入以形成重摻雜源極/汲極區域72、74、76、78、80及82。

因此，半導體裝置10顯示一對位元單元共用一共同摻雜區域56，該區域可能被認為係一汲極。在一些方案中，取決於該等選擇與控制閘如何用於程式化及抹除，該等源極與汲極可能顛倒。另外，兩個位元單元使其等之閘僅由兩個遮罩步驟界定且進一步一邏輯電晶體使其之閘由該兩個遮罩步驟之一者界定。一步驟為形成開口22。另一步驟為使用顯示於圖7及圖8中的光阻部分。

現在，應意識到，已經提供一種用於形成一半導體結構的方法。該方法包含在一半導體基板上形成一閘介電質層。該方法進一步包含在該閘介電質層上形成一第一層閘材料。該方法進一步包含在該第一層閘材料上形成一硬遮罩層。該方法進一步包含形成一開口通過該硬遮罩層及該第一層閘材料。該方法進一步包含在該硬遮罩層上及該開口內形成一電荷儲存層。該方法進一步包含在該電荷儲存層上形成一第二層閘材料，其中該第二層閘材料之一厚度為至少與該第一層閘材料及該硬遮罩層之一總厚度一樣大。該方法進一步包含移除上覆於該硬遮罩層之該第二層閘材料之一部分及該電荷儲存層之一部分，其中該移除將該硬遮罩層用作為一阻止層，且其中該第二層閘材料之一第二部分保留在該開口內。該方法進一步包含在該硬遮罩層上及在該開口內之該第二層閘材料的該第二部分上形成

一經圖案化遮罩層，其中該經圖案化遮罩層界定一第一位元單元及一第二位元單元兩者。該方法進一步包含使用該經圖案化遮罩層形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層製成的一選擇閘及由該第二層閘材料製成的一控制閘。該方法可進一步包含將該開口內之該第二層閘材料之該第二部分凹入，使得在凹入後，在該開口內之該第二層閘材料的該第二部分的一頂部表面不與該第一層閘材料之一頂部表面共面。該方法之進一步特徵可在於在該第一層閘材料上形成該硬遮罩層，該形成之進一步特徵在於該硬遮罩層具有500埃或更大的一厚度。該方法之進一步特徵可在於在該第一層閘材料上形成該硬遮罩層，該形成之進一步特徵在於該硬遮罩層為一氮化物層。該方法之進一步特徵可在於移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分，該移除之進一步特徵在於執行一化學機械拋光以移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分。該方法之進一步特徵可在於形成該經圖案化遮罩層，該形成之進一步特徵在於該經圖案化遮罩層進一步界定一邏輯電晶體之一閘。該方法可進一步包含使用該經圖案化遮罩層形成該邏輯電晶體之該閘，其中該邏輯電晶體之該閘係由該第一層閘材料製成。該方法之進一步特徵可在於形成該電荷儲存層，該形成之進一步特徵在於該電荷儲存層包括奈米晶體。該方法之進一步特徵可在於在該電荷儲存層上形成該

第二層閘材料，該形成之進一步特徵在於該第二層閘材料具有5000埃或更大之一厚度。

本發明亦描述一種用於形成一半導體結構之方法。該方法包含在一半導體基板上形成一第一層閘材料。該方法進一步包含在該第一層閘材料上形成一硬遮罩層。該方法進一步包含形成一開口通過該硬遮罩層及該第一層閘材料。該方法進一步包含在該硬遮罩層上及該開口內形成一電荷儲存層。該方法進一步包含在該電荷儲存層上形成一第二層閘材料，其中該第二層閘材料之一厚度為至少與該第一層閘材料及該硬遮罩層之一總厚度一樣大。該方法進一步包含移除覆於該硬遮罩層上之該第二層閘材料之一部分及該電荷儲存層之一部分，其中該移除將該硬遮罩層用作為一阻止層，且其中該第二層閘材料之一第二部分保留在該開口內。該方法進一步包含在該硬遮罩層上及在該開口內之該第二層閘材料之該第二部分上形成一經圖案化遮罩層，其中該經圖案化遮罩層界定一第一位元單元、一第二位元單元及一邏輯電晶體之一閘。該方法進一步包含使用該經圖案化遮罩層來形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層閘材料製成之一選擇閘及由該第二層閘材料製成之一控制閘。該方法進一步包含使用該經圖案化遮罩層來形成該邏輯電晶體之該閘，其中該邏輯電晶體之該閘係由該第一層閘材料製成。該方法可進一步包含將該第二層閘材料之該第二部分凹入該開口內，使得在凹入後，在該開

口內之該第二層閘材料之該第二部分之一頂部表面不與該第一層閘材料之一頂部表面共面。該方法之進一步特徵可在於在該第一層閘材料上形成該硬遮罩層，該形成之進一步特徵在於該硬遮罩層具有500埃或更大之一厚度。該方法之進一步特徵可在於在該第一層閘材料上形成該硬遮罩層，該形成之進一步特徵在於該硬遮罩層為一氮化物層。該方法之進一步特徵可在於移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分，該移除之進一步特徵在於執行一化學機械拋光以移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分。該方法之進一步特徵可在於形成該電荷儲存層，該形成之進一步特徵在於該電荷儲存層包括奈米晶體。該方法之進一步特徵可在於在該電荷儲存層上形成該第二層閘材料，該形成之進一步特徵在於該第二層閘材料具有5000埃或更大之一厚度。

本發明亦描述一種用於形成一半導體結構之方法。該方法包含在一半導體基板上形成一第一層閘材料。該方法進一步包含形成一開口通過該硬遮罩層及該第一層閘材料。該方法進一步包含在該硬遮罩層上及該開口內形成一電荷儲存層。該方法進一步包含在該電荷儲存層上形成一第二層閘材料，其中該第二層閘材料之一厚度為至少與該第一層閘材料及該硬遮罩層之一總厚度一樣大。該方法進一步包含移除覆於該硬遮罩層上之該第二層閘材料之一部分及該電荷儲存層之一部分，其中該移除將該硬遮罩層用作為

一阻止層，且其中該第二層閘材料之一第二部分保留在該開口內。該方法進一步包含將該第二層閘材料之該第二部分凹入該開口內。該方法進一步包含在該硬遮罩層上及在該開口內之該第二層閘材料之該第二部分上形成一經圖案化遮罩層，其中該經圖案化遮罩層界定一第一位元單元及一第二位元單元兩者。該方法進一步包含使用該經圖案化遮罩層來形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層閘材料製成之一選擇閘及由該第二層閘材料製成之一控制閘。該方法之進一步特徵可在於移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分，該移除之進一步特徵在於執行一化學機械拋光以移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分。該方法之進一步特徵可在於形成該經圖案化遮罩層，該形成之進一步特徵在於該經圖案化遮罩層進一步界定一邏輯電晶體之一閘，且其中該方法進一步包含使用該經圖案化遮罩層來形成該邏輯電晶體之該閘，其中該邏輯電晶體之該閘係由該第一層閘材料製成。該方法之進一步特徵可在於在該電荷儲存層上形成該第二層閘材料，該形成之進一步特徵在於該第二層閘材料具有5000埃或更大之一厚度。

雖然本文參考諸特定實施例來描述本發明，但是在不脫離如下文之該等請求項所提出之本發明的範圍下，可進行各種修改及變化，其等之一些者先前已經描述過。舉例而

言，一CMP步驟係描述用於平坦化氮化物層20與多晶矽層26，一回蝕製程可為達到此目的之一替代。另外多晶矽被描述為該閘材料，但是亦可使用在一高k介電質上之一金屬閘。因此，該說明書及諸圖式將被視為一說明性而非一限制意義，且欲使所有此等修改包含於本發明之範圍內。不欲將本文描述之關於諸特定實施例之任何益處、優點及諸問題的解決方案解釋為該等請求項之任一項或所有項之一關鍵、需要或基本特徵或元件。

此外，如本文使用之術語「一」係界定為一或大於一。另外，在該等請求項中之引語(諸如「至少一」及「一或多」)的使用不應解釋為暗指由不定冠詞「一」引入之另一請求項元件將含有此種引入請求項元件之任一特定請求項限制為僅含有一個此種元件之發明，即使當相同請求項包含該引語「一或多」或「至少一」及不定冠詞(諸如「一」)時。定冠詞之使用亦為此理。

除非另外聲明，否則諸如「第一」及「第二」之術語係用於任意區分此等術語描述的該等元件。因此，此等術語不需欲以指示此等元件之暫時或其他的優先次序。

【圖式簡單說明】

圖1為在根據一實施例之處理中的一階段時之一裝置結構的一橫截面；

圖2為在一隨後處理步驟時的圖1之該裝置結構的一橫截面；

圖3為在一隨後處理步驟時的圖2之該裝置結構的一橫截

面；

圖 4 為在一隨後處理步驟時的圖 3 之該裝置結構的一橫截面；

圖 5 為在一隨後處理步驟時的圖 4 之該裝置結構的一橫截面；

圖 6 為在一隨後處理步驟時的圖 5 之該裝置結構的一橫截面；

圖 7 為在一隨後處理步驟時的圖 6 之該裝置結構的一橫截面；

圖 8 為在一隨後處理步驟時的圖 7 之該裝置結構的一橫截面；

圖 9 為在一隨後處理步驟時的圖 8 之該裝置結構的一橫截面；

圖 10 為在一隨後處理步驟時的圖 9 之該裝置結構的一橫截面；及

圖 11 為在一隨後處理步驟時的圖 10 之該裝置結構的一橫截面。

【主要元件符號說明】

10	半導體裝置
12	半導體基板
14	隔離區域
16	介電質層
17	介電質層
18	多晶矽層/第一層閘材料

20	氮化物層
22	開口
24	電荷儲存層
26	第二層閘材料/多晶矽層
28	經圖案化遮罩層/光阻部分
30	經圖案化遮罩層/光阻部分
32	經圖案化遮罩層/光阻部分
34	控制閘
36	控制閘
38	選擇閘
40	選擇閘
42	邏輯閘
44	輕微摻雜區域
46	輕微摻雜區域
48	輕微摻雜區域
50	輕微摻雜區域
52	輕微摻雜區域
54	側壁間隔件
56	側壁間隔件
58	側壁間隔件
60	側壁間隔件
62	側壁間隔件
64	側壁間隔件
68	側壁間隔件

70	側壁間隔件
72	重摻雜源極/汲極區域
74	重摻雜源極/汲極區域
76	重摻雜源極/汲極區域
78	重摻雜源極/汲極區域
80	重摻雜源極/汲極區域

七、申請專利範圍：

1. 一種用於形成一半導體結構的方法，該方法包括：

在一半導體基板上形成一第一層閘材料；

在該第一層閘材料上形成一硬遮罩層；

形成一開口通過該硬遮罩層及該第一閘極材料層；

在該硬遮罩層上及該開口內形成一電荷儲存層；

在該電荷儲存層上形成一第二層閘材料，其中該第二層閘材料之一厚度為至少與該第一層閘材料及該硬遮罩層之一總厚度一樣大；

移除覆於該硬遮罩層上之該第二層閘材料之一部分及該電荷儲存層之一部分，其中該移除將該硬遮罩層用作為一阻止層，且其中該第二層閘材料之一第二部分保留在該開口內；

在該硬遮罩層上及在該開口內之該第二層閘材料之該第二部分上形成一經圖案化遮罩層，其中該經圖案化遮罩層界定一第一位元單元、一第二位元單元及一邏輯電晶體之一閘；

使用該經圖案化遮罩層來形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層閘材料製成之一選擇閘及由該第二層閘材料製成之一控制閘；及

使用該經圖案化遮罩層來形成該邏輯電晶體之該閘，其中該邏輯電晶體之該閘係由該第一層閘材料製成。

2. 如請求項1之方法，進一步包括：

F50279/143560

將該第二閘極材料層之該第二部分凹入該開口內，使得在凹入後，於該開口內之該第二層閘材料之該第二部分之一頂部表面不與該第一閘極材料層之一頂部表面共面。

3. 如請求項1之方法，其中在該第一層閘材料上形成該硬遮罩層之進一步特徵在於該硬遮罩層具有500埃或更大之一厚度。
4. 如請求項1之方法，其中在該第一層閘材料上形成該硬遮罩層之進一步特徵在於該硬遮罩層為一氮化物層。
5. 如請求項1之方法，其中移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分之進一步特徵在於執行一化學機械拋光以移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分。
6. 如請求項1之方法，其中形成該電荷儲存層之進一步特徵在於該電荷儲存層包括奈米晶體。
7. 如請求項1之方法，其中在該電荷儲存層上形成該第二閘極材料層之進一步特徵在於該第二層閘材料具有5000埃或更大之一厚度。
8. 一種用於形成一半導體結構的方法，該方法包括：
 在一半導體基板上形成一第一層閘材料；
 在該第一層閘材料上形成一硬遮罩層，其中該硬遮罩層具有500埃或更大之一厚度；
 形成一開口通過該硬遮罩層及該第一層閘材料；
 在該硬遮罩層上及該開口內形成一電荷儲存層；
 在該電荷儲存層上形成一第二層閘材料，其中該第二

層閘材料之一厚度為至少與該第一層閘材料及該硬遮罩層之一總厚度一樣大；

移除覆於該硬遮罩層上之該第二層閘材料之一部分及該電荷儲存層之一部分，其中該移除將該硬遮罩層用作為一阻止層，且其中該第二層閘材料之一第二部分保留在該開口內；

將該第二層閘材料之該第二部分凹入該開口內；

在該硬遮罩層上及在該開口內之該第二層閘材料之該第二部分上形成一經圖案化遮罩層，其中該經圖案化遮罩層界定一第一位元單元及一第二位元單元兩者；及

使用該經圖案化遮罩層來形成該第一位元單元及該第二位元單元，其中該第一位元單元及該第二位元單元之各者包括由該第一層閘材料製成之一選擇閘及由該第二層閘材料製成之一控制閘。

9. 如請求項8之方法，其中移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分之進一步特徵在於執行一化學機械拋光以移除覆於該硬遮罩層上之該第二層閘材料之該部分及該電荷儲存層之該部分。

10. 如請求項8之方法，其中在該電荷儲存層上形成該第二層閘材料之進一步特徵在於該第二層閘材料具有5000埃或更大之一厚度。

八、圖式：

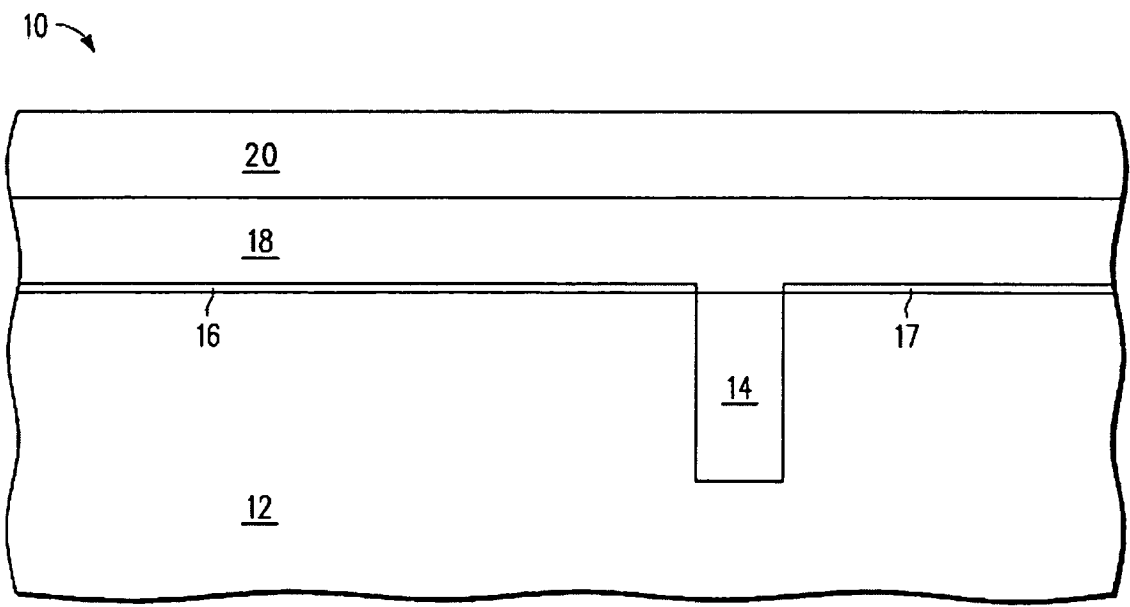


圖 1

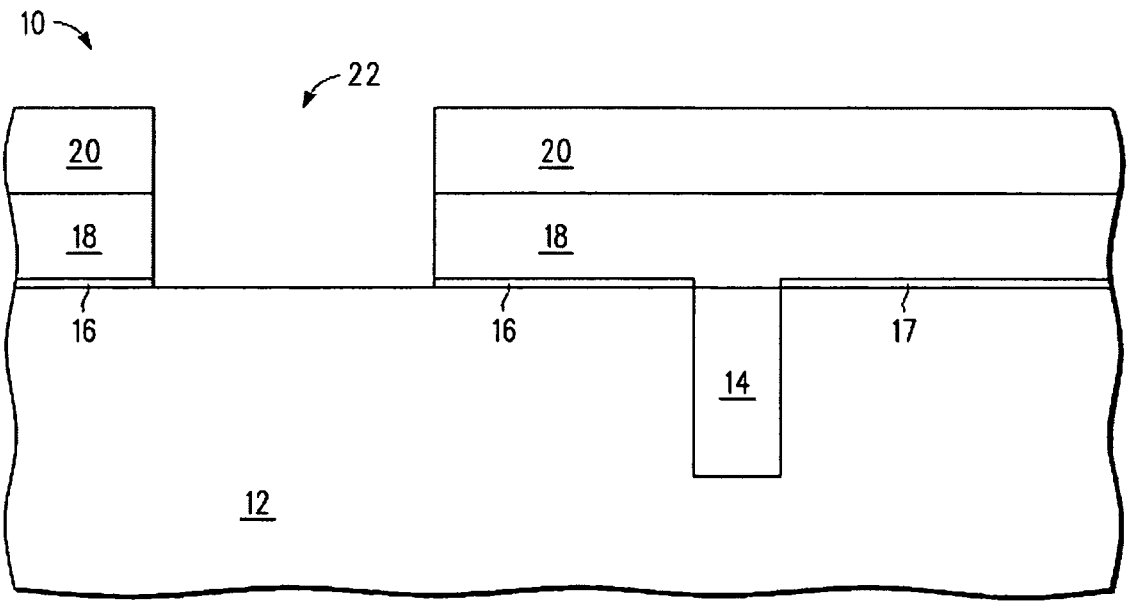


圖 2

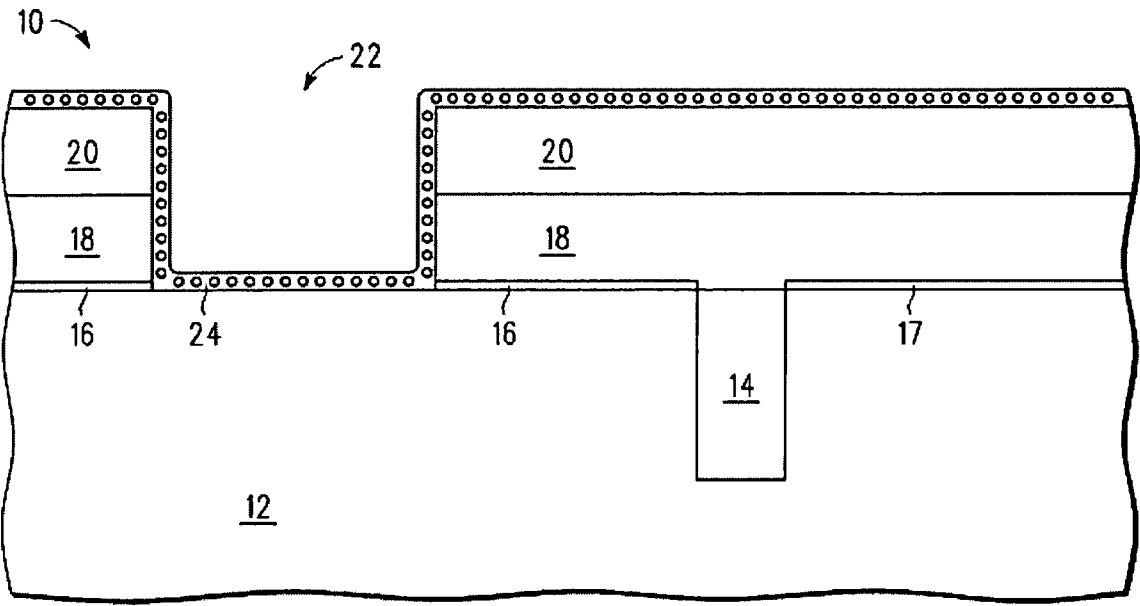


圖 3

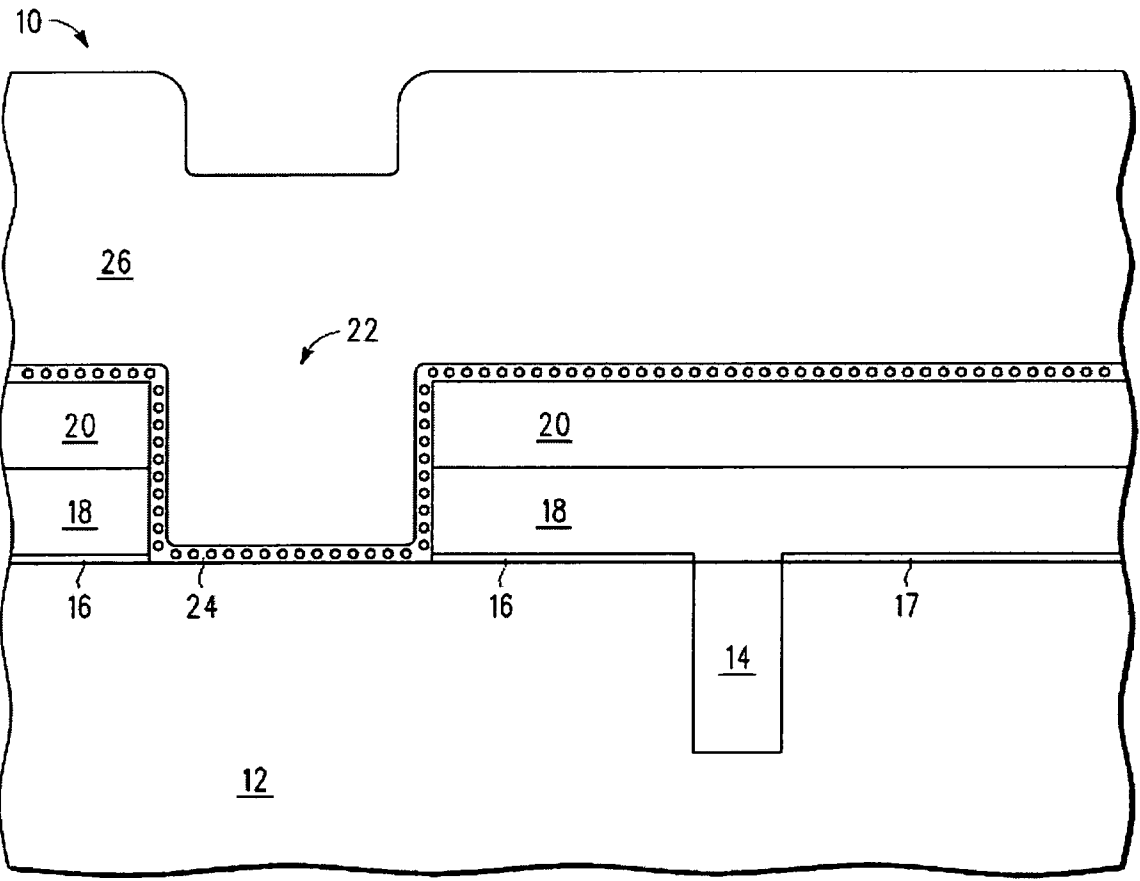


圖 4

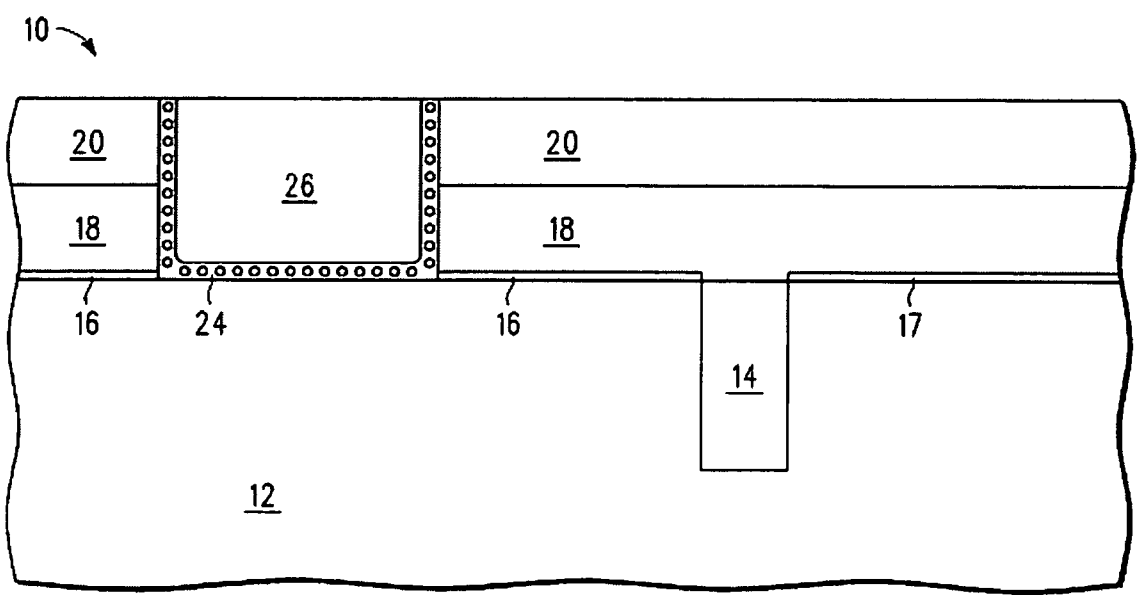


圖 5

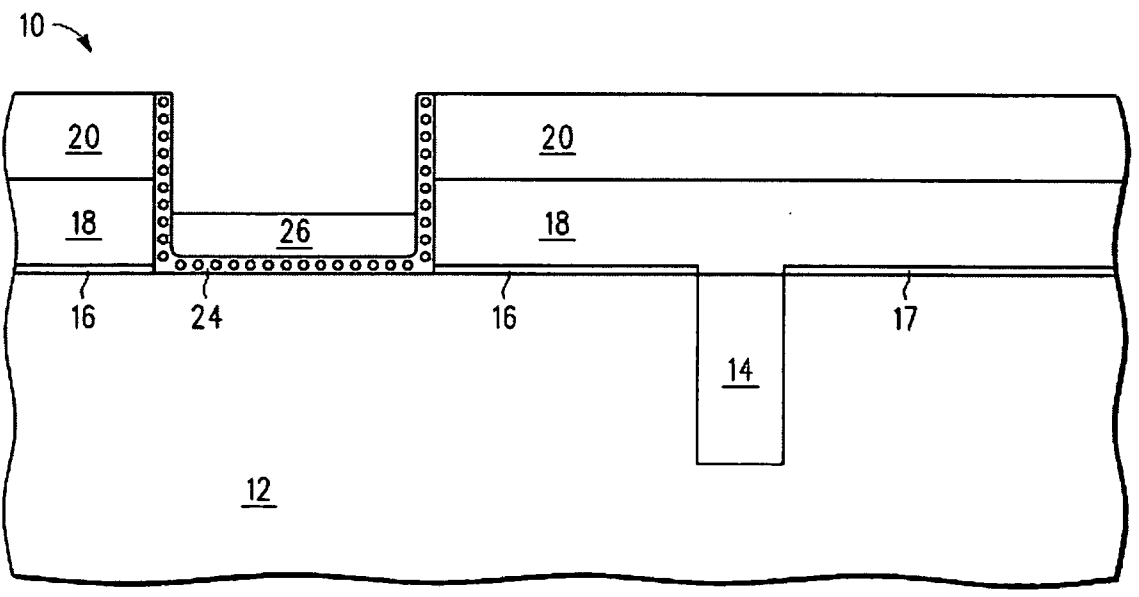


圖 6

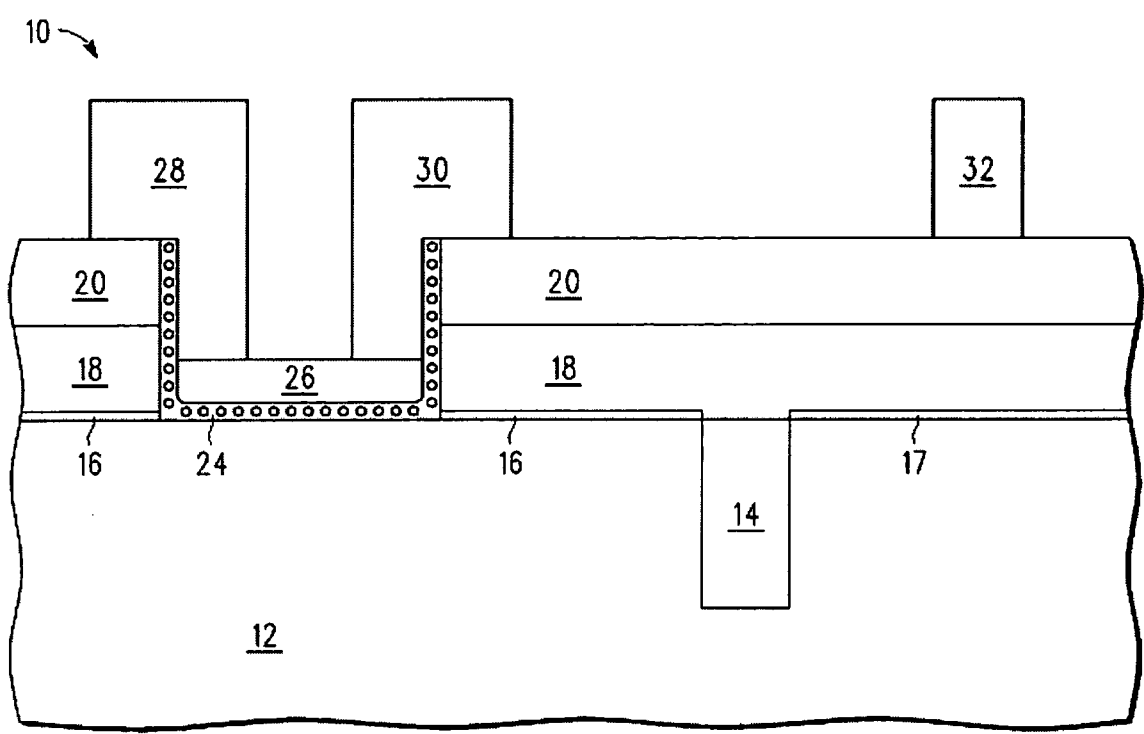


圖 7

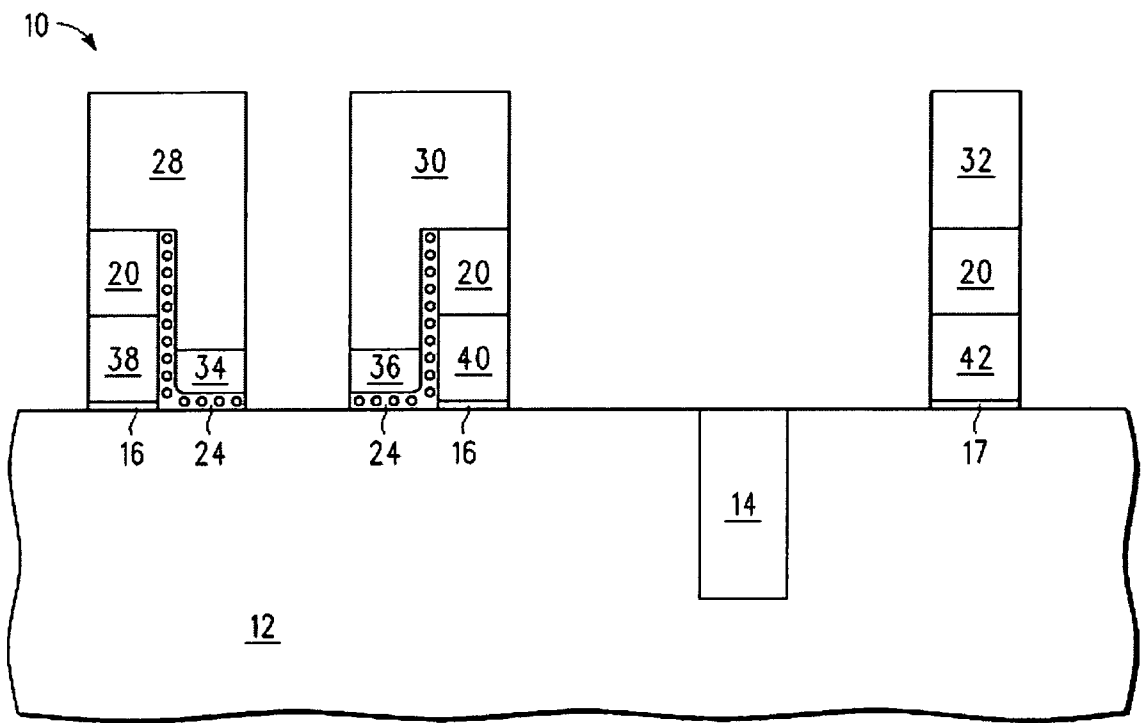


圖 8

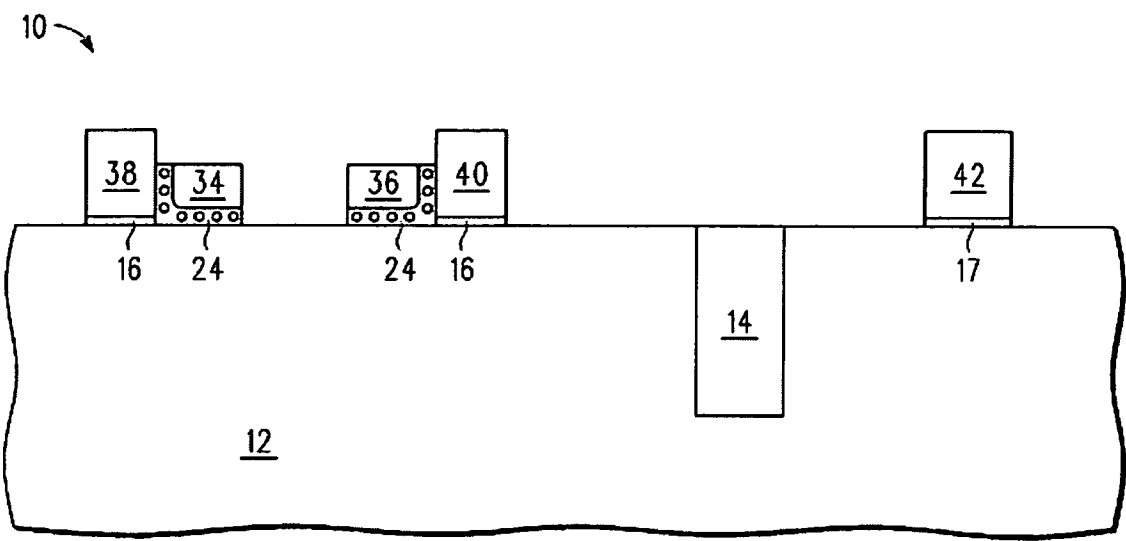


圖 9

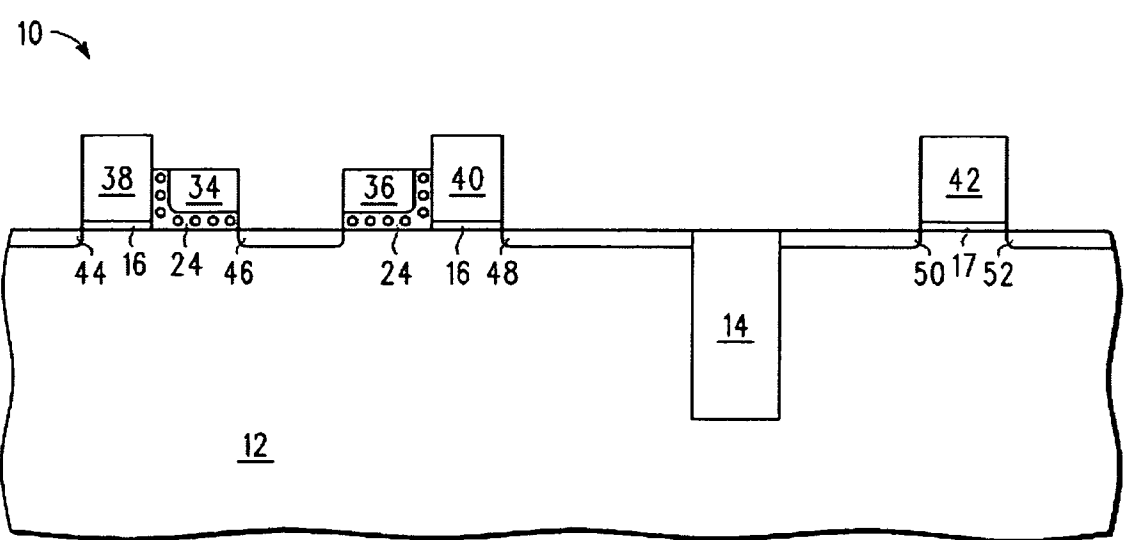


圖 10

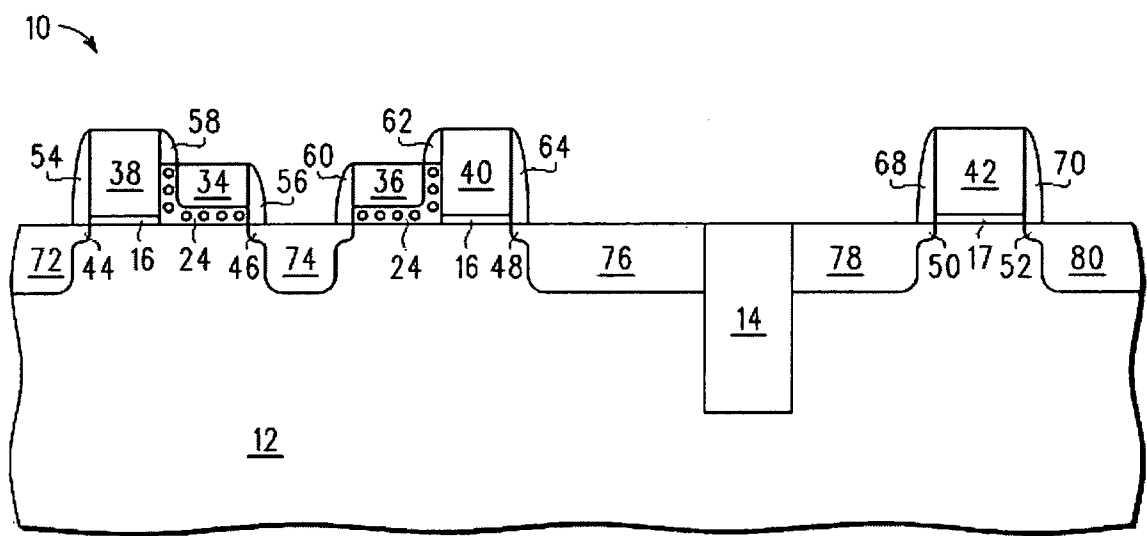


圖 11