

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6915372号
(P6915372)

(45) 発行日 令和3年8月4日 (2021.8.4)

(24) 登録日 令和3年7月19日 (2021.7.19)

(51) Int.CI.

F 1

G 11 C 29/12	(2006.01)	G 11 C 29/12
G 11 C 11/405	(2006.01)	G 11 C 11/405
G 11 C 11/409	(2006.01)	G 11 C 11/409
G 06 F 11/10	(2006.01)	G 06 F 11/10 6 4 8

請求項の数 14 (全 14 頁)

(21) 出願番号	特願2017-97095 (P2017-97095)
(22) 出願日	平成29年5月16日 (2017.5.16)
(65) 公開番号	特開2018-195359 (P2018-195359A)
(43) 公開日	平成30年12月6日 (2018.12.6)
審査請求日	令和2年2月13日 (2020.2.13)

(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(74) 代理人	100099759 弁理士 青木 篤
(74) 代理人	100119987 弁理士 伊坪 公一
(74) 代理人	100133835 弁理士 河野 努
(74) 代理人	100135976 弁理士 宮本 哲夫
(72) 発明者	三木 淳司 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】メモリセル、メモリモジュール、情報処理装置およびメモリセルのエラー訂正方法

(57) 【特許請求の範囲】

【請求項 1】

積層された第1電極、第2電極および第3電極を含み、前記第1電極と前記第2電極間、並びに、前記第2電極と前記第3電極間に電荷を蓄積可能なキャパシタと、

制御線に接続された制御端子、データ信号線に接続された第1端子および前記第1電極に接続された第2端子を含む第1トランジスタと、

データチェック用制御線に接続された制御端子、前記第2電極に接続された第1端子および所定電位線に接続された第2端子を含む第2トランジスタと、を有し、

前記第3電極は、データチェック用信号線に接続され、

データ書き込み時には、

10

前記データチェック用制御線の信号により前記第2トランジスタをオフし、

前記制御線の信号に基づいて前記第1トランジスタを制御し、前記第1電極と前記第3電極の間に、前記データ信号線と前記データチェック用信号線の差電圧に基づく電荷の蓄積を制御し、

チェック時には、

前記制御線の信号により前記第1トランジスタをオフし、

前記データチェック用制御線の信号に基づいて前記第2トランジスタを制御し、前記所定電位線に接続された前記第2電極と前記第3電極の間に蓄積された電荷に基づくデータを、前記データチェック用信号線から取り出す、

ことを特徴とするメモリセル。

20

【請求項 2】

前記キャパシタは、さらに、

前記第1電極と前記第2電極間に設けられた第1誘電体層と、

前記第2電極と前記第3電極間に設けられた第2誘電体層と、を含む、

ことを特徴とする請求項1に記載のメモリセル。

【請求項 3】

前記第1トランジスタおよび前記第2トランジスタは、nチャネル型MOSトランジスタである、

ことを特徴とする請求項1または請求項2に記載のメモリセル。

【請求項 4】

前記チェック時において、

前記データチェック用信号線から取り出したデータが、前記データ書き込み時に書き込むデータと異なっているときは、データ書き込みを再度行う、

ことを特徴とする請求項1乃至請求項3のいずれか1項に記載のメモリセル。

【請求項 5】

データ読み出し時には、

前記データチェック用制御線の信号により前記第2トランジスタをオンし、

前記制御線の信号に基づいて前記第1トランジスタを制御し、前記第2電極と前記第1電極の間に蓄積された電荷に基づくデータを、前記データ信号線から取り出す、

ことを特徴とする請求項1乃至請求項4のいずれか1項に記載のメモリセル。

【請求項 6】

前記メモリセルは、DRAMセルである、

ことを特徴とする請求項1乃至請求項5のいずれか1項に記載のメモリセル。

【請求項 7】

請求項1乃至請求項6のいずれか1項に記載のメモリセルを有する、

ことを特徴とするメモリモジュール。

【請求項 8】

さらに、

チェック時において、前記データチェック用信号線から取り出したデータが、データ書き込み時に書き込むデータと異なっているかどうかをチェックするチェック回路を有する、

ことを特徴とする請求項7に記載のメモリモジュール。

【請求項 9】

前記メモリモジュールは、DIMMである、

ことを特徴とする請求項7または請求項8に記載のメモリモジュール。

【請求項 10】

請求項7乃至請求項9のいずれか1項に記載のメモリモジュールを有する、

ことを特徴とする情報処理装置。

【請求項 11】

メモリセルのエラー訂正方法であって、

前記メモリセルは、

積層された第1電極、第2電極および第3電極を含み、前記第1電極と前記第2電極間に、並びに、前記第2電極と前記第3電極間に電荷を蓄積可能なキャパシタと、

制御線に接続された制御端子、データ信号線に接続された第1端子および前記第1電極に接続された第2端子を含む第1トランジスタと、

データチェック用制御線に接続された制御端子、前記第2電極に接続された第1端子および所定電位線に接続された第2端子を含む第2トランジスタと、を有し、

前記第3電極は、データチェック用信号線に接続され、

データ書き込み時には、

前記データチェック用制御線の信号により前記第2トランジスタをオフし、

10

20

30

40

50

前記制御線の信号に基づいて前記第1トランジスタを制御し、前記第1電極と前記第3電極の間に、前記データ信号線と前記データチェック用信号線の差電圧に基づく電荷の蓄積を制御し、

チェック時には、

前記制御線の信号により前記第1トランジスタをオフし、

前記データチェック用制御線の信号に基づいて前記第2トランジスタを制御し、前記所定電位線に接続された前記第2電極と前記第3電極の間に蓄積された電荷に基づくデータを、前記データチェック用信号線から取り出し、

前記チェック時において、

前記データチェック用信号線から取り出したデータが、前記データ書き込み時に書き込むデータと異なっているときは、データ書き込みを再度行ってエラーを訂正する、

ことを特徴とするメモリセルのエラー訂正方法。

【請求項12】

前記キャパシタは、さらに、

前記第1電極と前記第2電極間に設けられた第1誘電体層と、

前記第2電極と前記第3電極間に設けられた第2誘電体層と、を含む、

ことを特徴とする請求項11に記載のメモリセルのエラー訂正方法。

【請求項13】

前記第1トランジスタおよび前記第2トランジスタは、nチャネル型MOSトランジスタである、

ことを特徴とする請求項11または請求項12に記載のメモリセルのエラー訂正方法。

【請求項14】

データ読み出し時には、

前記データチェック用制御線の信号により前記第2トランジスタをオンし、

前記制御線の信号に基づいて前記第1トランジスタを制御し、前記第2電極と前記第1電極の間に蓄積された電荷に基づくデータを、前記データ信号線から取り出し、

エラー検出訂正コードに基づくエラー訂正を行う、

ことを特徴とする請求項11乃至請求項13のいずれか1項に記載のメモリセルのエラー訂正方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

この出願で言及する実施例は、メモリセル、メモリモジュール、情報処理装置およびメモリセルのエラー訂正方法に関する。

【背景技術】

【0002】

従来、メモリ(例えば、DRAM:Dynamic Random Access Memory)からのデータ読み出し時には、エラー検出訂正コード(ECC:Error Check and Correct Code, Error Correction Code)を付加することで、外乱によるビット反転などのエラーを訂正できるようにしている。

40

【0003】

ところで、訂正符号の性質上、訂正可能なビット数には上限があり、この訂正可能上限ビット数以下のエラーを訂正可能エラー(CE:Correctable Error)と呼び、訂正可能上限ビット数を超過したエラーを訂正不能エラー(UCE:Uncorrectable Error)と呼ぶ。なお、CEおよびUCEは、読み出し時にECCをチェックする回路(ECCD:ECC Decoder)を経由することで検出する。

【0004】

ここで、CEであれば、ECCD内部で訂正し、CPU(Central Processing Unit)へ転送することができる。しかしながら、UCEの場合には、ECCDから訂正不能フラグをCPUへ送信し、エラーデータを破棄する。そして、ECCDから訂正不能フラグを受信

50

した C P U は、処理を中断するか、或いは、 U E となったデータをメモリ書き込みから再実行する(以下、 U E リトライとも称する)。このとき、 U E リトライは、通常のデータ転送に比べて 2 倍の時間を要する。

【 0 0 0 5 】

すなわち、メモリの構造上、書き込みと読み出しで共通のバスを使用するため、例えば、 U E 判定の読み出しと、本来のデータの読み書きを並列処理できないからである。さらに、書き込み時と読み出し時のどちらで U E となったか判別できないため、書き込み時の U E と読み出し時の U E のいずれの場合においても、メモリへの書き込みから再実行することが求められる。

【 0 0 0 6 】

ところで、従来、メモリセルの構造を改良したメモリやメモリモジュールとしては、様々な提案がなされている。

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1 】特開平 0 6 - 1 1 9 7 7 3 号公報

【特許文献 2 】特開平 0 5 - 1 5 2 5 3 7 号公報

【特許文献 3 】特開 2 0 0 6 - 3 1 8 1 3 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

上述したように、例えば、 C P U からメモリへのデータ書き込みと、 U E 判定のためのデータ読み出しのバス競合を避けるために、データチェック用バスを設けることが考えられる。

【 0 0 0 9 】

しかしながら、例えば、メモリ(メモリセル)に対してデータを書き込んだ後、データエラーチェックを行うと、キャパシタの電荷が放電されるため、 プリチャージ処理を行うことになる。すなわち、例えば、 C P U がメモリからデータを読み出す場合、データチェック後と通常のデータ読み出し後の計 2 回 プリチャージ処理が必要になり、レイテンシの増加を招く虞がある。

【課題を解決するための手段】

【 0 0 1 0 】

一実施形態によれば、積層された第 1 電極、第 2 電極および第 3 電極を含み、前記第 1 電極と前記第 2 電極間、並びに、前記第 2 電極と前記第 3 電極間に電荷を蓄積可能なキャパシタと、第 1 トランジスタと、第 2 トランジスタとを有するメモリセルが提供される。

【 0 0 1 1 】

前記第 1 トランジスタは、制御線に接続された制御端子、データ信号線に接続された第 1 端子および前記第 1 電極に接続された第 2 端子を含む。前記第 2 トランジスタは、データチェック用制御線に接続された制御端子、前記第 2 電極に接続された第 1 端子および所定電位線に接続された第 2 端子を含む。前記第 3 電極は、データチェック用信号線に接続される。データ書き込み時には、前記データチェック用制御線の信号により前記第 2 トランジスタをオフし、前記制御線の信号に基づいて前記第 1 トランジスタを制御し、前記第 1 電極と前記第 3 電極の間に、前記データ信号線と前記データチェック用信号線の差電圧に基づく電荷の蓄積を制御する。チェック時には、前記制御線の信号により前記第 1 トランジスタをオフし、前記データチェック用制御線の信号に基づいて前記第 2 トランジスタを制御し、前記所定電位線に接続された前記第 2 電極と前記第 3 電極の間に蓄積された電荷に基づくデータを、前記データチェック用信号線から取り出す。

【発明の効果】

【 0 0 1 2 】

開示のメモリセル、メモリモジュール、情報処理装置およびメモリセルのエラー訂正方

10

20

30

40

50

法は、メモリに対するデータの書き込みチェック後のプリチャージ動作を不要としてレイテンシの増加を抑えることができるという効果を奏する。

【図面の簡単な説明】

【0013】

【図1】図1は、関連技術のメモリセルの一例を示す回路図である。

【図2】図2は、図1に示すメモリセルを適用したメモリセルアレイの一例を示すプロック図である。

【図3】図3は、一般的なメモリモジュールの構成例を模式的に示すブロック図である。

【図4】図4は、図2に示すメモリセルアレイを適用したメモリモジュールの一例を模式的に示すブロック図である。

10

【図5】図5は、図1に示すメモリセルを適用したメモリセルアレイの他の例を示すプロック図である。

【図6】図6は、図5に示すメモリセルアレイを適用したメモリモジュールの一例を模式的に示すブロック図である。

【図7】図7は、本実施例のメモリセルを示す回路図である。

【図8】図8は、図1に示すメモリセルにおける電荷状態の遷移を説明するための図である。

【図9】図9は、図7に示すメモリセルにおける電荷状態の遷移を説明するための図である。

【図10】図10は、図1に示すメモリセルを適用したメモリにおけるデータ書き込み動作を説明するための図である。

20

【図11】図11は、図1に示すメモリセルを適用したメモリにおけるデータ読み出し動作を説明するための図である。

【図12】図12は、図7に示すメモリセルを適用したメモリにおけるデータ書き込み動作を説明するための図である。

【図13】図13は、図7に示すメモリセルを適用したメモリにおけるデータ読み出し動作を説明するための図である。

【図14】図14は、本実施例の情報処理装置の一例を示すブロック図である。

【図15】図15は、本実施例の情報処理装置の他の例を示すブロック図である。

【発明を実施するための形態】

【0014】

まず、メモリセル、メモリモジュール、情報処理装置およびメモリセルのエラー訂正方法の実施例を詳述する前に、メモリセルの一例、並びに、一般的なメモリモジュールおよびその変形例を、図1～図6を参照して説明する。

【0015】

図1は、関連技術のメモリセルの一例を示す回路図であり、バス競合を回避することができるメモリセルmcの一例を示すものである。すなわち、図1に示すメモリセルmcは、2つのトランジスタ101, 102並びにキャパシタ103を含み、例えば、CPUからメモリへのデータ書き込みと、UE(訂正不能エラー)判定のためのデータ読み出しのバス競合を避けるようになっている。ここで、トランジスタ101および102は、それぞれnチャネル型MOSトランジスタで形成され、キャパシタ103は、誘電体層133を2つの電極131および132で挟むようにして形成されるが、それらに限定されるものではない。

【0016】

トランジスタ101のゲートGには、制御線w1が接続され、トランジスタ101のソースSには、データ信号線b1が接続されている。また、トランジスタ101のドレインDには、キャパシタ103の一方の電極131およびトランジスタ102のソースSが接続されている。さらに、トランジスタ102のゲートGには、データチェック用制御線c w1が接続され、トランジスタ102のドレインDには、データチェック用信号線c b1が接続されている。なお、キャパシタ103の他方の電極132は、接地(GND)されて

40

50

いる。

【0017】

すなわち、メモリセルmcには、例えば、CPUからメモリ(DRAM)に対するデータ書き込み用バス(データ信号線b1)およびチェック用バス(データチェック用信号線cb1)が設けられ、それぞれトランジスタ101および102により制御される。

【0018】

図2は、図1に示すメモリセルを適用したメモリセルアレイの一例を示すブロック図であり、データチェック専用線(cb1, cw1)を有するメモリアレイの構成例を示すものである。なお、図2では、3つのメモリセルmc1～mc3のみ描かれているが、実際には、多数のメモリセルmcがマトリクス状に配置されるのはいうまでもない。

10

【0019】

図2に示すメモリセルアレイは、通常のメモリ(DRAM)と同様に、制御線w1(w11～w13)によるデータアクセスのためのメモリアドレス制御を行う。さらに、データ信号線b1(b11～b13)によってメモリセルmc(mc1～mc3)への書き込みを行った後、データチェック用制御線cw1(cw1～cw3)とデータチェック用信号線cb1(cb11～cb13)によるメモリのチェックを行う。このように、信号線をデータ信号線b1とデータチェック用信号線cb1に分けることでバスの競合を回避するようになっている。

【0020】

図3は、一般的なメモリモジュールの構成例を模式的に示すブロック図であり、図4は、図2に示すメモリセルアレイを適用したメモリモジュールの一例を模式的に示すブロック図である。なお、図3および図4は、DIMM(Dual Inline Memory Module)を模式的に示すものであり、データ信号線b1(データチェック用信号線cb1)を11本として書き、制御線w1(データチェック用制御線cw1)を1本として描いている。

20

【0021】

図1および図2を参照して説明したように、バス競合を回避することができるメモリセルmcでは、4種類の信号線b1, w1, cb1, cw1が使用される。そのため、図4に示されるように、図2に示すメモリセルアレイを適用したメモリモジュールでは、図3の一般的なメモリモジュールに対して、2倍の信号線が使用されることになり、バス幅の増大を来すことになる。

30

【0022】

これは、メモリモジュール(DIMM)のピン数の増加だけでなく、例えば、CPUでも、同様にバスを増設することが求められる。さらに、内蔵メモリとして適用する場合でも、バス幅の増大を来すのは同様であり、チップ面積の増大によるコスト上昇等を招くことになる。

【0023】

図5は、図1に示すメモリセルを適用したメモリセルアレイの他の例を示すブロック図であり、チェック回路(チェックサム生成回路)CCを内蔵したメモリセルアレイを示すものである。図6は、図5に示すメモリセルアレイを適用したメモリモジュールの一例を模式的に示すブロック図である。

40

【0024】

図5および図6と、前述した図2および図4の比較から明らかなように、チェック回路CCを内蔵したメモリセルアレイを適用したメモリモジュール(DIMM)では、例えば、11本のデータチェック用信号線cb1を1本に低減することが可能なのが分かる。すなわち、メモリモジュール内にチェックサム生成回路(チェック回路)を増設することで、メモリモジュール内で複数のcb1(cb11～cb13)を1つの信号線c1にまとめてCPUに接続する。この手法を適用することにより、メモリモジュールのピン数(CPUのバス幅)を低減することができ、例えば、図3に示す一般的なDIMMに対してわずかな数の信号線を増設するだけでよいことになる。

【0025】

50

さらに、ECC(エラー検出訂正コード)とチェックサムの2種類のエラーチェックコードを用いることで、メモリへのデータ書き込み時のエラー、並びに、メモリからのデータ読み出し時のエラーを切り分けることが可能となる。すなわち、チェックサムによる検査時点でエラーを検出した場合には、書き込み時のエラーであり、ECCでエラー検出した場合には、読み出し時のエラーであると判別することができる。

【0026】

しかしながら、図1に示すメモリセルを適用すると、例えば、データエラーチェックにより生じるレイテンシの増加を根本的に解決したことにはならない。すなわち、図1のメモリセルにおいて、データエラーチェックを行う場合、キャパシタ103の電荷が放電されることになるためプリチャージ処理が必要となり、この間、通常のデータ読み書きの処理を実行することが困難になる。換言すると、図1に示すメモリセル構造を適用した場合、例えば、CPUがメモリからデータを読み出す際に、データチェック後と通常のデータ読み出し後の計2回プリチャージ処理が必要になり、レイテンシの増加を招くことになる。

【0027】

以下、メモリセル、メモリモジュール、情報処理装置およびメモリセルのエラー訂正方法の実施例を、添付図面を参照して詳述する。図7は、本実施例のメモリセルを示す回路図である。図7に示されるように、本実施例のメモリセルMCは、2つのトランジスタ1, 2および三重構造のキャパシタ3を含む。

【0028】

すなわち、キャパシタ3は、積層された第1電極(導体)31, 第2電極32および第3電極33を含む三重構造とされ、第1電極31と第2電極32間には、第1誘電体層34が設けられ、第2電極32と第3電極33間には、第2誘電体層35が設けられている。ここで、電極31～33は、例えば、アルミニウムや銅といった金属、或いは、ポリシリコン等の導電性物質で形成され、また、誘電体層34, 35は、例えば、酸化シリコンや窒化シリコン等の誘電体物質で形成される。

【0029】

トランジスタ(第1トランジスタ)1およびトランジスタ(第2トランジスタ)2は、例えば、nチャネル型MOSトランジスタで形成されるが、これに限定されないのはもちろんである。トランジスタ1において、ゲート(制御端子)Gは、制御線w1に接続され、ソース(第1端子)Sは、データ信号線b1に接続され、そして、ドレイン(第2端子)Dは、キャパシタ3の第1電極31に接続されている。また、トランジスタ2において、ゲートGは、データチェック用制御線cwlに接続され、ソースSは、キャパシタ3の第2電極32に接続され、そして、ドレインDは、接地線(所定電位線)GNDに接続されている。ここで、キャパシタ3の第3電極33は、データチェック用信号線cb1に接続されている。

【0030】

図8は、図1に示すメモリセルにおける電荷状態の遷移を説明するための図であり、図9は、図7に示すメモリセルにおける電荷状態の遷移を説明するための図である。すなわち、図7に示す本実施例のメモリセルMCの動作を、図1に示す関連技術のメモリセルの動作と比較して説明する。ここで、図8(a)および図9(a)は、データチェック前の充電状態を示し、図8(b)および図9(b)は、データチェック後の放電状態を示し、図8(c)は、プリチャージ後の充電状態を示し、そして、図8(d)および図9(c)は、データ読み出し後の放電状態を示す。なお、以下の説明では、トランジスタ1, 2および101, 102をnチャネル型MOSトランジスタとして説明するが、トランジスタの導電型および種類、並びに、制御信号のレベル等は、様々に変形および変更が可能なのはいうまでもない。

【0031】

最初に、図8(a)～図8(d)を参照して、キャパシタ103が2枚の電極131, 132の図1に示すメモリセルmcの動作を説明する。まず、データ書き込みは、例えば、データチェック用制御線cwlを低レベル『L』として、トランジスタ102をオフする。そ

10

20

30

40

50

して、一般的なD R A Mセルと同様に、制御線w 1を高レベル『H』として、トランジスタ1 0 1をオンし、データ信号線b 1と接地線G N D間の電位差によりキャパシタ1 0 3に電荷を蓄積してデータ書き込みを行い、この状態を初期状態とする。なお、メモリセルm cに対するデータの書き込みを行った後、w 1を『L』としてトランジスタ1 0 1もオフする。すなわち、図8(a)に示されるように、初期状態では、例えば、データ『1』に相当する充電状態(データチェック前の充電状態)となっており、キャパシタ1 0 3の電極1 3 1と1 3 2の間(誘電体層1 3 3)には、電荷が蓄積されている。

【0 0 3 2】

さらに、メモリセルm cに書き込まれたデータのエラーチェックを行うために、メモリセルm cのデータを読み出す。すなわち、w 1を『L』としたまま、c w 1を『H』として、トランジスタ1 0 2をオンし、キャパシタ1 0 3に蓄積された電荷を、データチェック用信号線c b 1から取り出す。これにより、図8(b)に示されるように、キャパシタ1 0 3の電極1 3 1と1 3 2の間の電荷は放電され、データチェック後の放電状態となる。

【0 0 3 3】

そこで、w 1を『L』とするとと共に、w 1を『H』としてプリチャージ処理を実行し、キャパシタ1 0 3を再充電する。すなわち、図8(c)に示されるように、プリチャージ処理により電極1 3 1と1 3 2の間に電荷が蓄積されてプリチャージ後の充電状態となり、例えば、C P Uからメモリセル(メモリ)のデータを読み出すことが可能となる。

【0 0 3 4】

メモリのデータ読み出しは、データ書き込みと同様に、c w 1を『L』としてトランジスタ1 0 2をオフしたまま、w 1を『H』としてトランジスタ1 0 1をオンし、キャパシタ1 0 3に蓄積された電荷を、b 1から読み出す。これにより、図8(d)に示されるように、キャパシタ1 0 3の電極1 3 1と1 3 2の間の電荷は放電され、データ読み出し後の放電状態となる。

【0 0 3 5】

次に、図9(a)～図9(c)を参照して、キャパシタ3の電極が三重構造(電極(導体)3 1～3 3)の図7に示すメモリセルM Cの動作を説明する。まず、データ書き込みは、例えば、データチェック用制御線c w 1を『L』としてトランジスタ2をオフし、中央の(第2)電極3 2をフローティング状態とし、この状態で、制御線w 1を『H』としてトランジスタ1をオンする。そして、データ信号線b 1とデータチェック用信号線c b 1の電位差によりキャパシタ3に電荷を蓄積してデータ書き込みを行い、この状態を初期状態(データ『1』に相当する充電状態：データチェック前の充電状態)とする。換言すると、キャパシタ3において、第2電極はフローティング状態とされ、第1電極3 1および第3電極3 3により書き込みが行われる。すなわち、図9(a)に示されるように、初期状態では、キャパシタ3の電極3 1と3 2の間(第1誘電体層3 4)、および、電極3 2と3 3の間(第2誘電体層3 5)には、それぞれ電荷が蓄積されている。

【0 0 3 6】

さらに、メモリセルM Cに書き込まれたデータのエラーチェックを行うために、メモリセルM Cのデータ(第2誘電体層3 5に蓄積された電荷)を読み出す。すなわち、c w 1を『H』としてトランジスタ2をオンして第2電極3 2を接地線G N Dに接続し、w 1を『L』としてトランジスタ1をオフし、第2誘電体層3 5に蓄積された電荷をデータチェック用信号線c b 1から取り出す。これにより、図9(b)に示されるように、キャパシタ3において、第2電極3 2と第3電極3 3の間(第2誘電体層3 5)の電荷は放電されるが、第1電極3 1と第2電極3 2の間(第1誘電体層3 4)の電荷はそのまま保持される。

【0 0 3 7】

そして、メモリのデータ読み出しは、メモリセルM Cのデータ(第1誘電体層3 4に蓄積された電荷)を読み出す。すなわち、c w 1を『H』としてトランジスタ2をオンして第2電極3 2を接地線G N Dに接続し、w 1を『H』としてトランジスタ1をオンし、第1誘電体層3 4に蓄積された電荷をデータ信号線b 1から取り出す。これにより、図9(c)に示されるように、キャパシタ3において、第1電極3 1と第2電極3 2の間(第1誘電

10

20

30

40

50

体層 3 4)の電荷は放電され、データ読み出し後の放電状態となる。すなわち、キャパシタ 3 は、完全に放電状態となる。

【 0 0 3 8 】

このように、図 7 に示す本実施例のメモリセルを適用することにより、例えば、図 1 に示す関連技術のメモリセルを適用した場合におけるデータチェック後のプリチャージ処理を不要とすることができます。すなわち、本実施例によれば、データチェック後のプリチャージ処理に要する時間を削減することができ、例えば、CPU からメモリへのアクセス時のレイテンシの増加を抑えることが可能となる。

【 0 0 3 9 】

図 10 は、図 1 に示すメモリセルを適用したメモリにおけるデータ書き込み動作を説明するための図であり、図 11 は、図 1 に示すメモリセルを適用したメモリにおけるデータ読み出し動作を説明するための図である。なお、図 10 および図 11 において、参照符号 104 は CPU、141 は MAC (メモリアクセス制御回路: Memory Access Controller)、142 は ECCD (Error Correction Code Decoder)、105 はメモリ、そして、151 はセルアレイを示す。

【 0 0 4 0 】

まず、図 10 に示されるように、データ書き込みは、例えば、MAC 141 からセルアレイ (メモリセルアレイ) 151 に対して、w1 を使用した書き込みデータアドレス情報と b1 を使用した書き込み情報の 2 種類の信号を転送して、データ書き込みを行う。

【 0 0 4 1 】

また、図 11 に示されるように、データ読み出しへは、例えば、MAC 141 からセルアレイ 151 に対して、w1 を使用した読み出しデータアドレス情報の信号を送信する (P11)。これに基づいて、セルアレイ 151 は、CPU 104 の ECCD 142 に対して、b1 を経由して読み出し情報 (チェック用データ) を転送する (P12)。CPU 104 において、ECCD 142 は、読み出し情報のエラーチェックを実施した後、そのチェック済み情報を MAC 141 にデータ転送する (P13)。

【 0 0 4 2 】

次に、図 12 および図 13 を参照して、図 7 に示す本実施例のメモリセルを適用したメモリにおけるデータ書き込み動作およびデータ書き込み動作を説明する。図 12 は、図 7 に示すメモリセルを適用したメモリにおけるデータ書き込み動作を説明するための図であり、チェックサム専用線とメモリモジュール内チェック回路を使用したデータ書き込み動作を説明するためのものである。また、図 13 は、図 7 に示すメモリセルを適用したメモリにおけるデータ読み出し動作を説明するための図であり、チェックサム専用線とメモリモジュール内チェック回路を使用したデータ読み出し動作を説明するためのものである。

【 0 0 4 3 】

ここで、図 12 および図 13 では、CPU 4 とメモリ 5 の間にチェックサム専用線 (データチェック用信号線 cb1) が設けられ、メモリ 5 にはチェック回路 52 が内蔵されている。なお、図 12 および図 13 において、参照符号 4 は CPU、41 は MAC (メモリアクセス制御回路)、42 は ECCD、43 は比較回路、5 はメモリ、51 はセルアレイ、そして、52 チェック回路を示す。

【 0 0 4 4 】

図 12 に示されるように、書き込みは、例えば、CPU 4 の MAC 41 から、メモリ 5 のセルアレイ 51 に対して、w1 を使用した書き込みデータアドレス情報と b1 を使用した書き込み情報の 2 種類の信号を転送する (P1)。さらに、MAC 41 は、メモリ 5 (セルアレイ 51) に書き込んだデータのチェックサムを算出して CPU 4 の比較回路 43 に送信し、同時に、セルアレイ 51 に対して、cw1 を経由してチェック対象データのアドレス情報を送信する (P2)。

【 0 0 4 5 】

セルアレイ 51 は、cw1 を経由して受け取ったアドレス情報に基づいて、チェック回路 52 を使って対象データのチェックサムを計算し、チェック回路 52 は、計算した対象

10

20

30

40

50

データのチェックサムを、c b 1 を経由して C P U 4 の比較回路 4 3 に送信する(P 3)。比較回路 4 3 では、M A C 4 1 からのチェックサムと、メモリ 5 (チェック回路 5 2) からのチェックサムを比較することでデータの破損を検出する。そして、比較回路 4 3 がチェックサムに比較からデータの破損を検出すると、C P U 4 は、直ちにデータの再書き込みを行う。同時に、b 1 からの書き込み対象のデータを、w 1 からのアドレス情報に基づいて格納する。

【 0 0 4 6 】

また、図 1 3 に示されるように、データ読み出しあは、例えば、M A C 4 1 からセルアレイ 5 1 に対して、w 1 を使用した読み出しデータアドレス情報の信号を送信する(P 4)。これに基づいて、セルアレイ 5 1 は、C P U 4 のE C C D 4 2 に対して、b 1 を経由して読み出し情報を転送する(P 5)。E C C D 4 2 は、読み出し情報のエラーチェックを実施した後、そのチェック済み情報をM A C 4 1 にデータ転送する(P 5)。このように、図 7 に示す本実施例のメモリセルM C を適用したメモリによれば、メモリに対するデータの書き込みチェック後のプリチャージ動作が不要となり、レイテンシの増加を抑えることができるが分かる。

【 0 0 4 7 】

以上において、本実施例のメモリセルM C を適用したメモリは、例えば、前述した図 4 に示すD I M M、チェック回路 5 2 (C C) を設けたD I M M、或いは、H B M (High Band width Memory) といった様々なメモリモジュールに適用することができる。さらに、本実施例のメモリセルM C を適用したメモリは、メモリモジュールとして提供するものに限定されず、例えば、半導体集積回路の内蔵メモリとして利用することもできるのはいうまでもない。

【 0 0 4 8 】

図 1 4 は、本実施例の情報処理装置の一例を示すブロック図である。図 1 4 において、参照符号 6 は情報処理装置、6 1 は電源回路、6 2 はハードディスクドライブ(H D D : Hard Disk Drive) / ソリッドステートドライブ(S S D : Solid State Drive)、6 3 はチップセット、6 4 はC P U 、そして、6 5 はD I M M / H B M を示す。すなわち、図 1 4 に示す情報処理装置 6 は、電源回路 6 1 、H D D / S S D 6 2 、チップセット 6 3 、C P U 6 4 およびD I M M / H B M 6 5 を含む。なお、上述した本実施例のメモリセルM C (メモリモジュール)は、D M M / H B M 6 5 に適用される。

【 0 0 4 9 】

図 1 5 は、本実施例の情報処理装置の他の例を示すブロック図であり、上述した図 1 4 に示す情報処理装置 6 を 4 つ設けて構成したものに相当する。すなわち、図 1 6 に示す情報処理装置 6 0 は、4 つのブロック回路 6 a ~ 6 d を含み、それぞれのブロック回路 6 a ~ 6 d は、図 1 4 に示す情報処理装置 6 に対して、相互のブロック回路を接続するためのスイッチチップ 6 6 を内蔵するようになっている。なお、前述した本実施例のメモリセルM C は、それぞれのブロック回路 6 a ~ 6 d におけるD M M / H B M 6 5 に適用される。

【 0 0 5 0 】

このように、本実施例のメモリセルM C およびメモリモジュールは、様々な情報処理装置 6 , 6 0 に対して適用することができる。さらに、これは、D I M M や H B M といったメモリモジュールだけでなく、様々な半導体集積回路の内蔵メモリとして適用することも可能なのは、前述した通りである。

【 0 0 5 1 】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではない。また、明細書のそのような記載は、発明の利点および欠点を示すものでもない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

【 符号の説明 】

10

20

30

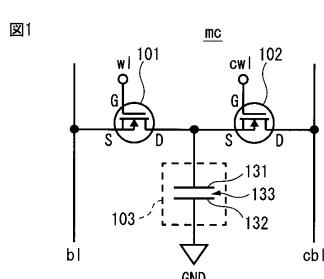
40

50

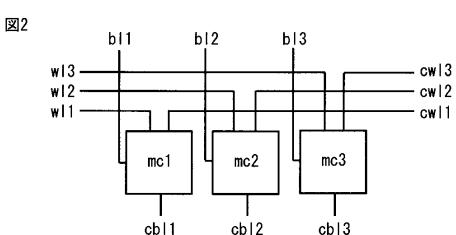
【 0 0 5 2 】

1	トランジスタ(第1トランジスタ)	
2	トランジスタ(第2トランジスタ)	
3	キャパシタ	
4 , 6 4	C P U	
5	メモリ	
6 , 6 0	情報処理装置	
6 a ~ 6 d	ブロック回路	
3 1	電極(第1電極)	
3 2	電極(第2電極)	10
3 3	電極(第3電極)	
3 4	誘電体層(第1誘電体層)	
3 5	誘電体層(第2誘電体層)	
4 1	M A C	
4 2	E C C D	
4 3	比較回路	
5 1	セルアレイ	
5 2	チェック回路	
6 1	電源回路	
6 2	H D D / S S D	20
6 3	チップセット	
6 5	D I M M / H B M	

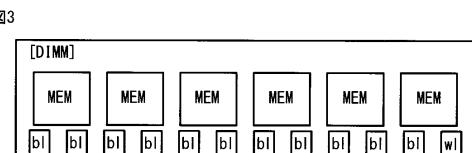
【図1】



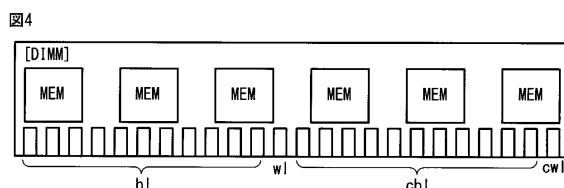
【図2】



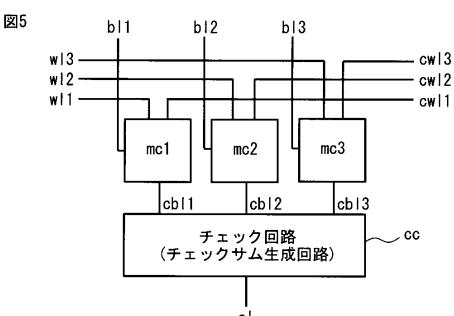
【図3】



【図4】

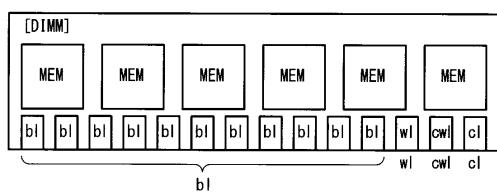


【図5】



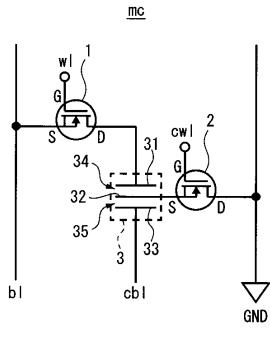
【図6】

図6



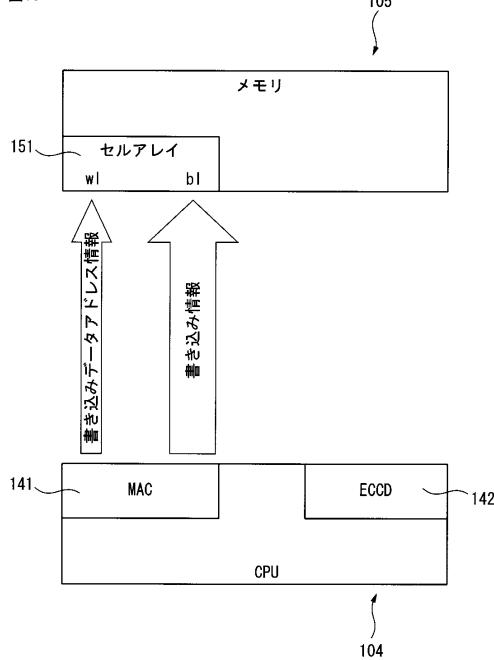
【図7】

図7



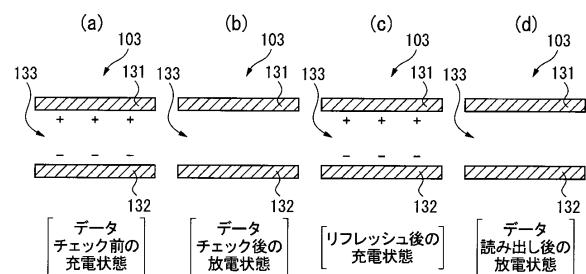
【図10】

図10



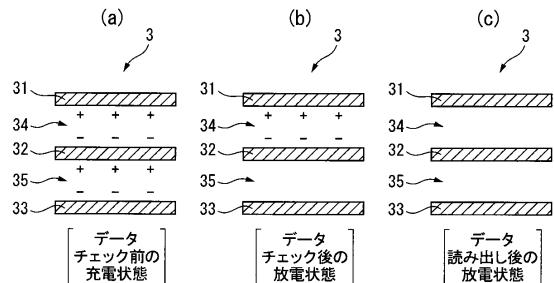
【図8】

図8



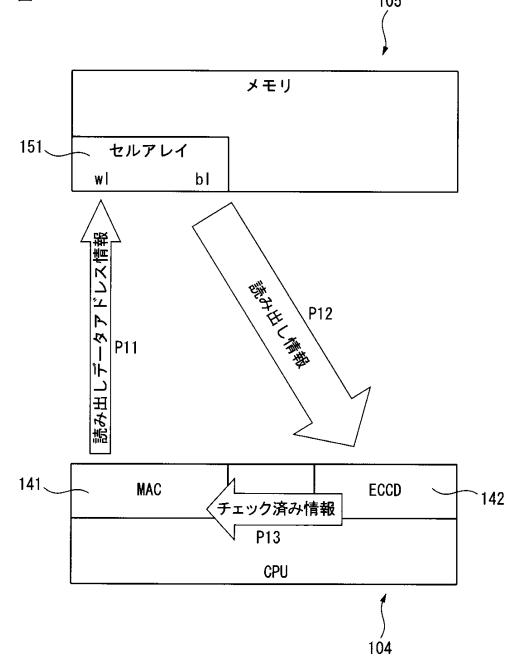
【図9】

図9

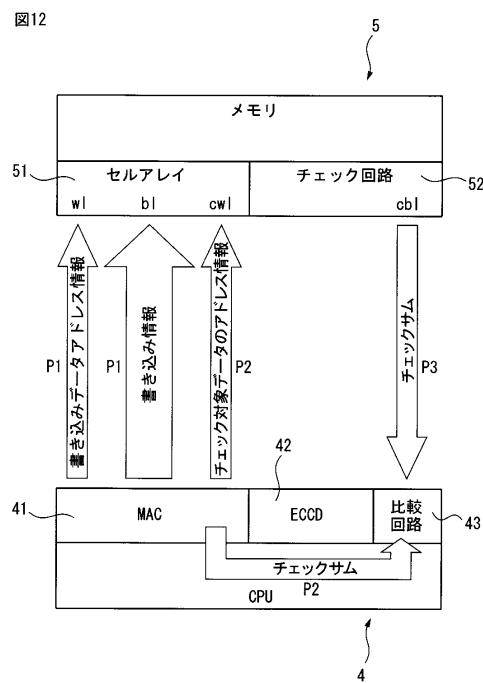


【図11】

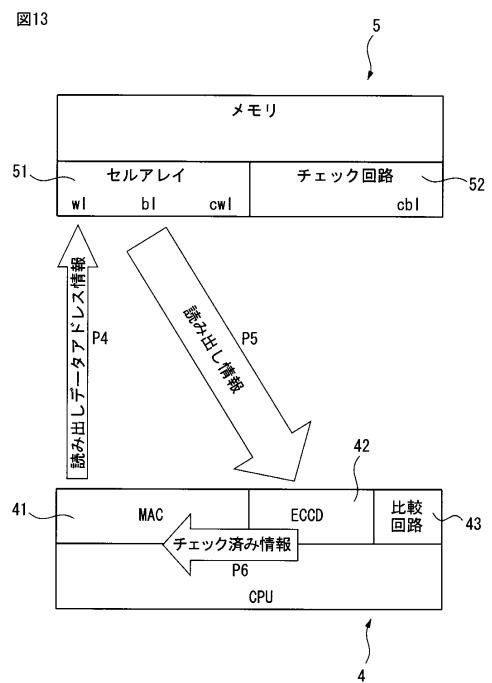
図11



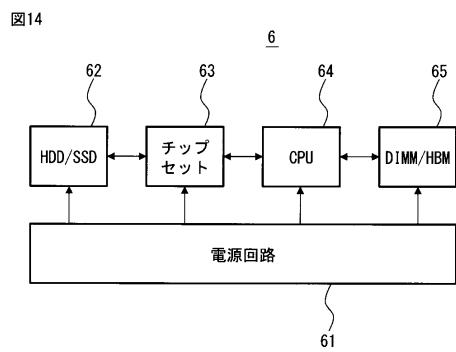
【図12】



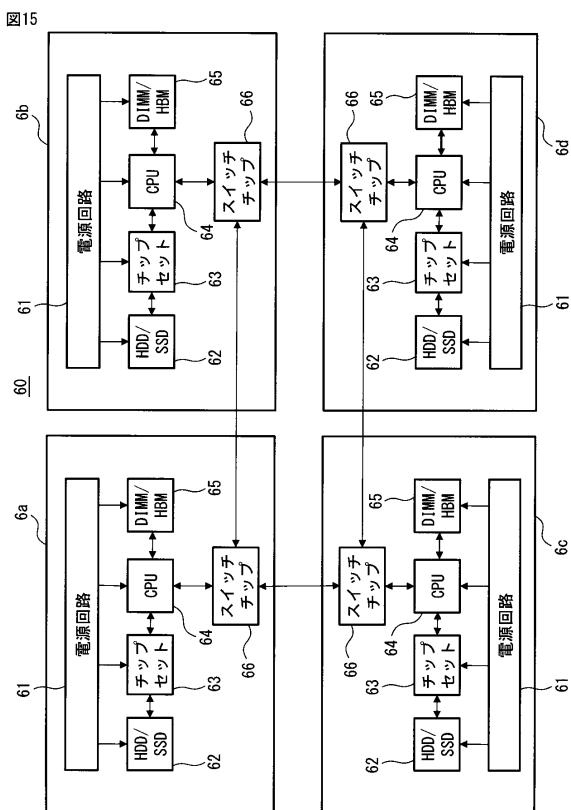
【図13】



【図14】



【図15】



フロントページの続き

審査官 酒井 恭信

(56)参考文献 特開平03-283176 (JP, A)
特開平07-073698 (JP, A)
特表2005-530283 (JP, A)
米国特許出願公開第2003/0206430 (US, A1)
米国特許出願公開第2004/0036096 (US, A1)
特開平03-138742 (JP, A)
欧州特許出願公開第00424911 (EP, A1)
特開2003-157696 (JP, A)
米国特許出願公開第2003/0106010 (US, A1)
特開2011-216177 (JP, A)
特開2001-320030 (JP, A)
特開平10-093030 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 29/00 - 29/56
G 11 C 11/401 - 11/4099
G 06 F 11/10