(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 11 月 8 日 (08.11.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/201791 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)

(21) 国际申请号: PCT/CN2018/078286

(22) 国际申请日: 2018 年 3 月 7 日 (07.03.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710314162.6 2017年5月5日 (05.05.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路118号, Beijing 100176 (CN)。

(72) 发明人: 高英强 (GAO, Yingqiang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 陈华斌 (CHEN, Huabin); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘洋 (LIU, Yang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 周冉一 (ZHOU, Ranyi); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87号4-1105室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SHIFT REGISTER UNIT, DRIVE METHOD THEREFOR, GATE DRIVE CIRCUIT, AND DISPLAY APPARATUS

(54) **发明名称**: 移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

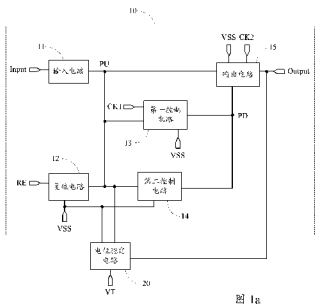


图 1a

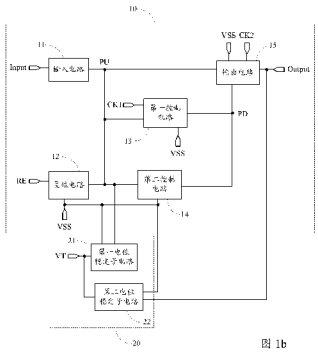


图 1b

11 Input circuit
12 Reset circuit
13 First control circuit
14 Second control circuit
15 Output circuit
20 Potential stabilisation circuit

(57) Abstract: A shift register unit, a drive method therefor, a gate drive circuit, and a display apparatus, comprising: a shift register (10) and a potential stabilisation module (20), the potential stabilisation module (20) being used for respectively supplying the signal of a reference signal terminal (VSS) to a pull-up node (PU) and a drive signal output terminal (Output) under the control of a potential stabilisation control terminal (VT); thus, by means of the coordination of the shift register (10) and the potential stabilisation module (20), the signal of a reference signal terminal (VSS) can be supplied respectively to the pull-up node (PU) and the drive signal output terminal (Output) during a discharge holding phase after a reset phase, in order to keep the potential of the pull-up node (PU) and the potential of the drive signal output terminal (Output) in a stable state, and thereby being able to prevent the scanning signal outputted by the drive signal output terminal (Output) from having large noise, improving the stability of the output of the shift register unit.

(57) 摘要: 一种移位寄存器单元、及其驱动方法、栅极驱动电路及显示装置，包括：移位寄存器(10)与电位稳定模块(20)，该电位稳定模块(20)用于在电位稳定控制端(VT)的控制下，将参考信号端(VSS)的信号分别提供给上拉节点(PU)与驱动信号输出端(Output)，因此通过移位寄存器(10)与电位稳定模块(20)的相互配合，可以在复位阶段之后的放电保持阶段中，将参考信号端(VSS)的信号分别提供给上拉节点(PU)以及驱动信号输出端(Output)，以保持上拉节点(PU)的电位与驱动信号输出端(Output)的电位处于稳定状态，从而可以避免驱动信号输出端(Output)输出的扫描信号具有较大噪声，进而提高移位寄存器单元输出的稳定性。

WO 2018/201791 A1

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

本申请要求于 2017 年 5 月 5 日提交的、申请号为 201710314162.6 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，特别涉及一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。

背景技术

传统的栅极驱动电路通常由多个级联的移位寄存器组成，各级移位寄存器的输出信号端分别对应连接一条栅线，通过各级移位寄存器实现依次向显示面板上的各行栅线输入扫描信号。在传统移位寄存器中，配置为控制输出的晶体管在上拉节点的信号控制下将时钟信号端的高电位信号提供给输出信号端来输出有效的高电位的扫描信号。之后进入复位阶段，在上拉节点的信号控制下使配置为控制输出晶体管关断，在下拉节点的控制下使输出信号端输出低电位的扫描信号。然而，在复位阶段之后的一定时间内，上拉节点与输出信号端会处于浮接状态，导致该上拉节点的电位以及输出信号端的电位会受周围晶体管漏电影响，造成输出晶体管的栅极电位以及输出信号端的电位不稳定。

发明内容

本公开实施例提供了一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。

根据本公开实施例的一个方面，提供了一种移位寄存器单元，包括：移位寄存器，所述移位寄存器电路至少具有输入信号端、输出信号端以及上拉节点，其中，所述输出信号端在所述上拉节点的信号控制下输出有效的扫描信号；以及电位稳定电路；

所述电位稳定电路分别与电位稳定控制端、所述上拉节点、所述输出信号端以及参考信号端电连接，配置为在所述电位稳定控制端的信号的控制下，将所述参考信号端的信号分别提供给所述上拉节点与所述输出信号端。

例如，所述电位稳定电路包括：第一电位稳定子电路与第二电位稳定子电路；其中，

所述第一电位稳定子电路分别与所述电位稳定控制端、所述上拉节点以及所述参考信号端电连接，配置为在所述电位稳定控制端的控制下将所述参考信号端的信号提供给所述上拉节点；

所述第二电位稳定子电路分别与所述电位稳定控制端、所述输出信号端以及所述参考信号端电连接，配置为在所述电位稳定控制端的控制下将所述参考信号端的信号提供给所述输出信号端。

例如，所述第一电位稳定子电路包括：第一开关晶体管；其中，

所述第一开关晶体管的控制极与所述电位稳定控制端电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接。

例如，所述第二电位稳定子电路包括：第二开关晶体管；其中，

所述第二开关晶体管的控制极与所述电位稳定控制端电连接，第一极与所述参考信号端电连接，第二极与所述输出信号端电连接。

例如，所述移位寄存器包括：输入电路、复位电路、第一控制电路、第二控制电路以及输出电路；其中，

所述输入电路分别与输入信号端以及所述上拉节点电连接，配置为在所述输入信号端的信号的控制下将所述输入信号端的信号提供给所述上拉节点；

所述复位电路分别与复位信号端、所述参考信号端以及所述上拉节点电连接，配置为在所述复位信号端的信号的控制下将所述参考信号端的信号提供给所述上拉节点；

所述第一控制电路分别与第一时钟信号端、所述上拉节点、所述参考信号端以及下拉节点电连接，配置为在所述第一时钟信号端的信号的控制下将所述第一时钟信号端的信号提供给所述下拉节点，以及在所述上拉节点的信号的控制下将所述参考信号端的信号提供给所述下拉节点；

所述第二控制电路分别与所述上拉节点、所述下拉节点以及所述参考信号端电连接，配置为在所述下拉节点的信号的控制下将所述参考信号端的信号提供给所述上拉节点；

所述输出电路分别与第二时钟信号端、所述上拉节点、所述下拉节点、所述参考信号端以及所述输出信号端电连接，配置为在所述上拉节点的信号的控制下将所述第二时钟信号端的信号提供给所述输出信号端，在所述上拉节点处于浮接状态时保持所述上拉节点处的电位与所述输出信号端处的电位之间的电位差稳定，以及在所述下拉节点的信号控制下将所述参考信号端的信号提供给所述输出信号端。

例如，所述输入电路包括：第三开关晶体管；其中，所述第三开关晶体管的控制极与其第一极均与所述输入信号端电连接，第二极与所述上拉节点电连接；

所述复位电路包括：第四开关晶体管；其中，所述第四开关晶体管的控制极与所述复位信号端电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接；

所述第一控制电路包括：第五开关晶体管、第六开关晶体管、第七开关晶体管以及第八开关晶体管；其中，所述第五开关晶体管的控制极与其第一极与所述第一时钟信号端电连接，第二极与所述第六开关晶体管的控制极电连接；所述第六开关晶体管的第一极与所述第一时钟信号端电连接，第二极与所述下拉节点电连接；所述第七开关晶体管的控制极与所述上拉节点电连接，第一极与所述参考信号端电连接，第二极与所述第六开关晶体管的控制极电连接；所述第八开关晶体管的控制极与所述上拉节点电连接，第一极与所述参考信号端电连接，第二极与所述下拉节点电连接；

所述第二控制电路包括：第九开关晶体管；其中，所述第九开关晶体管的控制极与所述下拉节点电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接；

所述输出电路包括：第十开关晶体管、第十一开关晶体管以及电容；其中，所述第十开关晶体管的控制极与所述上拉节点电连接，第一极与所述第二时钟信号端电连接，第二极与所述输出信号端电连接；所述第十一开关晶体管的控制极与所述下拉节点电连接，第一极与所述参考信号端电连接，第二极与所述输出信号端电连接；所述电容的第一端与所述上拉节点电连接，第二端与所述输出信号端电连接。

根据本公开实施例的另一方面，还提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述任一种移位寄存器单元；其中，

除最后一级移位寄存器单元之外，其余各级移位寄存器单元的电位稳定控制端分别与下一级移位寄存器单元的下拉节点电连接。

根据本公开实施例的另一方面，还提供了一种显示装置，包括本公开实施例提供的上述任一种栅极驱动电路。

根据本公开实施例的另一方面，还提供了一种上述任一种移位寄存器单元的驱动方法，包括：

在输入阶段，所述输入电路在所述输入信号端的信号的控制下将所述输入信号端的信号提供给所述上拉节点；所述第一控制电路在所述上拉节点的信号的控制下将所述参考信号端的信号提供给所述下拉节点；所述输出电路在所述上拉节点的信号的控制下将

所述第二时钟信号端的信号提供给所述输出信号端；

在输出阶段，所述输出电路在所述上拉节点的信号的控制下将所述第二时钟信号端的信号提供给所述输出信号端，在所述上拉节点处于浮接状态时保持所述上拉节点处的电位与所述输出信号端处的电位之间的电位差稳定；所述第一控制电路在所述上拉节点的信号的控制下将所述参考信号端的信号提供给所述下拉节点；

在复位阶段，所述复位电路在所述复位信号端的控制下将所述参考信号端的信号提供给所述上拉节点；所述第一控制电路在所述第一时钟信号端的信号的控制下将所述第一时钟信号端的信号提供给所述下拉节点；所述第二控制电路在所述下拉节点的信号的控制下将所述参考信号端的信号提供给所述上拉节点；所述输出电路在所述下拉节点的信号控制下将所述参考信号端的信号提供给所述输出信号端；

在放电保持阶段，所述电位稳定电路在所述电位稳定控制端的控制下，将所述参考信号端的信号分别提供给所述上拉节点与所述输出信号端。

附图说明

图 1a 为本公开实施例的移位寄存器单元的一个结构示意图；

图 1b 为本公开实施例提供的移位寄存器单元的另一结构示意图；

图 2a 为本公开实施例提供的移位寄存器单元的另一结构示意图；

图 2b 为本公开实施例提供的移位寄存器单元的另一结构示意图；

图 2c 为本公开实施例提供的移位寄存器单元的另一结构示意图；

图 2d 为本公开实施例的移位寄存器单元的另一结构示意图；

图 3a 为图 2b 所示的移位寄存器单元的信号时序图；

图 3b 为图 2d 所示的移位寄存器单元的信号时序图；

图 4 为根据本公开实施例的驱动方法的流程图；

图 5 为根据本公开实施例的栅极驱动电路的结构示意图。

具体实施方式

为了使本公开的目的，技术方案和优点更加清楚，下面结合附图，对本公开实施例提供的移位寄存器单元其驱动方法、栅极驱动电路及显示装置的具体实施方式进行详细地说明。应当理解，下面所描述的优选实施例仅配置为说明和解释本公开，并不配置为限定本公开。在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

本公开实施例提供了一种移位寄存器单元。如图 1a 与图 1b 所示，根据本公开实施例的移位寄存器单元可以包括：移位寄存器 10，移位寄存器 10 至少具有输入信号端 Input、输出信号端 Output 以及上拉节点 PU，其中输出信号端 Output 在上拉节点 PU 的信号的控制下输出有效的扫描信号。移位寄存器单元还包括电位稳定电路 20。

电位稳定电路 20 分别与电位稳定控制端 VT、上拉节点 PU、输出信号端 Output 以及参考信号端 VSS 电连接，配置为在电位稳定控制端 VT 的控制下，将参考信号端 VSS 的信号分别提供给上拉节点 PU 与输出信号端 Output。

根据本公开实施例的上述移位寄存器单元包括移位寄存器与电位稳定电路。该电位稳定电路配置为在电位稳定控制端的控制下，将参考信号端的信号分别提供给上拉节点与输出信号端。因此通过移位寄存器与电位稳定电路的相互配合，可以在复位阶段之后的放电保持阶段中，将参考信号端的信号分别提供给上拉节点以及输出信号端，以保持上拉节点的电位与输出信号端的电位处于稳定状态，从而可以避免输出信号端输出的扫描信号具有较大噪声，进而提高移位寄存器单元输出的稳定性。

例如，在输入信号端的有效脉冲信号为高电位时，参考信号端的信号为低电位，有效的扫描信号的电位为高电位。在输入信号端的有效脉冲信号为低电位时，参考信号端的信号为高电位，有效的扫描信号的电位为低电位。

如图 1a 与图 1b 所示，移位寄存器 10 可以包括：输入电路 11、复位电路 12、第一控制电路 13、第二控制电路 14 以及输出电路 15。输入电路 11 分别与输入信号端 Input 以及上拉节点 PU 电连接，配置为在输入信号端 Input 的控制下将输入信号端 Input 的信号提供给上拉节点 PU。复位电路 12 分别与复位信号端 RE、参考信号端 VSS 以及上拉节点 PU 电连接，配置为在复位信号端 RE 的控制下将参考信号端 VSS 的信号提供给上拉节点 PU。第一控制电路 13 分别与第一时钟信号端 CK1、上拉节点 PU、参考信号端 VSS 以及下拉节点 PD 电连接，配置为在第一时钟信号端 CK1 的控制下将第一时钟信号端 CK1 的信号提供给下拉节点 PD，以及在上拉节点 PU 的信号的控制下将参考信号端 VSS 的信号提供给下拉节点 PD。第二控制电路 14 分别与上拉节点 PU、下拉节点 PD 以及参考信号端 VSS 电连接，配置为在下拉节点 PD 的信号的控制下将参考信号端 VSS 的信号提供给上拉节点 PU；

输出电路 15 分别与第二时钟信号端 CK2、上拉节点 PU、下拉节点 PD、参考信号端 VSS 以及输出信号端 Output 电连接，配置为在上拉节点 PU 的信号的控制下将第二时钟信号端 CK2 的信号提供给输出信号端 Output，在上拉节点 PU 处于浮接状态时保持上

拉节点PU处的电位与输出信号端Output处的电位之间的电位差稳定，以及在下拉节点PD的信号控制下将参考信号端VSS的信号提供给输出信号端Output。

例如，如图1b所示，电位稳定电路20可以包括：第一电位稳定子电路21与第二电位稳定子电路22。第一电位稳定子电路21分别与电位稳定控制端VT、上拉节点PU以及参考信号端VSS电连接，配置为在电位稳定控制端VT的控制下将参考信号端VSS的信号提供给上拉节点PU。第二电位稳定子电路22分别与电位稳定控制端VT、输出信号端Output以及参考信号端VSS电连接，配置为在电位稳定控制端VT的控制下将参考信号端VSS的信号提供给输出信号端Output。

在具体实施时，通过第一电位稳定子电路与第二电位稳定子电路的相互配合来实现电位稳定电路的功能。

下面结合具体实施例，对本公开进行详细说明。需要说明的是，本实施例中是为了更好的解释本公开，但不限制本公开。

如图2a至图2d所示，第一电位稳定子电路21可以包括：第一开关晶体管M1。第一开关晶体管M1的控制极与电位稳定控制端VT电连接，第一极与参考信号端VSS电连接，第二极与上拉节点PU电连接。

如图2a与图2b所示，第一开关晶体管M1可以为N型开关晶体管。或者，如图2c与图2d所示，第一开关晶体管M1也可以为P型开关晶体管。在实际应用中，第一开关晶体管M1的具体结构需要根据实际应用环境来设计确定，在此不作限定。

在电位稳定控制端输出的信号的控制下，当第一开关晶体管处于导通状态时将参考信号端的信号提供给上拉节点PU。

如图2a至图2d所示，第二电位稳定子电路22可以包括第二开关晶体管M2。第二开关晶体管M2的控制极与电位稳定控制端VT电连接，第一极与参考信号端VSS电连接，第二极与输出信号端Output电连接。

如图2a与图2b所示，第二开关晶体管M2可以为N型开关晶体管。或者，如图2c与图2d所示，第二开关晶体管M2也可以为P型开关晶体管。在实际应用中，第二开关晶体管M2的具体结构需要根据实际应用环境来设计确定，在此不作限定。

在电位稳定控制端输出的信号的控制下，当第二开关晶体管处于导通状态时，将参考信号端输出的信号提供给输出信号端。

如图2a至图2d所示，输入电路11可以包括：第三开关晶体管M3。第三开关晶体

管 M3 的控制极与其第一极均与输入信号端 Input 电连接，第二极与上拉节点 PU 电连接。

如图 2a 与图 2b 所示，第三开关晶体管 M3 可以为 N 型开关晶体管。或者，如图 2c 与图 2d 所示，第三开关晶体管 M3 也可以为 P 型开关晶体管。在实际应用中，第三开关晶体管 M3 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

第三开关晶体管在输入信号端的信号的控制下将输入信号端的信号提供给上拉节点。

复位电路 12 可以包括第四开关晶体管 M4。第四开关晶体管 M4 的控制极与复位信号端 RE 电连接，第一极与参考信号端 VSS 电连接，第二极与上拉节点 PU 电连接。

如图 2a 与图 2b 所示，第四开关晶体管 M4 可以为 N 型开关晶体管。或者，如图 2c 与图 2d 所示，第四开关晶体管 M4 也可以为 P 型开关晶体管。在实际应用中，第四开关晶体管 M4 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

例如，复位电路 12 还可以包括第十二开关晶体管 M12。第十二开关晶体管 M12 的控制极与复位信号端 RE 电连接，第一极与参考信号端 VSS 电连接，第二极与输出信号端 Output 电连接。

如图 2b 所示，第十二开关晶体管 M12 可以为 N 型开关晶体管。或者，如图 2d 所示，第十二开关晶体管 M12 也可以为 P 型开关晶体管。在实际应用中，第十二开关晶体管 M12 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

第四开关晶体管在复位信号端输出的信号的控制下将参考信号端输出的信号提供给上拉节点。第十二开关晶体管在复位信号端输出的信号的控制下将参考信号端输出的信号提供给输出信号端。

第一控制电路 13 可以包括：第五开关晶体管 M5、第六开关晶体管 M6、第七开关晶体管 M7 以及第八开关晶体管 M8。第五开关晶体管 M5 的控制极与其第一极与第一时钟信号端 CK1 电连接，第二极与第六开关晶体管 M6 的控制极电连接。第六开关晶体管 M6 的第一极与第一时钟信号端 CK1 电连接，第二极与下拉节点 PD 电连接。第七开关晶体管 M7 的控制极与上拉节点 PU 电连接，第一极与参考信号端 VSS 电连接，第二极与第六开关晶体管 M6 的控制极电连接。第八开关晶体管 M8 的控制极与上拉节点 PU 电连接，第一极与参考信号端 VSS 电连接，第二极与下拉节点 PD 电连接。

如图 2a 与图 2b 所示，第五开关晶体管 M5、第六开关晶体管 M6、第七开关晶体管 M7 以及第八开关晶体管 M8 可以为 N 型开关晶体管。或者，如图 2c 与图 2d 所示，第五开关晶体管 M5、第六开关晶体管 M6、第七开关晶体管 M7 以及第八开关晶体管 M8

也可以为 P 型开关晶体管。在实际应用中，第五开关晶体管 M5、第六开关晶体管 M6、第七开关晶体管 M7 以及第八开关晶体管 M8 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

根据本公开的移位寄存器单元第五开关晶体管在第一时钟信号端输出的信号的控制下将第一时钟信号端输出的信号提供给第六开关晶体管的控制极。在上拉节点的信号的控制下，第七开关晶体管处于导通状态时，将参考信号端输出的信号提供给第六开关晶体管的控制极。在其控制极的信号的控制下第六开关晶体管处于导通状态时，将第一时钟信号端输出的信号提供给下拉节点。在上拉节点的信号的控制下第八开关晶体管处于导通状态时，将参考信号端输出的信号提供给下拉节点。

根据本公开实施例的上述移位寄存器单元，可以将第七开关晶体管的尺寸设置比第五开关晶体管的尺寸大，使得当输入信号端为有效脉冲信号时，第七开关晶体管在上拉节点的控制下将参考信号端的信号提供给第六开关晶体管的控制极的速率大于第五开关晶体管在第一时钟信号端的控制下将第一时钟信号端的信号提供给第六开关晶体管的控制极的速率，从而保证此时第六开关晶体管在其控制极的电位的控制下处于截止状态。

第二控制电路 14 可以包括第九开关晶体管 M9。第九开关晶体管 M9 的控制极与下拉节点 PD 电连接，第一极与参考信号端 VSS 电连接，第二极与上拉节点 PU 电连接。

如图 2a 与图 2b 所示，第九开关晶体管 M9 可以为 N 型开关晶体管。或者，如图 2c 与图 2d 所示，第九开关晶体管 M9 也可以为 P 型开关晶体管。在实际应用中，第九开关晶体管 M9 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

在具体实施时，在本公开实施例提供的上述移位寄存器单元中，在下拉节点的信号的控制下第九开关晶体管处于导通状态时，将参考信号端输出的信号提供给上拉节点。

输出电路 15 可以包括：第十开关晶体管 M10、第十一开关晶体管 M11 以及电容 C。第十开关晶体管 M10 的控制极与上拉节点 PU 电连接，第一极与第二时钟信号端 CK2 电连接，第二极与输出信号端 Output 电连接。第十一开关晶体管 M11 的控制极与下拉节点 PD 电连接，第一极与参考信号端 VSS 电连接，第二极与输出信号端 Output 电连接。电容 C 的第一端与上拉节点 PU 电连接，第二端与输出信号端 Output 电连接。

如图 2a 与图 2b 所示，第十开关晶体管 M10 与第十一开关晶体管 M11 可以为 N 型开关晶体管。或者，如图 2c 与图 2d 所示，第十开关晶体管 M10 与第十一开关晶体管 M11 也可以为 P 型开关晶体管。在实际应用中，第十开关晶体管 M10 与第十一开关晶

体管 M11 的具体结构需要根据实际应用环境来设计确定，在此不作限定。

在上拉节点的信号的控制下第十开关晶体管处于导通状态时，将第二时钟信号端输出的信号提供给输出信号端。在下拉节点的信号的控制下第十一开关晶体管处于导通状态时，将参考信号端输出的信号提供给输出信号端。电容在上拉节点的信号以及输出信号端的信号的控制下进行充电，并在上拉节点的信号以及输出信号端的信号的控制下进行放电，以及在上拉节点处于浮接状态时，由于电容的自举作用，可以保持上拉节点的电位与信号输出端的电位之间的电位差稳定。

以上仅是举例说明本公开实施例提供的移位寄存器单元中各电路的具体结构。在具体实施时，上述各电路的具体结构不限于本公开实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

进一步地，为了降低制备工艺，当输入信号端 Input 的有效脉冲信号为高电位时，如图 2a 与图 2b 所示，所有开关晶体管均可以为 N 型开关晶体管，或者，当输入信号端 Input 的有效脉冲信号为低电位时，如图 2c 与图 2d 所示，所有开关晶体管均可以为 P 型开关晶体管，在此不作限定。本领域技术人员可以理解，N 型开关晶体管在高电位作用下导通，在低电位作用下截止；P 型开关晶体管在高电位作用下截止，在低电位作用下导通。

本公开上述实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Scmiconductor），在此不作限定。在具体实施中，这些开关晶体管的控制极实现为其栅极，第一极可以实现为开关晶体管的源极和漏极中的一个，以及第二极可以实现为为开关晶体管的源极和漏极中的另一个。

下面分别以图 2b 与图 2d 所示的移位寄存器单元的具体结构为例，结合电路时序图对本公开实施例提供的上述移位寄存器单元的工作过程作以描述。下述描述中以 1 表示高电位信号，0 表示低电位信号，其中，1 和 0 代表其逻辑电位，仅是为了更好的解释本公开实施例提供的上述移位寄存器单元的工作过程，而不是在具体实施时施加在各开关晶体管的栅极上的电位。

以图 2b 所示的移位寄存器单元为例对其工作过程作以描述，其中，所有开关晶体管均为 N 型开关晶体管；参考信号端 VSS 的电位为低电位，对应的输入输出时序图如图 3a 所示。

在输入阶段 T1，Input=1，CK1=1，CK2=0，RE=0，VT=0。由于 VT=0，因此第一

开关晶体管 M1 与第二开关晶体管 M2 截止。由于 RE=0，因此第四开关晶体管 M4 与第十二开关晶体管 M12 截止。由于 Input=1，因此第三开关晶体管 M3 导通，并将输入信号端 Input 的高电位的信号提供给上拉节点 PU，使上拉节点 PU 的电位为高电位。由于上拉节点 PU 的电位为高电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均导通。由于第七开关晶体管 M7 导通并将参考信号端 VSS 的低电位信号提供给第六开关晶体管 M6 的栅极，因此第六开关晶体管 M6 的栅极的电位为低电位，以使第六开关晶体管 M6 截止。由于第八开关晶体管 M8 导通并将参考信号端 VSS 的低电位信号提供给下拉节点 PD，因此下拉节点 PD 的电位为低电位。由于下拉节点 PD 的电位为低电位，因此第九开关晶体管 M9 与第十一开关晶体管 M11 均截止。由于第十开关晶体管 M10 导通并将第二时钟信号端 CK2 的低电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出低电位的输出信号，电容 C 充电。

在输出阶段 T2，Input=0，CK1=0，CK2=1，RE=0，VT=0。由于 VT=0，因此第一开关晶体管 M1 与第二开关晶体管 M2 均截止。由于 RE=0，因此第四开关晶体管 M4 与第十二开关晶体管 M12 均截止。由于 Input=0，因此第三开关晶体管 M3 截止。由于 CK1=0，因此第五开关晶体管 M5 截止。因此，上拉节点 PU 处于浮接状态。由于电容 C 的作用，可以保持上拉节点 PU 的信号的电位为高电位。由于上拉节点 PU 的信号的电位为高电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均导通。由于第七开关晶体管 M7 导通并将参考信号端 VSS 的低电位信号提供给第六开关晶体管 M6 的栅极，因此第六开关晶体管 M6 的栅极的电位为低电位，以使第六开关晶体管 M6 截止。由于第八开关晶体管 M8 导通并将参考信号端 VSS 的低电位信号提供给下拉节点 PD，因此下拉节点 PD 的电位为低电位。由于下拉节点 PD 的电位为低电位，因此第九开关晶体管 M9 与第十一开关晶体管 M11 均截止。由于第十开关晶体管 M10 导通并将第二时钟信号端 CK2 的高电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出高电位的扫描信号。由于电容 C 的自举作用，可以保持上拉节点 PU 的电位与输出信号端 Output 的电位之间的电位差稳定，由于输出信号端 Output 的电位为高电位，因此上拉节点 PU 的电位被进一步拉高，以使第十开关晶体管 M10 尽可能的完全导通，以将第二时钟信号端 CK2 的高电位的信号提供给输出信号端 Output，使输出信号端 Output 输出高电位的输出信号，即有效的扫描信号。

在复位阶段 T3，Input=0，CK1=1，CK2=0，RE=1，VT=0。由于 VT=0，因此第一开关晶体管 M1 与第二开关晶体管 M2 均截止。由于 RE=1，因此第四开关晶体管 M4 与

第十二开关晶体管 M12 均导通。由于 Input=0，因此第三开关晶体管 M3 截止。由于 CK1=1，因此第五开关晶体管 M5 导通。由于第四开关晶体管 M4 导通并将参考信号端 VSS 的低电位的信号提供给上拉节点 PU，因此上拉节点 PU 的信号的电位为低电位。由于上拉节点 PU 的信号的电位为低电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均截止。由于第五开关晶体管 M5 导通并将第一时钟信号端 CK1 的高电位的信号提供给第六开关晶体管 M6 的栅极，因此第六开关晶体管 M6 的栅极的电位为高电位，以使第六开关晶体管 M6 导通。由于第六开关晶体管 M6 导通并将第一时钟信号端 CK1 的高电位的信号提供给下拉节点 PD，因此下拉节点 PD 的信号的电位为高电位。由于下拉节点 PD 的信号的电位为高电位，因此第九开关晶体管 M9 与第十一开关晶体管 M11 均导通。由于第九开关晶体管 M9 导通并将参考信号端 VSS 的低电位的信号提供给上拉节点 PU，进一步使上拉节点 PU 的信号的电位为低电位。由于第十一开关晶体管 M11 导通并将参考信号端 VSS 的低电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出低电位的扫描信号，电容 C 放电。由于第十二开关晶体管 M12 导通并将参考信号端 VSS 的低电位的信号提供给输出信号端 Output，进一步使输出信号端 Output 输出低电位的扫描信号。

在放电保持阶段 T4，Input=0，CK1=0，CK2=1，RE=0，VT=1。由于 VT=1，因此第一开关晶体管 M1 与第二开关晶体管 M2 均导通。由于 RE=0，因此第四开关晶体管 M4 与第十二开关晶体管 M12 均截止。由于 Input=0，因此第三开关晶体管 M3 截止。由于 CK1=0，因此第五开关晶体管 M5 截止。由于第一开关晶体管 M1 导通并将参考信号端 VSS 的低电位的信号提供给上拉节点 PU，因此上拉节点 PU 的信号的电位为低电位。由于上拉节点 PU 的信号的电位为低电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均截止。由于第二开关晶体管 M2 导通并将参考信号端 VSS 的低电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出低电位的输出信号。

在放电保持阶段 T4 之后，还可以包括信号维持阶段，即 Input=0，CK1=1，CK2=0，RE=0，VT=0。由于 RE=0，因此第四开关晶体管 M4 与第十二开关晶体管 M12 均截止。其余工作过程与复位阶段 T3 的工作过程基本相同，在此不作详述。

在信号维持阶段之后一直重复执行放电保持阶段和信号维持阶段的工作过程，直至输入信号端 Input 的电位再次变为高电位。

根据本公开的移位寄存器单元，在放电保持阶段中，由于第一开关晶体管的作用，

使上拉节点的信号的电位为低电位，与上拉节点处于浮接状态相比，可以避免上拉节点受周围晶体管漏电影响。此外，由于第二开关晶体管的作用，使输出信号端输出低电位的信号，与放电保持阶段时输出信号端处于浮接状态相比，可以避免输出信号端受周围晶体管漏电影响。在复位阶段之后，可以通过电位稳定控制端的信号以及下拉节点的信号的交替作用，使上拉节点的信号的电位与输出信号端的信号的电位在全时间内处于稳定状态，从而可以避免输出信号端存在噪音、提高移位寄存器单元输出信号端输出扫描信号的稳定性。

接下来以图 2d 所示的移位寄存器单元为例对其工作过程作以描述，其中，所有开关晶体管均为 P 型开关晶体管；参考信号端 VSS 的电位为高电位；对应的输入输出时序图如图 3b 所示。

在输入阶段 T1，Input=0，CK1=0，CK2=1，RE=1，VT=1。由于 VT=1，因此第一开关晶体管 M1 与第二开关晶体管 M2 均截止。由于 RE=1，因此第四开关晶体管 M4 与第十二开关晶体管 M12 均截止。由于 Input=0，因此第三开关晶体管 M3 导通，并将输入信号端 Input 的低电位的信号提供给上拉节点 PU，使上拉节点 PU 的电位为低电位。由于上拉节点 PU 的电位为低电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均导通。由于第七开关晶体管 M7 导通并将参考信号端 VSS 的高电位信号提供给第六开关晶体管 M6 的栅极，因此第六开关晶体管 M6 的栅极的电位为高电位，以使第六开关晶体管 M6 截止。由于第八开关晶体管 M8 导通并将参考信号端 VSS 的高电位信号提供给下拉节点 PD，因此下拉节点 PD 的电位为高电位。由于下拉节点 PD 的电位为高电位，因此第九开关晶体管 M9 与第十一开关晶体管 M11 均截止。由于第十开关晶体管 M10 导通并将第二时钟信号端 CK2 的高电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出高电位的信号，电容 C 充电。

在输出阶段 T2，Input=1，CK1=1，CK2=0，RE=1，VT=1。由于 VT=1，因此第一开关晶体管 M1 与第二开关晶体管 M2 均截止。由于 RE=1，因此第四开关晶体管 M4 与第十二开关晶体管 M12 均截止。由于 Input=1，因此第三开关晶体管 M3 截止。由于 CK1=1，因此第五开关晶体管 M5 截止。因此，上拉节点 PU 处于浮接状态。由于电容 C 的作用，可以保持上拉节点 PU 的信号的电位为低电位。由于上拉节点 PU 的信号的电位为低电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均导通。由于第七开关晶体管 M7 导通并将参考信号端 VSS 的高电位信号提供给第六开关晶体管 M6 的栅极，使第六开关晶体管 M6 截止。由于第八开关晶体管 M8 导通并将

参考信号端VSS的高电位信号提供给下拉节点PD，因此下拉节点PD的电位为高电位。由于下拉节点PD的电位为高电位，因此第九开关晶体管M9与第十一开关晶体管M11均截止。由于第十开关晶体管M10导通并将第二时钟信号端CK2的低电位的信号提供给输出信号端Output，因此输出信号端Output输出低电位的扫描信号。由于电容C的自举作用，可以保持上拉节点PU的电位与输出信号端Output的电位之间的电位差稳定。由于输出信号端Output的电位为低电位，因此上拉节点PU的电位被进一步拉低，以使第十开关晶体管M10尽可能的完全导通，以将第二时钟信号端CK2的低电位的信号提供给输出信号端Output，使输出信号端Output输出低电位的信号，即有效的扫描信号。

在复位阶段T3，Input=1，CK1=0，CK2=1，RE=0，VT=1。由于VT=1，因此第一开关晶体管M1与第二开关晶体管M2均截止。由于RE=0，因此第四开关晶体管M4与第十二开关晶体管M12均导通。由于Input=1，因此第三开关晶体管M3截止。由于CK1=0，因此第五开关晶体管M5导通。由于第四开关晶体管M4导通并将参考信号端VSS的高电位的信号提供给上拉节点PU，因此上拉节点PU的信号的电位为高电位。由于上拉节点PU的信号的电位为高电位，因此第七开关晶体管M7、第八开关晶体管M8以及第十开关晶体管M10均截止。由于第五开关晶体管M5导通并将第一时钟信号端CK1的低电位的信号提供给第六开关晶体管M6的栅极，因此第六开关晶体管M6的栅极的电位为低电位，以使第六开关晶体管M6导通。由于第六开关晶体管M6导通并将第一时钟信号端CK1的低电位的信号提供给下拉节点PD，因此下拉节点PD的信号的电位为低电位。由于下拉节点PD的信号的电位为低电位，因此第九开关晶体管M9与第十一开关晶体管M11均导通。由于第九开关晶体管M9导通并将参考信号端VSS的高电位的信号提供给上拉节点PU，进一步使上拉节点PU的信号的电位为高电位。由于第十一开关晶体管M11导通并将参考信号端VSS的高电位的信号提供给输出信号端Output，因此输出信号端Output输出高电位的扫描信号，电容C放电。由于第十二开关晶体管M12导通并将参考信号端VSS的高电位的信号提供给输出信号端Output，进一步使输出信号端Output输出高电位的扫描信号。

在放电保持阶段T4，Input=1，CK1=1，CK2=0，RE=1，VT=0。由于VT=0，因此第一开关晶体管M1与第二开关晶体管M2均导通。由于RE=1，因此第四开关晶体管M4与第十二开关晶体管M12均截止。由于Input=1，因此第三开关晶体管M3截止。由于CK1=1，因此第五开关晶体管M5截止。由于第一开关晶体管M1导通并将参考信号端VSS的高电位的信号提供给上拉节点PU，因此上拉节点PU的信号的电位为高电位。

由于上拉节点 PU 的信号的电位为高电位，因此第七开关晶体管 M7、第八开关晶体管 M8 以及第十开关晶体管 M10 均截止。由于第二开关晶体管 M2 导通并将参考信号端 VSS 的高电位的信号提供给输出信号端 Output，因此输出信号端 Output 输出高电位的信号。

在放电保持阶段 T4 之后，还可以包括信号维持阶段，即 Input=1，CK1=0，CK2=1，RE=1，VT=1。由于 RE=1，因此第四开关晶体管 M4 与第十二开关晶体管 M12 截止。其余工作过程与上述复位阶段 T3 的工作过程基本相同，在此不作详述。

在信号维持阶段之后一直重复执行放电保持阶段和信号维持阶段的工作过程，直至输入信号端 Input 的电位再次变为低电位时。

根据本公开实施例的移位寄存器单元，在放电保持阶段中，由于第一开关晶体管的作用，使上拉节点的信号的电位为高电位，与上拉节点处于浮接状态相比，可以避免上拉节点受周围晶体管漏电影响。此外，由于第二开关晶体管的作用，使输出信号端输出高电位的扫描信号，与输出信号端处于浮接状态相比，可以避免输出信号端受周围晶体管漏电影响。在复位阶段之后，可以通过电位稳定控制端的信号以及下拉节点的信号的交替作用，使上拉节点的信号的电位与输出信号端的信号的电位在全时间内处于稳定状态，从而可以避免输出信号端存在噪音、提高移位寄存器单元输出信号端输出扫描信号的稳定性。

本公开实施例还提供了一种移位寄存器单元的驱动方法。如图 4 所示，所述驱动方法可以包括以下步骤。

在步骤 S401，在输入阶段，输入电路在输入信号端的控制下将输入信号端的信号提供给上拉节点；第一控制电路在上拉节点的信号的控制下将参考信号端的信号提供给下拉节点；输出电路在上拉节点的信号的控制下将第二时钟信号端的信号提供给信号输出端。

在步骤 S402，在输出阶段，输出电路在上拉节点的信号的控制下将第二时钟信号端的信号提供给信号输出端，在上拉节点处于浮接状态时保持上拉节点的电位与信号输出端的电位之间的电位差稳定；第一控制电路在上拉节点的信号的控制下将参考信号端的信号提供给下拉节点。

在步骤 S403，在复位阶段，复位电路在复位信号端的信号的控制下将参考信号端的信号提供给上拉节点；第一控制电路在第一时钟信号端的控制下将第一时钟信号端的信号提供给下拉节点；第二控制电路在下拉节点的信号的控制下将参考信号端的信号提供给上拉节点；输出电路在下拉节点的信号控制下将参考信号端的信号提供给信号输出

端。

在步骤S404，在放电保持阶段，在电位稳定控制端的控制下，电位稳定电路将参考信号端的信号分别提供给上拉节点与信号输出端。

根据本公开实施例的驱动方法，可以保持上拉节点的电位与输出信号端的电位处于稳定状态，从而避免输出信号端输出的扫描信号具有较大噪声，进而使移位寄存器单元可以稳定的输出驱动信号。

根据本公开实施例的驱动方法还可以包括在放电保持阶段之后的信号维持阶段。在信号维持阶段中，第一控制电路在第一时钟信号端的控制下将第一时钟信号端的信号提供给下拉节点；第二控制电路在下拉节点的信号的控制下将参考信号端的信号提供给上拉节点；输出电路在下拉节点的信号控制下将参考信号端的信号提供给输出信号端。

本公开实施例还提供了一种栅极驱动电路。如图5所示，根据本公开实施例的栅极驱动电路可以包括：级联的多个根据本公开实施例的移位寄存器单元：SR(1)、SR(2)…SR(n) …SR(N-1)、SR(N)，1≤n≤N，N为大于或等于1的整数。除最后一级移位寄存器单元SR(N)之外，其余各级移位寄存器单元SR(n)的电位稳定控制端VT分别与下一级移位寄存器单元SR(n+1)的下拉节点PD电连接。

根据本公开实施例的栅极驱动电路，可以将本级的电位稳定控制端输出的信号施加到下一级移位寄存器单元的下拉节点，从而可以简化栅极驱动电路的结构，节省成本。

例如，可以通过一条信号线对最后一级移位寄存器单元的电位稳定控制端输入对应的信号。或者，将最后一级移位寄存器单元的电位稳定控制端与第一极移位寄存器单元的下拉节点电连接。当然，也可以不对最后一级移位寄存器单元的电位稳定控制端输入对应的信号。最后一级移位寄存器单元的电位稳定控制端的信号的设置需要根据实际应用环境来说设计确定，在此不作限定。

例如，如图5所示，第一级移位寄存器单元SR(1)的输入信号端Input可以与帧触发信号端STV电连接。除第一级移位寄存器单元SR(1)之外，其余各级移位寄存器单元SR(n)的输入信号端Input分别与上一级移位寄存器单元SR(n-1)的输出信号端Output电连接。

除最后一级移位寄存器单元SR(N)之外，其余各级移位寄存器单元SR(n)的复位信号端RE分别与下一级移位寄存器单元SR(n+1)的输出信号端Output电连接。

根据本公开实施例的该栅极驱动电路可以应用于液晶显示面板中，也可以应用于有机电致发光显示面板中，在此不作限定。

例如，如图5所示，各级移位寄存器单元的参考信号端VSS均与同一信号端即直流

信号端 vss 电连接。

例如，如图 5 所示，第 2k-1 级移位寄存器单元的第一时钟信号端 CK1 和第 2k 级移位寄存器单元的第二时钟信号端 CK2 均与同一时钟端，即第一时钟端 ck1 电连接；第 2k-1 级移位寄存器单元的第二时钟信号端 CK2 和第 2k 级移位寄存器单元的第一时钟信号端 CK1 均与同一时钟端，即第二时钟端 ck2 电连接；其中，k 为大于或等于 1 的整数。第一时钟端 ck1 的信号与第二时钟端 ck2 的信号相位相反，周期相同。

本公开实施例还提供了一种显示装置，包括本公开是回力的栅极驱动电路。该显示装置的实施可以参见上述栅极驱动电路的实施例，重复之处不再赘述。

该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。例如，手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪这些物体上的显示面板。当然，对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器单元，包括：

移位寄存器，所述移位寄存器至少具有输入信号端、输出信号端以及上拉节点，其中，所述输出信号端配置为在所述上拉节点的信号控制下输出有效的扫描信号；以及

电位稳定电路，所述电位稳定电路分别与电位稳定控制端、所述上拉节点、所述输出信号端以及参考信号端电连接，配置为在所述电位稳定控制端的控制下，将所述参考信号端的信号分别提供给所述上拉节点与所述输出信号端。

2、如权利要求 1 所述的移位寄存器单元，其中，所述电位稳定电路包括：第一电位稳定子电路与第二电位稳定子电路；其中，

所述第一电位稳定子电路分别与所述电位稳定控制端、所述上拉节点以及所述参考信号端电连接，配置为在所述电位稳定控制端的控制下将所述参考信号端的信号提供给所述上拉节点；

所述第二电位稳定子电路分别与所述电位稳定控制端、所述输出信号端以及所述参考信号端电连接，配置为在所述电位稳定控制端的控制下将所述参考信号端的信号提供给所述输出信号端。

3、如权利要求 2 所述的移位寄存器单元，其中，所述第一电位稳定子电路包括：第一开关晶体管，所述第一开关晶体管的控制极与所述电位稳定控制端电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接。

4、如权利要求 2 或 3 所述的移位寄存器单元，其中，所述第二电位稳定子电路包括：第二开关晶体管，所述第二开关晶体管的控制极与所述电位稳定控制端电连接，第一极与所述参考信号端电连接，第二极与所述输出信号端电连接。

5、如权利要求 1 所述的移位寄存器单元，其中，所述移位寄存器包括：输入电路、复位电路、第一控制电路、第二控制电路以及输出电路；其中，

所述输入电路分别与输入信号端以及所述上拉节点电连接，配置为在所述输入信号端的控制下将所述输入信号端的信号提供给所述上拉节点；

所述复位电路分别与复位信号端、所述参考信号端以及所述上拉节点电连接，配置为在所述复位信号端的控制下将所述参考信号端的信号提供给所述上拉节点；

所述第一控制电路分别与第一时钟信号端、所述上拉节点、所述参考信号端以及下拉节点电连接，配置为仅在所述第一时钟信号端的控制下将所述第一时钟信号端的信号提供给所述下拉节点，以及在所述上拉节点的信号的控制下将所述参考信号端的信号提

供给所述下拉节点；

所述第二控制电路分别与所述上拉节点、所述下拉节点以及所述参考信号端电连接，配置为在所述下拉节点的信号的控制下将所述参考信号端的信号提供给所述上拉节点；

所述输出电路分别与第二时钟信号端、所述上拉节点、所述下拉节点、所述参考信号端以及所述输出信号端电连接，配置为在所述上拉节点的信号的控制下将所述第二时钟信号端的信号提供给所述输出信号端，在所述上拉节点处于浮接状态时保持所述上拉节点处的电位与所述输出信号端处的电位之间的电位差稳定，以及在所述下拉节点的信号控制下将所述参考信号端的信号提供给所述输出信号端。

6、如权利要求 5 所述的移位寄存器单元，其中，所述输入电路包括：第三开关晶体管，所述第三开关晶体管的控制极与其第一极均与所述输入信号端电连接，第二极与所述上拉节点电连接；

所述复位电路包括：第四开关晶体管，所述第四开关晶体管的控制极与所述复位信号端电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接；

所述第一控制电路包括：第五开关晶体管、第六开关晶体管、第七开关晶体管以及第八开关晶体管，所述第五开关晶体管的控制极与其第一极均与所述第一时钟信号端电连接，第二极与所述第六开关晶体管的控制极电连接；所述第六开关晶体管的第一极与所述第一时钟信号端电连接，第二极与所述下拉节点电连接；所述第七开关晶体管的控制极与所述上拉节点电连接，第一极与所述参考信号端电连接，第二极与所述第六开关晶体管的控制极电连接；所述第八开关晶体管的控制极与所述上拉节点电连接，第一极与所述参考信号端电连接，第二极与所述下拉节点电连接；

所述第二控制电路包括：第九开关晶体管，所述第九开关晶体管的控制极与所述下拉节点电连接，第一极与所述参考信号端电连接，第二极与所述上拉节点电连接；

所述输出电路包括：第十开关晶体管、第十一开关晶体管以及电容，所述第十开关晶体管的控制极与所述上拉节点电连接，第一极与所述第二时钟信号端电连接，第二极与所述输出信号端电连接；所述第十一开关晶体管的控制极与所述下拉节点电连接，第一极与所述参考信号端电连接，第二极与所述输出信号端电连接；所述电容的第一端与所述上拉节点电连接，第二端与所述输出信号端电连接。

7、一种栅极驱动电路，包括级联的多个如权利要求 1-6 任一项所述的移位寄存器单元；其中，

除最后一级移位寄存器单元之外，其余各级移位寄存器单元的电位稳定控制端分别与下一级移位寄存器单元的下拉节点电连接。

8、如权利要求 7 所述的栅极驱动电路，其中，第一级移位寄存器单元的输入信号端与帧触发信号端电连接；

除所述第一级移位寄存器单元之外，其余各级移位寄存器单元的输入信号端分别与上一级移位寄存器单元的输出信号端电连接；

除所述最后一级移位寄存器单元之外，其余各级移位寄存器单元的复位信号端分别与下一级移位寄存器单元的输出信号端电连接。

9、一种显示装置，包括如权利要求 7 或 8 所述的栅极驱动电路。

10、一种如权利要求 5 所述的移位寄存器单元的驱动方法，包括：

在输入阶段，所述输入电路在所述输入信号端的控制下将所述输入信号端的信号提供给所述上拉节点；所述第一控制电路在所述上拉节点的信号的控制下将所述参考信号端的信号提供给所述下拉节点；所述输出电路在所述上拉节点的信号的控制下将所述第二时钟信号端的信号提供给所述输出信号端；

在输出阶段，所述输出电路在所述上拉节点的信号的控制下将所述第二时钟信号端的信号提供给所述输出信号端，在所述上拉节点处于浮接状态时保持所述上拉节点处的电位与所述输出信号端的电位之间的电位差稳定；所述第一控制电路在所述上拉节点的信号的控制下将所述参考信号端的信号提供给所述下拉节点；

在复位阶段，所述复位电路在所述复位信号端的控制下将所述参考信号端的信号提供给所述上拉节点；所述第一控制电路在所述第一时钟信号端的控制下将所述第一时钟信号端的信号提供给所述下拉节点；所述第二控制电路在所述下拉节点的信号的控制下将所述参考信号端的信号提供给所述上拉节点；所述输出电路在所述下拉节点的信号控制下将所述参考信号端的信号提供给所述输出信号端；

在放电保持阶段，所述电位稳定电路在所述电位稳定控制端的控制下，将所述参考信号端的信号分别提供给所述上拉节点与所述输出信号端。

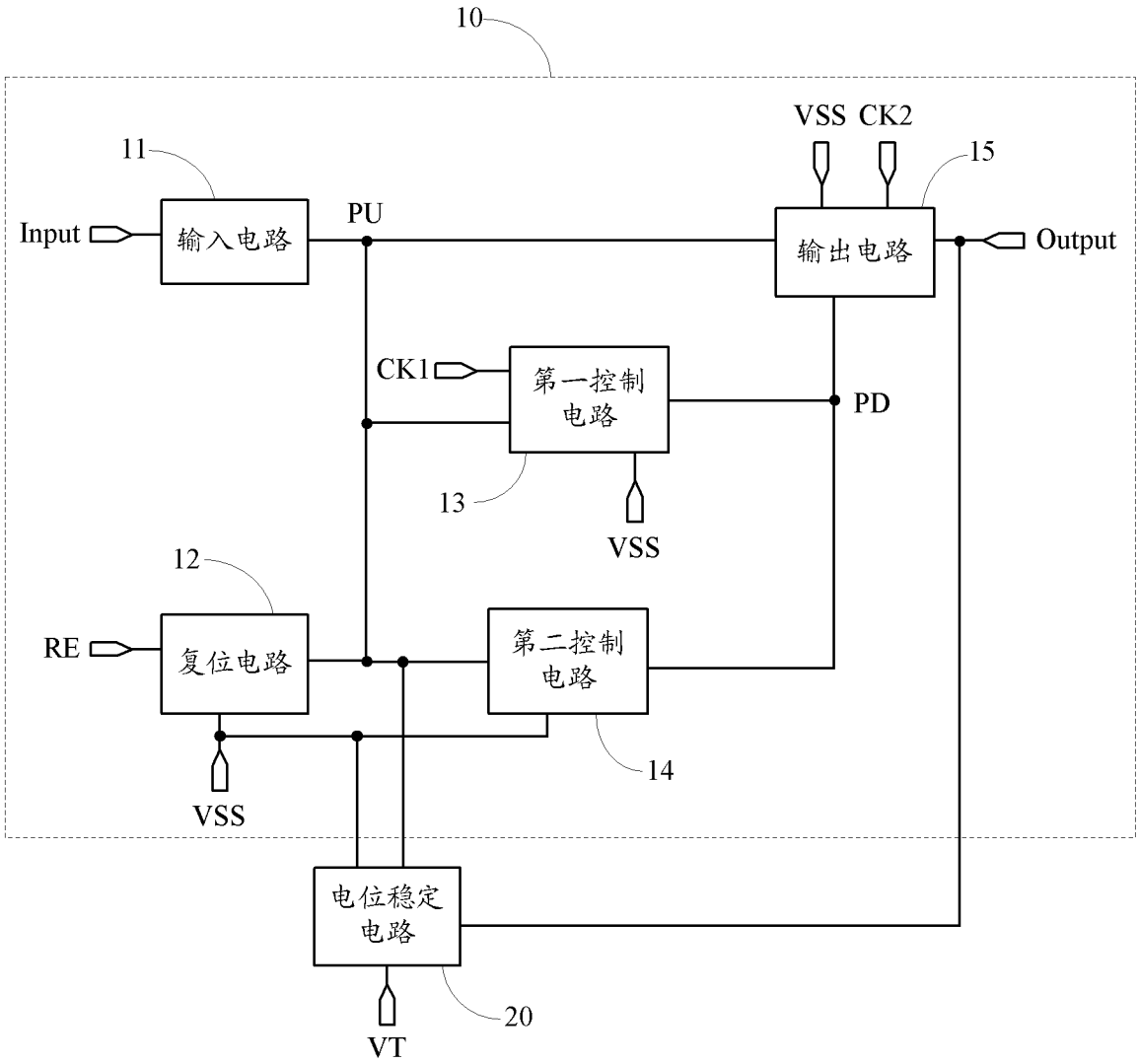

10
11
Input
输入电路
PU
VSS CK2
15
输出电路
Output
CK1
第一控制电路
PD
13
VSS
12
RE
复位电路
第二控制电路
14
VSS
电位稳定电路
20
VT

图 1a

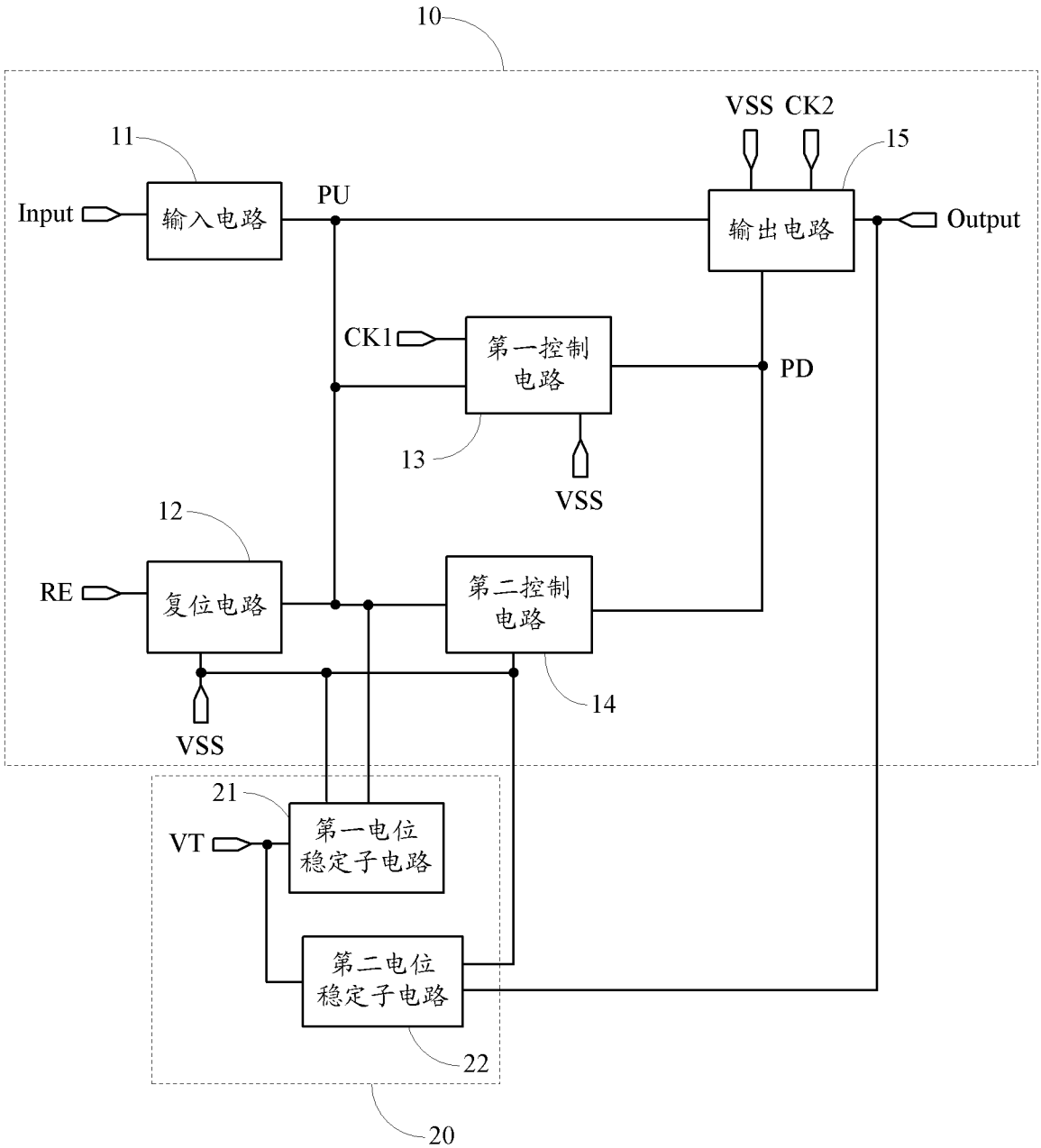

10
11
Input
输入电路
PU
VSS CK2
15
输出电路
Output
CK1
第一控制电路
PD
13
VSS
12
RE
复位电路
第二控制电路
14
VSS
21
VT
第一电位稳定子电路
第二电位稳定子电路
22
20

图 1b

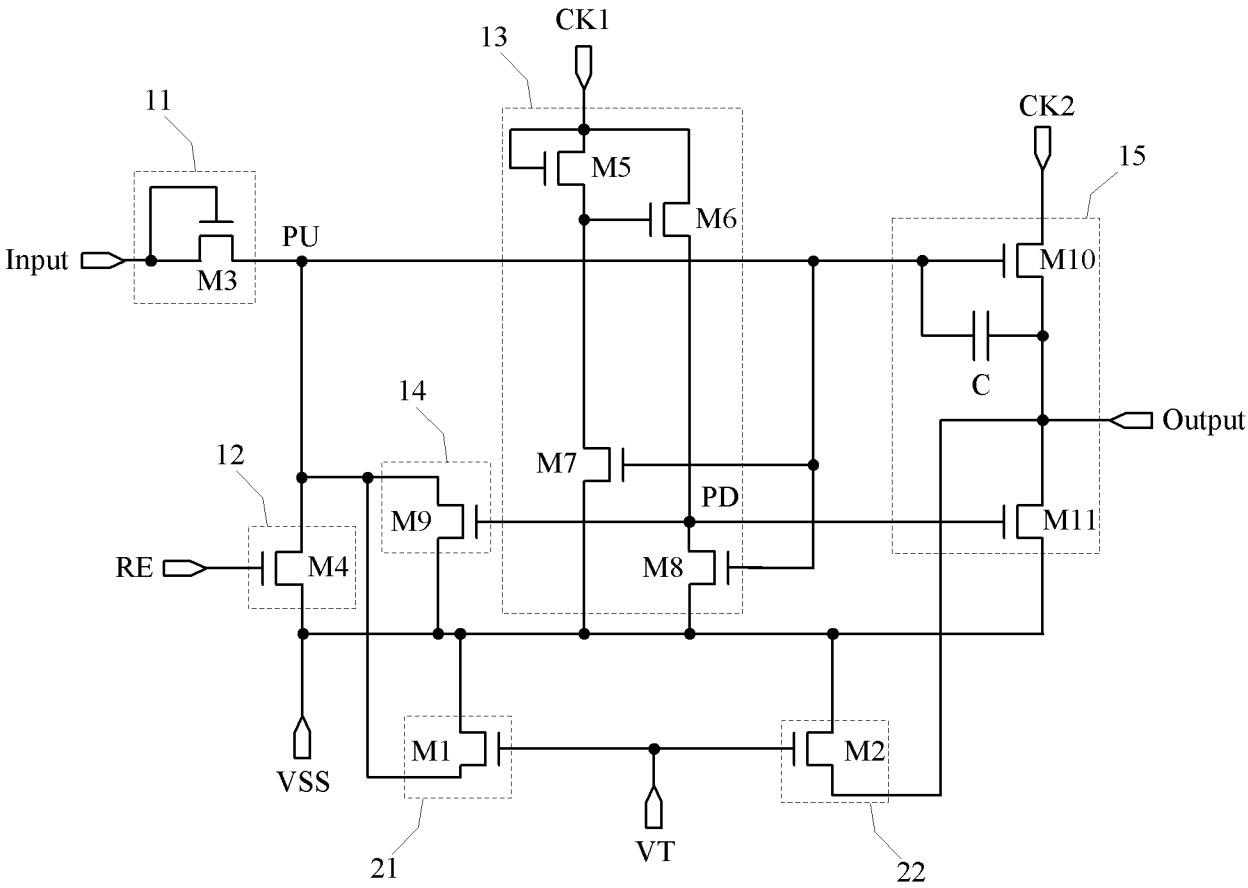

CK1
13
11
CK2
15
M5
M6
Input
PU
M3
M10
C
14
Output
12
M7
PD
M9
M11
RE
M4
M8
M1
M2
VSS
VT
21
22

图 2a

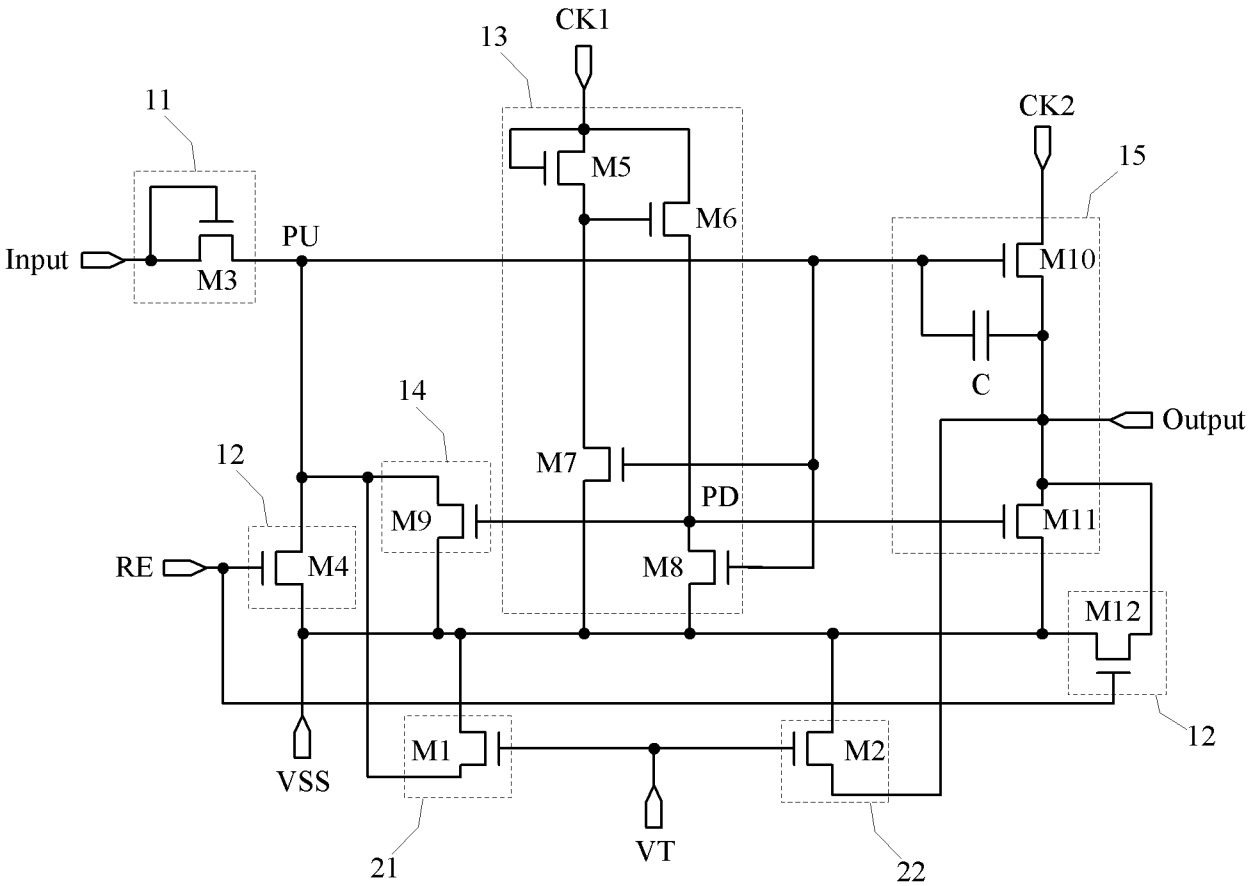

CK1
13
11
CK2
15
M5
M6
Input
PU
M3
M10
C
14
Output
12
M7
PD
M9
M11
RE
M4
M8
M12
12
VSS
M1
M2
21
VT
22

图 2b

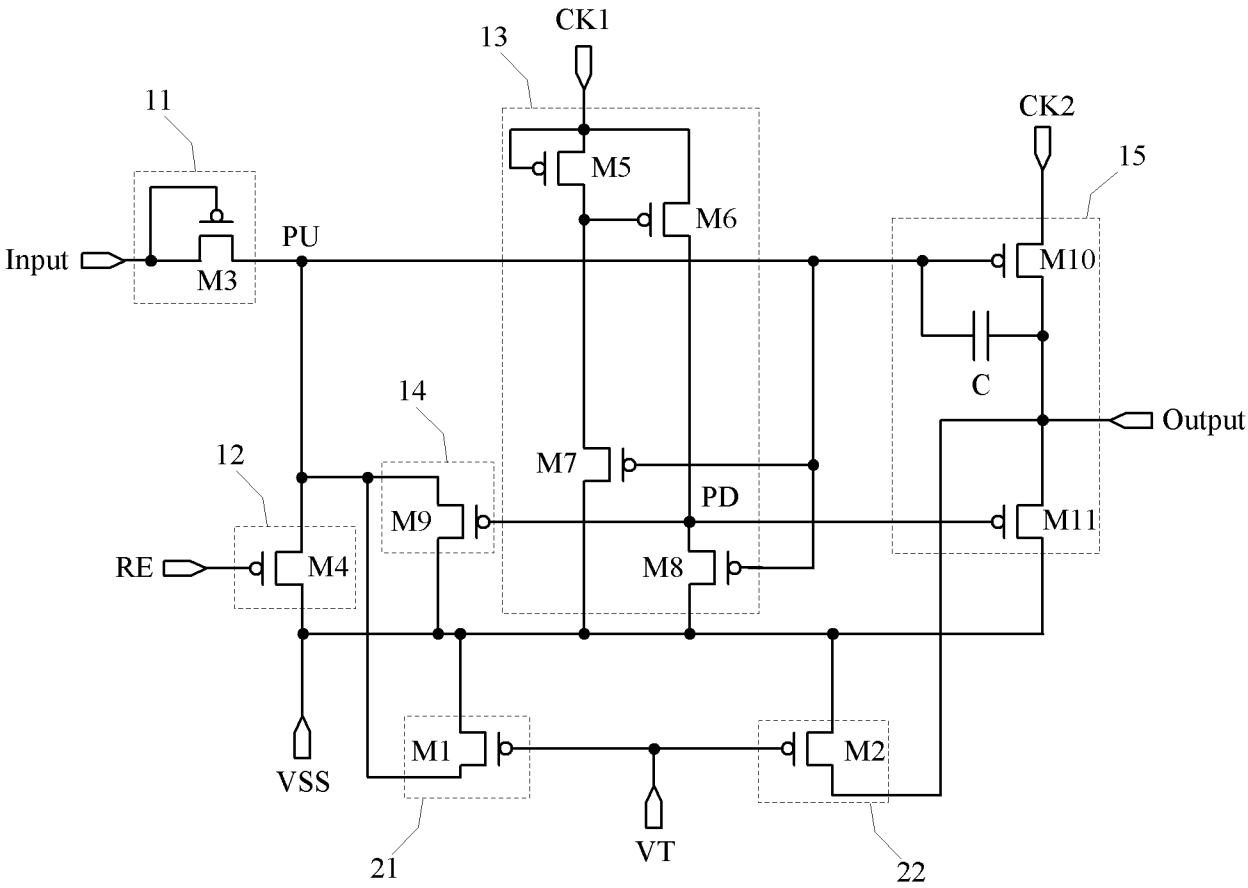

CK1
13
11
CK2
15
M5
M6
Input
PU
M3
M10
C
14
Output
12
M7
PD
M9
M11
RE
M4
M8
M1
M2
VSS
VT
21
22

图 2c

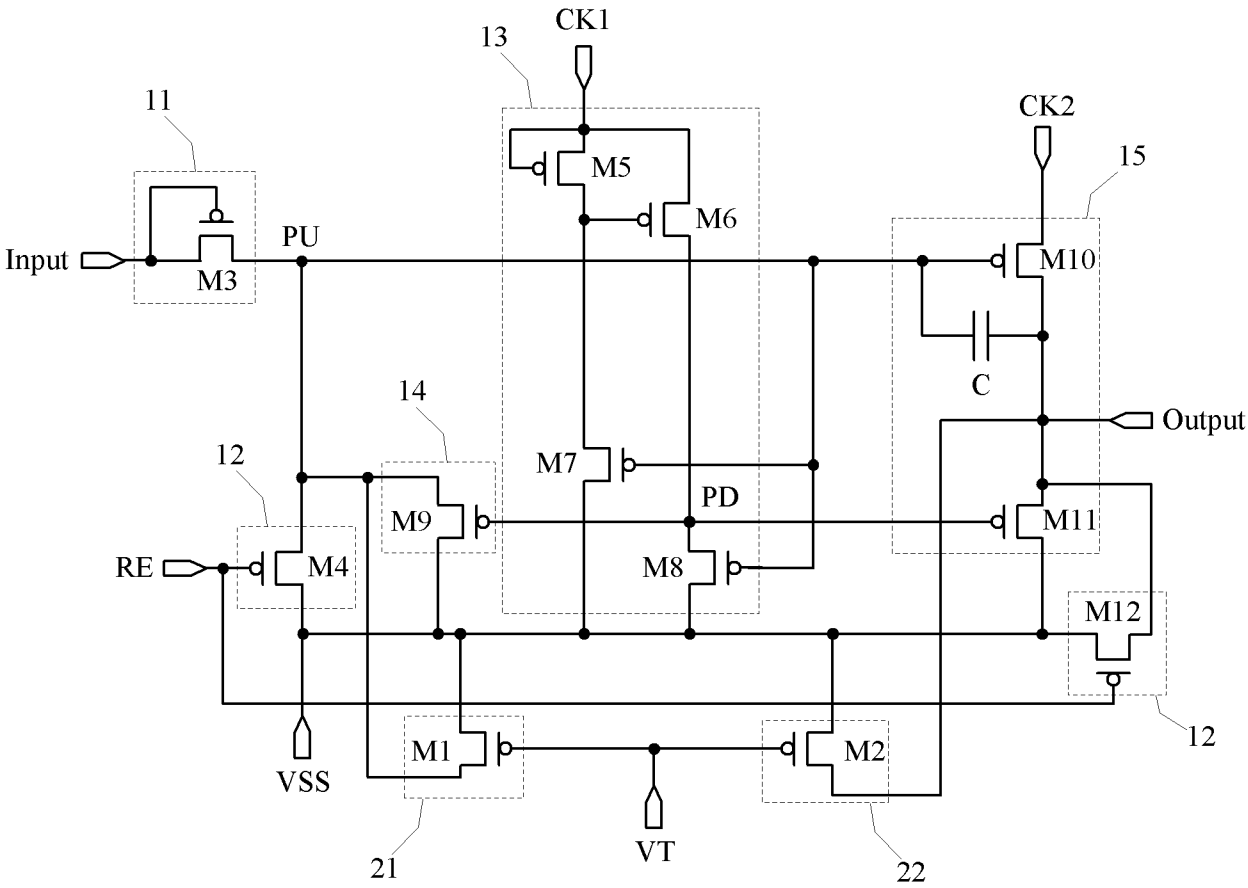

CK1
13
11
CK2
15
M5
M6
Input
PU
M3
M10
C
14
Output
12
M7
PD
M9
M11
RE
M4
M8
M12
12
VSS
M1
M2
21
VT
22

图 2d

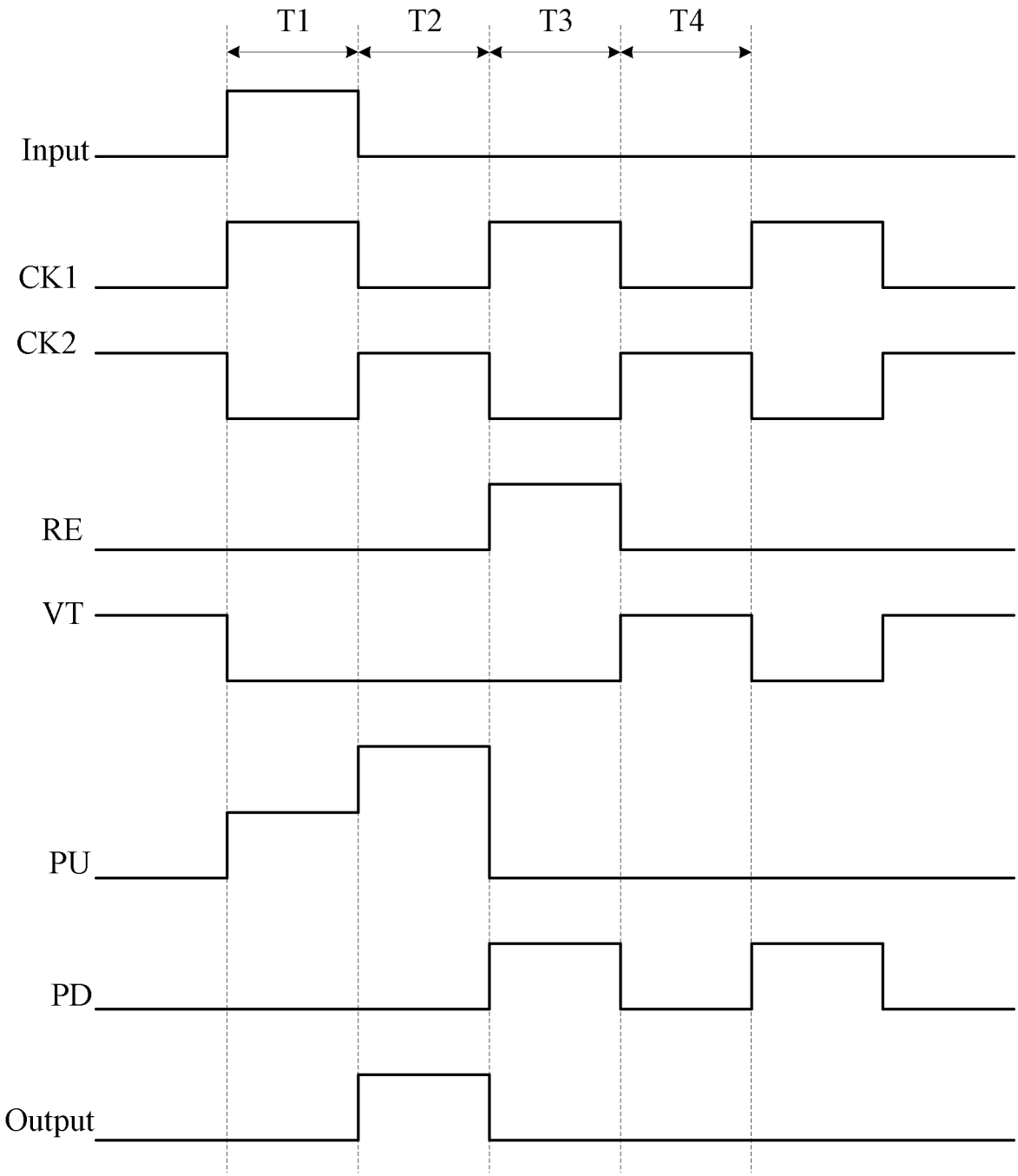


图 3a

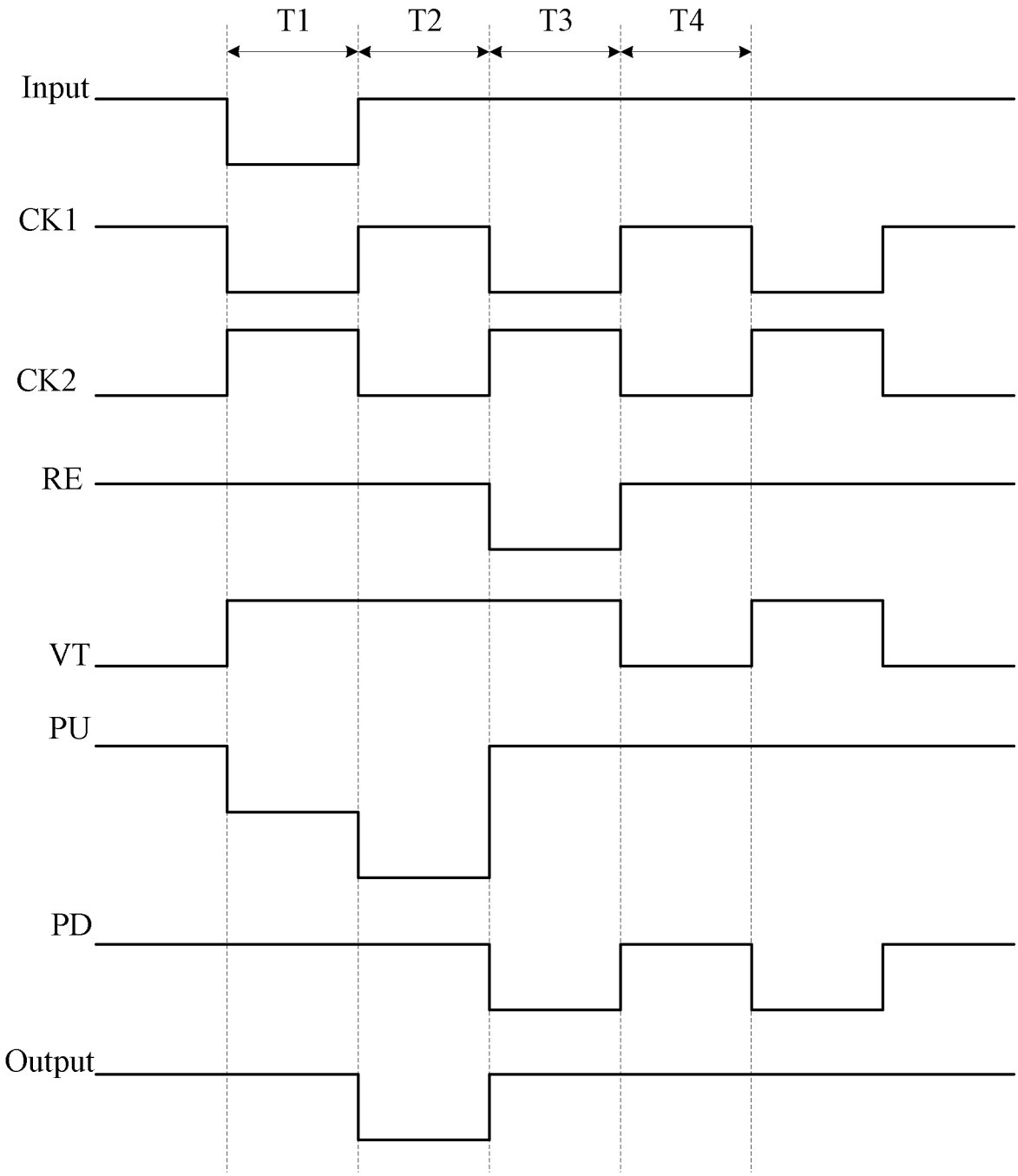


图 3b

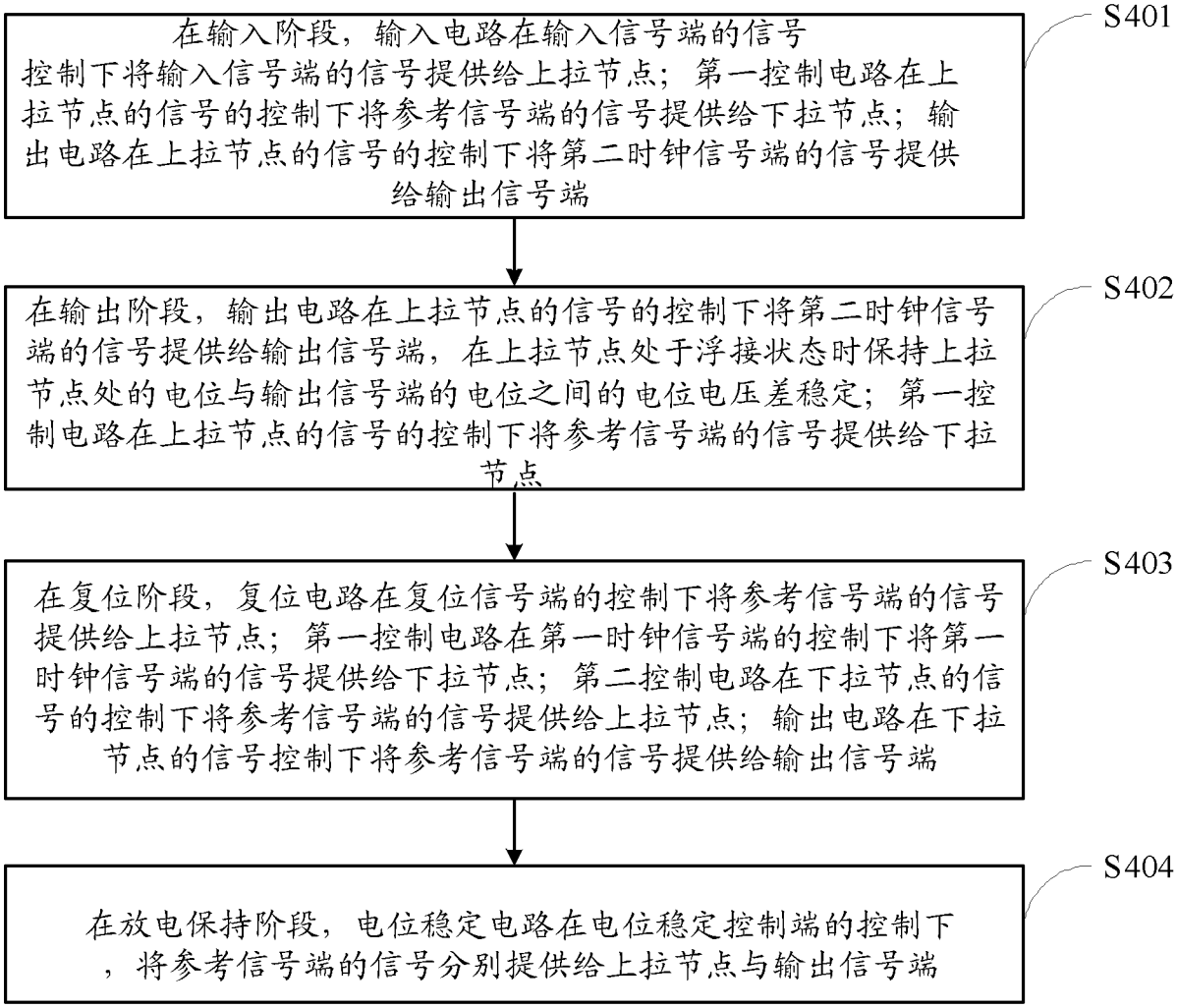

在输入阶段，输入电路在输入信号端的信号控制下将输入信号端的信号提供给上拉节点；第一控制电路在上拉节点的信号的控制下将参考信号端的信号提供给下拉节点；输出电路在上拉节点的信号的控制下将第二时钟信号端的信号提供给输出信号端
S401
在输出阶段，输出电路在上拉节点的信号的控制下将第二时钟信号端的信号提供给输出信号端，在上拉节点处于浮接状态时保持上拉节点处的电位与输出信号端的电位之间的电位电压差稳定；第一控制电路在上拉节点的信号的控制下将参考信号端的信号提供给下拉节点
S402
在复位阶段，复位电路在复位信号端的控制下将参考信号端的信号提供给上拉节点；第一控制电路在第一时钟信号端的控制下将第一时钟信号端的信号提供给下拉节点；第二控制电路在下拉节点的信号的控制下将参考信号端的信号提供给上拉节点；输出电路在下拉节点的信号控制下将参考信号端的信号提供给输出信号端
S403
在放电保持阶段，电位稳定电路在电位稳定控制端的控制下，将参考信号端的信号分别提供给上拉节点与输出信号端
S404

图 4

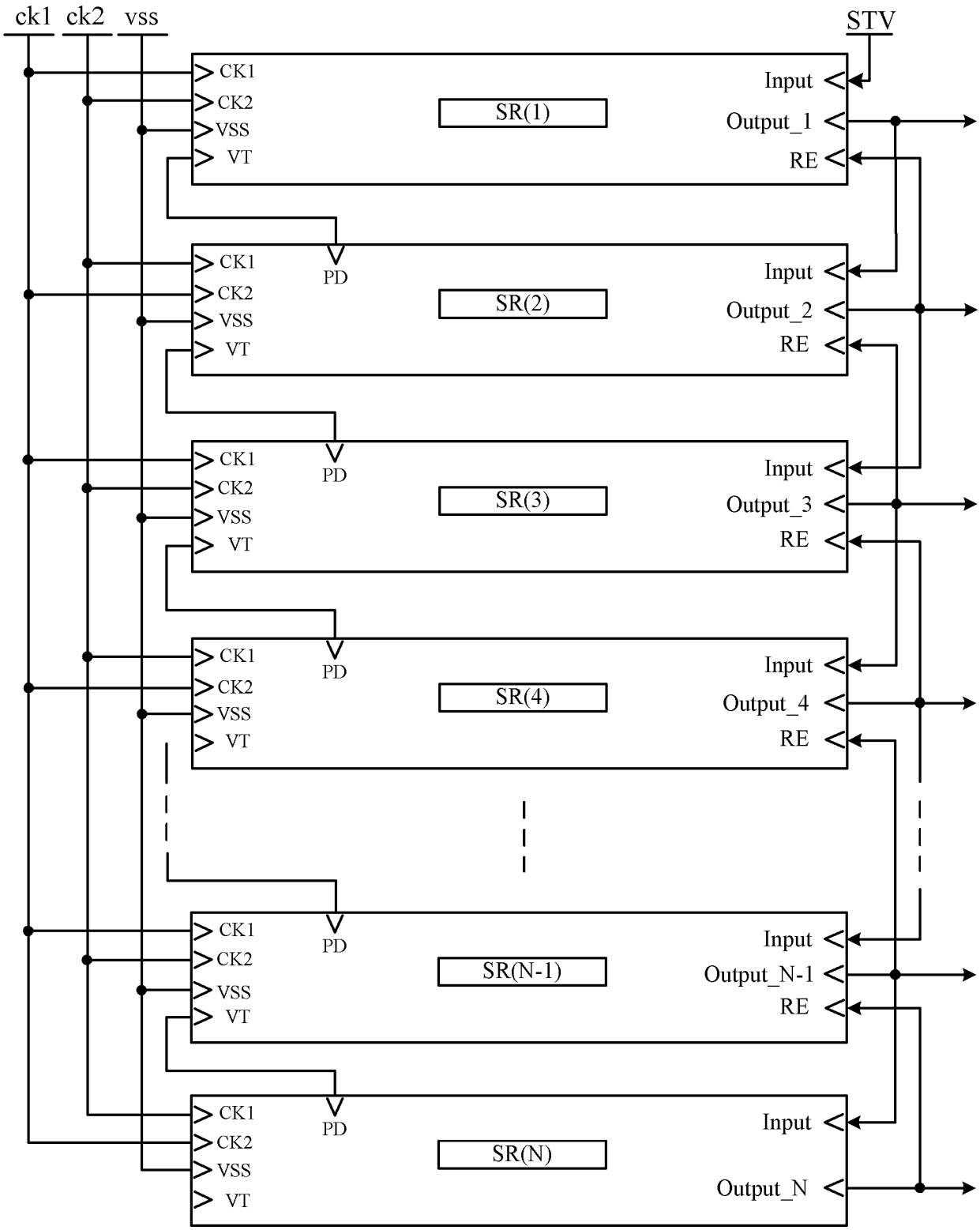

ck1
ck2
vss
STV
CK1
CK2
VSS
VT
PD
SR(1)
SR(2)
SR(3)
SR(4)
SR(N-1)
SR(N)
Input
Output_1
Output_2
Output_3
Output_4
Output_N-1
Output_N
RE

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/078286

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 移位寄存器, 驱动, 栅极, 信号, 输入, 输出, 上拉节点, 电位稳定, 晶体管, shift register, drive, grid, input, output, pull-up node, stable potential, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106910452 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 30 June 2017 (30.06.2017), claims 1-10	1-10
Y	CN 106157912 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 23 November 2016 (23.11.2016), description, paragraphs [0004]-[0017], and figures 1a-2b	1-4, 7-9
Y	CN 101989412 A (HANNSTAR DISPLAY CORPORATION), 23 March 2011 (23.03.5011), description, paragraphs [0007]-[0011], and figures 3-6	1-4, 7-9
A	CN 105702294 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 22 June 2016 (22.06.2016), entire document	1-10
A	CN 205984242 U (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 22 February 2017 (22.02.2017), entire document	1-10
A	CN 106504721 A (BOE TECHNOLOGY GROUP CO., LTD.), 15 March 2017 (15.03.2017), entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 May 2018	12 June 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer BAI, Lushuang Telephone No. 86-(10) 53961390

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/078286

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106910452 A	30 June 2017	None	
CN 106157912 A	23 November 2016	None	
CN 101989412 A	23 March 2011	None	
CN 105702294 A	22 June 2016	WO 2017121144 A1	20 July 2017
CN 205984242 U	22 February 2017	None	
CN 106504721 A	15 March 2017	None	

国际检索报告

国际申请号
PCT/CN2018/078286

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI,WPI,EPODOC: 移位寄存器，驱动，栅极，信号，输入，输出，上拉节点，电位稳定，晶体管，shift register, drive, grid, input, output, pull-up node, stable potential, transistor

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 106910452 A (京东方科技集团股份有限公司 等) 2017年 6月 30日 (2017-06-30) 权利要求1-10	1-10
Y	CN 106157912 A (合肥京东方光电科技有限公司 等) 2016年 11月 23日 (2016-11-23) 说明书第[0004]-[0017]段、附图1a-2b	1-4，7-9
Y	CN 101989412 A (瀚宇彩晶股份有限公司) 2011年 3月 23日 (2011-03-23) 说明书第[0007]-[0011]段、附图3-6	1-4，7-9
A	CN 105702294 A (京东方科技集团股份有限公司 等) 2016年 6月 22日 (2016-06-22) 全文	1-10
A	CN 205984242 U (合肥京东方光电科技有限公司 等) 2017年 2月 22日 (2017-02-22) 全文	1-10
A	CN 106504721 A (京东方科技集团股份有限公司) 2017年 3月 15日 (2017-03-15) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 5月 22日	2018年 6月 12日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	白露霜
传真号 (86-10)62019451	电话号码 86-(10)53961390

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/078286

检索报告引用的专利文件	公布日（年/月/日）	同族专利	公布日（年/月/日）
CN 106910452 A	2017年 6月 30日	无	
CN 106157912 A	2016年 11月 23日	无	
CN 101989412 A	2011年 3月 23日	无	
CN 105702294 A	2016年 6月 22日	WO 2017121144 A1	2017年 7月 20日
CN 205984242 U	2017年 2月 22日	无	
CN 106504721 A	2017年 3月 15日	无	