

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月25日(25.11.2021)



(10) 国際公開番号

WO 2021/234883 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2020/020031

(22) 国際出願日: 2020年5月21日(21.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 吉田 健太郎 (YOSHIDA Kentaro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

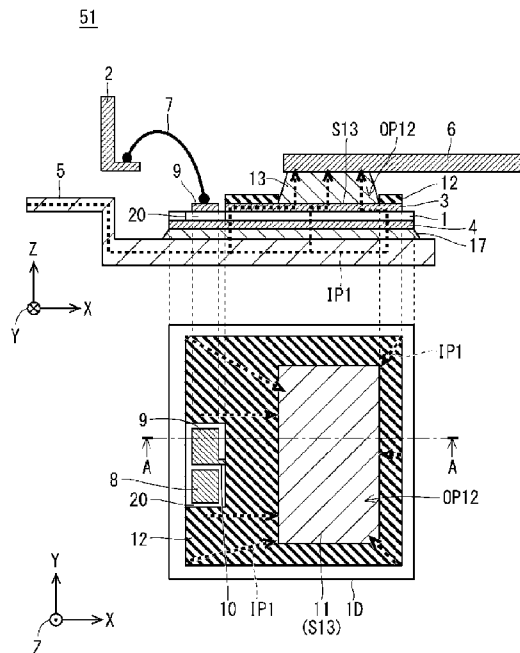
木須 光一郎 (KISU Koichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 吉竹 英俊, 外 (YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The purpose of the present disclosure is to provide a highly reliable structure for a semiconductor device. Furthermore, a semiconductor device (51) of the present disclosure has the following features (1) to (3). Feature (1) is that "the lower surface (S13) of a bonding material (13) on a chip has a shape consistent with the surface shape of a main current wiring connection area (11) in a plan view". Feature (2) is that "an emitter sensing wiring (10) is directly connected to the side surface of the main current wiring connection area (11)". Feature (3) is that "an IGBT chip (1) has an invalid area

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(20) where an IGBT does not function, in an area below an emitter sensing pad (9) and the emitter sensing wiring (10)".

(57) 要約：本開示は、信頼性の高い半導体装置の構造を提供することを目的とする。そして、本開示の半導体装置（51）は、以下の特徴(1)～特徴(3)を有している。特徴(1)は、「チップ上接合材（13）の下面（S13）は主電流配線接続領域（11）の表面形状と平面視して合致する形状を有する」ことである。特徴(2)は、「エミッタセンス配線（10）は、主電流配線接続領域（11）の側面に直接接続される」ことである。特徴(3)は、「IGBTチップ（1）は、エミッタセンスパッド（9）及びエミッタセンス配線（10）の下方の領域において、IGBTが機能しない無効領域（20）を有する」ことである。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、スイッチング素子を内部に有する半導体チップを含む半導体装置に関するものである。

背景技術

[0002] 電力用の半導体装置として、ＩＧＢＴ(Insulated Gate Bipolar Transistor)やＭＯＳＦＥＴ(Metal-Oxide-Semiconductor Field-Effect Transistor)といったスイッチング素子を内部に有する半導体チップを含む半導体装置が一般的である。

[0003] 従来の電力用半導体装置として例えば特許文献１で開示される半導体装置が挙げられる。

先行技術文献

特許文献

[0004] 特許文献１：特開２０１３－４５９９６号公報

発明の概要

発明が解決しようとする課題

[0005] 従来の電力用半導体装置において、スイッチング素子としてＩＧＢＴを用い、ＩＧＢＴチップ内のＩＧＢＴを動作制御する制御電圧となるゲート電圧の基準電位となるエミッタ電位として、エミッタ電極の外周領域より得られる電位を用いていた。

[0006] 一方、エミッタ電極の中央部に設けられる配線接続領域が、外部端子に電氣的に接続されるのが一般的であり、配線接続領域を流れる電流が主電流となる。

[0007] 理想的にはエミッタ電極面内の電位は一定であるが、エミッタ電極は微少な抵抗成分を持つため、ＩＧＢＴに電流が流れると、エミッタ電極の面内の電位に分布が生じる。

[0008] したがって、従来の半導体装置は、エミッタ電極の面内の電位分布に伴い、主電流が増加する傾向がある。特に、主電流として短絡等で大電流が流れるときに、上述した傾向は顕著になるため、ＩＧＢＴの主電流が増加することによりＩＧＢＴチップが熱破壊する恐れがあるという問題点があった。

[0009] 本開示は上記のような問題点を解消するためになされたもので、信頼性の高い半導体装置を提供することを目的とする。

課題を解決するための手段

[0010] 本開示に係る半導体装置の第１の態様は、内部にスイッチング素子を有する半導体チップと、前記半導体チップの表面上に設けられ、前記スイッチング素子の動作時に主電流が流れる表面電極とを備え、前記スイッチング素子は制御電極を有し、前記表面電極の電位を基準電位とした制御電圧を前記制御電極に印加することにより前記スイッチング素子は動作制御され、前記表面電極上に設けられる絶縁膜をさらに備え、前記絶縁膜は開口領域を有し、前記表面電極において前記開口領域内の領域が配線接続領域となり、下面を有し、下面と前記配線接続領域の表面とが接触することにより、前記表面電極に電氣的に接続されるチップ用接合材と、前記半導体チップの表面上に前記表面電極と接触することなく設けられるセンスパッドと、前記半導体チップの表面上に設けられ、前記表面電極と前記センスパッドとを電氣的に接続するセンス配線とをさらに備え、前記センスパッドの電位が前記スイッチング素子の制御用基準電位となり、前記チップ用接合材の下面は平面視して前記配線接続領域の表面形状と合致する形状を有し、前記センス配線は前記配線接続領域に接続され、前記半導体チップは、前記センスパッド及び前記センス配線の下方の領域において、前記スイッチング素子が機能しない無効領域を有する。

[0011] 本開示に係る半導体装置の第２の態様は、内部にスイッチング素子を有する半導体チップと、前記半導体チップの表面上に設けられ、前記スイッチング素子の動作時に主電流が流れる表面電極とを備え、前記スイッチング素子は制御電極を有し、前記表面電極の電位を基準電位とした制御電圧を前記制

御電極に印加することにより、前記スイッチング素子は動作制御され、前記表面電極の表面上のチップ用接続点で接触することにより、前記表面電極と電氣的に接続されるチップ用ワイヤと、前記表面電極のセンス用接続点で接触することにより、前記表面電極と電氣的に接続されるセンス用接続部材と、前記センス用接続点の電位が前記スイッチング素子の制御用基準電位となり、前記表面電極において前記チップ用接続点を含む領域が配線接続領域として規定され、前記表面電極において前記配線接続領域から最も離れた位置が電極遠隔位置として規定され、前記センス用接続点は、前記チップ用接続点及び前記電極遠隔位置のうち、前記チップ用接続点に近い位置に設けられる接続点配置条件を満足する。

発明の効果

[0012] 本開示の半導体装置の第1の態様は、以下の特徴(1)～(3)を有している。

(1) チップ用接合材の下面は平面視して配線接続領域の表面形状と合致する形状を有する。

(2) センス配線は配線接続領域に接続される。

(3) 半導体チップは、センスパッド及びセンス配線の下方の領域において、スイッチング素子が機能しない無効領域を有する。

[0013] 本開示の半導体装置の第1の態様は上記した特徴(1)～特徴(3)を有するため、スイッチング素子の動作時における制御用基準電位は、配線接続領域からの距離に基づく抵抗成分の影響を受けない。

[0014] 一方、第1の態様の表面電極において、配線接続領域から比較的離れた表面電極遠隔領域における電位である遠隔領域基準電位は、配線接続領域からの距離に基づく抵抗成分の影響を受け、制御用基準電位から変動する基準電位変動特性を有している。

[0015] したがって、本開示の半導体装置の第1の態様は、表面電極の主電流として短絡時等に大電流が流れる際、上記基準電位変動特性に伴い、表面電極遠隔領域を流れる電流量を低減化することができる。

[0016] その結果、本開示の半導体装置の第1の態様は、表面電極遠隔領域を流れ

る電流量の低減化によって、主電流の電流量増加を効果的に抑制し、装置の信頼性の向上を図ることができる。

[0017] 本開示の半導体装置の第2の態様は、以下の特徴(4)を有している。

(4) センス用接続点は、チップ用接続点及び上記電極遠隔位置のうち、チップ用接続点に近い位置に設けられる接続点配置条件を満足する。

[0018] 本開示の半導体装置の第2の態様は上記特徴(4)を有しており、センス用接続点をチップ用接続点に近づけて配置することにより、スイッチング素子の動作時における制御用基準電位は、配線接続領域からの距離に基づく抵抗成分の影響をほとんど受けない。

[0019] 一方、第2の態様の表面電極において、配線接続領域から比較的離れた表面電極遠隔領域における電位である遠隔領域基準電位は、配線接続領域からの距離に基づく抵抗成分の影響を受け、制御用基準電位から変動する基準電位変動特性を有している。

[0020] したがって、本開示の半導体装置の第2の態様は、表面電極の主電流として短絡時等に大電流が流れる際、上記基準電位変動特性に伴い、表面電極遠隔領域を流れる電流量を低減化することができる。

[0021] その結果、本開示の半導体装置の第2の態様は、表面電極遠隔領域を流れる電流量の低減化によって、主電流の電流量増加を効果的に抑制し、装置の信頼性の向上を図ることができる。

[0022] 本開示の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0023] [図1]実施の形態1である半導体装置の構造を示す説明図である。

[図2]実施の形態1の半導体装置の構造を示す説明図である。

[図3]実施の形態1の半導体装置の等価回路を示す回路図である。

[図4]実施の形態2である半導体装置の構造を示す説明図である。

[図5]実施の形態3である半導体装置の構造を示す説明図である。

[図6]実施の形態4である半導体装置の構造を示す説明図である。

[図7]実施の形態4の半導体装置の構造を示す説明図である。

[図8]実施の形態4の等価回路を示す回路図である。

[図9]基礎技術となる半導体装置の構造を示す説明図である。

[図10]図9で示した半導体装置の等価回路を示す回路図である。

[図11]比較用の半導体装置の等価回路を示す回路図である。

発明を実施するための形態

[0024] <基本技術>

図9は基礎技術となる半導体装置の構造を示す説明図である。図9の上図が断面図であり、下図が平面図である。下図のG-G断面が上図となる。図9の上図及び下図にそれぞれXYZ直交座標系を記す。図9の下図では最上層として絶縁膜42を示している。

[0025] 図9で示す半導体装置59は、スイッチング素子としてIGBTを用い、IGBTを内部に有する半導体チップであるIGBTチップ31をパッケージングしている。

[0026] 図9に示すように、IGBTチップ31の表面上にエミッタ電極33が設けられ、裏面上にコレクタ電極34が設けられる。裏面電極であるコレクタ電極34は下方のチップ下接合材47を介して主電流配線35に電氣的に接続される。

[0027] 表面電極であるエミッタ電極33の表面上には絶縁膜42が設けられる。絶縁膜42は中央から+X方向にかけて開口領域OP42を有している。開口領域OP42は平面視してY方向の長さがX方向の長さより長い矩形状を呈している。

[0028] 絶縁膜42は、IGBTチップ31の表面上において-X方向側の外周部に開口領域OP43をさらに有している。開口領域OP43は、平面視してY方向の長さがX方向の長さより少し長い矩形状を呈しており、開口領域OP42より小さい形成面積となっている。

[0029] エミッタ電極33において、開口領域OP42内の領域が主電流配線接続領域41となり、開口領域OP43内の領域がエミッタセンス領域となる。

- [0030] 主電流配線接続領域 4 1 の中央の一部領域上にチップ上接合材 4 3 が設けられる。すなわち、チップ上接合材 4 3 の下面 S 4 3 と主電流配線接続領域 4 1 の表面領域の一部とが接触することにより、エミッタ電極 3 とチップ上接合材 4 3 とが電氣的に接続される。なお、チップ上接合材 4 3 の下面 S 4 3 の形成面積は、主電流配線接続領域 4 1 の表面面積よりも小さい。
- [0031] チップ上接合材 4 3 上に主電流配線 3 6 が設けられ、主電流配線 3 6 とチップ上接合材 4 3 とが電氣的に接続される。
- [0032] 図 9 の上図に示すように、開口領域 O P 4 3 内に存在するエミッタ電極 3 のエミッタセンス領域は制御ワイヤ 3 7 を介して制御端子 3 2 に電氣的に接続される。
- [0033] ゲートパッド 3 8 は、図示しない I G B T の制御電極であるゲート電極に電氣的に接続されており、エミッタ電極 3 3 とは接触することなく独立して I G B T チップ 3 1 の表面上に設けられており、表面が露出している。
- [0034] ゲートパッド 3 8 は図示しないゲート用制御ワイヤを介して、図示しないゲート用制御端子に電氣的に接続される。
- [0035] このように、I G B T の制御端子として、エミッタ電極 3 3 用の制御端子 3 2 と、ゲート用制御端子が存在する。
- [0036] 制御ワイヤ 3 7 やゲート用制御ワイヤの構成材料として A l 等が用いられ、制御ワイヤ 3 7 とコレクタ電極 3 4 との電氣的接続を図るべく、開口領域 O P 4 3 内のエミッタセンス領域上に、図示しないエミッタセンスパッドを設けることが一般的である。すなわち、エミッタセンスパッドの表面に制御ワイヤ 3 7 を接合することにより、エミッタセンスパッド及び制御ワイヤ 3 7 を介してエミッタ電極 3 3 のエミッタセンス領域と制御端子 3 2 との電氣的接続を図ることができる。ゲート用制御ワイヤは、制御ワイヤ 3 7 と同様、ゲートパッド 3 8 の表面上に接合される。
- [0037] 主電流配線 3 6 は、チップ上接合材 4 3 、エミッタ電極 3 3 、I G B T チップ 3 1 内の I G B T 、コレクタ電極 3 4 、及びチップ下接合材 4 7 を介して主電流配線 3 5 に電氣的に接続される。

[0038] したがって、半導体装置 59 は、IGBT の動作時に、主電流配線 35 から主電流配線 36 にかけて主電流が流れる。主電流配線 35 及び 36 は、IGBT を流れる主電流を取り出すための外部配線となる。図 9 に示す電流経路 IP9 は主電流における電流の流れを示している。

[0039] このように、ゲートパッド 38、エミッタセンスパッドはモジュールとの接続性を考慮して IGBT チップ 31 の外周部に設けられるのが一般的である。すなわち、エミッタセンスパッドはエミッタ電極 33 の外周領域上に設けられる。

[0040] 図 10 は図 9 で示した半導体装置 59 の等価回路を示す回路図である。図 10 では、エミッタ電極 33 の抵抗成分を考慮している。なお、図 10 において、「39」は上述したエミッタセンスパッドを意味する。また、図 10 ではゲートパッド 38 が「G」で示され、エミッタセンスパッド 39 が「Es」で示されている。

[0041] 実際には、エミッタ電極 33 の抵抗成分は、チップ上接合材 43 と接合している領域を除くすべてのエミッタ電極 33 内に分布しているが、簡易化のために、図 10 では、エミッタ電極抵抗成分 R9 として集中定数で考える。すなわち、IGBT チップ 31 内の IGBT を 2 つに分類し、主電流配線接続領域 41 及びその付近にコレクタ電流 Ic2 を流す IGBT を IGBT62 とし、主電流配線接続領域 11 から離れたエミッタ電極 3 の外周領域にコレクタ電流 Ic1 を流す IGBT を IGBT61 としている。なお、エミッタ電極 3 の外周領域にエミッタセンスパッド 39 が設けられている。

[0042] したがって、図 10 に示すように、チップ下接合材 47 に IGBT61 及び 62 のコレクタが共通に接続され、ゲートパッド 38 に IGBT61 及び 62 のゲートが共通に接続される。

[0043] 一方、チップ上接合材 43 に IGBT62 のエミッタが接続され、エミッタセンスパッド 39 に IGBT61 のエミッタが接続される。IGBT61 及び 62 のエミッタ間にはエミッタ電極抵抗成分 R9 が存在する。

[0044] このエミッタ電極抵抗成分 R9 は、エミッタ電極 33 において、チップ上

接合材 43 の下面からエミッタセンスパッド 39 に至る距離に基づく抵抗成分となる。

[0045] このような構成の半導体装置 59 において、ゲートパッド 38 とエミッタセンスパッド 39 との間にゲート電圧 V_{GE1} を印加し、IGBT チップ 31 内の IGBT を動作状態にする。

[0046] IGBT がオン状態になると、IGBT 61 にコレクタ電流 I_{c1} が流れ、IGBT 62 にコレクタ電流 I_{c2} が流れる。

[0047] IGBT 61, 62 のエミッタ間にエミッタ電極抵抗成分 R_9 が存在するため、エミッタ電極抵抗成分 R_9 による電圧降下によって、IGBT 62 のエミッタ電位は IGBT 61 のエミッタ電位より低くなる。

[0048] その結果、以下の式(1)に示すように、IGBT 62 のゲート電圧 V_{GE2} はゲート電圧 V_{GE1} より高くなる。

[0049] $V_{GE2} = V_{GE1} + R_9 \cdot I_{c1} \dots (1)$

式(1)において、エミッタ電極抵抗成分 R_9 の抵抗値に「 R_9 」をそのまま用い、コレクタ電流 I_{c2} の電流値に「 I_{c2} 」をそのまま用いている。

[0050] このように、半導体装置 59 におけるコレクタ電流 I_{c2} は、エミッタ電極 33 の面内の電位分布に伴い増加する傾向がある。特に、短絡等に IGBT に大電流が流れるときに、この傾向は顕著になるため、コレクタ電流 I_{c2} が増加することにより IGBT チップ 31 が熱破壊する恐れがあった。

[0051] このように、基本技術となる半導体装置 59 は、信頼性が低いという問題点を有している。

[0052] 一方、特許文献 1 に開示された半導体装置は、エミッタ電極 33 に相当するソース電極の抵抗成分に着目して、ソースセンス用のパッドの電位を従来の構造から変更して、スイッチング素子に内蔵された電流検出素子の出力ばらつきの低減化を図っている。しかしながら、特許文献 1 に開示された半導体装置の信頼性の向上として不十分であった。

[0053] 以下で述べる実施の形態は、半導体装置 59 に代表される基本技術の問題点の解消を図ったものである。

[0054] <実施の形態 1>

図 1 及び図 2 は本開示の実施の形態 1 である半導体装置 5 1 の構造を示す説明図である。図 1 の上図が断面図であり、下図が平面図であり、図 2 が平面図である。図 1 の下図の A-A 断面が図 1 の上図となり、図 2 の B-B 断面も図 1 の上図となる。図 1 の上図及び下図並びに図 2 それぞれに X Y Z 直交座標系を記す。

[0055] 図 1 の下図は、最上部を絶縁膜 1 2 とした平面図であり、図 2 は最上部をエミッタ電極 3 とした平面図である。

[0056] 図 1 及び図 2 で示す半導体装置 5 1 は、スイッチング素子として I G B T を用い、I G B T を内部に有する半導体チップである I G B T チップ 1 をパッケージングしている。

[0057] 図 1 及び図 2 に示すように、I G B T チップ 1 の表面上にエミッタ電極 3 が設けられる。エミッタ電極 3 はゲートパッド 8、エミッタセンスパッド 9 及びエミッタセンス配線 1 0 の形成領域を除く、I G B T チップ 1 の表面上の大部分の領域に形成されている。

[0058] I G B T チップ 1 の裏面上にコレクタ電極 4 が設けられる。裏面電極であるコレクタ電極 4 は下方に設けられるチップ下接合材 1 7 を介して主電流配線 5 に電氣的に接続される。主電流配線 5 においてチップ下接合材 1 7 の下方が基台となっている。

[0059] エミッタ電極 3 の表面上には絶縁膜 1 2 が設けられる。絶縁膜 1 2 は中央から + X 方向にかけて開口領域 O P 1 2 を有している。開口領域 O P 1 2 は平面視して Y 方向の長さが X 方向の長さより長い矩形状を呈している。

[0060] 絶縁膜 1 2 は保護膜として機能し、例えば、ポリイミドをエミッタ電極 3 の表面上に塗布することにより形成される。

[0061] エミッタ電極 3 において、開口領域 O P 1 2 内の領域が主電流配線接続領域 1 1 となる。

[0062] 主電流配線接続領域 1 1 の全領域上にチップ上接合材 1 3 が設けられる。チップ上接合材 1 3 の下面 S 1 3 は平面視して主電流配線接続領域 1 1 の表

面形状と合致する形状を有している。チップ上接合材 13 は「チップ用接合材」に対応する。

[0063] チップ上接合材 13 の下面 S 13 と主電流配線接続領域 11 の表面とが接触することにより、チップ上接合材 13 はエミッタ電極 3 と電氣的に接続される。したがって、主電流配線接続領域 11 の表面の全領域上にチップ上接合材 13 が設けられる。

[0064] チップ上接合材 13 上に主電流配線 6 が設けられ、主電流配線 6 とチップ上接合材 13 とが電氣的に接続される。

[0065] 図 2 に示すように、ゲートパッド 8 が IGBT チップ 1 の表面上にエミッタ電極 3 と接触することなく設けられ、エミッタセンスパッド 9 が IGBT チップ 1 の表面上にゲートパッド 8 及びエミッタ電極 3 と接触することなく設けられる。ゲートパッド 8 及びエミッタセンスパッド 9 は、IGBT チップ 1 の -X 方向側の端部領域に設けられる。

[0066] ゲートパッド 8 及びエミッタセンスパッド 9 はそれぞれ、平面視して Y 方向の長さが X 方向の長さより少し長い矩形状を呈している。

[0067] ゲートパッド 8 は、図示しないゲート配線を介して IGBT のゲート電極に電氣的に接続されており、図示しないゲート用制御ワイヤを介して、外部の図示しないゲート用制御端子に電氣的に接続される。IGBT のゲート電極が「スイッチング素子の制御電極」に対応する。

[0068] エミッタセンス配線 10 は、IGBT チップ 1 の表面上に設けられ、エミッタ電極 3 とエミッタセンスパッド 9 とを電氣的に接続するセンス配線として機能する。具体的には、エミッタセンス配線 10 はエミッタセンスパッド 9 から +X 方向に延在して設けられ、図 2 に示すように、主電流配線接続領域 11 の側面となるセンス用接続点 25 でエミッタ電極 3 と接触する。

[0069] エミッタ電極 3 には、センス用接続点 25 以外で、エミッタセンス配線 10 と接触しないように、X 方向に延びた切欠領域を設けられる。

[0070] 図 1 の上図に示すように、エミッタセンスパッド 9 は制御ワイヤ 7 を介して制御端子 2 に電氣的に接続される。具体的には、エミッタセンスパッド 9

の表面に制御ワイヤ7の一方の先端を接合することにより、エミッタセンスパッド9と制御端子2との電氣的接続を図ることができる。

[0071] ゲート用制御ワイヤは、制御ワイヤ7と同様、ゲートパッド8の表面上に接合される。なお、制御ワイヤ7やゲート用制御ワイヤの構成材料としてAl等が用いられる。

[0072] このように、IGBTチップ1内のスイッチング素子であるIGBTの制御端子として、エミッタ電極3用の制御端子2と、ゲート用制御端子とが存在する。

[0073] 主電流配線6は、チップ上接合材13、エミッタ電極3、IGBTチップ1内のIGBT、コレクタ電極4、及びチップ下接合材17を介して主電流配線5に電氣的に接続される。

[0074] したがって、実施の形態1の半導体装置51は、IGBTチップ1内のIGBTの動作時に、主電流配線5から主電流配線6にかけて主電流がコレクタ電流として流れる。主電流配線5及び6は、IGBTを流れる主電流を取り出すための外部配線となる。図1及び図2に示す電流経路IP1は主電流における電流の流れを示している。

[0075] 半導体装置51において、エミッタ電極3、エミッタセンスパッド9、及びエミッタセンス配線10は、IGBTチップ1の表面上に一体的に形成されている。

[0076] 一方、図1及び図2に示すように、IGBTチップ1において、エミッタセンスパッド9及びエミッタセンス配線10の下方の無効領域20にはIGBTの構成要素が形成されていない。この無効領域20はスイッチング素子であるIGBTが機能しない領域となっている。なお、無効領域20として素子分離用のフィールド絶縁膜を形成しても良い。

[0077] また、IGBTチップ1におけるゲートパッド8の下方の領域も、IGBTが機能しない無効領域20となっている。

[0078] 図3は図1及び図2で示した半導体装置51の等価回路を示す回路図である。図3では、エミッタ電極3の抵抗成分を考慮している。また、図3では

ゲートパッド8が「G」で示され、エミッタセンスパッド9が「Es」で示されている。

[0079] 実際には、エミッタ電極3の抵抗成分は、チップ上接合材13の下面S13と接合している主電流配線接続領域11を除くすべてのエミッタ電極3内に分布しているが、簡易化のために、図3では、エミッタ電極抵抗成分R1として集中定数で考える。すなわち、IGBTチップ1のIGBTを2つに分類し、主電流配線接続領域11及びその付近にコレクタ電流 I_{c2} を流すIGBTをIGBT62とし、主電流配線接続領域11から離れたエミッタ電極3の外周領域にコレクタ電流 I_{c1} を流すIGBTをIGBT61としている。この外周領域が表面電極遠隔領域となる。

[0080] したがって、図3に示すように、チップ下接合材17にIGBT61及び62のコレクタが共通に接続され、示すゲートパッド8にIGBT61及び62の制御電極であるゲートが共通に接続される。

[0081] 一方、主電流配線接続領域11にIGBT62のエミッタ及びエミッタセンスパッド9が電氣的に接続される。この際、IGBT61のエミッタとIGBT61のエミッタとの間にエミッタ電極抵抗成分R1が存在する。

[0082] このエミッタ電極抵抗成分R1は、エミッタ電極3において、チップ上接合材13の下面S13、すなわち、主電流配線接続領域11からエミッタ電極3の表面電極遠隔領域に至る距離に基づく抵抗成分となる。したがって、IGBT61のエミッタはエミッタ電極抵抗成分R1を介して主電流配線接続領域11に接続されることになる。

[0083] このような等価回路を有する半導体装置51において、ゲートパッド8とエミッタセンスパッド9との間にゲート電圧 V_{GE2} を印加し、IGBTチップ1内のIGBTを動作状態にする。ここで、エミッタセンスパッド9より得られる電位が制御用基準電位となる。

[0084] すなわち、IGBTは制御電極であるゲートを有し、エミッタ電極3の電位を基準電位とした制御電圧であるゲート電圧 V_{GE2} を、IGBTのゲートに印加することにより、IGBTは動作制御される。このように、半導体装置

51ではゲート電圧 V_{GE2} がIGBT用の制御電圧となる。

[0085] IGBTチップ1内のIGBTがオン状態になると、IGBT61にコレクタ電流 I_{c1} が流れ、IGBT62にコレクタ電流 I_{c2} が流れる。コレクタ電流 I_{c1} とコレクタ電流 I_{c2} との和がIGBTの主電流となる。

[0086] 一方、IGBTチップ1は、エミッタセンスパッド9及びエミッタセンス配線10の下方に無効領域20を有しているため、IGBT62のエミッタ電位は主電流の影響を受けることはない。

[0087] エミッタセンスパッド9及びエミッタセンス配線10を無効領域20上に形成することにより、エミッタセンス配線10には主電流は流れず、主にIGBTのゲートの充放電電流が流れることとなる。ゲートの充放電電流は主電流と比べると2, 3桁小さい電流量となるため、エミッタセンス配線10を流れる電流による電圧降下は無視できるレベルとなる結果、エミッタセンスパッド9の電位である、制御用基準電位は主電流の影響を受けることはない。

[0088] IGBT61, 62のエミッタ間にエミッタ電極抵抗成分 R_1 が存在するため、IGBT61及び62間にエミッタ電極抵抗成分 R_1 による電圧降下が発生する。半導体装置51は、上記電圧降下によって、IGBT61のエミッタ電位はIGBT62のエミッタ電位より相対的に高くなる基準電位上昇特性を有する。この基準電位上昇特性が「基準電位変動特性」に対応する。

[0089] すなわち、主電流配線接続領域11から比較的離れた表面電極遠隔領域における遠隔領域基準電位は、主電流配線接続領域11からの距離に基づくエミッタ電極抵抗成分 R_1 の影響を受け、制御用基準電位より高くなる基準電位上昇特性を有する。

[0090] その結果、以下の式(2)に示すように、IGBT61のゲート電圧 V_{GE1} はゲート電圧 V_{GE2} より低くなる。

[0091] $V_{GE1} = V_{GE2} - R_1 \cdot I_{c1} \dots (2)$

式(2)において、エミッタ電極抵抗成分 R_1 の抵抗値に「 R_1 」をそのまま

用い、コレクタ電流 I_{c1} の電流値に「 I_{c1} 」をそのまま用いている。

[0092] 式(2)に示すように、基準電位上昇特性によって、IGBT 61のエミッタ電位は $(R_1 \cdot I_{c1})$ 分上昇するため、IGBT 61のゲート電圧 V_{GE1} は、ゲート電圧 V_{GE2} より低下する。その結果、IGBT 61を流れるコレクタ電流 I_{c1} を低減化することができる。

[0093] このように、IGBT 61は、エミッタ電極 3の面内の電位分布に基づく基準電位上昇特性を有している。特に、短絡等でIGBTに大電流が流れるときに、この基準電位上昇特性は顕著になる。

[0094] したがって、短絡等にIGBTに大電流が流れようとする、上記基準電位上昇特性によりIGBT 61を流れるコレクタ電流 I_{c1} が減少するため、IGBTの主電流増大を効果的に抑制することができる。

[0095] このように、半導体装置 51は、短絡等の大電流通電時に、エミッタ電極抵抗成分 R_1 によって、IGBT 61のゲート電圧 V_{GE1} に負帰還をかけることで、主電流の増大を効果的に抑制して、装置の信頼性を向上させることができる。

[0096] すなわち、半導体装置 51は、短絡等の大電流が流れてコレクタ電流 I_{c2} が増加しても、コレクタ電流 I_{c1} が減少するように電流制御して、コレクタ電流の全体量である $(I_{c1} + I_{c2})$ を抑制することにより、装置の信頼性を向上させることができる。

[0097] そして、絶縁膜 12の開口領域 OP_{12} の寸法を設計することで、エミッタ電極抵抗成分 R_1 の値を任意に調整することができる。例えば、開口領域 OP_{12} の寸法を小さくすることにより、主電流配線接続領域 11の表面面積を小さくすれば、エミッタ電極抵抗成分 R_1 が大きくなり、上記基準電位上昇特性を高めることができる。

[0098] ただし、エミッタ電極抵抗成分 R_1 は微小ではあるが電力損失が発生するため、実際の半導体装置に適用する際には、コレクタ電流 I_{c1} の電流量減少傾向の度合と電力損失増とのトレードオフを考慮して、開口領域 OP_{12} の寸法を適切に設計する必要がある。

[0099] 一方、主電流配線接続領域 11 の表面の一部領域のみで、エミッタ電極 3 とチップ上接合材 13 とが電氣的に接続されている場合、主電流配線接続領域 11 の表面領域のうち、チップ上接合材 13 と接触している面積によって、エミッタ電極抵抗成分 R1 の大きさが変化するため、最適な設計が難しくなる。

[0100] そこで、実施の形態 1 の半導体装置 51 は、チップ上接合材 13 の下面 S13 の表面形状を主電流配線接続領域 11 の表面形状に合致させ、主電流配線接続領域 11 の表面の全領域とチップ上接合材 13 の下面 S13 とを接合している。

[0101] すなわち、半導体装置 51 は、絶縁膜 12 の開口領域 OP12 内に存在する主電流配線接続領域 11 の表面の全領域と、チップ上接合材 13 の下面 S13 とを接触させて、エミッタ電極 3、チップ上接合材 13 間の電氣的接続を図る全面接合構造を実現している。

[0102] このため、実施の形態 1 の半導体装置 51 は、開口領域 OP12 の寸法によって正確にエミッタ電極抵抗成分 R1 を設定することができる。

[0103] 上述した全面接合構造を実現すべく、半導体装置 51 の組立の際には確実に絶縁膜 12 の開口領域 OP12 内にチップ上接合材 13 を隙間無く設けることが望ましい。このため、実施の形態 1 では、下面 S13 の下面 S13 を主電流配線接続領域 11 の表面と表面形状を合致させている。

[0104] 例えば、チップ上接合材 13 として半田を用いる場合、絶縁膜 12 の開口領域 OP12 内をメッキして、開口領域 OP12 内にチップ上接合材 13 を隙間無く埋め込むことにより、主電流配線接続領域 11 の表面全体と接触する下面 S13 を有するチップ上接合材 13 を得ることができる。

[0105] このように、実施の形態 1 の半導体装置 51 は、以下の特徴(1)～特徴(3)を有している。

(1) チップ上接合材 13 の下面 S13 は主電流配線接続領域 11 の表面形状と平面視して合致する形状を有する。

(2) エミッタセンス配線 10 は、主電流配線接続領域 11 の側面に直接接

続される。

(3) IGBTチップ1は、エミッタセンスパッド9及びエミッタセンス配線10の下方の領域において、IGBTが機能しない無効領域20を有する。

[0106] なお、上述した特徴(1)～特徴(3)に関し、チップ上接合材13が「チップ用接合材」に対応し、主電流配線接続領域11が「配線接続領域」に対応し、エミッタセンス配線10が「センス配線」に対応し、IGBTチップ1が「半導体チップ」に対応し、エミッタセンスパッド9は「センスパッド」に対応し、IGBTが「スイッチング素子」に対応する。

[0107] 実施の形態1の半導体装置51は、上記した特徴(1)～特徴(3)を有するため、IGBTの動作時における、エミッタセンスパッド9より得られる制御用基準電位は、主電流配線接続領域11からの距離に基づくエミッタ電極抵抗成分R1の影響を受けない。

[0108] したがって、IGBTチップ1内のIGBTにおける本来のゲート、エミッタ間電圧の電圧値を制御電圧値V_{GO}とすると、ゲート電圧V_{GE2}は制御電圧値V_{GO}に等しくなる。

[0109] 一方、半導体装置51のエミッタ電極3において、IGBT61のエミッタ電位は、主電流配線接続領域11からの距離に基づくエミッタ電極抵抗成分R1の影響を受け、IGBT62のエミッタ電位より高くなる基準電位上昇特性を有している。

[0110] したがって、IGBT61のゲート電圧V_{GE1}は上述した式(2)に示すように、ゲート電圧V_{GE2}より低下する。

[0111] ここで、IGBT61のエミッタ電位は、主電流配線接続領域11から比較的離れた表面電極遠隔領域における「遠隔領域基準電位」に対応し、IGBT62のエミッタ電位は、エミッタセンスパッド9より得られる制御用基準電位に対応し、「基準電位上昇特性」は「基準電位変動特性」に対応する。

[0112] したがって、実施の形態1の半導体装置51は、短絡時等にエミッタ電極

3を流れる主電流として大電流が流れる際、上記基準電位上昇特性に伴い、表面電極遠隔領域を流れるコレクタ電流 I_{c1} の電流量を低減化することができる。

[0113] その結果、実施の形態1の半導体装置51は、コレクタ電流 I_{c1} の低減化によって、IGBTの主電流の電流量増加を効果的に抑制し、装置の信頼性の向上を図ることができる。

[0114] なお、実施の形態1の上述した効果に関し、エミッタ電極3が「表面電極」に対応する。また、IGBTチップ1内のIGBTをIGBT61及び62に分類した場合、ゲート電圧 V_{GE2} がIGBT62用の「制御電圧」に対応し、ゲート電圧 V_{GE1} がIGBT61用の「制御電圧」に対応する。

[0115] <実施の形態2>

図4は本開示の実施の形態2である半導体装置52の構造を示す説明図である。図4の上図が断面図であり、下図が平面図である。図4の下図のC-C断面が図4の上図となり、図4の上図及び下図それぞれにXYZ直交座標系を記す。

[0116] 図4で示す半導体装置52は、スイッチング素子としてIGBTを用い、IGBTを内部に有する半導体チップであるIGBTチップ1Bをパッケージングしている。

[0117] 図4に示すように、IGBTチップ1Bの表面上にエミッタ電極3が設けられ、裏面上にコレクタ電極4が設けられる。裏面電極となるコレクタ電極4はチップ下接合材17を介して主電流配線5に電氣的に接続される。

[0118] 複数の主電流ワイヤ14それぞれの一端は各々エミッタ電極3の表面上の複数のチップ用接続点23Bのうち対応するチップ用接続点23Bで接触することにより、エミッタ電極3と電氣的に接続される。複数のチップ用接続点23BはX方向中央付近にY方向に沿って離散的に設けられる。このように、複数の主電流ワイヤ14のそれぞれ一端はエミッタ電極3の表面上で接合される。複数の主電流ワイヤ14の他端は主電流配線6に表面上に接合される。複数の主電流ワイヤ14は「複数のチップ用ワイヤ」に対応する。

- [0119] 制御ワイヤ7 Bの一端はエミッタ電極3の表面上のセンス用接続点2 5 Bで接触することにより、エミッタ電極3と電氣的に接続される。すなわち、制御ワイヤ7 Bの一端はエミッタ電極3の表面上で接合される。
- [0120] また、図4の下図に示すように、センス用接続点2 5 Bは、複数のチップ用接続点2 3 Bのうち、+Y方向側から3, 4番目のチップ用接続点2 3 Bの近くに設けられる。なお、制御ワイヤ7 Bと複数の主電流ワイヤ1 4とは互いに接触することなく電氣的に独立して設けられる。制御ワイヤ7 Bの他端は制御端子2に接合される。
- [0121] ここで、エミッタ電極3において複数のチップ用接続点2 3 Bを含む領域が主電流配線接続領域1 1 Bとして規定され、エミッタ電極3において主電流配線接続領域1 1 Bから最も離れた位置が電極遠隔位置として規定される。図4で示すエミッタ電極3では-X側の外周面が電極遠隔位置となる。なお、エミッタ電極3は「表面電極」に相当し、主電流配線接続領域1 1 Bが「配線接続領域」に相当する。
- [0122] センス用接続点2 5 Bは、チップ用接続点2 3 B及び上記電極遠隔位置のうち、チップ用接続点2 3 Bに近い位置に設けられる接続点配置条件を満足している。
- [0123] センス用接続点2 5 Bは、複数の主電流ワイヤ1 4のうち少なくとも一つの主電流ワイヤ1 4との関係において、上記接続点配置条件を満足すれば良い。また、センス用接続点2 5 Bより得られる電位が制御用基準電位となる。
- [0124] 図4に示すように、ゲートパッド8がI G B Tチップ1 Bの表面上にエミッタ電極3と接触することなく設けられる。ゲートパッド8は、I G B Tチップ1 Bの-X方向側の端部領域に設けられる。ゲートパッド8は平面視してY方向の長さがX方向の長さより少し長い矩形状を呈している。また、I G B Tチップ1 Bにおけるゲートパッド8の下方の領域は、I G B Tが機能しない無効領域となっている。
- [0125] ゲートパッド8は、図示しないゲート配線を介してI G B Tのゲート電極に電氣的に接続されており、図示しないゲート用制御ワイヤを介して、図示

しないゲート用制御端子に電氣的に接続される。

[0126] ゲート用制御ワイヤは、ゲートパッド8の表面上に接合される。なお、制御ワイヤ7B、主電流ワイヤ14及びゲート用制御ワイヤの構成材料としてA1等が用いられる。

[0127] このように、実施の形態2は、実施の形態1と同様、IGBTチップ1B内のスイッチング素子であるIGBTの制御端子として、エミッタ電極3用の制御端子2と、ゲート用制御端子を有している。

[0128] 主電流配線6は、複数の主電流ワイヤ14、エミッタ電極3、IGBTチップ1B内のIGBT、コレクタ電極4、及びチップ下接合材17を介して主電流配線5に電氣的に接続される。

[0129] したがって、実施の形態2の半導体装置52は、IGBTチップ1B内のIGBTの動作時に、主電流配線5から主電流配線6にかけて主電流がコレクタ電流として流れる。主電流配線5及び6は、IGBTを流れる主電流を取り出すための外部配線となる。図4に示す電流経路IP2は主電流における電流の流れを示している。

[0130] 実施の形態2の半導体装置52は、実施の形態1と同様、図3で示す等価回路で現れる。ただし、図3で示す主電流配線接続領域11が主電流配線接続領域11Bに置き換わり、エミッタセンスパッド9がセンス用接続点25Bに置き換わっている。

[0131] すなわち、IGBTチップ1B内のIGBTに関し、主電流配線接続領域11B及びその付近にコレクタ電流Ic2を流すIGBTをIGBT62とし、主電流配線接続領域11Bから離れたエミッタ電極3の外周領域にコレクタ電流Ic1を流すIGBTをIGBT61としている。この外周領域が表面電極遠隔領域となる。

[0132] なお、半導体装置52の等価回路を図3で示す回路とすべく、センス用接続点25Bを複数のチップ用接続点23Bのうちのいずれかに近接配置することが望ましい。すなわち、センス用接続点25Bと主電流配線接続領域11Bとの間の抵抗成分が無視できるレベルに、センス用接続点25Bを複数

のチップ用接続点 2 3 B のいずれかに近接配置することが望ましい。

[0133] したがって、実施の形態 2 の半導体装置 5 2 は、半導体装置 5 1 と同様、短絡等の大電流通電時に、I G B T 6 1 の基準電位上昇特性により、I G B T 6 1 のゲート電圧 V_{GE1} に負帰還をかけることで、主電流の増大を効果的に抑制して、装置の信頼性を向上させることができる。

[0134] このように、実施の形態 2 の半導体装置 5 2 は、以下の特徴 (4) を有している。

(4) 制御ワイヤ 7 B のセンス用接続点 2 5 B は、エミッタ電極 3 におけるチップ用接続点 2 3 B 及び電極遠隔位置のうち、チップ用接続点 2 3 B に近い位置に設けられる接続点配置条件を満足する。

[0135] なお、上述した特徴 (4) に関し、制御ワイヤ 7 B が「センス用接続部材」あるいは「センス用ワイヤ」に対応し、エミッタ電極 3 が「表面電極」に対応する。

[0136] 実施の形態 2 の半導体装置 5 2 は、上記した特徴 (4) を有している。したがって、半導体装置 5 2 は、センス用接続点 2 5 B を複数のチップ用接続点 2 3 B のうちの接続点に近づけて配置することにより、I G B T の動作時において、センス用接続点 2 5 B より得られる制御用基準電位は、主電流配線接続領域 1 1 B からの距離に基づくエミッタ電極抵抗成分 R_1 の影響をほとんど受けない。

[0137] したがって、I G B T チップ 1 B 内の I G B T における本来のゲート、エミッタ間電圧の電圧値を制御電圧値 V_{G0} とすると、ゲート電圧 V_{GE2} は制御電圧値 V_{G0} に等しくなる。

[0138] 一方、半導体装置 5 2 のエミッタ電極 3 において、I G B T 6 1 のエミッタ電位は、主電流配線接続領域 1 1 B からの距離に基づくエミッタ電極抵抗成分 R_1 の影響を受け、I G B T 6 2 のエミッタ電位より高くなる基準電位上昇特性を有している。

[0139] したがって、I G B T 6 1 のゲート電圧 V_{GE1} は上述した式 (2) に示すように、ゲート電圧 V_{GE2} より低下する。

[0140] ここで、 I_{GBT61} のエミッタ電位は、ワイヤ接続領域から比較的離れた表面電極遠隔領域における「遠隔領域基準電位」に対応する。

[0141] したがって、実施の形態2の半導体装置52は、エミッタ電極3を流れる主電流として短絡時等に大電流が流れる際、 I_{GBT61} の上記基準電位上昇特性に伴い、表面電極遠隔領域を流れるコレクタ電流 I_{c1} の電流量を低減化することができる。

[0142] その結果、実施の形態2の半導体装置52は、コレクタ電流 I_{c1} の低減化によって、 I_{GBT} の主電流の電流量増加を効果的に抑制し、装置の信頼性の向上を図ることができる。

[0143] さらに、実施の形態2の半導体装置52は、制御ワイヤ7Bによって、比較的簡単にエミッタ電極3のセンス用接続点25Bと制御端子2との電氣的接続を図ることができる。

[0144] 加えて、実施の形態2の半導体装置52は、複数の主電流ワイヤ14によってエミッタ電極3との電氣的接続を図ることにより比較的大きな主電流を外部に取り出すことができる。

[0145] なお、実施の形態2の上述した効果に関し、エミッタ電極3が「表面電極」に対応する。また、 I_{GBT} チップ1内の I_{GBT} を I_{GBT61} 及び62に分類した場合、ゲート電圧 V_{GE2} が I_{GBT62} 用の「制御電圧」に対応し、ゲート電圧 V_{GE1} が I_{GBT61} 用の「制御電圧」に対応する。さらに、制御ワイヤ7Bが「センス用接合部材」あるいは「センス用ワイヤ」に対応し、主電流ワイヤ14が「チップ用ワイヤ」に対応する。

[0146] 制御ワイヤ7Bのセンス用接続点25Bは、上述した接続点配置条件を満足することにより、上記効果を発揮できる。

[0147] しかし、実施の形態2の半導体装置52が上記効果を発揮する際、センス用接続点25Bは、複数のチップ用接続点23Bのいずれかに可能な限り近づけることが望ましい。なぜなら、エミッタ電極3のエミッタ電極抵抗成分 R_1 を大きくし、主電流の電流量の抑制効果を高めることができるからである。

[0148] さらに、センス用接続点 25B は、複数のチップ用接続点 23B のうち、エミッタ電極 3 の中央に存在する接続点に近づけた方が望ましい。

[0149] なぜなら、エミッタ電極 3 上において、センス用接続点 25B と、Y 方向の両端に存在するチップ用接続点 23B それぞれとの間の電位差を最小限に抑えることができるからである。

[0150] <実施の形態 3>

図 5 は本開示の実施の形態 3 である半導体装置 53 の構造を示す説明図である。図 5 の上図が断面図であり、下図が平面図である。図 5 の下図の D-D 断面が図 5 の上図となり、図 5 の上図及び下図それぞれに XYZ 直交座標系を記す。

[0151] 図 5 で示す半導体装置 53 は、スイッチング素子として IGBT を用い、IGBT を内部に有する半導体チップである IGBT チップ 1C をパッケージングしている。以下、図 4 で示した半導体装置 52 と同じ箇所は同一符号を付して説明を適宜省略し、半導体装置 53 の特徴箇所を中心に説明する。

[0152] 図 5 に示すように、ゲートパッド 8 が IGBT チップ 1C の表面上にエミッタ電極 3 と接触することなく設けられ、エミッタセンスパッド 9 が IGBT チップ 1C の表面上にゲートパッド 8 及びエミッタ電極 3 と接触することなく設けられる。ゲートパッド 8 及びエミッタセンスパッド 9 は、IGBT チップ 1C の -X 方向側の端部領域に設けられる。

[0153] ゲートパッド 8 及びエミッタセンスパッド 9 はそれぞれ平面視して Y 方向の長さが X 方向の長さより少し長い矩形状を呈している。

[0154] ゲートパッド 8 は、図示しないゲート配線を介して IGBT のゲート電極に電氣的に接続されており、図示しないゲート用制御ワイヤを介して、図示しないゲート用制御端子に電氣的に接続される。

[0155] エミッタセンス配線 10 は、IGBT チップ 1C の表面上に設けられ、エミッタ電極 3 とエミッタセンスパッド 9 とを電氣的に接続するセンス配線となる。具体的には、エミッタセンス配線 10 はエミッタセンスパッド 9 から +X 方向に延在して設けられ、主電流配線接続領域 11 の側面となるセンス

用接続点 25C でエミッタ電極 3 と直接接触する。

[0156] エミッタ電極 3 には、センス用接続点 25C 以外で、エミッタセンス配線 10 と接触しないように、X 方向に延びた切欠領域が設けられる。

[0157] センス用接続点 25C は、エミッタ電極 3 におけるチップ用接続点 23B 及び電極遠隔位置のうち、チップ用接続点 23B に近い位置に設けられる接続点配置条件を満足している。

[0158] センス用接続点 25C は、複数の主電流ワイヤ 14 のうち少なくとも一つの主電流ワイヤ 14 との関係において、上記接続点配置条件を満足すれば良い。

[0159] 図 5 の下図に示すように、センス用接続点 25C は、複数のチップ用接続点 23B のうち、+Y 方向側から 5 番目のチップ用接続点 23B の近くに設けられ、上記接続点配置条件を満足する。

[0160] 図 5 の上図に示すように、エミッタセンスパッド 9 は制御ワイヤ 7 を介して制御端子 2 に電氣的に接続される。具体的には、エミッタセンスパッド 9 の表面に制御ワイヤ 7 の先端を接合することにより、エミッタセンスパッド 9 と制御端子 2 との電氣的接続を図ることができる。

[0161] なお、制御ワイヤ 7、主電流ワイヤ 14、及びゲート用制御ワイヤの構成材料として A1 等が用いられる。

[0162] さらに、IGBT チップ 1C において、エミッタセンスパッド 9 及びエミッタセンス配線 10 の下方の無効領域 20C には IGBT の構成要素が形成されていない。この無効領域 20C はスイッチング素子である IGBT が機能しない領域となっている。

[0163] さらに、IGBT チップ 1C 内において、ゲートパッド 8 の下方の領域も、IGBT が機能しない無効領域 20C となっている。

[0164] このように、実施の形態 3 は、実施の形態 1 及び実施の形態 2 と同様、IGBT チップ 1C 内のスイッチング素子である IGBT の制御端子として、エミッタ電極 3 用の制御端子 2 と、ゲート用制御端子を有している。

[0165] 主電流配線 6 は、複数の主電流ワイヤ 14、エミッタ電極 3、IGBT チ

チップ1C内のIGBT、コレクタ電極4、及びチップ下接合材17を介して主電流配線5に電氣的に接続される。

[0166] したがって、実施の形態3の半導体装置53は、IGBTチップ1C内のIGBTの動作時に、主電流配線5から主電流配線6にかけて主電流がコレクタ電流として流れる。主電流配線5及び6は、IGBTを流れる主電流を取り出すための外部配線となる。図5に示す電流経路IP3は主電流における電流の流れを示している。

[0167] 実施の形態3の半導体装置53は、実施の形態1及び実施の形態2と同様、図3で示す等価回路で現れる。ただし、図3で示す主電流配線接続領域11が主電流配線接続領域11Bに置き換わる。

[0168] したがって、実施の形態3の半導体装置53は、半導体装置51及び実施の形態2と同様に、装置の信頼性の向上を図ることができる。

[0169] 実施の形態3の半導体装置53はさらに以下の効果を奏する。実施の形態2の実施の形態52では、制御ワイヤ7Bと複数の主電流ワイヤ14と干渉を避けるべく、制御ワイヤ7Bのセンス用接続点25Bと主電流ワイヤ14のチップ用接続点23Bとの距離を一定距離以上にする必要があった。

[0170] 一方、実施の形態3では、センス用接続部材として、制御ワイヤ7Bでなくゲートパッド8及びエミッタセンスパッド9を用いている。したがって、半導体装置53では、チップ用接続点23Bにセンス用接続点25Cを近づけても上記干渉は生じないため、チップ用接続点23B、センス用接続点25C間の距離を短くして、エミッタ電極抵抗成分R1を大きくし、主電流の電流量抑制効果を高めることができる。

[0171] このように、実施の形態3の半導体装置53は、チップ用接続点23Bに比較的近いセンス用接続点25Cでエミッタセンス配線10を接続することにより、安定性良くエミッタ電極3との電氣的に接続を図ることができる。

[0172] 加えて、IGBTチップ1Cは、エミッタセンスパッド9及びエミッタセンス配線10の下方の領域において、IGBTが機能しない無効領域20Cを有するため、図3で示す等価回路において、IGBT62のエミッタ電位

は主電流の影響を受けることはない。

[0173] なお、実施の形態3の上述した効果に関し、エミッタセンス配線10が「センス配線」に対応し、エミッタ電極3が「表面電極」に対応し、IGBTチップ1Cが「半導体チップ」に対応し、エミッタセンスパッド9が「センスパッド」に対応し、エミッタセンス配線10が「センス配線」に対応し、IGBTが「スイッチング素子」に対応する。

[0174] また、IGBT62のエミッタ電位は、エミッタセンスパッド9より得られる制御用基準電位となる。

[0175] <実施の形態4>

図6及び図7は本開示の実施の形態4である半導体装置54の構造を示す説明図である。図6の上図が断面図であり、下図が平面図であり、図7が平面図である。図6の下図のE-E断面が図6の上図となり、図7のF-F断面も図6の上図となる。図6の上図及び下図並びに図7それぞれにXYZ直交座標系を記す。

[0176] 図6の下図は、最上部を絶縁膜12とした平面図であり、図7は最上部をエミッタ電極3とした平面図である。

[0177] 図6及び図7で示す半導体装置54は、スイッチング素子としてIGBTを用い、IGBTを内部に有する半導体チップであるIGBTチップ1Dをパッケージングしている。

[0178] 以下、図1及び図2で示した実施の形態1の半導体装置51と同じ箇所は同一符号を付して説明を適宜省略し、半導体装置54の特徴箇所を中心に説明する。なお、図6及び図7に示す電流経路IP4は主電流における電流の流れを示している。

[0179] 実施の形態4の半導体装置54は、半導体装置51の特徴(1)～特徴(3)に加え、以下の特徴(5)～特徴(7)を有している。

(5) IGBTチップ1Dは、本来のIGBTと等価なスイッチング動作を行う電流検出用IGBTをさらに有し、電流検出用IGBTはIGBTチップ1Dの電流検出素子形成領域27内に設けられる。

(6) IGBTチップ1Dの電流検出素子形成領域27の表面上に、エミッタ電極3に接触することなく設けられ、電流検出用IGBTの動作時に検出電流が流れる電流検出出力パッド15をさらに備えている。

(7) 電流検出出力パッド15より得られる電流がセンス電流 I_s となる。

[0180] なお、上述した特徴(5)～特徴(7)に関し、IGBTチップ1Dが「半導体チップ」に対応し、IGBTが「スイッチング素子」に対応し、電流検出用IGBTが「電流検出素子」に対応し、エミッタ電極3が「表面電極」に対応し、電流検出出力パッド15が「電流検出用パッド」に対応する。

[0181] また、実施の形態1と同様、エミッタセンスパッド9及びエミッタセンス配線10の下方の無効領域20DにはIGBTの構成要素が形成されていない。この無効領域20Dはスイッチング素子であるIGBTが機能しない領域となっている。

[0182] さらに、IGBTチップ1D内において、ゲートパッド8の下方の領域も、IGBTが機能しない無効領域20Dとなっている。

[0183] 加えて、IGBTチップ1D内において、電流検出素子形成領域27の周囲にも無効領域20Dが形成されている。無効領域20Dは素子分離領域として機能するため、電流検出素子形成領域27内の電流検出用IGBTは、エミッタ電極3の下方の本来のIGBTと独立して設けられる。

[0184] 電流検出出力パッド15は電流検出素子形成領域27上に、エミッタ電極3、ゲートパッド8及びエミッタセンスパッド9に接触することなく設けられ、電流検出用IGBTのエミッタ電極として機能し、図6の上図に示すように、制御ワイヤ7Dを介して制御端子2Dに電氣的に接続される。このように、電流検出出力パッド15はエミッタ電極3と独立して設けられる。

[0185] 図8は図6及び図7で示した半導体装置54の等価回路を示す回路図である。図8では、エミッタ電極3の抵抗成分を考慮している。また、図8ではゲートパッド8が「G」で示され、エミッタセンスパッド9が「Es」で示され、電流検出出力パッド15が「S」で示されている。

[0186] 簡易化のために、図8では、エミッタ電極抵抗成分 R_1 として集中定数で

考える。すなわち、 IGBT チップ1Dの IGBT を2つに分類し、主電流配線接続領域11及びその付近にコレクタ電流 I_{c2} を流す IGBT を $\text{IGBT}62$ とし、主電流配線接続領域11から離れたエミッタ電極3の外周領域にコレクタ電流 I_{c1} を流す IGBT を $\text{IGBT}61$ としている。この外周領域が表面電極遠隔領域となる。

[0187] 図11は、半導体装置54と同様に電流検出機能を持たせた、比較用の半導体装置59Bの等価回路を示す回路図である。半導体装置59Bは図9及び図10で示した基本技術の半導体装置59に電流検出出力パッド15を追加した構成である。また、図11ではゲートパッド38が「G」で示され、エミッタセンスパッド39が「Es」で示され、電流検出出力パッド15が「S」で示されている。

[0188] 図11では、エミッタ電極抵抗成分 R_9 として集中定数で考える。すなわち、 IGBT チップ31の IGBT を2つに分類し、主電流配線接続領域41及びその付近にコレクタ電流 I_{c2} を流す IGBT を $\text{IGBT}62$ とし、エミッタセンスパッド39及びその付近にコレクタ電流 I_{c1} を流す IGBT を $\text{IGBT}61$ としている。

[0189] また、図8及び図11で共通に、電流検出用 IGBT を $\text{IGBT}63$ とし、 $\text{IGBT}63$ のゲートはゲートパッド8に接続され、エミッタはエミッタ電極抵抗成分 R_1 あるいは R_9 を介することなく電流検出出力パッド15に接続される。ここで、 $\text{IGBT}63$ を流れる電流をセンス電流 I_s とする。

[0190] さらに、説明簡易化のために電流検出出力パッド15とエミッタセンスパッド9あるいはエミッタセンスパッド39との間を短絡している。

[0191] 図10で示した半導体装置59の等価回路と同様、半導体装置59Bは、エミッタ電極抵抗成分 R_9 の影響を受け、 $\text{IGBT}62$ のコレクタ電流 I_{c2} は増加する傾向を有する。

[0192] 一方、 $\text{IGBT}61$ のゲート電圧 V_{GE1} 及び $\text{IGBT}63$ のゲート電圧 V_{GE3} は共にエミッタ電極抵抗成分 R_9 の影響を受けない。

[0193] したがって、 IGBT チップ31内の IGBT における本来のゲート、エ

ミッタ間電圧の電圧値を制御電圧値 V_{G0} とすると、ゲート電圧 V_{GE1} 及びゲート電圧 V_{GE3} は共に制御電圧値 V_{G0} に等しくなる。

[0194] このため、半導体装置59Bにおいて、コレクタ電流 I_{c2} の増加に対してコレクタ電流 I_{c1} 及びセンス電流 I_s は影響を受けない。

[0195] すなわち、半導体装置59Bは、センス電流 I_s によってコレクタ電流 I_{c1} を正確に検出することができるが、センス電流 I_s によってコレクタ電流 I_{c2} を正確に検出することはできない検出特性を有している。

[0196] したがって、半導体装置59Bにおいて、 I_{GBT} の主電流($=I_{c1}+I_{c2}$)が増加した場合、主電流におけるコレクタ電流 I_{c2} の電流比率が増加する分、センス電流 I_s による主電流の検出感度は相対的に低下してしまう。

[0197] 一方、実施の形態4の半導体装置54は、半導体装置51と同様、エミッタ電極抵抗成分 R_1 の影響を受け、 I_{GBT61} のコレクタ電流 I_{c1} が減少する傾向を有する。

[0198] 一方、半導体装置54は、半導体装置51と同様、 I_{GBT62} のゲート電圧 V_{GE2} はエミッタ電極抵抗成分 R_1 の影響を受けない。

[0199] さらに、 I_{GBT63} のゲート電圧 V_{GE3} もエミッタ電極抵抗成分 R_1 の影響を受けない。なぜなら、電流検出出力パッド15の下方が電流検出素子形成領域27であり、電流検出出力パッド15は比較的小さく形成することができるため、電流検出用 I_{GBT} の動作時におけるゲート電圧 V_{GE3} は、電流検出出力パッド15の抵抗成分の影響をほとんど受けないからである。

[0200] したがって、 I_{GBT} チップ1D内の I_{GBT} における本来のゲート、エミッタ間電圧の電圧値を制御電圧値 V_{G0} とすると、ゲート電圧 V_{GE2} 及びゲート電圧 V_{GE3} は共に制御電圧値 V_{G0} に等しくなる。

[0201] このため、実施の形態4の半導体装置54において、コレクタ電流 I_{c1} の減少に対してコレクタ電流 I_{c2} 及びセンス電流 I_s は影響を受けない。

[0202] 半導体装置54は、センス電流 I_s によってコレクタ電流 I_{c2} を正確に検出することができるが、センス電流 I_s によってコレクタ電流 I_{c1} を正確に検出することはできない検出特性を有している。

- [0203] したがって、実施の形態4の半導体装置54において、IGBTの主電流(= $I_{c1} + I_{c2}$)が増加した場合、主電流におけるコレクタ電流 I_{c1} の電流比率が減少し、コレクタ電流 I_{c2} の電流比率が増加する分、センス電流 I_s による主電流の検出感度は相対的に高くなる。
- [0204] 実施の形態4の半導体装置54は、IGBTのエミッタ電極3に主電流が流れる際、ゲート電圧 V_{GE1} がゲート電圧 V_{GE2} より低くなり、表面電極遠隔領域を流れるコレクタ電流 I_{c1} の電流量が低下する。
- [0205] 一方、ゲート電圧 V_{GE1} 及びゲート電圧 V_{GE3} は、エミッタ電極抵抗成分 R_1 の影響を受けないため、コレクタ電流 I_{c1} が減少しても、コレクタ電流 I_{c2} 及びセンス電流 I_s は減少しない。
- [0206] その結果、IGBTチップ1D内のIGBTに流れる主電流のうち、表面電極遠隔領域を流れるコレクタ電流 I_{c1} の電流量が低下して、主電流におけるコレクタ電流 I_{c2} の比率が増加する分、電流検出用IGBTを流れるセンス電流 I_s に基づく主電流の検出感度の向上を図ることができる。
- [0207] 上述した実施の形態4の効果に関し、IGBTは「スイッチング素子」に対応し、エミッタ電極3は「表面電極」に対応する。また、IGBTチップ1D内の本来のIGBTをIGBT61及び62に分類した場合、ゲート電圧 V_{GE1} はIGBT61用の「制御電圧」に対応し、ゲート電圧 V_{GE2} はIGBT62用の「制御電圧」に対応する。さらに、電流検出出力パッド15は「電流検出用パッド」に対応し、ゲート電圧 V_{GE3} はIGBT63用の「制御電圧」に対応する。
- [0208] なお、実施の形態4の半導体装置54として、実施の形態51を基本として、電流検出出力パッド15及び電流検出素子形成領域27等を追加する構造を示した。この構造に限定されず、半導体装置52または半導体装置53を基本として、電流検出出力パッド15及び電流検出素子形成領域27等を追加する構造を変形例として採用しても良い。実施の形態4の変形例においても、実施の形態4の固有の効果を同様に発揮することができる。
- [0209] <その他>

実施の形態1～実施の形態4の半導体装置51～54では、スイッチング素子としてIGBTを用いている。スイッチング素子としてIGBTを用いることにより、以下の効果を奏する。以下、実施の形態1の半導体装置51を代表して説明する。

- [0210] 半導体装置51のIGBTチップ1内に設けられるIGBTはPN接合を持ち、通電時は常に立ち上がり電圧($1VF \div 0.7V$)分の損失が生じている。ここで、「VF」はダイオードの順方向電圧を意味し、1VF分の損失は、エミッタ電極3、コレクタ電極4間で発生している。
- [0211] このため、表面電極であるエミッタ電極3の微小なエミッタ電極抵抗成分R1による損失が生じたとしても、もともとの立ち上がり電圧による上述した1VF分の損失の方が支配的となる。したがって、半導体装置51において、エミッタ電極抵抗成分R1を大きく設計しても、損失増を許容しやすく、装置の信頼性をより高めることができる。
- [0212] このように、IGBTチップ1内に設けるスイッチング素子としてIGBTを用いた場合、IGBTはエミッタ電極3のエミッタ電極抵抗成分R1による損失によって、通電時における立ち上がり電圧が影響を受けにくい特性を有するため、信頼性の高い半導体装置51を得ることができる。
- [0213] なお、スイッチング素子としてIGBT以外にMOSFET等の他の半導体素子を用いても良い。MOSFETとしての構成材料としては、例えば、珪素(Si)または炭化珪素(SiC)が考えられる。この場合でも、実施の形態1～実施の形態4で示した効果を発揮することができる。
- [0214] また、IGBTで代表されるスイッチング素子は、珪素(Si)によって形成されるのが一般的であるが、変形例として、スイッチング素子を、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって構成することが考えられる。ワイドバンドギャップ半導体としては、例えば、炭化珪素、窒化ガリウム系材料またはダイヤモンドがある。
- [0215] 以下、ワイドバンドギャップ半導体によって構成されたスイッチング素子を有する半導体装置として、実施の形態1の半導体装置51の変形例を代表

させて説明する。

[0216] 半導体装置 5 1 の変形例では、ワイドバンドギャップ半導体によって IGBT が構成されている。この IGBT は、耐電圧性が高く、許容電流密度も高いため、IGBT の小型化を図ることができる。したがって、半導体装置 5 1 の変形例は、小型化された IGBT を IGBT チップ 1 内に設けることにより、半導体モジュールとしての装置の小型化を図ることができる効果を奏する。

[0217] また、ワイドギャップ半導体は、耐熱性も高いため、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化が可能となるため、半導体装置 5 1 の変形例は、半導体モジュールとして、より一層の小型化を図ることができる。

[0218] このように、半導体装置 5 1 の変形例における IGBT は、ワイドギャップ半導体により構成されている。上述したように、ワイドバンドギャップ半導体は、耐電圧性及び許容電力密度が高く、耐熱性も高い特性を有するため、半導体装置 5 1 の変形例は、装置小型化を図ることができる。

[0219] さらに、ワイドギャップ半導体は、電力損失が低いため、IGBT 子の高効率化が図れ、ひいては IGBT を有する半導体モジュールの高効率化ができる。上記のような高耐熱、低損失という特性からエミッタ電極 3 のエミッタ電極抵抗成分 R 1 による損失悪化増を許容しやすい。

[0220] このように、半導体装置 5 1 の変形例は、上述した様々な効果を発揮することができる。なお、上述した効果における IGBT は「スイッチング素子」に対応し、IGBT チップ 1 は「半導体チップ」に対応し、エミッタ電極 3 は「表面電極」に対応する。

[0221] なお、IGBT チップ 1、1 B ~ 1 D 内に設けた IGBT に代表されるスイッチング素子は、プレーナ型であっても、トレンチ型であっても適用可能であることは勿論である。

[0222] また、本開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

符号の説明

[0223] 1, 1B~1D IGBTチップ、2 制御端子、3 エミッタ電極、4 コレクタ電極、5, 6 主電流配線、7, 7B 制御ワイヤ、8 ゲートパッド、9 エミッタセンスパッド、10 エミッタセンス配線、11 主電流配線接続領域、12 絶縁膜、13 チップ上接合材、14 主電流ワイヤ、15 電流検出出力パッド、20, 20C, 20D 無効領域、27 電流検出素子形成領域。

請求の範囲

[請求項1]

内部にスイッチング素子を有する半導体チップと、
前記半導体チップの表面上に設けられ、前記スイッチング素子の動作時に主電流が流れる表面電極とを備え、前記スイッチング素子は制御電極を有し、前記表面電極の電位を基準電位とした制御電圧を前記制御電極に印加することにより前記スイッチング素子は動作制御され、
前記表面電極上に設けられる絶縁膜をさらに備え、前記絶縁膜は開口領域を有し、前記表面電極において前記開口領域内の領域が配線接続領域となり、
下面を有し、下面と前記配線接続領域の表面とが接触することにより、前記表面電極に電氣的に接続されるチップ用接合材と、
前記半導体チップの表面上に前記表面電極と独立して設けられるセンスパッドと、
前記半導体チップの表面上に設けられ、前記表面電極と前記センスパッドとを電氣的に接続するセンス配線とをさらに備え、
前記センスパッドの電位が前記スイッチング素子の制御用基準電位となり、
前記チップ用接合材の下面は平面視して前記配線接続領域の表面形状と合致する形状を有し、
前記センス配線は前記配線接続領域に接続され、
前記半導体チップは、前記センスパッド及び前記センス配線の下方の領域において、前記スイッチング素子が機能しない無効領域を有する、
半導体装置。

[請求項2]

内部にスイッチング素子を有する半導体チップと、
前記半導体チップの表面上に設けられ、前記スイッチング素子の動作時に主電流が流れる表面電極とを備え、前記スイッチング素子は制

御電極を有し、前記表面電極の電位を基準電位とした制御電圧を前記制御電極に印加することにより、前記スイッチング素子は動作制御され、

前記表面電極の表面上のチップ用接続点で接触することにより、前記表面電極と電氣的に接続されるチップ用ワイヤと、

前記表面電極のセンス用接続点で接触することにより、前記表面電極と電氣的に接続されるセンス用接続部材と、

前記センス用接続点の電位が前記スイッチング素子の制御用基準電位となり、前記表面電極において前記チップ用接続点を含む領域が配線接続領域として規定され、前記表面電極において前記配線接続領域から最も離れた位置が電極遠隔位置として規定され、

前記センス用接続点は、前記チップ用接続点及び前記電極遠隔位置のうち、前記チップ用接続点に近い位置に設けられる接続点配置条件を満足する、
半導体装置。

[請求項3]

請求項2記載の半導体装置であって、

前記センス用接続部材はセンス用ワイヤを含み、

前記センス用接続点は、前記表面電極の表面に存在する、
半導体装置。

[請求項4]

請求項2記載の半導体装置であって、

前記センス用接続部材は

前記半導体チップの表面上に前記表面電極と独立して設けられるセンスパッドと、

前記半導体チップの表面上に設けられ、前記表面電極と前記センスパッドとを電氣的に接続するセンス配線とを含み、

前記センス用接続点は、前記配線接続領域の側面に存在し、

前記センス配線は前記センス用接続点で前記表面電極と接触することにより、前記表面電極と電氣的に接続され、

前記半導体チップは、前記センスパッド及び前記センス配線の下方の領域において、前記スイッチング素子が機能しない無効領域を有する、
半導体装置。

[請求項5] 請求項2から請求項4のうち、いずれか1項に記載の半導体装置であって、

前記チップ用ワイヤは複数のチップ用ワイヤを含み、

前記センス用接続点は、前記複数のチップ用ワイヤのうち少なくとも一つのチップ用ワイヤとの関係において、前記接続点配置条件を満足する、
半導体装置。

[請求項6] 請求項1から請求項5のうち、いずれか1項に記載の半導体装置であって、

前記半導体チップは、前記スイッチング素子と独立して設けられ、前記スイッチング素子と等価なスイッチング動作を行う電流検出素子をさらに有し、前記電流検出素子は前記半導体チップの電流検出素子形成領域内に設けられ、

前記半導体装置は、

前記半導体チップの前記電流検出素子形成領域上に、前記表面電極と独立して設けられ、前記電流検出素子の動作時に検出電流が流れる電流検出用パッドをさらに備える、
半導体装置。

[請求項7] 請求項1から請求項6のうち、いずれか1項に記載の半導体装置であって、

前記スイッチング素子はIGBTである、

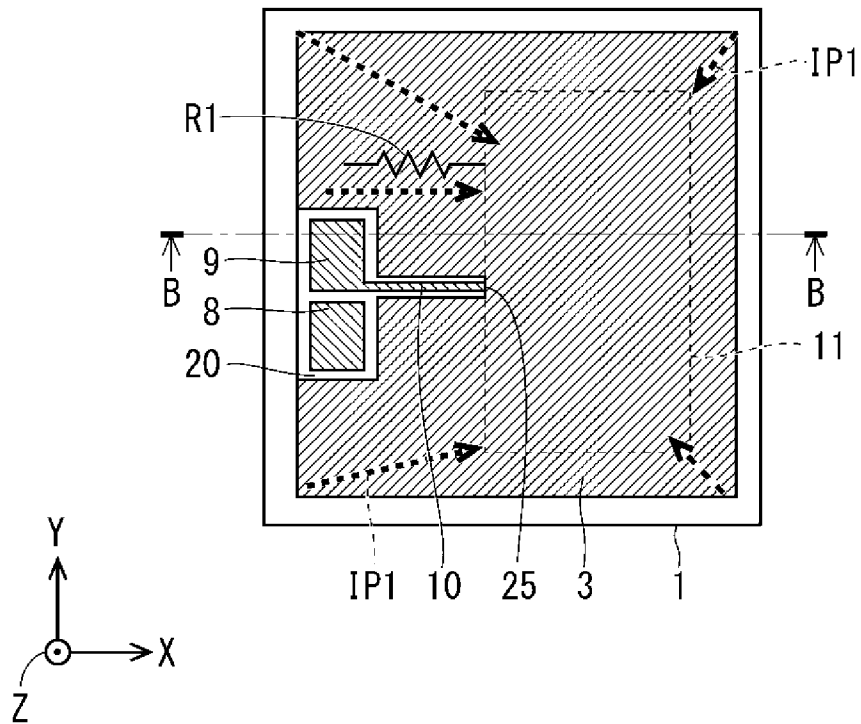
半導体装置。

[請求項8] 請求項1から請求項7のうち、いずれか1項に記載の半導体装置であって、

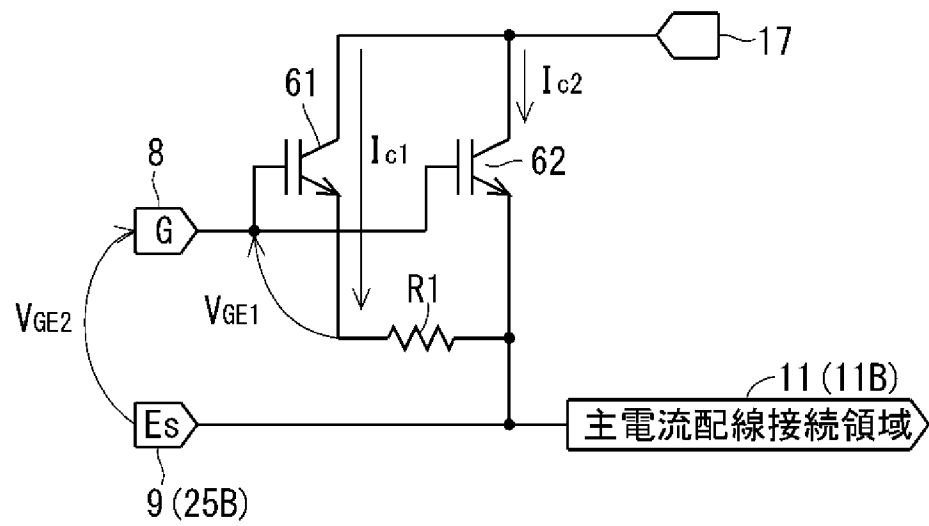
前記スイッチング素子はワイドバンドギャップ半導体により構成される、
半導体装置。

[図2]

51

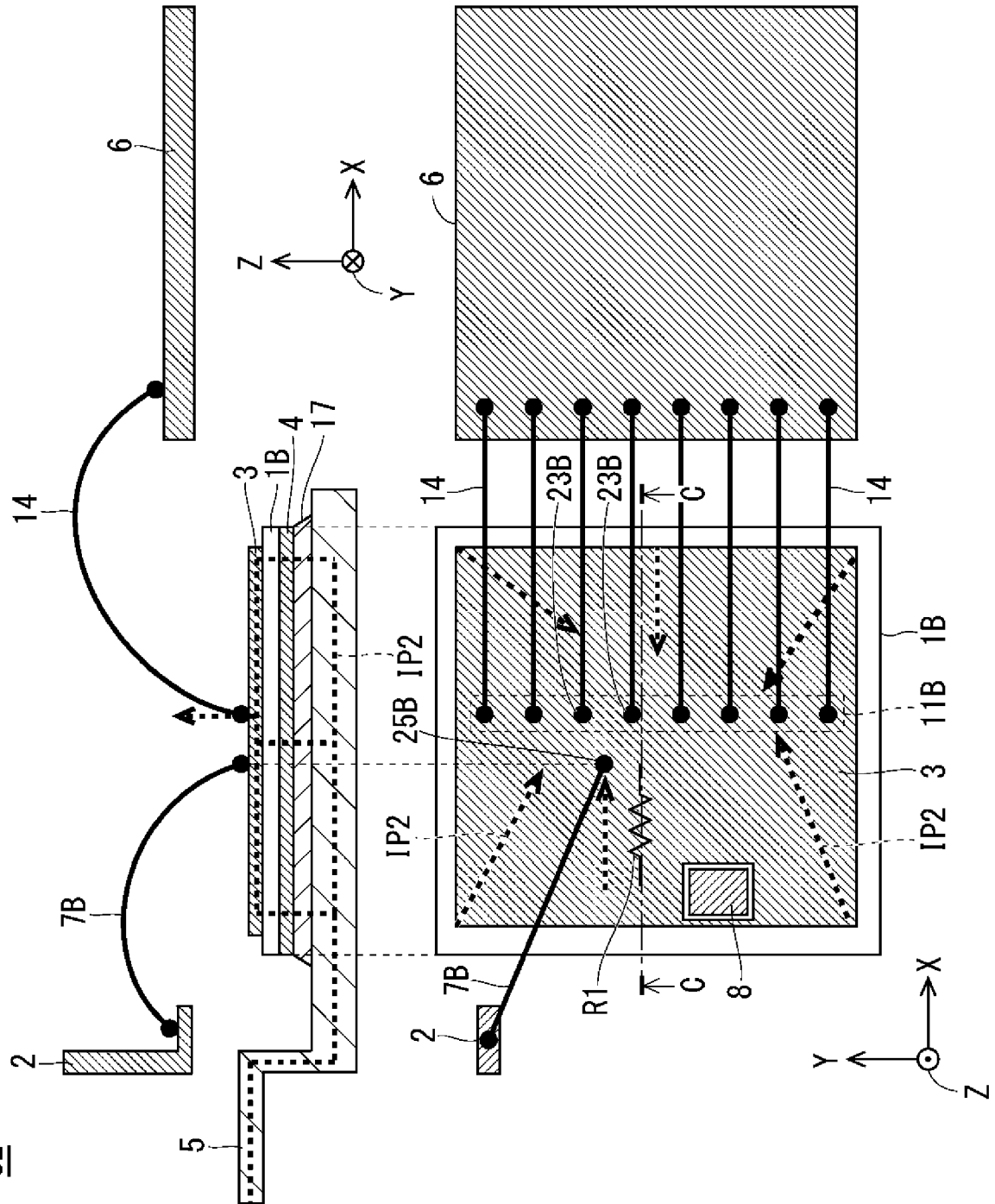


[図3]



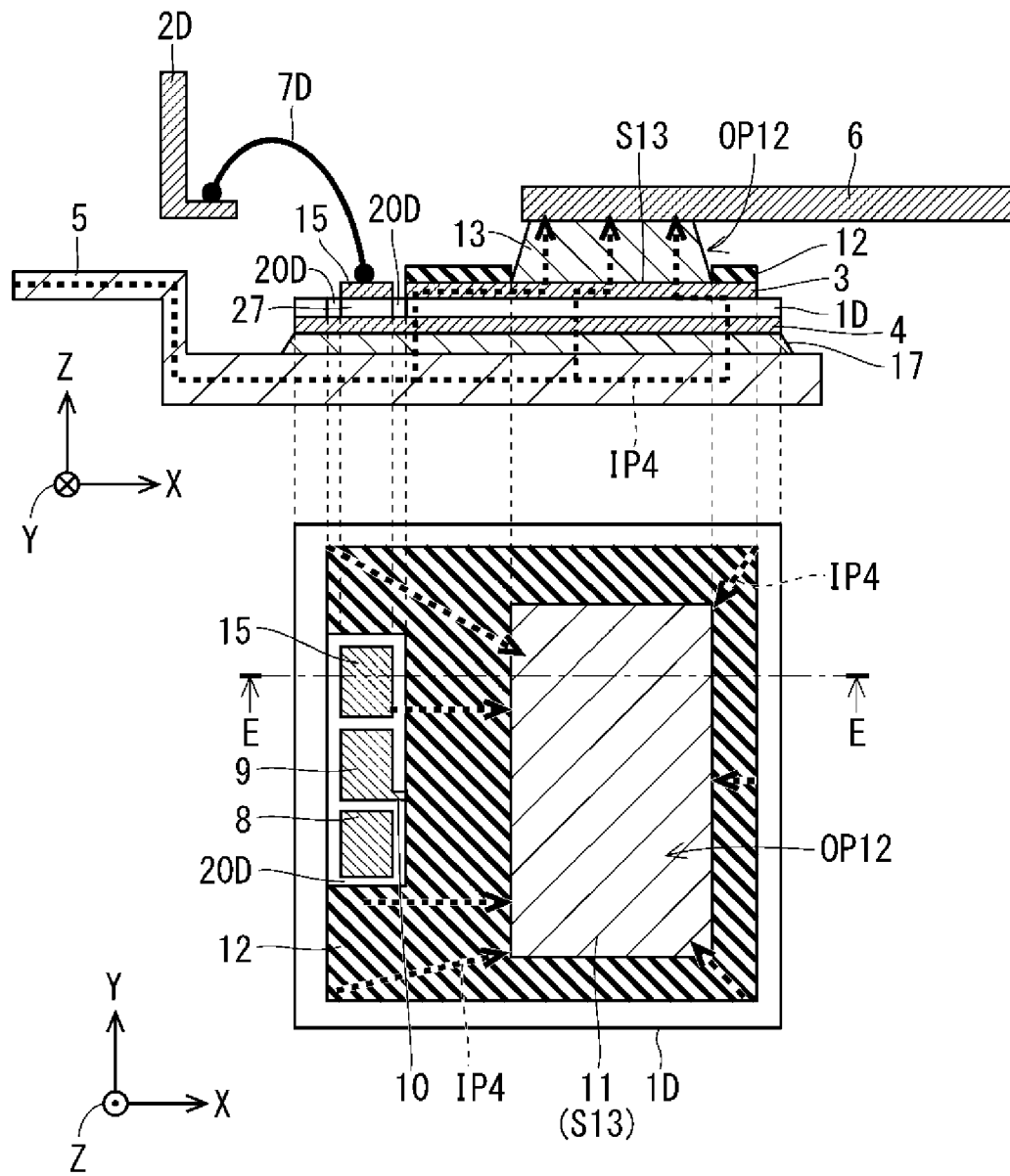
[図4]

52

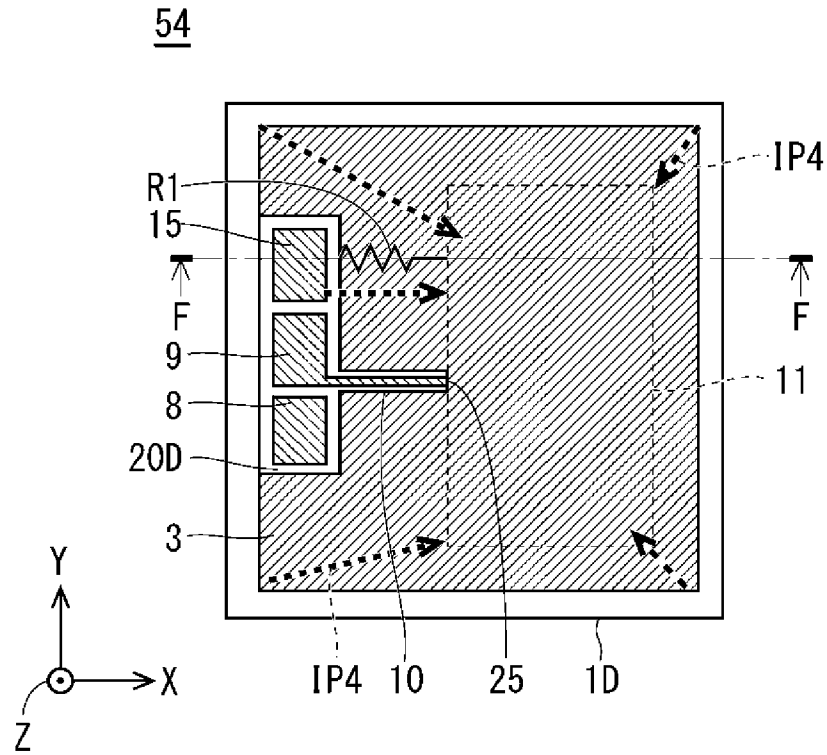


[図6]

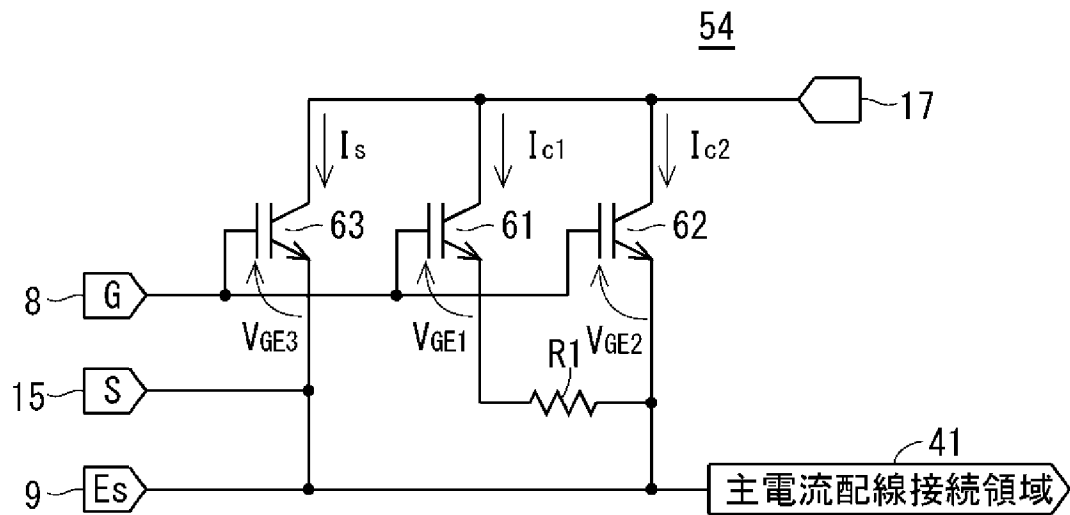
54



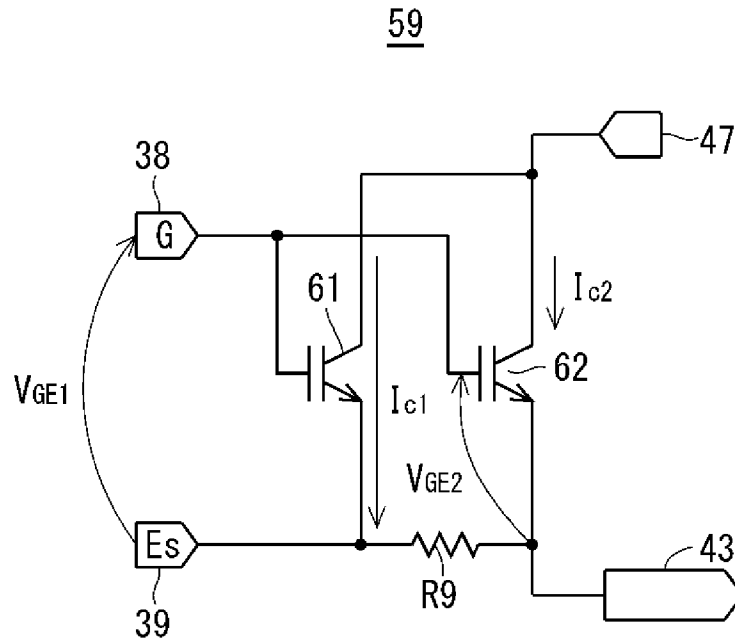
[図7]



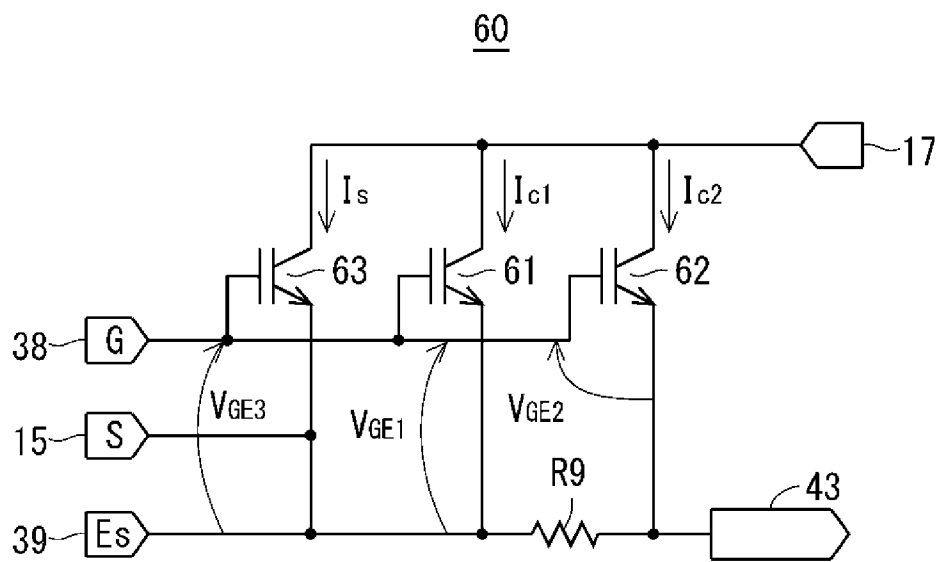
[図8]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/020031

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78 (2006.01) i
FI: H01L29/78656C, H01L29/78652Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2018/211735 A1 (MITSUBISHI ELECTRIC CORPORATION) 22 November 2018 (2018-11-22), paragraphs [0018], [0036]-[0041], fig. 5, 6	2, 3, 5, 7, 8 6 1, 4
Y A	JP 2010-263032 A (MITSUBISHI ELECTRIC CORPORATION) 18 November 2010 (2010-11-18), paragraphs [0018]-[0034], fig. 1, 3	6 1-5, 7, 8
A	JP 2000-164858 A (DENSO CORPORATION) 16 June 2000 (2000-06-16)	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 July 2020

Date of mailing of the international search report

21 July 2020

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/020031

WO 2018/211735 A1 22 November 2018 CN 110612600 A

JP 2010-263032 A 18 November 2010 (Family: none)

JP 2000-164858 A 16 June 2000 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i FI: H01L29/78 656C; H01L29/78 652Q		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/211735 A1（三菱電機株式会社）22.11.2018（2018-11-22） 段落[0018], [0036]-[0041], 図5, 図6	2, 3, 5, 7, 8
Y		6
A		1, 4
Y	JP 2010-263032 A（三菱電機株式会社）18.11.2010（2010-11-18） 段落[0018]-[0034], 図1, 図3	6
A		1-5, 7, 8
A	JP 2000-164858 A（株式会社デンソー）16.06.2000（2000-06-16）	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.07.2020		国際調査報告の発送日 21.07.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 棚田 一也 5F 9361 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/020031

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/211735	A1	22.11.2018	CN	110612600	A	
JP	2010-263032	A	18.11.2010	(ファミリーなし)			
JP	2000-164858	A	16.06.2000	(ファミリーなし)			