

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 1 部門第 2 区分
 【発行日】令和 3 年 3 月 4 日 (2021.3.4)

【公開番号】特開 2019-166064 (P2019-166064A)
 【公開日】令和 1 年 10 月 3 日 (2019.10.3)
 【年通号数】公開・登録公報 2019-040
 【出願番号】特願 2018-56204 (P2018-56204)
 【国際特許分類】

A 6 3 F 5/04 (2006.01)

【F I】

A 6 3 F 5/04 5 1 6 C

A 6 3 F 5/04 5 1 7

【手続補正書】

【提出日】令和 3 年 1 月 21 日 (2021.1.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1

【補正方法】変更

【補正の内容】

【請求項 1】

遊技メダル投入口と、

ブロックと、

演算機能を備えた所定の I C と、

所定の制御基板と、

所定の制御基板を収容する基板ケースと

を備え、

所定の状況にて、電源の供給が遮断される事象が発生した時から、当該電源の供給が遮断される事象を検知し、電源断処理を実行する時までの期間の設計値を T 1 とし、

所定の状況にて、遊技メダル投入口から遊技メダルが投入される場合における、当該遊技メダルが投入される時から、当該遊技メダルがブロックに到達する直前までの期間の設計値を T 2 としたとき、

T 1 < T 2

となっており、

基板ケースは上カバーと下カバーとから構成されており、

上カバーの或る面には、上カバーの成型時のゲート跡を有し、

所定の制御基板の一方の面には所定の I C が搭載されており、

基板ケースに所定の制御基板が収容されている状態では、上カバーを介して所定の I C が視認可能となっており、

上カバーの或る面に対して垂直な方向における所定の I C と重なる範囲には、ゲート跡を有さないよう構成されている

遊技機。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

本発明は、以下の解決手段によって上述の課題を解決する（カッコ書きで、対応する実

施形態の構成を示す。)。

本発明は、

遊技メダル投入口（メダル投入口４７）と、

ブロック（ブロック４５）と、

演算機能を備えた所定のＩＣ（メインＣＰＵ５５）と、

所定の制御基板（メイン制御基板５０）と、

所定の制御基板を収容する基板ケース（基板ケース５６）と

を備え、

所定の状況にて、電源の供給が遮断される事象が発生した時から、当該電源の供給が遮断される事象を検知し、電源断処理を実行する時までの期間の設計値をＴ１（図５中、「Ｔ１」）とし、

所定の状況にて、遊技メダル投入口から遊技メダルが投入される場合における、当該遊技メダルが投入される時から、当該遊技メダルがブロックに到達する直前までの期間の設計値をＴ２（明細書「０２２７」に記載の「Ｔ２'」に相当）としたとき、

Ｔ１＜Ｔ２

となっており、

基板ケースは上カバー（上カバー５７）と下カバー（下カバー５８）とから構成されており、

上カバーの或る面には、上カバーの成型時のゲート跡（ゲート跡５７ｂ及び５８ｂ）を有し、

所定の制御基板の一方の面には所定のＩＣが搭載されており、

基板ケースに所定の制御基板が収容されている状態では、上カバーを介して所定のＩＣが視認可能となっており、

上カバーの或る面に対して垂直な方向における所定のＩＣと重なる範囲には、ゲート跡を有さないよう構成されている。