

(19) 대한민국특허청(KR) (12) 특허공보(B1)

(51) Int. Cl.⁴
G06F 3/153
G09G 1/00

(45) 공고일자 1985년06월17일
(11) 공고번호 특1985-0000856

(21) 출원번호	특1981-0002184	(65) 공개번호	특1983-0006761
(22) 출원일자	1981년06월16일	(43) 공개일자	1983년10월06일
(30) 우선권주장	159, 719 1980년06월16일 미국(US)		
(71) 출원인	하니웰 인퍼메이션 시스템즈 인코포레이티드 니콜라스 프레시노스 미합중국, 02154 메사추세츠주, 월섬시, 스미스 스트리트 200		

(72) 발명자 데이비드 비. 오키프
미합중국, 메사추세츠주, 웨스트포드시, 필립스 드라이브 17
로버트 시. 밀러
미합중국, 메사추세츠주, 브레인트리시, 호울든 로우드 32
(74) 대리인 유영대, 나영환

심사관 : 허정훈 (특허공보 제1080호)

(54) 스크롤링하는 표시 리프레시 기억 어드레스 발생장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

스크롤링하는 표시 리프레시 기억 어드레스 발생장치

[도면의 간단한 설명]

제1도는 음극선관의 스크린에 나타난 정보의 비데오 표시 상태를 보여주는 도면.

제2도는 제1도의 표시 스크린상에 나타난 캐릭터 셀 내의 캐릭터 형성을 보여주는 도면.

제3도는 제1도의 비데오 표시를 성취하는데 필요한 라스터 주사를 표시한 도면.

제4도는 제1도의 비데오 표시를 형성하기 위해 사용되는 표시 제어장치 및 표시모니터 논리회로의 블록다이어그램.

제5a도, 제5b도는 제2도에 표시한 캐릭터 셀의 수평 주사선상에서의 비데오 신호 및 강도 신호간의 스큐(skew)효과를 예시한 다이어그램.

제6도는 제4도에 표시한 송·수신 논리회로를 상세하게 표시한 도면.

제7도는 비데오 발생논리회로를 상세하게 표시한 도면.

제8도는 표시제어장치의 리프레시 기억회로에 저장된 정보의 데이터 포맷(format)을 예시한 다이어그램.

제9도는 제4도, 제7도의 도트 패턴 발생기에 내포된 데이터 포맷 및 일부분의 데이터를 예시한 다이어그램.

제10도는 제4도, 제7도에 표시한 비데오 속성 발생기에 미리 암호화되어있는 데이터의 데이터 포맷을 예시한 다이어그램.

제11도는 명명하는 데이터 파일드 캐릭터 A를 내포하고 또 커서(cursor)도 내포하는 캐릭터 셀 용표시 스크린상의 4형태의 상태를 예시한 도면.

제12도는 표시 스크린상에 표시될 횡렬의 정보와 리프레시 기억회로에 이들이 저장되는 위치 어드레스간의 대응관계를 보여주는 리프레시기억회로의 설계를 예시한 다이어그램.

제13도는 제4도에 도시한 리프레시 발생 논리회로를 상세히 예시한 도면.

제14도는 제13도에 도시한 로울링한 횡열 발생 PROM에 미리 부호화되어진 데이터의 데이터 포맷을 예시한 다이어그램.

제15도는 제13도에 도시한 횡열 주소 발생 PROM에 미리 부호화되어진 데이터의 데이터 포맷을 예시한 다이어그램.

[발명의 상세한 설명]

본 발명은 비디오 표시장치에 관한 것이며, 특히 리프레시(refresh) 기억회로에 원래 저장된 것과 같은 데이터 정보의 재구성을 필요함이 없이, 표시장치 리프레시 기억회로에 저장된 캐릭터 정보의 횡열을 로울링시키기 위한 표시 리프레시 기억 어드레스 발생장치에 관한 것이다.

보통 전자비임을 선택적으로 여기시키고 또 이 전자비임이 음극선관의 감광성 스크리인을 주사함으로써 정보가 표시 모니터의 음극 선관상에 표시된다. 전자비임은 보통 스크리인의 상단에서 시작하여 그 하단에서 끝나는 일련의 수평주사통로에서 좌측에서 우측으로 스크리인을 주사한다. 이어서 이 전자비임은 전체 스크리인의 연속적인 다음 라스터 주사를 위해 스크리인의 상단으로 복귀한다. 이것은 자기작용에 의해 비임을 수평 및 수직 방향으로 편향시키고 또 비임을 선택적으로 여기시켜 음극선관의 스크리인을 주사하게하는 음극선관과 연합된 모니터 전자장치 혹은 비임 구동회로에 의해 이루어진다. 비임의 수평 재추적은 수평동기(SYNC)신호에 의해 조화되고, 스크리인의 상부에서까지의 비임의 수직복귀는 수직 동기신호에 의해 초기화되며, 또 이 비임은 비디오 신호에 반응하여 선택적으로 여기된다. 이러한 제 신호, 즉 수평·수직동기신호, 비디오 신호는 표시 제어장치에서 발생되어 모니터 전자장치로 전이되고, 이 장치에서는 이들신호를 차례로 사용하여 전자총 및 비임 편향자석을 구동시키는 신호를 발생시킨다.

비디오 및 편향신호 발생과 더불어, 정보가 음극선관상에 여러 강도로 표시 가능하게 되는데, 예를 들어 정보가 정상 밝기로 표시되거나 정상 밝기보다 약간 못한 낮은 강도 모우드로 표시된다. 이 경우에는, 낮은 강도의 신호도 표시 스크리인 상의 정보의 세기를 제어하기 위해 표시 제어장치에 의해 발생되어야 한다.

표시 스크리인상에 표시되어질 별개의 캐릭터 또는 캐릭터 필드와 연합되어질 강도 모우드에 덧붙여서, 다른 가시 속성도 표시 장치에서 종종 발견된다. 예를들어, 역 비디오 속성은 정보의 캐릭터가 보통 어두운 바탕에 밝은 캐릭터가 표시되는 경우와 반대로 밝은 바탕에 어두운 캐릭터로 표시될 수 있다는 것을 가리킨다고 할수가 있다. 명멸 비디오 속성은 정보의 캐릭터가 표시 스크리인 상에서 명멸하게 하여 표시기 조작자가 그 정보의 주의를 기울이게 한다. 하선 가시속성은 횡열의 정보 캐릭터가 그 캐릭터 밑에 하선이 그어진채로 표시하게 한다. 잠복가시속성은 감응대 이더가 표시 스크리인상에 표시되지 않게끔 비디오 신호를 차단시키게 하는 것인데, 물론 이 신호는 리프레시 기억회로에서 뽑아 쓸수 있고 표시 제어장치에 부착된 컴퓨터로 부터 또는 표시제어장치에 부착된 통신선을 통해 원격적으로 송신하거나 수신할 수도 있다. 부가적으로, 커어소르(cursor)는 캐릭터를 변경시키기 위한 가시속성으로써 취급할 수도 있는데, 만약 그렇지 않는다면 표시 제어장치에 부착된 키보드로부터 들어온 데이터의 다음 캐릭터가 표시 스크리인 상의 어디에 놓을 것인가를 조작자에게 지시해 주게끔 캐릭터가 표시스크리인에 표시될지도 모른다.

표시 제어장치는 라스터 주사 논리회로를 사용하여 수평 및 수직동기 신호를 발생시킨다. 비디오 신호는 음극선관 스크리인상에 표시될 정보를 각 횡열이 음극선관 스크리인상에 표시되는 경우와 같은 시간에 리프레시 기억회로를 주사하여 캐릭터를 나타내게 하는 표시 제어장치에 의해 발생된다. 표시 제어장치의 리프레시 기억 회로내의 정보는 표시단말기에 부착된 키보오드나 표시 제어장치에 부착된 컴퓨터 조작에 의해 나오기 시작하거나, 원격적으로 표시제어장치에 부착된 통신선을 통해 나온다.

표시 제어장치는 대개 표시 리프레시 기억회로내의 횡열의 캐릭터정보를 규정된 순서대로 저장한다. 각 횡열의 캐릭터 정보는 저장된 순서대로 순차적으로 리프레시 기억회로에서 독출된다. 표시 스크리인상의 횡열의 캐릭터 정보를 로울링시키기 위해서는 리프레시 기억 회로내의 캐릭터정보의 재구성성이 필요하게 된다. 아주 최근에는, 병렬의 세로 횡열 캐릭터 정보를 표시 리프레시 기억회로에 기억시켜왔는데, 각 횡열은 표시제어장치에 의해 검출되자마자 리프레시 기억 회로내에 임의 배치될 수도 있는 다음 횡열의 캐릭터 정보의 방지를 정하는데 사용되는 트레일링 퍼엄웨어 코드(trailing firmware code)를 내포하고 있다. 횡열의 캐릭터 정보의 재구성을 필요로함이 없이 어떤식으로 가산되거나 삭제되거나 재 정렬될 수도 있다. 이러한 시스템은 1979년 4월 30일 조우지프 엘. 리안(Joseph L. Ryan)씨 및 제럴드 엔. 윈프레이(Gerald N. Wifrey)씨가 출원한 "하드웨어/퍼엄웨어 음극선관 표시 링크 시스템"이란 제하의 미합중국 특허원 제034,832호에 설명되어 있다.

본 발명에 있어서도, 횡열의 캐릭터 정보가 표시 제어장치 리프레시 기억회로의 고정된 세로횡열에 기억된다. 표시 제어장치는 롤레지스터(roll register)를 포함하는데, 이를 레지스터에는 표시스크리인상의 정보가 로우링(스크로울링)될 횡열수에 해당하는 값이 실려 있으며, 이 값은 프래시 기억 회로에 기억된 캐릭터 정보를 회수하는데 사용할 재 배열된 어드레스를 발생하는데 사용된다. 따라서, 횡열의 캐릭터 정보는, 비워진 각 횡열의 캐릭터 정보를 지우는 것 이외에는 리프레시 기억회로의 캐릭터 정보의 재구성을 필요로 함이 없이 표시 스크리인 상에서 상하로 로울링하게된다.

따라서 본 발명의 목적은 표시 제어장치의 리프레시 기억회로내의 많은 양의 정보 이동이나 재기억 개함을 필요로 하지않고 표시 스크리인상의 횡열이 정보를 스크로울링시키기 위한 저렴한 장치를 제공하는 것이다.

본 발명의 다른 목적은 표시 스크리인상의 어떤 횡열의 정보를 스크로울링하게 하는 동안에 한개 혹은 그 이상의 횡열의 정보가 표시 스크리인 상의 고정위치에 또한 리프레시 기억회로에 남게하는 리프레시 어드레스 발생 논리회로를 제공하는 것이다.

본 발명의 또다른 목적은 제작자가 저렴한 리프레시 어드레스 논리장치를 제공하는 것이다.

상술한 제 목적을 구현시키기 위해서 리프레시 기억회로를 지닌 비데오 표시 제어장치용 비데오 표시 리프레시 기억 어드레스 발생장치가 마련되었는데, 리프레시 기억회로에 저장된 고정된 길이의 횡렬의 비데오 정보는 비데오 정보의 재구성을 필요로 함이없이 일정한 식으로 스크로울링(로울링)하게된다. 특히 횡렬의 수를 가리키는 룰값을 유지시키기 위해 레지스터가 구성되어 있어서, 표시 스크린상의 비데오정보가 스크로울링될 수 있다. 이 룰값은 라스터 주사 리프레시 횡렬 카운터로부터 횡렬 값에 가산되고, 그 합성치는 제1수단에 의해 표시 스크린상에 스크로울링할수 있는 라인의 모듈로(modulo)수로 취해져서 재배열된 횡렬값을 생성시킨다. 그후 이 재배열된 횡렬값은 고정된 길이의 비데오 정보 횡렬에 대해 종렬수로 효과적으로 체배되며, 라스터 주사 리프레시 카운터에서 나온 종렬값은 제2수단에 의해 그 적의값에 가산되어 리프레시 기억회로내의 체배열된 셀 어드레스를 생성한다.

본 발명의 한 특징을 살펴보면, 리프레시 기억회로에 저장된 비데오 정보횡렬이 리프레시 기억회로로부터 독출되고, 단순히 룰레지스터의 룰값은 변화시켜 상하로 스크로울링하는 방법으로 표시스크린상에 표시된다.

본 발명의 다른 특징으로는, 모든 횡렬의 비데오 정보가 표시 스크린상에서 스크로울링할 필요가 없으며, 고정된(스크로울링 하지않는) 횡렬과 연합된 비데오 정보가 리프레시 기억회로의 고정된 어드레스에 유지될수 있다.

이제 본 발명을 첨부된 도면에 의해 상세히 설명하면 다음과 같다.

제1도를 참조하면, 표시 스크린인 10이 그위에 나타나는 특정한 배열의 알파뉴메릭(alphanumeric) 캐릭터와 함께 예시되어 있다. 이러한 표시형태는 정보가 여러가지 목적으로 스크린상에 표시되는 컴퓨터 단말장치에서 보통 발견할 수 있다. 여기서 유의할 점은, 제1도에 나타난 알파뉴메릭 캐릭터가 다수개의 횡렬 12및 종렬 14로 배열되어 있다는 것이다. 바람직한 실시예에서는, 최대 80개의 캐릭터가 일정한 횡렬의 종렬 1 내지 80에 순차적으로 형성되어 표시 스크린상에 나타난다. 제1도에 표시되어있듯이 종렬 81내지 104는 실제적으로 표시 스크린 10의 전면에 나타나지 않으며, 이들과 관련된 시간은, 제3도를 참조하여 이후에 설명하듯이, 라인간의 라스터 주사비임의 수평 재추적을 위해 사용된다. 마찬가지로 바람직한 실시예에 있어서는, 제1도에 표시되어 있듯이, 25개의 횡렬 즉 횡렬 1내지 25가 있어서 표시 스크린 10위에 나타나지 않으며, 그와 연관된 시간은, 제3도와 관련하여 이후에 설명하듯이, 라스터 주사비임의 수직 재추적을 위해 사용된다.

이제 제2도를 참조하면, 제1도의 표시 스크린10상에 나타난 종렬 77와의 횡렬2의 교차점에 형성된 캐릭터셀 16을 점유한 알파뉴메릭 캐릭터가 상세히 표시되어있다. 예시된 특정 알파뉴메릭캐릭터는 문자 "A"의 캐릭터이다. 이 캐릭터셀은 9×13도트 매트릭스 파일드로 형성된다. 매트릭스의 각 도트는, 제2도에 원형의 스폿(spot)로 도시되어 있지만, 사실상 동일라인의 조명된 스폿간의 단절이 없는 구형의 스폿이다. 캐릭터가 다수의 수평주사선의 적당한 도트를 순차적으로 조명시킴으로써 동일 횡렬상의 다른 캐릭터와 함께 캐릭터 셀 16에 형성된다. 이들 수평 주사선은 제2도에 1내지 13으로 번호가 매겨져있다. 이들 주사선내에서 1'내지 9'로 표시된 도트 위치점에서의 도트가 조명된다. 이 바람직한 실시예에서, 대문자 캐릭터가 횡렬 2내지 10의 도트 2'내지 8'에 의해 형성된 7×9파일드에 표시되어 있다. 횡렬 11의 도트 2'내지 8'은 소문자 캐릭터의 강하부분을 위해 사용된다. 라인 12및 도트 1'내지 9'는 캐릭터에 하선을 긋는데 사용된다. 라인 1내지 13의 도트 1'및 9'에 의해서 또한 라인 1및 13의 도트 2'내지 8'에 의해서 형성된 도트의 경계는 스크린상의 정상이 미지라 밝은 즉 빛나는 도트로 표시되는 캐릭터에 어두운 바탕일때 공백상태이다. 정상적인 이미지 모드에서, 밝은 캐릭터가 어두운 바탕을 배경으로하여 표시될때, 일정한 횡렬내에 형성된것과 같은 각 캐릭터의 일정한 라인을 한정하기 위해서 도트 위치점 2'내지 8'가 선택적으로 조명된다. 역 비데오 모드에서 캐릭터가 스크린상에 표시될때, 캐릭터의 바탕은 밝고 그 캐릭터는 일련의 어두운점으로 표시되며, 이 경우에는 캐릭터 셀의 도트의 바깥 경계는 일련의 밝은 도트이다. 역 비데오 모드에 있어서는, 일정한 횡렬내에 형성된 것과 같은 캐릭터 바탕의 일정한 라인을 한정시키기 위해, 도트 위치점 1'내지 9'가 선택적으로 조명된다.

이제 제3도를 참조하면, 전형적인 라스터 주사가 전반적인 표시 스크린 10에 대해 예시되어 있다. 이러한 라스터 주사는 제1도에 표시된 캐릭터 배열을 형성하기 위해 필요하게됨을 이해할 수 있다. 이런 맥락에서, 라스터 주사는 횡렬 12와 같은 다수의 독립된 횡렬로 구성되어 있다. 독립된 각 횡렬은 번호 18로 표시된 것과같은 13개의 독립된 수평 주사선으로 구성되어있다. 독립된 각 주사선은 번호 20으로 표시된것과 같은 수평재추적 통로를 수반하는데, 이 재추적 통로에 의해 전자비임이 좌에서 우로의 다음 수평주사를 위한 위치로 되돌리게된다. 주사선간의 이러한 재추적은 제1도에 표시한 바와같은 종렬 시간 81내지 104동안에 일어난다. 다음의 연속적인 횡렬의 캐릭터는 이전횡렬의 캐릭터의 13번째 주사선에 대한 수평재추적 통로가 완성되자마자 시작한다. 이런점에서, 전자비임은 재추적 통로 22를 통해 연속적인 다음횡렬의 후속하는 주사선을 위해 점 24로 되돌아간다. 이런과정은 24개의 독립된 횡렬이 표시 스크린 10위에 형성될때까지 계속된다. 이때에, 전자비임은 가장 아래쪽 횡렬의 최종적인 수평주사선 26을 횡단할 것이다. 전자비임이 주사선의 단부의 점 28에 이르렀을때, 일정쇄선으로 대략 표시한 통로 30을 따라 재추적하여 다음의 연속적인 수평주사가 시작되는 점 32로 복귀한다. 일정쇄선으로 대략 표시한 통로 30은 이후부터 수직재 추적이란 말로 사용한다. 제1도에 표시되어 있듯이, 횡렬시간 26,27동안에 일어나는 이 수직 재추적 기간동안에, 이 주사 통로는, 제1도에 표시한 바와같은 횡렬시간 26,27과 연합된 수평 재추적통로 및 주사선을 위해, 좌에서 우로 또한 우에서 좌로 24번 이해함으로써 지그재그 경로를 형성한다. 전자비임이 수평 재추적이나 수직 재추적 기간동안에는 비데오 신호에 의해 여기되지 않기때문에 번호 20, 22로 표시한것과 같은 독립된 수평 재추적 통로 및 지그재그형 수평 재추적통로 30은 스크린 10위에 보이지 않는다.

연속하는 라스터 주사가 충분한 비율로 발생하여 제1도의 표시스크린 10위에 표시된 정보를 리프레시(refresh)하게할 필요성이 있다. 바람직한 실시예에서, 스크린 10의 정보는, 이전 주사의 완료에 따라 트리거하는 다음 주사의 시작및, 제4도에 관하여 이후에 설명하듯이, 19.712 메가헬츠 발

진기에서 유도되는 모든 타이밍에 의해 거의 60번 리프레시된다.

이제 제4도를 참조하면, 표시 제어장치 13은, 동작상 리프레시 기억회로 44에 내포된 정보가 음극선관 11의스크리인 위에 표시될 수 있게끔, 케이블 81을 통해 표시 모니터 77에 결합되어 있다. 이것이 이루어지는 정확한 과정은 지금부터 설명한다.

라스터 주사 논리회로 42는 라인62를 경유한 도트 클럭신호(DOTCLK+), 라인 64를 경유한 캐릭터 클럭신호(CHARCLK+), 라인 58을 경유한 수평 동기신호(HORSYN+)및 라인 60을 경유한 수직동기신호(VRTSYN+)를 통해 정보표시를 제어한다. 음극선관 11의 스크리인 위에 표시된 정보는 리프레시 기억회로44로부터 보상되고, 표시 제어장치 13의 다양한 논리에 의해 비디오 논리회로 56이 라인66이상 에 비디오신호(VIDE0+)를 발생케한다. 음극선관 11의 스크리인상에 표시될 각 정보 캐릭터와 함께, 리프레시 기억회로 44는 정보 캐릭터가 음극선관 11의 스크리인상에 어떻게 표시되느냐에 영향을 주는 속성정보를 내포한다.

본 실시예에서는, 각 정보 캐릭터는 그 캐릭터가 관련된 잠복, 명멸, 역 비디오, 하선 및 낮은강도 등의 속성을 지니고 있다. 잠복속성이 선택되면, 정보 캐릭터가 음극선관 11의 스크리인위에 표시되지않고, 리프레시 기억회로 44내에 영향을 받지않는 채로 남게 된다. 명멸 속성이 선택되면, 정보 캐릭터는 스크리인상의 이미지가 새롭게됨에 따라 반짝반짝하면서 음극선관 11의 스크리인 위에 표시될 것이다. 역 비디오 속성이 선택되면, 캐릭터는 어두운 캐릭터가 밝은바탕을 배경으로하여 표시되는 역 비디오 모우드에서 표시될 것이다. 낮은 강도의 속성이 선택되면, 정보 캐릭터는 캐릭터 도트의 밝기가 정상밝기 이하인 낮은 강도레벨로 음극선관 11의 스크리인위에 표시될 것이다. 하선속성이 선택되면, 캐릭터는 캐릭터 셀 16의 라인 12에 나타나는 도르의 하선 횡렬과 함께 표시될 것이다(제2도 참조).

잠복, 명멸, 역 비디오 및 하선속성은 비디오 논리회로 56을 경유해서 스크리인의 도트 패턴표시에 영향을 미치고, 비디오 신호 VIDE0+형태로 나타난다. 낮은 강도 속성은 직접적으로 라인 68의 낮은 강도신호(LOWJNT+)에 영향을 준다. 비디오 신호 VIDE0+는, 표시 모니터 77내의 전자비임을 여가시킴으로써 음극선관 11의 스크리인에 도트가 발생할때, "하이"상태 즉 논리 1인 상태에 있게된다. 낮은 강도 신호 LOWJNT+는 음극선관 11의 스크리인에 표시되는 도트가 낮은 강도(즉 밝기가 감소된)모우드로 표시될때는 언제나 논리 "1"인 상태에 있게된다.

앞서 언급한 도트의 조명은 전자비임이 표시 스크리인 10을 가로질러 수평 방향에서 구동하는 동안에 일어난다. 이것은 모니터 전자장치 79의 비임구동 회로에 의해 표시 모니터 77내에서 이루어진다. 이 비임구동 회로는 수신 논리회로 75로부터 출력되는 라인 80의 수평동기신호 HSYNC+에 반응하여 동작하는데, 이 수신 논리회로 75는 케이블 81을 하고 송신 논리회로 71에서 송신되는 라스터 주사 논리회로 42에서 나온 라인 58의 수평동기 신호 HORSYN+에 의해 동작한다. 수평 동기신호 HSYNC+는 라인 80에 나타나고, 전자비임의 수평재추적 뿐만 아니라 그후에 이어지는 독립된 라인으로 구성된 전자비임의 수평주사를 초기화시키게 한다. 이때 제어장치 13은 이러한 수평 재추적 기간동안 높은 레벨의 비디오 신호 VIDE0의 발생을 디스에이블(disable)시켜 재추적 통로가 스크리인 10에서 보이지 않게한다.

또한 라스터 주사 논리회로 42는 표시모니터 77이 전자비임의 42수직 재추적을 초기화시키게 동작한다. 수직 재추적은 라스터 주사리회로 42에서 나온 60상의 수직동기 신호 VRTSYN+가 "하이"상태로 될 때 초기화된다. 이 신호는 송신논리 회로 71에 의해 케이블 81를 경유 수신논리회로 15에 송신되는데, 이어서 라인 82상의 비디오 동기신호 VSYNC-는 "로우"레벨로되고 모니터 전자장치 79내의 수직비임 구동회로가 동작하게되어, 전자비임이 스크리인 10의 상단으로 이동하게된다. 표시 제어장치 13내의 논리화 또한 이런 수직 재추적 시간동안에 "하이"레벨의 비디오 신호 VIDE0+의 발생을 인히비트(inhibition)시켜, 스크리인 10상에 보이는 지그 재그형 수직 재추적을 인히비트시킨다.

이제까지 설명한 제4도내의 어떤 요소는 이 분야의 기술에서 알려져 있으므로 여기서는 상세히 설명하지 않는다. 특히 음극선관 11및 모니터 전자장치 79는 5166미네소타주, 세인트폴시에 소재하는 볼브라더즈 리서치사에서 구할수 있다.

이제 제4도의 표시 제어장치 13을 더욱 상세히 설명한다. 라스터 주사 논리회로 42는 표시제어회로 13에 도트시간, 캐릭터시간, 라인시간 및 횡렬시간을 공급한다. 라스터 주사 논리회로 42는 도트 카운터 43을 구동시키는 연속 19.712메가헤르츠 발진기 40과 함께 시동한다. 발진기 40은 라인 62에 도트클럭신호(DOTCLK+)를 제공하고, 또한 도트 카운터 43에의 입력을 공급한다. 이 도트 시간은 도트 카운트를 수평 주사선당 도트로된 캐릭터셀의 폭인 9로 분주시키는 도트 카운터 43에의 입력이며, 이 카운터 43은 0내지 8의 주기성 도트카운트를 발생시켜 라인 64에 캐릭터클럭 신호(CHARCLK+)을 발생시킨다. 이 캐릭터 시간은 수평 주사선을 이루는 종렬수인 104로(제1도 참조) 종렬 카운트를 분주시키는 종렬 카운터 45에의 입력이며, 0내지 103의 주기성 카운트를 발생시킨다. 종렬 카운터 45에서 나온 종렬 카운트 출력은 수평 동기 디코더 41의 입력인데, 이 수평동기 디코더는 종렬 카운터 80내지 103을 디코딩시켜 라인 58상에 수평 동기신호(HORSYN+)를 발생시킨다. 신호 HORSYN+는 정보가 표시 스크리인 10위에 표시될 때인 카운트 0내지 79(제1도의 종렬 1내지 80에 해당) 동안에는 "로우"상태에 있다. 수평 재추적이 일어난때인 종렬 카운터 80내지 103(제1도의 종렬 81내지 104에 해당) 동안에는 "하이"상태에 있게된다. 종렬카운터 45의 출력은 또한 라인 카운터 47에의 입력인데, 이 라인 카운터 47은 횡렬당 라인수(제2도의 캐릭터 셀을 참조)인 13으로 라인 카운트를 분주시켜 0내지 12의 주기성 카운트를 발생한다. 라인 카운터 47의 출력은 횡렬 카운터 47에의 입력인데, 이 횡렬 카운터 49는 표시 스크리인의 수직주사를 이루는 횡렬수인(제1도 참조) 27로 횡렬 카운트를 분주시켜 0내지 26의 주기성 카운트를 발생시킨다. 횡렬 카운터 49에서 출력된 횡렬 카운트 출력은 횡렬 카운트 25, 26을 디코딩시키고 라인 60에 수직동기 신호(VRTSYN+)를 방생시키는 수직동기 디코더 51에의 입력이다. 신호 VRTSYN+는 정보가 표시 스크리인 10에 표시될 때인 횡렬 카운트 0 내지 24(제1도의 횡렬 1내지 25에 해당)동안에는 "로우"상태에 있고, 수직 재추적이 일어난때인 횡렬 카운트 25, 26(제1도의 횡렬 26, 27에 해당)동안에는 "하이" 상태를 유지한다.

따라서 상술하였듯이, 처음 80개의 종렬 카운트는 표시 스크린 10에 실제로 표시되는 캐릭터를 나타내고, 다음 24개의 카운트는 수평 재추적을 위해 사용되어 캐릭터가 표시되게 하지 않는다. 캐릭터의 처음 25개의 횡렬은 표시 스크린 10상에 표시된 횡렬을 나타내고 마지막 2개의 횡렬은 수직 재추적시간 동안에 사용된다.

종렬 카운터 45에 의한 종렬 카운트 출력 및 횡렬 카운터 49에 의한 횡렬 카운트 출력은 리프레시 기억회로 44의 어드레스를 발생시키는 리프레시 어드레스 발생기 53에의 입력이 되는데, 리프레시 기억회로 44는 어느 기억위치에 특정 캐릭터 셀에 표시된 캐릭터와 관련된 캐릭터정보 및 속성정보를 내포하는 식별한다. 16비트 어가 리프레시 기억회로 44에서 판독되어 캐릭터 클럭킹신호 CHRLK+에 의해 리프레시국지 레지스터 46에 클로킹된다. 각 16비트 어중 7비트가 스크린에 표시되고 라인 55를 통해 도트패턴 발생기 48에 인입될 캐릭터용 ASCII코우드를 내포하는데 사용되어, 표시될 정보 캐릭터와 관련된 도트 매트릭스 내에서 라인의 도트 패턴을 얻게된다. 또한 라인 57에 실린 라인 카운터 47의 출력은 도트 패턴 발생기 48에의 입력 되어서, 캐릭터 셀의 각 특정라인과 관련된 도트패턴이 수평주사가 주사선으로부터 주사선으로 진행하게 됨에 따라 발생한다. 패턴 발생기 48의 출력은 라인 64에 실린 캐릭터 클럭킹 신호 CCHRLK+에 의해 시프트 레지스터 52에 실린다. 캐릭터 셀의 현재라인과 관련된 도트패턴이 시프트 레지스터 52에 실린후, 라인 62상의 도트 클럭킹신호 DOTCLK+에 의해 한번에 1도트씩 시프트하여서, 라인 65상의 출력신호는 전자비임이 캐릭터 셀의 도트를 가로질러 진행함에 따라 그 전자비임의 수평주사를 따르게된다. 리프레시 기억회로 44에서 출력된 16비트 어로부터 다른 비트는 캐릭터와 관련된 비데오 속성을 가리키며, 라인 59를 통해서 리프레시 국지 레지스터 46에서 비데오 속성발생기 50에 인입된다. 비데오 속성발생기 50은 정상 비데오, 역 비데오 및 강도 레벨을 가리키는 출력신호를 제공한다. 라인 61의 이들 비데오 속성신호는 캐릭터 클럭킹 신호 CHRLK+에 의해 제어 레지스터 54에 클럭킹되는데, 그 이유는 이들신호가 특정 캐릭터셀의 수평주사선과 관련된 9개의 도트 각각을 위해 일정하게 유지되기 때문이다. 라인 63상의 정상 및 역 비데오 제어신호는 라인 65의 시프트 레지스터 52의 출력과 함께 비데오 논리회로 56에 의해 합성되어 라인 66상에 비데오 신호(VIDE0+)를 발생시킨다. 이 비데오 신호 VIDE0+는 제어 레지스터 54에서 출력된 낮은 강도의 신호및 라스터 주사는 리회로 42에서 나온 수평 동기신호 HORSYN+, 수직동기신호 VRTSYN+와 함께 도트 클럭킹 신호 DOTCLK+에 의해 송신 논리회로 71에 클럭킹된다. 이들 4종류의 TTL레벨신호는 송신되기에 적합한 신호로 변환되어 케이블 81을 타고 송신되어 수신논리 회로 75에 수신되는데, 이 수신 논리회로 75는 수신신호를 다시 TTL레벨신호로 변환시켜 피변조 비데오 신호 MVIDE0+, 수평 동기신호 HSYNC+및 수직동기신호 VSYNC-를 발생한다. 이와같이 케이블 81을 타고 송신되기 이전에 TTL레벨신호로부터의 변환및 케이블 81을 타고 송신된후 TTL레벨신호로의 재변환은 케이블 81이 TTL레벨신호가 신빙성있게 송신될 수 있는(비교적 짧은 거리인) 1혹은 2피아트 이상되기 때문에 필요하다.

송신 논리회로 71및 수신논리회로 77을 상세하게 설명하기 이전에, 중대한 설계목적을 설명한다. 두 점간의 다수 신호의 송신에 있어서, 신호간의 동기작용이 유지되어야 하는 점은 특히 중요하다. 4종류의 신호가 표시 제어장치 13으로부터 표시 모니터 77로 송신되는 본 발명의 바람직한 실시예에서, 비데오신호, 강도신호, 수평동기 및 수직동기 신호간의 동기작용이 유지되어야 함은 중요한 문제이다. 본 발명의 바람직한 실시예에 사용된 유형인 해상도가 높은 표시 모니터의 경우 스크린에 표시된 정보의 캐릭터가 안정하고 선명하고 깨끗하고 희미하지 않으려면 특히 그러하다. 바람직한 실시예에서, 전자비임의 수평주사가 캐릭터 매트릭스의 1도트의 길이를 주사하기위해 요하는 시간은 약 50.7nsec이다. 이 시간은 신호가 표시 스크린 상에 맺히는 이미지의 선명도에 크게 영향을 줌이 없이 동기로부터 벗어날 수도 있는 외부 한계를 나타낸다. 이후에 설명하겠지만, 경험에 의하면 신호의 최대 허용가능한 미스싱크로나이제이션(missynchronization) 즉 스큐(skew)는 사실상 50.7nsec의 도트 주사 시간으로부터 16nsec이다.

바람직한 실시예에서는, 비데오 신호와 강도신호간의 동기를 유지시키는 일은 극히 중대하다. 이제 제5a도, 제5b도를 참조하여 두 경우의 신호 스큐를 설명한다. 제5a도는 강도신호가 비데오신호를 뒤지는 경우를 예시한 도면이며, 제5b도는 강도신호가 비데오 신호를 앞서는 경우이다.

제5a도를 참조하면서 강도신호가 비데오 신호를 뒤지는 경우를 설명한다. 이 경우에, 비데오 신호가 먼저 도착하여 비데오를 이전의 캐릭터 셀과 관련된 낮은 강도의 상태로 들어오게하고, 그후 얼마 있다가 현 캐릭터 셀을 위한 높은 강도신호가 도착한다. 이에따라 현 캐릭터 셀의 첫번째 도트가 2가지 강도(낮았다가 그후 높아짐)로 표시될 것이다. 제5a도는 도트시간 즉 표시 스크린 10의 종렬 1에 있는 캐릭터셀의 후반부(제1도참조), 종렬2의 완전한 캐릭터셀 및 종렬 3에서의 캐릭터셀의 선단부를 보여주고 있다. 제4도의 라인 66에서 발견되었던 비데오 신호 VIDE0+는, 이 신호가 "로우" 상태 즉 논리 0인 상태에 있을때 음극선관 11의 전자비임은 표시스크린 10위의 도트를 조명하지않고, "하이"상태 즉 "1"인 상태에 있을때 표시 스크린 10의 도트를 조명하게끔 예시되어있다. 강도 신호 LOWINT+는, 이 신호가 "하이"상태 즉 논리 1인상태일때 스크린에서 표시되고 있는 어떤 도트가 낮은 강도(중간 밝기)로 표시되게하고, "로우"상태 즉 논리 0인 상태에 있을때 스크린에 비치는 어떤 도트는 높은강도(충분한 밝기)로 표시되게끔 예시되어 있다. 피변조 비데오 신호 MVIDE0+는 라인 78에서 발견되는 신호이다. 신호 MVIDE0+는 비데오 신호와 강도신호의 합성 신호이고, 제6도와 관련하여 이후에 설명하듯이 수신 논리회로 75에 의해 발생된다.

이 바람직한 실시예에 사용한 모니터 전자장치 79를 비데오 입력신호가 "하이"상태나 "로우"상태의 어느쪽에 있게 설계하여 음극선관 11의 표시 스크린 10에 맺히는 이미지가 어둡거나(아무런 조명이 없음)밝은 (충분한 밝기)도트로 구성되게 하지만, 비데오 입력신호를 스크린의 어두운 도트를 가리키게 사용되는 전압레벨과 스크린의 충분히 밝은 도트를 가리키게 사용되는 전압레벨간의 중간 전압레벨로 되게 바이어스 전압을 걸어줌으로써 강도가 중간 인도트가 발생할수 있음이 발견되었다. 따라서 전압레벨이 낮은 비데오신호는 스크린에 아무런 도트를 창출하의 않고 즉 어두운 도트, 전압레벨이 중간인 비데오 신호는 강도가 낮은 도트(중간정도의 밝기)를 창출하며 전압레벨이 높을 때는 강도가 높은 도트(충분한 밝기)를 창출한다. 따라서 본 발명의 바람직한 실시예에서는, 피변조 비데오 신호 MVIDE0+가 직류 3.0내지 4.0볼트인 높은 전압범위에 있을때 스크린에 강도가

높은 도트(충분한 밝기)를 창출하고, 직류 0.0내지 0.4볼트인 낮은 전압 범위내에서는 스크리인에 아무런 도트를 창출하지 않으며(어두운 도트), 직류 0.4 및 4.0볼트간의 중간 전압레벨에 있을때는 스크리인에 낮은강도(중간정도의 밝기)의 도트를 창출한다. 강도가 낮은 비데오 신호를 위해 모니터 전자장치 77에의 입력으로 사용되는 정확한 전압레벨은 가변저항기(제6도와 관련하여 이후에 설명함)를 조정함으로써 결정된다.

제5a도에 예시한 스크리인 주사선 도르는 모니터 전자장치 79가 도면에 표시한 피변조 비데오 신호 MVIDE0+를 수신함에 따라 음극선관 11의 스크리인 10에 형성되는 도트의 수평 주사선을 나타낸다. 도트의 주사선에 있어서, 검게 표시한 주사선의 부분은 표시스크리인에 어두운 스포트로 표시되고, 빗금친 부분은 스크리인에 낮은 강도로 표시되며, 하얗게 표시한 부분은 스크리인 10에 높은 강도로 표시될 것이다.

제5a도에 예시하였듯이, 비데오 신호 VIDE0+는 종렬2의 도트 1'내지 9'가 밝게되고 종렬 1의 도트 8', 9'및 종렬 3의 도트 1'내지 2'가 어둡게되는 경우에 해당한다. 이제 제2도를 참조하면, 이 비데오 신호는 하선라인 즉 캐릭터 셀의 라인 12가 주사되고 있고, 종렬 1의 캐릭터에 밀줄이 그어지지 않았으며, 종렬2의 캐릭터에 밀줄이 그어져 있고, 종렬 3의 캐릭터에 밀줄이 그어지지않는 경우에 해당함을 알수있다. 이 경우는 강도및 비데오 신호의 동기작용간의 중대한 문제점이 캐릭터셀의 경계에서 일어나고 캐릭터에 하선을 긋는것은 1' 및 2'로 표시되는 도트가 조명되는 경우이기 때문에 선택되었다. 이 실시예에서, 가장 중대한 경우는, 강도 신호만이 캐릭터 셀의 경계에서 변화하고 캐릭터 셀 내의 모든 도트가 동일한 강도 레벨로 표시되기 때문에, 캐릭터 셀의 경계선을 따른 도트에서 일어난다. 즉, 일정한 캐릭터 셀내에서 매트릭스는 높은 강도의 도트및 어두운 도트로 구성되어 나 낮은강도의 도트및 어두운 도트로 구성된다.

제5a도의 강도신호 즉 LOWINT+신호를 참조하면, 종렬 1의 캐릭터가 낮은강도로 표시되고, 종렬 2의 캐릭터가 높은 강도로 표시되며, 종렬 3의 캐릭터가 낮은강도로 표시되고 있음을 알수있다. 바람직한 실시예에서 강도가 낮은 신호가 캐릭터 셀의 전체적인 폭에 걸쳐서 "하이"상태나 "로우"상태에 있지만, 비데오 비데오 신호가 사실상 별개의 도트를 트대로하여 밝은 상태및 어두운 상태사이에서 변화할 수 있으며 또 종렬 1및 종렬 3에서는 어둡고 종렬 2에서는 밝은것처럼 예시되어 있는데, 그것은 밀줄이 그어져 있지 않는 2개의 캐릭터로 둘러싸인 밀줄이 그어진 캐릭터용 캐릭터 셀의 라인 12와 관련된 비데오 신호의 형상이기 때문이다.

제5a도는 강도신호가 캐릭터 셀의 경계에서 상태를 변화시키지 않지만 그대신에 도트 1'의 약 반 정도의 주사 시간동안 비데오 신호보다 뒤지게끔 강도신호가 비데오신호에 관하여 스큐된 경우를 표시한 것이다. 앞으로 설명할 제6도의 수신논리회로 75와 관하여 알수있듯이, 강도신호에 의한 비데오 신호의 변조로 제5도에 표시한 피변조 비데오 MVIDE0+가 생기게되는데, 이 신호는 종렬 2의 도트 1'의 나머지 반동안 그리고 여기서부터 종렬 2의 도트 9'까지 높은 강도를 유지한다. 피변조 비데오 신호 MVIDE0+가 밝은 상태에서 어두운 상태로 진행하는 비데오 신호에 반응하여 종렬 2, 3간의 캐릭터 셀 경계에서 높은 강도에서 낮은 강도로 변화함을 아울러 유의해야 한다. 따라서 밝은 상태의 비데오 신호가 존재할때 피변조 비데오 신호 MVIDE0+가 낮은강도나 높은 강도의 상태에있게 됨을 알수 있다. 피변조 비데오 신호가 두 강도중 어느쪽에 있는가를 제어하는 것은 강도신호 LOWINT+이다. 이제 표시 스크리인 10에 나타날 주사선 도크를 참조하면, 종렬 1과 관련된 도트는 종렬 3과 관련된 도트와 마찬가지로 어둡게 된다는(제5a도에서는 검은색으로 표시 하였음)것을 알수가 있다. 비데오 및 강도신호가 적당하게 동기화되어 있었다라면 모든 도트가 높은강도(충분한 밝기)로 표시될것이지만, 종렬과 관련된 도트는 실제적으로 도트 1'의 처음반이 낮은 강도(제5a도에서 빗금친부분)로 표시되고 도트 1'의 나머지 반내지는 9'가 높은강도(제5a도에서는 흰색부분)로 표시된다.

제5b도를 참조하면서 제5a도에 예시한것과 유사한 경우를 설명한다. 그러나 이 경우에 강도신호가 먼저 도착하여, 현재의 캐릭터 셀과 관련된 낮은 강도의 상태에서부터 다음의 캐릭터 셀과 관련된 높은강도의 상태로 이미 "온"되어있는 비데오를 변화시키고, 얼마후에 다음의 캐릭터 셀을 위해 비데오 신호가 도착, 비데오를 "오프"시킨다. 역시 제5b도에 표시한 비데오 신호는 제5a도에 표시한 비데오 신호의 역이다. 따라서 제5b도의 비데오 신호가 다시 캐릭터 셀의 라인 12 즉 하선 라인과 관련되는 경우, 제5b도의 비데오 신호 VIDE0+는, 종렬 1, 종렬 2및 종렬 3이 밀줄이 그어지지 않은 종렬 1, 3의 캐릭터로 둘러싸이고 밀줄이 그어진 종렬 2의 캐릭터와 함께 역 비데오 모드(즉 어두운 캐릭터가 밝은바탕을 배경으로하여 표시됨)로 표시되는 경우를 나타낸다. 제5b도의 강도신호 LOWINT+(제5a도의 경우와 마찬가지로)종렬 1, 3의 캐릭터가 낮은 강도로 표시되고 종렬 2의 캐릭터가 높은강도로 표시되는 경우를 나타내주고 있다.

제5a도와 마찬가지로 제5b도의 피변조 비데오 신호 MVIDE0+는 비데오(VIDE0+)및 강도(LOWINT+)신호를 합성시킴으로써 수신 논리회로 75에 의해 발생한다. 결과적인 피변조 비데오 신호는 종렬 1과 관련된 도트가 도트 9'의 마지막 반을 제외하고 낮은강도로 표시될것이라는 것을 보여주는데, 여기서 이 도트 9'의 마지막 반은 비데오 신호가 어두운 상태로 진행하기 이전에 낮은 강도의 신호가 높은 강도의 신호로 진행하기 때문에 높은 강도로 표시될것이다. 제5b도는 또는 종렬 2와 관련된 모든 도트가 어두운 상태로 표시되고 종렬 3과 관련된 처음 도트가 낮은 강도로 표시될것임을 보여주고 있다. 종렬 3의 도트 1'는, 비데오 신호가 어두운 상태에서 밝은상태로 변화하기 이전에 적당한 강도 신호레벨이 설정되기 때문에 강도신호의 비데오 신호와의 미스신크로나이 제이션에 의해 영향을 받지않는다.

제5a도, 제5b도의 스크리인 주사선 도크를 참조하면, 강도 신호가 비데오 신호에 뒤질만큼 강도신호가 비데오 신호에 관하여 스큐될 경우 캐릭터셀의 처음 도트가 영향을 받을수도 있음을 알수 있다. 강도신호가 비데오 신호를 앞설경우, 캐릭터셀의 후반부도트가 영향을 받을 것이다. 캐릭터셀의 1도트의 길이를 수평방향으로 주사하기 위한 시간의 약 50.7nsec인 우선적인 실시예에서, 강도신호 및 비데오 신호간의 스큐를 제어할 수 있었던 시험에 의하면, 비데오 신호 및 강도신호의 동기작용이 16nsec를 벗어날 경우, 도트를 높은 강도의 부분및 낮은 강도의 부분으로 조명되게하여 야기되는 희미함이 관측자에게 가시적인 불쾌감을 줌이 발견되었다. 표시 스크리인에 수용가능한 왜곡(희미함)

의 정도는 관측자의 주관적인 측정임을 유의해야 한다.

이제 제6도를 참조하면서 송신 논리회로 71및 수신논리 회로 75를 상세하게 설명한다. 비디오 동기 레지스터 70및 라인 드라이버 72는 송신논리회로 71을 구성하고있다. 케이블 81에 붙어있는 일단의 저항기 R1내지 R4, 라인수신기 74, 인버터 76및 다른 일단의 저항기 R5내지 R6는 수신 논리회로 75를 구성하고 있다. 송신 논리회로 71은 4종류의 정보신호 즉 비디오, 강도, 수평동기 및 수직 신호를 취하고 병렬 구성된 케이블 81을 이용하여 수신 논리회로 75에 송신한다. 수신논리회로 75는 이들 4종류의 입력신호를 표시 제어장치로부터 취해 신호들간에 동기작용을 유지시키면서 일단의 저항기 R5내지 R9를 통해 모니터 전자장치 79에의 입력으로 필요한 3종류의 신호를 생성한다. 수신 논리회로 75는 4종류의 입력신호를 취해 비디오 및 강도신호를 피변조 비디오신호(MVIDEO+)로 합성시키고 수평동기 및 수직동기 신호는 근본적으로 변경 시키지 않은채로 통과시킴에 따라 3종류의 출력신호를 생성하게된다. 따라서, 송신 논리회로에, 케이블 81및 수신 논리회로 75는 신호들간의 동기작용이 설정되고 재동기화가 필요없이 유지되게끔 설계되어 있어서, 수신논리회로 75의 출력은 제5a도, 제5b도에 관련하여 앞서 설명하였듯이 최대 스큐 한계인 16nsec내에서 신호들간의 동기작용을 유지한다.

비디오 동기 레지스터 70의 입력은 라인 66을 통한 비디오 신호 VIDEO+, 라인 68을 통한 비디오 신호 LOWINT+, 라인 58을 통한 수평동기신호 HORSYN+ 및 라인 60을 통한 수직동기신호 VRTSYN+이다. 이들 4종류의 신호는 논리 0으로부터 논리 1인 상태로 전이시키는 라인 62의 도트 클럭킹신호 DOTCLK+에 의해 비디오 동기 레지스터 70으로 클럭킹된다. 바람직한 실시예에서, 비디오 동기 레지스터 70은 다수의 D형 플립플롭으로 구성된 단 1개의 집적회로 소자이고, 가 D형 플립플롭의 공통클럭(C)입력신호에 클럭킹되고 공통리세트(R) 입력신호에 의해 클러여될수 있다. 제6도에 표시되어 있듯이, 비디오 동기 레지스터 70의 리세트 입력은 논리 1로 유지되어 있어서 논리 0으로부터 논리 1인 상태로의 클럭킹 신호의 전이에 의해 D형 플립플롭의 입력(D1-D4)이 행당출력(Q1-Q4)으로 클럭킹할 것이다. 이 실시예에서, 비디오 동기 레지스터 70은 텍사스주 달라스에 소재하는 텍사스 인스트루먼트사가 제작한 SN74S174형인 D형 플립플롭이고, "디자인 엔지니어를 위한 TTL데이터 북"(제2판)이란 그들의 출판물에 설명되어있다. 이런 유형의 SN74S174집적회로는 실제 6개의 D형 플립플롭을 내포하고 있지만, 단지 4개만 신호가 라이드라이버 72에 들어가기이전에 동기화시키는데 사용된다.

비디오 동기 레지스터 70에 의한 신호출력 즉 비디오 비디오 신호 VIDEO+10, 낮은 강도의 신호 HGHLTE+10, 수평동기신호 HORSYN+10및 비디오 동기신호 VRTSYN+10은 차례대로 라인드라이버 72의 입력이다. 라인드라이버 72는 독립된 4개의 드라이버 체인을 내포하는 단일의 집적회로이며, 이 독립된 4개의 드라이버 체인은 평형 전압 디지털 인터페이스 회로의 전기특성용 EIA기준에 맞다. 라인드라이버 72의 출력(Q1+ 내지 Q4-)은 해당하는 기능(F)입력이 논리 0일때 강제적으로 고임피던스되는 3상태 구조이다. 바람직한 실시예에서, 드라이버 1, 2의 출력을 제어하는 기능입력 F12및 드라이버 3, 4의 출력을 제어하는 기능입력 F34는, 드라이버의 출력이 논리 0이거나 논리 1이지 결코 제3의 상태(고임피던스)에 있지않게끔, 논리 1로 세트되어있다. 이 실시예에서, 라인드라이버 72는 85036아리조나주, 피닉스시에 소재하는 모토로라사가 제작한 MC3478형 집적회로 소자이다.

라인드라이버 72의 각 드라이버는 TTL양립식 입력(D1-D4)을 취해서 케이블 81에 의해 수신회로 75로 송신되는 2종류의 평형전압 출력(Q1+, Q1-내지 Q4+, Q4-)을 생성한다. 각 드라이버의 Q+출력이 이 드라이버에의 입력과 동일한 상태에 있다하면, Q-출력은 반전된 출력이고 또 입력과 반대인 상태를 유지한다. 각기 입력신호 VIDEO+10+, HGHLTE+10, HORSYN+10 및 VRTSYN+10에 대응하는 라인드라이버 72의 출력 즉 4쌍의 신호 VIDEO+10+CD 및 VIDEO-CD, HGHLTE+CD 및 HGHLTE-CD, HORSYN+CD 및 HORSYN-CD, VRTSYN+CD 및 VRTSYN-CD는 송신 논리회로 71에서 케이블 81을 경유, 수신 논리회로 75에 송신된다. 케이블 81은 4쌍의 꼬여진 리이드선으로 구성되어있다. 이들 4쌍의 꼬여진 리이드선을 일단의 저항기(R1-R4)에 의해 수신논리 회로 75에 끝을 이루고있다. 이 실시예에서, 저항기 R1-R4의 저항값은 100오옴인데, 이 저항값은 케이블 81의 꼬여진 송신선의 특성 임피던스와 정합이 되어 케이블 81내에서의 신호의 반사를 예방한다. 케이블 81이 일단 저항기 R1-R4에 끝을 두고 있기 때문에, 4쌍의 평형 전압신호는 라인수신기 74에의 입력이 된다.

라인 수신기 74는 독립된 4개의 수신기 체인을 내장하고 있는 단일의 집적회로 소자이고, 이 독립된 4개의 수신인 체인은 평형 및 비평형 전압 디지털 인터페이스 회로용 전기 특성에 대한 EIA기준에 맞는다. 라인 수신기 74의 출력(Q1-Q4)은, 대응하는 기능 입력신호(F12 혹은 F34)가 논리 0인 상태에 있을 경우, 강제적으로 고임피던스 상태에 있게하는 3상태 구조이다. 이 실시예에서, 기능(F)입력 F12및 F34가 논리 1인 상태에 유지되므로, 출력이 Q1내지 Q4는 그들의 해당입력(D1+, D1-내지 D4+, D4-)에 따라 논리 1이거나 논리 0인상태에 있게될 것이다. 이 실시예에서, 라인수신기 74는 85036아리조나주, 피닉스시에 소재하는 모토로라사 제작한 MC3486형 집적회로 소자이다.

제6도는 비디오 신호 및 수평 동기신호용 평형전압 출력이 라인수신기 74의 입력에, 상호 교차되게 표시되어 있어, 비디오 신호 VIDEO+10이 라인 드라이버 72의 입력 D1에서 논리 1인 상태에 있을 경우, 라인 74의 출력 Q1에서의 해당신호 VIDEO-20은 논리 0인 상태에 있게된다. 마찬가지로 라인 드라이버 72의 입력 D3에서의 신호 HORSYN+10은 라인수신기 74의 출력 Q3에서의 해당신호 HORSYN-20에 대하여 반전되어있다. 평형 전압 입력신호를 교차시킴으로써 이루어지는 라인드라이버 72의 입력 및 라인드라이버 74의 출력간의 신호반전은 인버터 74의 입력단에 필요한 논리상태의 신호를 공급하기 위해 이루어져서, 비디오 동기레지스터 70의 출력단 및 인버터 76의 입력단간에 어떤 다른 반전용 논리소자를 구성할 필요성이 배제된다.

라인 수신기 74에서 나온 4종류의 TTL레벨신호는 반전 증폭기 76에 인입되고, 이 반전 증폭기는 모니터 전자장치 79의 입력에 요구되는 수준의 신호를 마련한다. 반전 증폭기 76을 구성한 1차적인 목적은 수신기 74에서 출력된 신호를 증폭시키는 것이고, 이 반전 기능은, 신호 VIDEO+CD, VIDEO-CD 및 신호 HORSYN+CD, HORSYN-CD에 관하여 이후에 설명하듯이, 수신기 74의 입력단에서 송신기 72의 출력의 극성을 역전시킴으로써 이루어질 수 있다. 인버터 76은 6개의 오픈 콜렉터 반전 증폭기를 내

장하고 있는 단일의 집적회로 소자이다. 오픈 콜렉터 반전 증폭기는, 인버터 76의 Q3출력단에 나타나는, 낮은 강도의 신호가 인버터 76의 Q1, Q2출력단에 나타나는 비데오 신호로부터 효과적으로 감산될수 있어 라인 84상에 피변조 비데오 신호 MVIDEO+를 제공하게 사용하였다. 비데오 신호 VIDEOE-20은 반전된 출력을 지닌 병렬구성의 인버터 Q1, Q2의 입력이다. 2개의 병렬 구성된 인버터는 비데오 신호를 반전시키기 위해 사용되어서, 각각 독립된 인버터를 통해 흐르는 전류는 독립된 인버터에 허용 가능한 최대전류 미만이다. 이 실시예에서, 전압 V1은 직류 5볼트이고, 저항기 R6의 저항값은 150오옴이다. 반전된 비데오 신호의 출력 즉 인버터 76의 Q1, Q2출력단에서 신호 VIDE+는 점 83에서 인버터 76의 Q3출력단에 출력된 반전된 낮은 강도의 신호 HLTE-와 합성된다. 비데오 신호 VIDE+는 도트가 스크라인 10에 나타날 경우 논리 1일것이다. 낮은 강도의 신호 HLTE-는, 도트 (캐릭터셀의 조면된 모든 도트)가 낮은 강도의 모우드에서 스크라인 10에 표시되면 논리 0이되고, 도트가 높은강도의 모우드에서 스크라인에 표시되면 논리 1이 될것이다.

비데오 신호 VIDE+를 점 83에서 저항기 R5를 경유한 낮은 강도의 신호 HLTE-와 합성시킴으로써 비변조 비데오신호 MVIDEO+가 라인 84에 발생된다. 라인 84의 신호 MVIDEO+는 충분한 강도로 비데오가 표시 스크라인 10, 표시될때는 "하이"레벨을 유지하고, 중간(낮은)강도로 비데오가 스크라인 10에 표시될때는 중간레벨을 유지하며, 아무런 비데오가 스크라인 10에 표시되지 않을때는 "로우"레벨을 유지한다는 점에서 피변조 비데오 신호이다. 이러한 3가지 레벨 피변조 비데오 신호를 이미 위에서 제 5a도, 제5b도를 참조하여 설명한 바있다. 당분간 낮은 강도의 신호 HLTE-의 효과를 무시하면, 라인 78을 통해 모니터 전자장치 77에 공급되는 비데오 신호 MVIDEO+는 정상 상태하에서 오픈 콜렉터 인버터 76의 Q1, Q2출력에서의 비데오 신호 VIDE+의 함수으로써 또한 마찬가지로 저항기 분할 회로망 R6, R7의 함수으로써 하이 또는 로우 레벨의 신호가 될것이다. 이 실시예에서, R6는 150오옴짜리 저항기이고, R7은 500오옴짜리 가변 저항기이다. 낮은 강도신호의 효과는, 낮은 강도의 신호 HLTE-가 오픈 콜렉터 인버터 76의 Q3출력단에서 논리 0(저전압)이고 인버터 76의 Q1, Q2출력단에서의 비데오 신호 VIDE+가 논리 1(고 전압)인 경우, 전류가 저항기 R5를 통해 흘러서 점83에서 또한 라인 84의 전압레벨이 감소하게 되어 중간전압수준의 피변조 비데오 신호 MVIDEO+를 생산한다는 것이다. 신호 HLTE-및 VIDE+가 둘다 도트가 완전 밝기로 조명되고 있음을 가리키는 논리 1(고전압 레벨)이면, 저항기 R5를 통해 아무런 전류가 흐르지 않아서 피변조 비데오 신호 MVIDEO+는 고전압 레벨의 신호가 될 것이다. 이 실시예에서, R5는 510오옴짜리 저항기이다. 가변저항기 R7은 표시스크라인 10에 발생하는 높고 낮은 강도의 도트간의 콘트라스트(contrast)를 조정하기 위해 사용된다. 저항기 R7은, 낮은 강도의 도트용 피변조 비데오 신호 MVIDEO+가 음극선관 11의 비데오를 구동하기위해 사용되는 모니터 전자장치 79의 회로의 임계치로 바이어스 되게끔 조정되어 있다. 이렇게 낮은 강도의 전압레벨을 전자비임 구동회로의 임계치로 바이어스 걸어주는 것은 이 실시예에서 특정 모니터 전자장치 79가 단일(선형 모우드)를 위해 조정가능) 비데오 입력을 위해 설계되었기 때문에 필요하다. 낮은 강도의 전압레벨을 밝고 어두운 전압 레벨 간으로 바이어스 걸어줌으로써, 낮은강도의 도트의 발생될 수 있다.

수평 동기신호 HORSYN-20은 2개의 병렬 오픈 콜렉터 인버터에 의해 반전되고, 인버터 76의 Q4, Q6출력단에서 그 출력인 라인 80의 신호 HSYNC+는 모니터 전자장치 79에의 수평동기 신호 입력이다. 신호 HSYNC+는, 모니터 전자장치 79에 의해 요구되는대로, 수평 재추적이 일어나는 시간동안에는 논리 1(고전압 레벨)이고, 수평 주사선이 스크라인 10의 정보를 표시하고 있는 시간동안에는 논리 0이다. 아울러 비데오 신호의 경우에 있어서와 같이, 2개의 병렬 오픈 콜렉터 인버터가 사용되었기 때문에 각 인버터의 전류는 별개의 인버터의 전류정격이 허용하는 최대치를 초과하지 않는다. 이 실시예에서, 저항기 R8의 저항값은 330오옴이고, 전압 V1은 위에서와 같이 직류 +5볼트이다.

수직 동기신호 VRTSYN+20은 인버터 76에 의해 반전되어 Q6출력단에서 라인 82의 신호 VSYNC-를 생성한다. 수직 동기신호 VSYNC-는 표시 스크라인 10에 정보가 표시되고 있을때는 논리 1(고전압 레벨)이고, 전자비임이 표시 스크라인 10의 하부주사선에서 상부 주사선까지의 수직 재추적기간동안에는 논리 0(저전압 레벨)을 유지하게 된다. 이 실시예에서, 저항기 R9의 저항값은 470오옴이고, 전압 V1은 직류 +5볼트이다.

논리상태(1혹은 0)및 모니터 전자장치 79에 의해 요구되는 피변조 비데오(MVIDEO+), 수평동기(HSYNC+)및 수직동기(VSYNC-)의 해당 전압 레벨은 일정한 실시예내에서 사용한 특정 모니터 전자장치 79의 함수이다. 이 실시예에서, 피변조 비데오 신호 MVIDEO+는 음극선관 11내의 한 격자를 제어하여 표시 스크라인 10이 밝은 상태 혹은 어두운 상태로 변조되느냐 않는냐를 결정학 위한 모니터 전자장치 79에서 사용된다. 표시 스크라인 10의 도트의 2종류. 밝기 레벨은, 낮은 강도의 도트가 요구될때 단지 부분적인 비임만 음극선관 11에 의해 발생되게끔, 비데오 신호를 임계치 영역으로 바이어스 시킴으로써 얻게된다. 수평 동기신호 HSYNC+는, 전자비임이 제어되어 수평주사선 및 수평 재추적을 생성할수 있게끔, 모니터 전자장치 79내의 수평 편향회로를 제어한다 수직동기신호 VSYNC-는 모니터 전자장치 79내의 수직편향회로를 구동시키고 전자비임의 수지편향을 제어하여, 수평 주사선이 하부 주사선으로부터 상부 주사선까지의 수직 재추적에 이어서 표시 스크라인 10의 음극선관 전면을 따라서 아래로 진행하게한다.

케이블 81의 특성을 설명하기 이전에, 이렇게 송신 논리회로 71및 수신 논리회로 75를 설계함으로써 여러 신호들간의 스큐효과와 극소화에 얼마나 기여하게 되었냐를 유념해야 한다. 앞서 설명하였듯이, 주관적인 시험에 따르면 표시 제어장치 13에서 모니터 전자장치 79로의 신호통과에 허용가능한 스큐의 전체량은 16nsec이었다. 이 16nsec의 신호 스큐는 송신 논리회로 71에 의한 스큐, 케이블 81에 기이한 스큐 및 수신논리회로 75에 기이한 스큐로 구성된다. 송신논리회로 71및 수신 논리회로 71은 송신되는 모든 신호를 단일의 집적회로 소자를 통해 통과시키고 스위칭 시간이 신속한 소자를 선택하여 신호 전파지연을 극소화시킴으로써 스큐를 최소화시키게 설계되었다. 단일의 집적회로를 사용함에 따라 집적 회로내의 모든 게이트가 가능한한 동일한 온도 및 전압레벨에 근저하게 되었다. 온도 및 전압레벨은 인쇄회로 기판상의 위치마다 다르게 가변하고, 이 온도및 전압레벨은 집적 회로내의 여러 게이트의 스위칭 시간에 영향을 줄을 유의해야 한다.

또한 이렇게 한 계열로 되어있는 단일의 집적회로 소자들을 통하여 모든 신호를 처리하는 것은, 한

신호에 대해서는 한 집적회로 소자의 몇몇 게이트를 또 제2의 신호에 대해선 또 다른 집적회로 소자의 몇몇 게이트를 사용하는 것과는 달리 단일의 집적회로 소자내의 전 게이트들을 사용하게 됨으로써 별개의 게이트들에서 생기는 전파지연의 차이를 최소화시키게 된다. 예를들어 우선적인 실시예에서 비디오 동기 레지스터 70이 실제 사용하는 단일의 집적회로 소자의 사용과 배치되게 2개의 병렬 집적회로 소자로 구성되고, 비디오 신호 VIDEOA이 한 집적회로 소자에의 입력이고 낮은강도의 신호 LOWINT가 제2의 집적회로 소자에의 입력이라면 제2집적회로 소자의 게이트에 관하여 제1집적회로 소자의 게이트에 의해 도입되는 상이한 전파 지연으로 인하여 이들 2신호간의 스큐가 증가될 가능성이 있다.

독립된 집적회로 소자의 게이트들 간에 생기는 이러한 전파지연의 차이는 집적회로 소자를 제조하는 공정 및 수용 가능한 성능명세서내에 여전히 있게되는 일정한 유형의 집적회로 소자의 전파지연 허용공차에 의해 생긴다. 예를들어, 비디오 동기 레지스터 70의 D형 플립플롭에 있어서 로우레벨에서 하이레벨로 스위칭시키는데 요하는 전파지연 시간은 보통 8nsec이고 최대전파지연시간은 12nsec이다. 따라서, 비디오 신호 VIDEOA가 전형적인 전파 지연시간이 8nsec인 제1집적회로 소자에 의해 스위칭되고있고, 낮은강도의 신호 LOWINT가 최대 12nsec의 전파 지연시간을 지닌 제2집적회로 소자에 의해 스위칭되고 있으며, 단순히 이들이 독립된 2개의 집적회로 소자라는 사실에 기인하여 이들 2신호간에 도입된 스큐가 4nsec이다. 동일한 유형의 집적회로 소자들 간의 이러한 전형적인 30내지 50퍼센트의 전파지연 차이는, 동일한 집적회로 소자내의 게이트간의 전파지연이 5퍼센트 미만의 범위에 있는 단일의 집적회로를 통하여 모든 신호를 통과시킴으로써 제거된다.

또한 모든 신호처리를 단일의 집적회로소자를 사용함으로써 인쇄회로 기판에서 신호들이 각각 거의 동일한 거리를 이동하게 되어 상이한 길이의 신호주행에 기인한 스큐의 양을 극소화시킬수 있는 또 다른 이점을 얻을수 있다. 더우기 이 스큐는 빠른 스위칭 특성을 지닌 집적회로 소자 사용에 의해 감소된다. 예를들어, 전파지연시간이 20nses인 집적회로 소자 스위칭에 있어서 공차가 5퍼센트이면 신호들간의 스큐는 1nses가능하게되는 반면에, 전파지연시간이 10nses인 집적회로 소자의 신호들간의 스큐는 0.5nses가능하게 된다.

바람직한 실시예에서 2가지 유형의 케이블이 사용된다. 길이가 0내지 75피이트일때, 케이블 81은 그 끝에 차폐막으로 둘러쳐진 4쌍의 꼬여진 리이드선으로 구성된다. 길이가 75내지 150피이트일 때는, 케이블 81은 따로따로 차폐된 4쌍의 리이드선 위이다 다시 차폐막을 친것이다. 이러한 경우에는 외곽 차폐막은 접지시키는데 이렇게 함으로써 1차적으로 4쌍의 꼬여진 리이드선을 통과하는 빠른 스위칭 신호에 의해 케이블에서 생기는 RF방사를 줄이게된다. 75피이트 미만인 짧은주행 및 75피이트 이상인 긴 주행에 있어서, 상이한 신호통로길이에 의해 도입되는 스큐를 최소화시키기 위해선 꼬여진 쌍의 신통호로 길이가 거의 같아야 한다는 사실은 중요하다.

75내지 150피이트인 케이블 81에 있어서, 따로따로 꼬여진 4쌍의 리이드선은 제6도에 예시된 바와같이 독립적으로 차폐되어 있어서, 한 방향(예를들어 하이에서 로우)에서 스위칭되는 1쌍의 신호 효과 및 다른방향(예를들어 로우에서 하이)에서 스위칭되는 다른쌍의 신호 효과를 최소화시킨다. 독립된 4쌍의 리이드선을 차폐시키지않으면, 한쌍의 신호스위칭은 동일방향에서 스위칭되는 다른쌍의 신호 스위칭을 가속화시키고, 다른쌍에서 반대방향으로 스위칭되는 신호 스위칭을 감속화시킬 것이다. 병렬도 전체에서 주행하는 신호들간의 스위칭 작용이 이렇게 보강되고 억제되는 거은 케이블의 용량성 증가로 야기되고 또 케이블 길이의 함수이다. 독립된 꼬여진 4쌍의 차폐시킴으로써 이러한 용량성 증가를 감소시키게 된다.송신 논리회로 71및 수신논리회로 75에 의한 스큐를 설명할 수 있는 시험에 의하면, 케이블 길이가 75피이트 미만인 경우에는 따로따로 차폐시킬 필요가 없고 75내지 150피이트인 경우에는 독립적인 차폐가 필요하였다.

케이블의 선정 및 적합한 최대 길이를 결정하는 또다른 요인은 쌍을 이룬 꼬여진 리이드선 자체의 용량이다. 용량은 길이의 증가와 함께 증가하고 신호레벨의 총, 방전 시간에 직접적으로 영향을 미친다. 총, 방전 시간이 증가하게 되면, 증가하지 않을 경우 구형파가 되었을 신호파형이 신호레벨이 지수함수적으로 충전하고 방전함에 따라 찌그러진다. 케이블 용량에 의해 도입된 이러한 총, 방전 시간은 한 상태에서부터 다른상태로 스위칭시키기 위해 수신회로에 의해 요구되는 전압레벨 임계치에 도달하는 신호를 지연시킨다. 모든 신호가 동일한 주파수에서 스위칭되면, 각 신호의 총, 방전 시간이 같을것이고, 신호들간에 아무런 스큐가 도입되지 않을 것이다. 그러나, 빠른 스위칭 신호는 꼬여진 쌍을 충분히 총, 방전시킬 만큼 시간을 갖게되지 않을 것이고, 보다 낮은 주파수에서 스위칭되는 신호보다 더 빨리 수신회로의 임계치 전압레벨에 도달하게 되어 신호들간에 스큐를 도입하게 된다. 예를들어, 우선적인 실시예에서, 비디오 신호 VIDEO+CD및 VIDEO-CD는 약 50.7nses인 각각의 도트시간을 스위칭시킬 수 있는 반면, 낮은 강도의 신호 HGHLTE+CD및 HGHLTE-CD는 그 주파수의 1/4에서 단지 스위칭시키게 되어(즉, 각각의 캐릭터 셀의 경계는 대략 456.3nses), 케이블의 용량성으로 인해 비디오 및 낮은강도 신호간에 스큐를 도입할 수 있게된다. 따라서 케이블의 용량성은 케이블을 선정하는 데에 있어서 하나의 중요한 요소이다.

이제부터 제7도에 표시한 비디오 발생논리에 대해 상세히 설명한다. 제4도에 관하여 설명하였듯이, 음극선관 11에 표시될 정보는 리프레시 기억회로 44로부터 일정시간당 한 캐릭터씩 보상받는다.(제4도 참조). 우선적인 실시예에서, 리프레시 기억회로 44는 각기 16비트로된 2,048어를 내포하고있는 RAM이다. 리프레시 기억회로에 내장된 이들 2,048데이터 위치중, 200데이터 위치는 음극선관 11(제1도 참조)에 표시가능한2,000 캐릭터(80개의 표시종렬 ×25개의 표시행렬)를 내포하는데 사용된다. 16비트 리프레시 기억데이터 어의 포맷은 제8도에 표시되어 있다.

제8도를 참조하면, 비트 0이 커어소트 제어에 사용된다. 비트 0이 논리 0(제도)이면, 리프레시 기억데이터 어에 해당하는 표시 스크리인상의 캐릭터 위치는 커오소트를 내포하지 않는다. 비트 0이 논리 1이면, 음극선관 11의 표시 스크리인에 표시되는 캐릭터 위치는 커어소트의 현재 위치를 내포한다. 커어소르는 조작자에 표시 제어장치에 부착된 키이보오드로 부터 들어온 데이터의 다음 캐릭터가 어디에 놓이게 될것인가를 지시해준다. 비트 1내지 7은 데이터 캐릭터에 해당하는 7비트 ASCII코우드를 저장시키는데 사용된다.

비트 8은 속성파일드 표시기로 사용된다. 비트 8이 논리 0이면, 데이터 캐릭터가 모두 공동 비디오 속성을 지닌 멀티플 캐릭터파일드의 일부분이어서, 멀티플 캐릭터 파일드 제10의 리프레시 기억회로 44에 저장된 16비트 데이터 이중 속성비트가 사용되고 현 캐릭터의 16비트 데이터 어의 속성 비트가 무시된다는 것을 의미한다. 비트 8이 논리 1이면, 이번 데이터 캐릭터가 공동 비디오 속성을 지닌 파일드의 시작이고 비트 B내지 F에서 발견된 비디오 속성이 사용된다는 것을 의미한다. 각 캐릭터비트 8을 논리 1에 세트시켜 각 캐릭터가 새로운 속성파일드를 시작하는 것을 지시하게 독특한 일련의 비디오 속성을 지닐 수가 있다. 아래의 설명에서 알수있듯이, 비트 8은 커어소르 비트(비트 0)의 해석에 영향을 주지않아서, 멀티플 캐릭터 파일드의 커어소르는 항상 표시된다.

비트 9및A(16진법의 기호법)가 사용된다. 비트 B는 잠복성성에 사용된다. 비트 B가 논리 0이면, 데이터 캐릭터가 표시 스크리인상에 표시된 것이다. 비트 B가 1이면, 데이터 캐릭터가 표시 스크리인상에 표시되지 않을 것이다. 비트 C는 명멸 제어비트이다. 비트 C가 논리 0이면, 캐릭터가 표시 스크리인에 일정한 (명멸하지 않음)양식으로 표시될 것이다. 비트 C가 논리 1이면, 캐릭터가 표시 스크리인상에서 계속 명멸하게될 것이다. 비트 D는 캐릭터 밑에 하선을 긋는 것을 제어한다. 비트 D가 논리 0이면, 스크리인에 표시되는 캐릭터에는 아무런 밑줄이 그어지지 않을 것이다. 비트 D가 논리 1이면, 캐릭터는 주사선 12 즉 도트 1'내지 4'(제2도 참조)의 하선과 함께 스크리인에 표시될 것이다. 비트 E는 낮은 강도 모우드를 제어시키는데 사용된다. 비트 E가 논리 0이면, 캐릭터는 정상밝기로 표시될 것이다. 비트 E가 논리 1이면, 캐릭터는 낮은 강도(밝기가 감소된) 모우드로 표시될 것이다. 비트 F는 역 비디오를 제어하는데 사용된다. 비트 F가 논리 0이면, 캐릭터는 정상 모우드(즉, 어두운 바탕에 밝은색의 캐릭터)로 표시될 것이다. 비트 F가 논리 1이면, 캐릭터는, 어두운 색의 캐릭터가 밝은색의 바탕을 배경으로 하여 표시되는 역 비디오 모우드로 표시될 것이다. 우선적인 실시예에서, 16비트 리프레시 기억데이터 이중 비디오 속성비트(비트 8, B-F)는 데이터 캐릭터가 키이보 모드로 부터 들어옴에 따라 표시 제어장치의 퍼웨어 제어하에 세트되어있고, 그들은 또 컴퓨터로 부터 수신한 데이터에도 세트될 수도 있다.

이제 제7도에 도시한 비디오 발생 논리회로를 다시 참조하면, 리프레시 기억회로 44의 출력은 캐릭터 클럭킹 신호 CHRCLK+의 제어하에 리프레시 국적 레지스터 46에 저장된다. 더 구체적으로 언급하면, 데이터 캐릭터에 해당하는 7비트 ASCII코우드 및 커어소르를 내포하고 있는 리프레시 기억 데이터 이중 비트 0내지 7이 리프레시 국지 레지스터 1 즉 소자 46-1에 저장되고, 비트 B내지 F는 리프레시 국지 레지스터 2 즉 소자 46-2에 저장된다. 비트 0내지 7은 리프레시 국지 레지스터 1 즉 소자 46-1의 입력인데, 라인 33-1를 통해 신호 RDATX0+내지 RDATX7+형태로 입력단자 D1-D8에 들어온다. 비트 B내지 F는 리프레시 국지 레지스터 2 즉 소자 46-2에의 입력인데, 라인 33-2를 통해 신호 RDATXB+내지 RDATXF+형태로 입력단자 D1-D5에 들어온다.

라인 64를 통해서 리프레시 국지 레지스터 1 즉 소자 46-1의 풀럭(C) 입력단자에 들어오는 캐릭터 풀럭킹 신호 CHRCLK+는 표시 스크리인의 다음 횡렬을 새롭게할 목적으로 리프레시 기억 회로로부터 나온 16비트 데이터어에서 커어소르 비트 및 7개의 데이터 캐릭터 비트를 직접 클럭킹시킨다. 16비트 데이터 이중비트 B내지 F는, 16비트 리프레시 기억 데이터 이중 비트 8이 캐릭터가 비디오 속성 파일드의 시작이라고 가리키기만 하면, 클럭(C)단자에 걸린 라인 98의 속성 클럭킹 신호에 의해 리프레시 국지 레지스터 2 즉 소자 46-2에 클럭킹된다. 16비트 리프레시 기억 데이터중 비트 8이 "데이터 캐릭터는 멀티플 캐릭터 파일드의 일부본이다."라고 지시하는 논리 00이라면, 리프레시 국지 레지스터 2는 클럭킹되지 않고, 비디오 속성 파일드를 시작하는 캐릭터에서 리프레시 국지 레지스터 2에 남아있는 이전 비디오 속성 비트는 현 캐릭터의 표시를 제어하는데 사용된다.

라인 98의 속성 클럭킹 신호 ATRCLK+는 D형 플립플롭인 속성 클럭플롭 96에서 발생된다. 16비트 리프레시 기억 데이터어중 속성 파일드 비트(비트 8)가 논리 1이면, 속성 클럭플롭 96의 데이터(D)입력인 라인 33-3의 신호 RDATX8+는 클럭(C)입력의 캐릭터 클럭킹 신호 CHRCLK+에 의해 플립플롭 96에 클럭킹 되어 플립플롭 96을 세트시키게 된다. 속성 클럭플롭 96이 세트되면 Q출력 즉 신호 ATRCLK+는 논리 1이되고, 이에따라 리프레시 국지 레지스터 2 즉 소자 46-2를 클럭킹시키게 된다. 속성 클럭플롭 96은 캐릭터 클럭킹 신호 CHRCLK+가 발생하기 이전에 각 캐릭터 시간동안 리세트(R)입력의 신호 BTC04-에 의해 리세트되어 있어서, 플립플롭 96이 세트되어 리프레시 기억데이터 어의 비트 8이 "캐릭터는 비디오 속성 파일드를 시작한다"라고 지시하게되면 속성 클럭킹신호를 생성하게된다.

캐릭터 클럭킹 신호 CHRCLK+및 속성 클럭킹 신호 ATRCLK+의 타이밍은 신호 ATRCLK+의 플립플롭 96의 세팅에 기인한 전파지연에 의해 신호 CHRCLK+에 뒤지게 되어있다. 우선적인 실시예에서는, 이에 따라 신호 ATRCLK+가 약 20nsec정도 신호 CHRCLK+에 뒤지는데, 이 시간은 450nsec의 캐릭터 주사시간과 비교할때 중요하지 않다. 따라서, 다른식으로 지시되지 않는다면, 리프레시 기억 레지스터 2의 클럭킹은 신호 CHRCLK+에 의해 캐릭터 시간에 행해지는 것처럼 여겨질 것이다.

리프레시 국지 레지스터 1의 출력 즉 라인 55의 신호 RDATA1+내지 RDATA7+는 도트 패턴발생 PROM 48의 어드레스를 지정하는데 사용된다. 이때 리프레시 국지 레지스터 2의 출력 즉 라인 59의 신호 HIDEVD+, BLINKC+, UNDRLN+,LOWINT+00및 INVVID+는 리프레시 국지 레지스터 1에서 출력된 라인 35의 신호 RDATA0+및 도트 패턴 발생 PROM 48에서 출력된 라인 출력된 라인 36의 신호 LNCT0A+와 함께 비디오 속성발생 PROM 50의 어드레스를 지정하는데 사용된다. 1캐릭터 시간이 지난후에 도트패턴 발생 PROM 48의 출력은 라인 64의 캐릭터 클럭킹 신호 CHRCLK+에 의해 시프트 레지스터 52에 클럭킹되고, 라인 61-1내지 61-3의 비디오 속성발생 PROM 50의 출력은 라인 64의 캐릭터 클럭킹 신호 CHRCLK+에 의해 제어 레지스터 54에 클럭킹된다. 캐릭터 셀의 주사선 2내지 11의 도트 2'내지 8'(제2도 참조)의 발생을 제어하는데 사용되는 7비트 도트 패턴은 한번에 1주 사선씩 도트 패턴 발생 PROM 48에서 나온다.

도트 패턴 발생 PROM 48은 어당 8비트로 된 2,048어를 내포한다. 도트 패턴발생 PROM 48로부터 도트 패턴을 재생시키는데 사용되는 11비트 어드레스는 캐릭터 셀에 표시될 데이터 캐릭터인 7비트 ASCII 코우드 및 각 캐릭터 셀의 캐릭터 횡렬과 관련된 13개의 주사선으로 값이 0내지 12인 4비트 주사선 카운트로 구성된다. 데이터 캐릭터용 7비트 ASCII코우드는 라인 55를 타고 신호 RDATA1+내지

RDATA7+형태로 나타나고, 라인 카운터 47(제4도 참조)로 부터 인입되는 4비트 주사선 카운트는 라인 57을 타고 신호 LNCT01+내지 LNCT08+형태로 나타난다. 도트 패턴발생 PROM 48의 8비트 출력은 시프트 레지스터 52의 입력으로 사용되고 또 비디오 속성 발생 PROM 50의 어드레스 입력으로 사용된다. 라인 34의 신호 CGBIT0- 내지 CGBIT6-인 캐릭터 셀 주사도트 2'내지 8'에 해당하는 7비트는 라인 64의 캐릭터 클럭킹 신호 CHRCLK+에 의해 시프트 레지스터 52로 병렬로 실린다. 도트 패턴발생 PROM48에서 나온 PROM어의 8번째 비트는 라인 36의 신호 LNCT0A-형태로 하선 주사선인 주사선 12를 가리키는데 사용된다. 하선 주사선(라인 12)을 가리키기위해 도트패턴 발생 PROM데이터 어의 8번째 비트를 이렇게 인코딩시킴으로서 주사선 12를 검출하기 위해 라인 카운터 47에서 출력된 4종류의 신호 LNCT01+ LNCT08+에 대해 디코딩을 행하는 것을 절약한다. 우선적인 실시예에서, 도트패턴 발생기인 PROM 48은 95051캘리포니아주, 산타클라라시에 소재하는 인텔 코오포레이션(Intel Corporation)에 의해 제작된 2716 PROM형인데, 1980년 판인 인텔코오프레이션 데이터 카탈로그(Intel Coporation Data Catalog)란 제하의 그들 출판물에 설명되어있고, 그 내용이 본 명세서에 반영되어있다.

도트 패턴 발생 PROM 48의 조직은 제9도를 참조하면 보다 잘 이해할 수 있다. 제9도는 40F내지 422(16진 어드레스)로 어드레스가 지정된 위치에 해당하는 PROM에서의 8비트 데이터어의 내용을 예시해 주고있다. 도트 패턴발생 PROM 8의 8비트 데이터 어는 각각, 1주사선(도트 2'내지 8')에 해당하는 7비트 도트 패턴 및 PROM의 이도트 패턴 어가 캐릭터 셀의 12번째 주사선(하선 라인)과 관련되어 있는지에 대한 신호로써 사용되는 8번째 비트로, 미리 코우드와 되어있다. 어드레스의 7개의 최대 자리수 비트가 데이터 캐릭터용 ASCII코우트에 해당하고 4개의 최소자리수 비트가 데이터 셀의 주사선 카운트에 해당하게, 도트 패턴은 도트패턴 발생 PROM 48에 정렬되어있다. 그러므로, 위치 410내지 41F의 데이터 어는 대문자 "A"의 발생과 관련된 도트패턴을 내포한다. 캐릭터 "A"용 ASCII 코우드는 41(16진법)임을 유의해야 한다. 도트패턴발생 PROM48의 데이터 어는, 캐릭터가 정상 모우드에서 표시될때 표시 스크리인에 조명되어질 각 도트에 대해 비트 1내지 7에서 논리 0이 나타나게끔 미리 코우트화 되어있다. 그러므로, 제9도에 표시한 PROM위치 410내지 41C는 제2도에 예시한 캐릭터 셀에 해당한다.

PROM데이터 어의 비트 8은 데이터 어가 캐릭터셀의 12번째 주사선에 해당하면 논리 0을 내포하므로, 데이터 어 418의 비트 8은 논리 0이다. 제9도에서 논리 0인것으로 표시되지않은 PROM데이터의 모든 다른 비트는 논리 1로써 미리 코우트화되어 있다. 예시 목적상, 이들논리 1은 데이터 캐릭터의 도트 패턴이 좀더 쉽게 식별가능하도록 제9도에 예시하지 않았다.

캐릭터 셀당 스크리인에 표시되는 라인은 단지 13개이고 라인 57의 신호 LNCT01+내지 LNCT08+에 2진 부호화된 라인 카운트. 값 0내지 12(0내지 16진수인 C)로 되기때문에, 도트 패턴 발생 PROM의 16 데이터 어로된 각 그룹의 제14, 15및 16번째 데이터어는 결코 어드레스 지정되지 않게때문에 도트 패턴 발생 PROM 48의 출력단자 Q1내지 Q8에 보상되지도 않고 출력되지도 않는다. (즉, 캐릭터 "A"와 관련된 제9도의 위치점 41D, 41E 및 41F는 액세스 되지 않아서 그들의 내용은 사용되지 않는다). 위치 400내지 40F는 캐릭터 "@" (ASCII 코우드 40, 16진법)에 대한 도트 패턴을 내포하고, 위치 420내지 42F는 대문자 "B" (ASCII 코우드 40, 16진법)에 대한 도트 패턴을 내포하고 있다. 제9도에는 이 대문자 "B"의 일부분이 표시되어 있다.

도트 패턴 발생 PROM48은 항상 기능(F)입력단에 나타나는 논리 0및 PD(power down) 입력단에 나타나는 또 다른 논리 0의 신호에 의해 인에이블되어서, PROM은 자주하게되고 이에따라 그 Q출력단에는 어드레스(A)입력에 제시된 11비트 2진 부호화된 어드레스에 해당하는 8비트 데이터어가 출력된다. 비디오 발생논리의 타이밍은 도트 패턴 발생 PROM 48에의 어드레스. 이용성이 1캐릭터 시간의 시작에 일어나게끔 되어있어서, PROM 48의 도트 패턴 출력은 다음 캐릭터 시간의 시작까지 사용되지 않는다. 우선적인 실시예에서, 캐릭터 시간간의 시간은 약 450nsec이다. 도트 패턴 발생기인 PROM 48에 의한 도트패턴 출력이 다음 캐릭터 시간까지 사용되지 않지만, 라인 36의 주사선 12지시신호 LNCT0A-는 비디오 속성 발생 PROM 50에의 어드레스 입력으로 사용되어서, 비디오 속성발생 PROM 50이 바로 그 캐릭터 시간 기간동안 액세스 가능하다.

비디오 속성 발생 PROM 50은 음극선관 11에 표시될 캐릭터셀의 비디오 속성에 영향을 주는 9종류의 신호를 합성하여 3종류의 비디오 제어출력 신호를 제공한다. 9종류의 비디오 속성 제어신호는 비디오 속성발생 PROM 50에의 어드레스 입력으로 사용되어서 출력단에 나타나는 4비트데이터 어를 보상한다. 우선적인 실시예에서, 비디오 속성 PROM 50은 각기 4비트로 된 1,024어를 내포한 82S137 PROM형인데, 94068캘리포니아주, 선니베일시에 소재하는 시그네틱(Signetics)사에서 제작되고, 1976년판 시그네틱 데이터 편람(Signetics Data Manual)이란 그들 출판물에 설명되어있다. 이해를 돕기 위해 그 설명은 본명세서에 반영되어있다. 우선적인 실시예에서, 비디오 속성 발생 PROM 50에서 이용가능한 1,024개의 데이터 어중 단지 512개의 데이터 어만 사용되는데, 그 이유는 10비트 어드레스중 단지 9비트만 어드레스 입력 A512에 가해지는 논리 0과 함께 사용되기 때문이다. 더우기, 간 데이터 어중 3비트만 사용되고, Q4출력에 나타나는 4번째 비트는 사용되지 않는다.

비디오 속성 발생 PROM 50의 데이터 어의 포오맷은 제10도에 예시되어 있고비트 3이 음극선단 11에 표시될 도트의 강도를 제어하기 위해 사용되고 있음을 보여주고 있는데, 논리 0이면 도트의 강도가 정상 밝기로 표시되고, 논리 1이면 낮은 강도(감소된 밝기)로 표시된다. 이 낮은 강도 신호는 Q3출력단에서 라인 61-3의 신호 LOWINT+10으로 나타난다. 비트 1,2는 각각 Q1,Q2출력단에서 라인 61-1,61-2의 신호 VNORML+10 및 VINRT+10으로 나타난다. 비트 1,2는 비디오 출력을 제어하는데 사용되고, 2개의 비트는 2진 부호화되어, 비디오 신호의 포오싱(forcing), 비디오 신호의 반전, 비디오 신호 불랭킹 혹은 정상 비디오 신호를 제공하게 된다. 이후의 설명에서 알수있듯이, 이들 2종류의 비디오 제어신호(VNORML+10,VINVRT+10)는 도트 패턴발생 PROM 48에서 유도된 시프트 레지스터 52의 Q1출력단에서의 비디오 신호 VOUT00 -를 제어하는데 사용된다.

비디오 속성발생 PROM 50은 미리 코우트화되어 있어서, 어드레스비트 A1내지 A256에의 입력인 9종류의 비디오 속성신호에 의해 결정되는 각기 독특한 9비트 어드레스에 대해, 독특한 4비트 데이터어는 도트가 스크리인상에 낮은 강도로 표시되느냐 또는 정상강도로 표시되느냐, 또는 도트가 소위 도

트패턴 발생기에 무관하게 스크리인에 강제적으로 표시되느냐, 또는 도트 패턴 발생기에 의해 요구되는 도트가 블랭킹(인비전)되느냐, 또는 도트 패턴 발생기에 의해 요구된 도트가 반전될 수 있느냐, 또는 도트패턴 발생기에 의해 요구된 도트가 정상 비디오 모우드로 표시되느냐를 반영하는 출력이 된다. 비디오 속성발생 PROM 50을 사용하지 않으면, 9종류의 비디오 속성 신호 모두가 시프트 레지스터 52에 의해 비디오 신호 VOUT100-출력과 상호 작용하게 하기위해서는 많은양의 결합논리가 요구될 것이다. 덧붙여서, 결합논리 대신에 PROM을 사용함으로써, 하드웨어 설계자는 비디오 속성신호의 상호작용의 결과를 결정하는데 있어서 많은 융통성을 발휘할 수도 있었는데, 이런점은 하드와이어드(hardwired)결합논리의 경우에는 가능하지 못하였다. 속성상호 작용의 결과를 변화시키기 위해서는, 비디오 속성발생 PROM 50의 데이터를 단지 다시 코우드화 시키는 것만 필요하다. 더우기, 비디오 속성 발생 PROM 50에서 3종류의 비디오 제어신호를 발생시킴으로서, 시프트 레지스터 52의 비디오 신호 발달과 송신 논리회로 71에 제시되는 최종적인 비디오 신호간의 결합논리의 양이 감소되어, 신호지연이 50nsec의 도트시간 주기를 벗어나지 않는다.

비디오 속성발생 PROM 50의 어드레스를 지정하는데 사용된다는 9종류의 비디오 속성은 다음과 같은 방식으로 PROM 50의 출력을 제어한다. 리프्रेस리 국지 레지스터 1 즉 소자 46-1에서 출력된다는 라인 35의 신호 RDATA0+에 의해 표시되는 커어소트 속성은, 논리 1일때, 현재의 캐릭터 셀 및 키이보드로부터 들어온 어떤 데이터가 이 캐릭터 셀 위치에 들어갈것이라는 위치에 커어소트가 있음을 가리킨다. 정상 상태하에서, 커어소트는 캐릭터 셀 내에서 데이터 캐릭터의 명멸 하선으로써 표시 스크리인 상에 표시된다. 즉, 커어소트가 위치하게되는 캐릭터 셀의 주사선 12는 명멸하게된다. (도트 1'내지9'). 리프्रेस리 기억회로 44로부터 16비트 데이터어중 비트 10이 커어소트가 표시될 현 캐릭터 셀과 연합되어져 있고 도트패턴 발생 PROM 48로부터 출력된 라인 36의 신호 LNCT0A-가 이것이 주사선 12라고 지시할때, 비디오 속성발생 PROM 50으로부터 보상된 데이터 어는 논리 0의 상태로 세트된 비트 1,2를 지니게되어 라인 66의 비디오 출력신호 VIDE0+가 강제적으로 논리 1이되고, 이에따라 도트가 표시 스크리인 상에 나타나게되고 커어소트 하선을 발생한다. 커어소트가 나타날 수 있는 어떤 캐릭터셀은 밀줄이 그어질 수 있기때문에, 하선없이 캐릭터셀에 나타나는 커어소트와 하선과 함께 캐릭터 셀에 나타나는 커어소트의 경우를 구별하는 것이 바람직하다. 그러므로, 비디오 속성발생 PROM 50은 미리 코우트화 되어있어서, 어드레스 비트 A1이 논리 1이되고 어드레스 비트 A6가 논리 1이되게 어드레스가 지정된 PROM 50의 데이터 어는 전반적으로 캐릭터 셀의 명멸을 가져오지 하선이 명멸하지 않을 것이다.

비디오 속성 발생 PROM 50의 어드레스 입력 A2로 입력되는 라인 12지시기는 주사선 12가 표시 스크리인 상에서 리프्रेस리될때는 논리 0이 될것이다. 따라서, 도트패턴 발생 PROM 48에서 출력된라인 36의 신호 LNCT0A-가 논리 0일때, 이것은 12번째 주사선이 주사되고 있다는 것을 가리키고, 커어소트가 현 캐릭터셀에 위치해 있을 경우에는 비디오 출력이 명멸하는 하선을 강제적으로 표시하게 되거나, 하선속성이 논리 1인 리프्रेस리 국지 레지스터 2 즉 소자 46-2의 Q3출력단에서 출력된 신호 UNDRLN+에 의해 표시되는 현캐릭터에 대해 세트되에을 경우 비디오 출력은 역시 강제적으로 표시될 것이다. 보통 주사선 12와 커어소트 속성의 하선은 비트 1,2가 0이되게 그들에 의해 어드레스 지정된 비디오 속성발생 PROM 50에 데이터 어를 미리 코우트화 시킴으로써 합성되어, 신호 VNORML+, VINVRT+는 라인 66의 비디오 신호 VIDE0+를 논리 1이 되게 함으로서 라인 63-1및 63-2의 비디오 출력을 강제시킬 것이다. 캐릭터 셀이 하선을 내포하고 또 이 캐릭터 셀이 역 비디오 모우드로 표시된다면, 이때 비디오 속성발생 PROM 50은 미리 코우드화 되어서 그 출력은 라인 12를 블랭킹시킬 것이다. 이것은 신호 VNORML+10및 신호VINVRT+10을 논리 1로 만듬으로써 이루어진다.

비디오 속성발생 PROM 50의 A4 어드레스 입력의 신호 HIDEVD+가 논리 1이라면, 이것은 캐릭터 셀내의 캐릭터 데이터가 표시되지 않을것이라는 것을 가리킨다. 그러므로, 정상적인 비디오 경우에는, 비디오 속성발생 PROM 50의 데이터 어가 신호 VNORML+10및 신호 VINVRT+10이 논리 1이 되게끔 미리 코우드화되어 있어서, 시프트 레지스터 52로부터 출력된 비디오 출력을 블랭킹시킨다. 이러한 비디오 블랭킹 작용은 주사선 12-하선이 그어진다면 하선이 표시 스크리인상에 나타날만큼 강제되는-를 제외한 전 주사선에 대해 이루어진다.

데이터가 숨겨진 캐릭터가 셀이 역 비디오 모우드로 표시되면, 이때 정상의 경우에서와 같이 비디오를 블랭킹시키는 대신에, 비디오 출력은 신호 VNORML+10및 신호 VINVRT+10을 논리 1로 만듬으로서 강제된다.

리프्रेस리 국지 레지스터 1 즉 소자 46-2의 Q2출력단자의 신호 BLINKC+가 비디오 속성발생 PROM 50의 A8어드레스 입력에서 논리 1이면, 이때 데이터 캐릭터, 하선 및 캐릭터 셀은 명멸하게 될것이다. 이러한 캐릭터 셀의 명멸작용은 비디오 속성발생 PROM 50의 A128 어드레스 입력에서의 라인 37의 신호 BLKTM2+와 관련하여 행해진다. 신호 BLKTM2+가 논리 0일때, 데이터 캐릭터 및 하선을 표시되지 않게 되고, 이것은 신호 VNORML+10 및 VINVRT+10이 논리 1이어서 라인 66의 신호 VIDE0+의 비디오 출력을 블랭킹시키게끔 비디오 속성발생 PROM 50의 데이터어를 미리 코우드화 시킴으로써 행해진다.

우선적인 실시예의 표시 단말내에는, 2종류의 명멸 비율이 있는데, 하나는 라인 37의 신호 BLKTM2+에 의해 또 하나는 라인 38의 신호 BLKTM1+에 의해 제어된다. 신호 BLKTM2+는 데이터의 명멸작용을 제어시키는데 사용되고, 신호 BLKTM1+의 비율의 절반인 비율로 논리 1에서 논리 0로 변화시킨다. 신호 BLKTM1+은, 커어소트가 명멸하는 데이터 셀의 2배 비율로 명멸하게끔, 표시 스크리인상의 커어소트의 명멸작용을 제어시키는데 사용된다. 우선적인 실시예에서 이들신호(BLK1+, BLKTM2+)는 모두 규정된 비율로 논리 1에서 논리 0인 상태로 세트시키는 퍼웨어에 의해 제어된다.

앞서 설명하였듯이, 비디오 속성발생 PROM 50의 어드레스 A16입력단자에서의 신호 UNDRLN+은 하선이 주사선 12상의 캐릭터 셀내에 나타나느냐를 제어하는데 사용된다. 논리 1인 상태의 신호 LOWINT+00은 캐릭터가 표시 스크리인 상에 일련의 낮은 강도의 도트로서 표시된다는 것을 의미한다. 보통 이 신호는 변경되어 있지않고, 대부분의 경우 어드레스 입력 A32에 의해 선택된 PROM데이터 어가 논리 1의 상태에 있게되면, 논리 0인 비트 3을 지님 PROM데이터 어를 보상하게되어 라인 61-3의 신호 LOWINT+10은 논리 1이되고 이에따라 제어 레지스터 53의 출력 즉 라인 68의 신호 LOWINT+이 논리 1

이되게 비데오 속성 발생 PROM 50이 미리 코우드화 되어있다. 결과적으로 표시 스킴리인 상의 도트는 낮은강도 모우드로 표시될 것이다. 그러나, 캐릭터 셀내에서 데이터 캐릭터를 만드는 도트가 낮은 강도로 표시되지만, 그 셀안에서 다른 도트를 정상적인 강도로 표시하는 것이 바람직함이 발견되고 있다. 예를들어, 커소르가 낮은강도 모우드로 표시되게 캐릭터 셀에 위치하게되면, 주사선 12상에 하선으로 표시되는 커소르는 정상 강도 모우드로 표시되고, 캐릭터 셀의 나머지 주사선은 낮은 강도 모우드로 표시된다. 낮은 강도의 셀안에서 정상적인 강도 모우드로 하선을 표시함으로써, 커소르는 보다 명확하게 조작자의 눈에 비칠 것이다. 그러므로, 신호 RDATA0+이 논리 1(이 셀이 커소르를 내포하고 있음을 가르킴)이고 신호 LNCT0A-가 논리 0(이것이 12번째 주사선임을 가리킴)일때 보상되는 비데오 속성 발생 PROM 50의 데이터 어는, 신호 LOWINT+00이 논리 1(데이터가 낮은 강도로 표시됨을 가리킴)이지만, 비트 3이 논리 0이되게 미리 코우드화 되어있어서, 라인 61-3의 신호 LOWINT+00을 논리 0로 만들고 하선이 정상강도로 표시되게 한다.

비데오 속성 발생 PROM 50의 A64어드레스 입력단자의 신호 INVVID+는, 논리 1인 상태에 있을때, 캐릭터 셀이 역비데오 모우드로 표시됨을 가리킨다. 그러므로, 비데오 속성 PROM 50은, 정상 상태하에서 신호 VNORML+10이 논리 0이되고 신호 VINVRT+10이 논리 1이되게하여, 라인 66의 신호 VIDE0+가 반전되게끔 미리 코우드화 되어있다.

비데오 속성발생 PROM 50의 A128및 A256입력단에서의 신호 BLKTM2+,BLKTM1+은 위에서 지적인 바와같이 명멸비율을 제어하고2종류의 구별된 비율로 논리 1과 논리 0사이에서 토글(toggle)하게(사용되어져서, 한 비율에서는 커소르가 명멸하고, 다른 비율에서는 데이터가 명멸할 것이다. 제11도는 캐릭터 데이터 및 커소르의 명멸작용을 결합시키는 가능한 4경우를 보여주고 있다. 신호 BLKTM2+가 논리 0일때 캐릭터 데이터는 표시되지 않게되고, 논리 1일때는 캐릭터 데이터가 표시될 것이다. 신호 BLKTM1+가 논리 0일때, 커소르는 표시되지 않게되고, 논리 1일때는 커소르가 표시될 것이다. 그러므로, 데이터가 명멸하게될 캐릭터 셀에 커소르가 현재 위치하고 있다면, 캐릭터 셀은 제11도에 표시한 바 대로 상이한 4종류의 상태로 표시 스킴리인상에 표시될 것이다. 신호 BLKTM2+및 BLKTM1+가 모두 논리 0일때, 비데오 속성발생 PROM의 데이터 어는 표시 스킴리인상에 아무것도 표시되지 않게끔 미리 코우드화 되어있다. 신호 BLKTM2+가 논리 0이고 신호 BLKTM1+가 논리 1일때, 주사선 12의 하선만 표시 스킴리인상에 표시되게끔 미리 코우드화 되어있다. 신호 BLKTM2+가 논리 1이고 신호 BLKTM1+이 논리 0일때는, 비데오 속성발생 PROM 50의 데이터어가 단지 캐릭터 데이터만 표시 스킴리인 상에 나타날 수 있게끔 미리 코우드화 되어있다. 신호 BLKTM2+가 논리 1이고, 신호 BLKTM1+가 논리 1일때는, 캐릭터 데이터 및 커소르용 하선이 표시스킴리인상에 나타날 것이다. 우선적인 실시예에서, 이들 4종류의 상태 각각에 대한 명멸 비율은 1/4초가되게 선택되어 있어서, 신호 BLKTM1+는 1/4초마다 논리상태를 변화시키고, 신호 BLKTM2+는 1/2초마다 논리상태를 변화시킨다.

표시스킴리인상의 캐릭터가 역 비데오 모우드로 표시되고 있으면, 명멸 타이밍 신호 BLKTM2+,BLKTM1+는 역 비데오 신호 INVVID+와 상호작용하여, 정보가 비데오 속성발생 PROM 50의 데이터 어의 비트 1,2의 블랭킹 비데오 신호를 출력시키는 대신에 명멸할(감추어질)때, 강제적인 비데오 신호는 비트 1,2를 논리 1로 세트시킴으로써 생성되어, 비데오 속성발생 PROM 50의 Q1,Q2출력단에서 신호 VNORML+10및 VINVRT+10을 논리 1로 만들게 된다.

인에이블 출력(F)및 PD(powerdown)입력이 논리 1이 됨에 따라 자주하게 되어 어드레스 입력에 나타나는 11비트 어드레스에 반응하여 그 Q1내지 Q8출력단에 8비트 데이터 어가 항상 나타나는 도트 패턴 발생 PROM 48과는 달리, 비데오 속성발생 PROM 50은 칩 인에이블 입력신호인 라인 85의 SYNCTM+ 및 라인 86의 BLKVID+가 모두 논리 0이 되면 인에이블된다. 신호 SYNCTM+은 리프레이 어드레스 발생기 53(제4도 참조)에 의해 발생되는데, 이 신호는 라스터 주사의 전자비임이 수평 재추적 혹은 수직 재추적을 행할때 논리 1의 상태로 세트된다.(이에따라 비데오 속성발생 PROM 50의 출력을 디에이블시킨다.)재추적 기간동안에 신호 SYNCTM+를 논리 1로 세트 시키고, Q1출력신호 VNORML+10및 Q2출력신호 VINVRT+10이 저항기(도시하지 않았음)(를 뺀내어 재추적기간동안 논리 1의 상태로 되게 함으로써, 라인 66의 비데오 출력신호 VIDE0+가 논리 0이되고, 이에따라 전자비임이 음극선관 11의 표시 스킴리인에 도포된 어떤 인(燐)도 조명하지 않게 된다. 비데오 속성발생 PROM 50의 다른 칩 인에이블(CE)단자에서의 신호 BLKVID+는 논리 1인 상태에 세트되어 있어서, 음극선관의 표시를 블랭킹시키는 것이 요망될때 도시하지않은 다른 논리화로에 반응하여, PROM 50의 출력을 디에이블시키고 비데오가 블랭크되게 한다.

시프트 레지스터 52는 캐릭터 시간의 시작. 에 도트 패턴발생 PROM 48로부터 병렬로 신호입력을 받고, 다음 8도트시간 동안에 한번에 1비트 시프트되어 캐릭터셀의 주사선의 도트 1'내지 9'동안 직렬로 도트를 제공한다. 우선적인 실시예에서, 시프트 레지스터 52는 텍사스주, 달라스시에 소재하는 텍사스 인스트루먼트사에서 제작한 SN74166형이다. 캐릭터 클럭신호 CHRCLK+에 접속된 G1,G2클럭킹 입력의 제어하에, 8비트가 병렬로 P1내지 P8입력에 실린다. 입력 P2내지 P8은 도트 패턴발생 PROM 48의 출력단에 연결되어 있어서, 캐릭터 셀(제3도 참조)의 도트 2'내지 8'와 관련된 도트용 주사선에 대한 도트 패턴을 받게된다. 입력 P1은 논리 1에 연결되어 있어서 주사선의 도트 1'를 논리 1로 세트시키게 되어, 정상 상태하에서는 주사선의 도트 1'에 대한 도트 발생이 없다. 직렬입력(SI)도 마찬가지로 논리 1에 연결되어 있어서, 시프트 레지스터 내의 8비트가 시프트 되듯이, 논리 1이 비어있는 비트 위치로 시프트하게 되어 캐릭터 셀 주사선의 도트 9'에 대한 출력으로써 논리 1을 발생한다. 출력신호 VOUT00-는 스킴리인에 조명되지 않을 각 도트를 위해 논리 1로써 그리고 도트 패턴 발생 PROM 48에 저장된 도트패턴이 조명될 도트위치를 위해 논리 0로 저장되어 있기때문. 스킴리인 상에 조명된 각 도트를 위해 논리 1로써 Q1출력단에 나타남을 유의해야 한다. 캐릭터 시간에 병렬로 실린, 후에, 시프트 레지스터 52가 직렬로 시프트하게 되어, 라인 64의 도트 클럭킹신호 DOTCLK+가 직렬 클럭(C)클럭킹 신호에서의 논리 1인 상태로 전이할때마다 단일의 비트가 Q1출력단에 나타난다. 시프트 레지스터 52의 우선적인 클리어입력(S)은 사용되지 않기 때문에 논리 1로 세트되어있다.

비데오 속성발생 PROM 50의 출력은 클럭(C)입력단에 연결된 라인 64의 캐릭터 클럭킹신호 CHRCLK+에 의해 제어 레지스터 54에 래치되어있다. 제어 레지스터 54의 D1,D2및 D3입력단에 각기 인입되는 3종류의 비데오 신호VNORML+10,VINVRT+10및 LOWINT+10은 캐릭터 시간의 시작시에 레지스터로 클럭킹되

므로, 캐릭터 발생의 전 주기동안 Q1,Q2및 Q3출력단에서 각각 출력 가능한 상태로 남게된다. 즉, 라인 63-1의 신호 VNORML+, 라인 63-2의 신호 VINVRT+및 라인 68의 신호 LOWINT+는, 캐릭터 셀내의 도트발생에 영향을 미치는 속성이 캐릭터셀의 9개 도트전체(제2도의 도트 1'내지 9')에 가해지기 때문에, 캐릭터 표시 시간동안 충분히 일정한 상태를 유지하게된다.

라인 68의 낮은 강도 신호 LOWINT+가 직접적으로 전이 논리회로 71(제4도 참조)에 인가되는 반면에, 신호 VNORML+,VINVRT+는 라인 66의 비디오 신호 VIDE0+를 출력시키는 AND- OR- INVERTER게이트 56-2에 보내진다. 라인 62의 도트 비디오 신호 VOUT00-는 인버터 56-1에 의해 반전되고, 이인버터 56-1의 출력은 VOUT00+이다. 신호 VOUT00+ 및 VOUT00-는 마찬가지로 AND- OR- INVERTER게이트 56-2에 입력되는데, 이 게이트는 우선적인 실시예에서 텍사스주, 달라스시에 소재하는 텍사스인스트루먼트사가 제작한 SN74S51형이다. 앞서 설명하였듯이, (신호 VNORML+10및 VINVERT+10에 해당하는) 비디오 제어신호 VNORML+및 VINVRT+는 4종류의 기능을 제공할 수 있도록 2진 부호화 되어 있어서, 시프트 레지스터 52에 의한 비디오 신호 출력은 정상일 수 있고(VOUT00+가 논리 1이면 신호 VIDE0+가 논리 1이 될것이다), 반전될 수 있고(신호 VOUT00+가 논리 1이면 신호 VIDE0+가 논리 0이 될것이다), 강 제될수도 있고(신호 VOUT00+의 상태와 관계없이 신호 VIDE0+는 논리 0이 될 것이다). 앞서 설명하 였듯이, 이때 라인 66의 2출력신호 VIDE0및 라인 68의 낮은 강도신호 LOWINT+는 각 비트시간에 비 데오 동기 레지스터 70(제6도 참조)에 클럭킹되어, 신호가 표시모니터 77(제4도 참조)에 송신됨에 따라 동기를 유지한다.

비데오 발생논리의 타이밍은, (캐릭터가 비데오 속성 파일드의 시작이라고 지시하는 논리 1을 리프 레시 기억 데이터 어의 비트 8이 내포하고 있기때문에 리프레스 국지 레지스터 46-2가 클럭킹되어 있다고 가정하면)리프레스 국지 레지스터 1즉 소자 46-1및 리프레스 국지 레지스터 2즉 소자 46-2의 출력단에서도 도트패턴 및 비데오 속성 발생입력을 입수 가능하게 된후 1캐릭터 시간동안, 도트 패턴 발생 PROM 48의 출력이 시프트 레지스터 52에 클럭킹되고 비데오 속성 발생기인 PROM 50의출력 이 제어 레지스터 54에 클럭킹되게끔 되어있다. 리프레스 국지 레지스터 1,2의 데이터 입력은, 리프 레시 기억 어드레스가 리프레스 어드레스 발생기 53(제4도 참조)에서 출력되기 시작한후 1캐릭터 클럭 주기동안, 리프레스 기억회로 44에서 출력된 16비트 데이터 어의출력에서 인가된다. 예를들어, 종렬 33및 횡렬 2의 교차점(제1도 참조)에 의해 결정되는 캐릭터 셀에 해당하는 16비트 리프레스 기 억 데이터어의 어드레스가 리프레스 어드레스 발생기 53의 출력단에서 이용가능하게 될때에, 횡렬 2 의 종렬 32에 있는 캐릭터 셀에 해당하는 16비트 데이터어는 리프레스 어드레스 발생기 53의 출력에 이용가능하게 되어 리프레스국지 레지스터 46에 클럭킹되고, 횡렬 2의 종렬 21에 대해서 비데오 속 성발생 PROM 50에서 발생된 비데오 제어신호는 시프트 레지스터 52및 제어 레지스터 54에 각각 클럭 킹된다. 즉, 종렬 31의 캐릭터가 음극선관 11의 표시 스크리인에 표시되고 있는 동안에, 종렬 32과 관련된 도트패턴 및 속성이 발생되고, 리프레스 기억회로 44의 종렬 33용 데이터 어가 액세스된다.

위에서 설명하였듯이, 우선적인 실시예에서 표시 스크리인은 80개의 종렬에 각각 횡렬이 25개인 것 으로 구성된다(제1도 참조). 이 실시예에서 스크리인의 25번째 횡렬은 스테이터스 라인으로 사용되 는데, 이 라인에 컴퓨터에서 나온 메시지가 표시되거나 표시 제어장치 내에서 생성된 표시상태가 표 시된다. 이들 상태는 영문자로 표시되고, READY인디케이터, 동작모우드, 에러메시지 및 커어소르의 현재의 횡렬 및 종렬위치를 포함한다.

우선적인 실시예에서, 조작자는 표시단말을 롬 모우드(스크로울링모우드)로 동작되게 선택할 수 있 는데, 이 모우드에서 커어소트가 횡렬 24위에 있을때, 라인 공급 캐릭터의 수신으로 스크리인의 내 용이 로울링 하게한다. 즉, 24번째 횡렬은 블랭킹되고, 횡렬 24의 이전 내용은 횡렬 23에 표시되면, 횡렬 1에 표시되는 데이터는 스크리인으로부터 사라지며, 커어소르는 횡렬 24에 남게된다. 스크리인 데이터의 로울링은 또한 데이터가 24번째 횡렬의 끝에 들어설때(즉 표시가능한 80개의 캐릭터 이 상)일어난다. 동작위를 모우드는 연속적인 횡렬의 데이터가 단니 마지막 24개 횡렬의 데이터가 음극 선관 11의 스크리인에 유지되어 표시된채로 수신단말에 수신되게한다. 단말을 비로울링 모우드(즉, 스크로울링하지 않은 모우드에서 동작되면, 24번째 횡렬을 뒤따르는 24번째 횡렬을 지난 데이터 혹 은 라인 공급 캐릭터의 수신으로 인하여 데이터가 로울링하지 않게하고, 데이터 오우버플로우 (overflow)메시지가 스테이터스 라인(횡렬 25)에 표시될 것이다.

우선적인 실시예에서, 횡렬 1내지 24를 로울링시키고 횡렬 25를 고정시키려는 이러한 능력은 리프레 시 어드레스 발생기 53(제4도 참조)의 논리에 의해 성취된다. 표시 스크리인의 횡렬이 이렇게 로울 링시키는 것은, 횡렬 1내지 24를 새롭게할때 리프레스 기억회로 44의 재 배치된 어드레스를 발생시 키고 또한 횡렬 25를 새롭게할때 횡렬 25를 고정된 위치에 항상 액세스시키기 위해서 를 위해를 사용함으로써 성취된다. 이것은 횡렬 1내지 24와 관련된 리프레스 기억위치를 액세스 하기 위한 오프셋을 제공하는 롬 레지스터를 마련함으로써 또한 횡렬 25와 관련된 기억위치를 액세스 하는동안 에는 오프셋을 제공하지 않음으로써 이룩된다. 상술하였듯이, 종렬카운터 45는 캐릭터 비율을 104로 분할시킨다, (제1도의 종렬 1내지 80에 대응하는) 카운트 0내지 79는 표시 종렬이고, (제1도의 종렬 81내지 104에 대응하는) 카운트 80내지 103은 수평 재추적을 위해 사용된다. 횡렬카운터(제4도 참조)는 (제1도의 횡렬 1내지 25에 해당하는) 종렬 0내지 24를 지니고있고, 수직 재추적을 위해서는 (제1도의 횡렬 26,27에 해당하는)카운트 25,26을 사용한다.

이 실시예에서, 리프레스 기억회로 44는 각기 16비트 구성의2,048어를 내포하고있는 8개의 RAM이고, 각 RAM은 각기 4비트로된 1,024어를 내포하고 있다. 리프레스 기억회로 44는 제12도에 예시되어있는 것처럼 설계되어있다. 스크로울링 아닌 모우드에서 표시동작이 진행되면, 리프레스 기억 이치 어드 레스 0내지 79는 횡렬 1내지 80을 새롭게 하기위해 사용되는 16비트 데이터를 내포한다. 마찬가지로 스크로울링 아닌 모우드에서, 위치 80내지 159는 횡렬 2, 종렬 1내지 80을 새롭게 하기 위해 사용된다. 이러한 조직은 위치 1920내지 19992가 횡렬 25의 종렬 1내지 80을 새롭게 하기위해 사용되게끔 계속된다. 위치 2000내지 2047은 사용되지 않는다.

표시 스크리인 상에서 횡렬 1내지 24를 로울링시키는 한가지 방법은 25번째 횡렬이 스테이터스 정보 용으로 되어있고 이 실시예에서는 스크로울링 하지않기 때문에 위치 1920내지 1999이 움직이지 않을

것이라는 것을 제외하곤 리프레시 기억회로의 각 어가 80위치만큼 움직이는 것이다.(즉, 위치 80의 내용을 위치 0까지 이동하고, 위치 81의 내용을 위치 1에까지 이동시키는 것라). 스크린에서 데이터의 스크로올링을 완성시키려는 이러한 방법은 만족스럽지 못한다, 그 이유는 각 위치에 액세스하고 또 그것을 이동되는 위치보다 80이 적은 어드레스를 지닌 제2위치에 WRITE하는데 많은양의 시간이 필요하기 때문이다. 그러므로, 리프레시 기억발생53(제4도 참조)은 리프레시 기억회로 44의 물질적인 이동없이 횡렬 1내지 24의 로올링을 성취하는 제13도에 표시한 논리회로를 지니고 있다.

표시 스크린의 데이터가 스크로올링할때, 롤 레지스터 90은 라인 95의 클럭킹 신호 ROLRLD-의 제어에 실리게되어, 라인 87에 내포된 5비트 롤 카운트를 신호 LBDT03+내지 LBDT07+로써 실게된다. 롤 카운터 90에 실린 이 5비트 롤 카운트는 표시 제어장치(도시하지 않았음)의 논리에 의해 발생되고, 표시 스크린의 횡렬 1내지 24가 로올링하게되는 횡렬의 수를 나타내는 0내지 23의 값을 내포한다. 예를들어, 롤모우드로 동작할때, 즉 커어스트가 횡렬 24에 위치하게 될때 라인공급이 들어오는 것을 표시 제어장치의 논리가 검출할때, 롤 레지스터의 내용은 이전 값보다 1이 더 많은 값으로 실리게 된다. 이 실시예에서, 이렇게 롤 레지스터 90을 증분된 롤값으로 실으는것은 퍼엄웨어 제어하에 행해진다.

횡렬 카운터 49및 롤레지스터 90에서 나온값은 함께 가산되고, 모듈로 24합성치는 횡렬 카운터 49의 값이 0및 23사이에 있을때 로올링된 횡렬 발생 PROM 91에 의해 되돌아온다. 횡렬카운터의 값이 24일때, 스테이터스라인 (횡렬 25)의 어드레스가 지정되어 있음을 가리키면서, 24의 결과는 로올링된 횡렬 발생 PROM 91에 의한 출력이다. 예를들어, 표시 제어장치가 표시횡렬 22를 새롭게 할때, 횡렬 카운터 49는 횡렬값(카운트) 21을 지니게 되고, 표시 스크린의 정보가 5횡렬 만큼 스크로올링 하게 되면, 롤 레지스터는 롤값 5를 가질 것이다. 로올링된 횡렬발생 PROM 91은 횡렬 21을 롤 5에 더하고 $(21+5=26)$ 합성 모듈로 24($26\text{모듈}24=2$)를 취한 결과에 일치한 데이터 값을 출력시켜서, 재배치된 횡렬값 2는 롤횡렬 발생 PROM 91에서 나온 데이터로써 데이터 값을 출력시켜서, 재배치된 횡렬값 2는 롤횡렬 발생 PROM 91에서 나온 데이터로써 데이터 어출력의 비트 1내지 5에 있게될 것이다. 이때 0 및 24사이에 있는 이러한 5비트 재배치된 롤값은 재배치된 롤값을 5로 체배시키고 그 적에 종렬 카운터(제4도 참조)에서 출력된 종렬 카운트의 3개의 최대자리수비트를 가산한느 횡렬 어드레스 발생 PROM 92에 입력된다. 횡렬 어드레스 발생 PROM 92에서 나온 7비트는 리프레시 기억회로 44의 데이터를 액세스하기 위해 사용된 11비트 재배치리프레시 어드레스의 7개의 최대자리수 비트이다. 리프레시 기억회로 44를 액세스 하기위해 사용된 리프레시 어드레스의 4개의 최소자리수 비트는 종렬 카운터 45로부터 직접 나오고 리프레시 기억회로 44의 2,048개 16비트 데이터 어중 하나를 액세스하는데 사용되는 11비트 어드레스를 완성한다.

리프레시 어드레스 발생논리의 본질은 롤 값(표시 스크린의 마지막 횡렬 25는 제외)에 롤값을 가산하고 이 결과치를 80개의 종렬로 치배시켜 이것을 종렬 카운트에 가산시키는 것이다. 이에따라 표시 리프레시 기억회로 44에 대한 캐릭터 어드레스가 제공된다.

제13도에 예시한 리프레시 어드레스 발생기 논리의 동작을 이제 상세히 설명한다. 라인 87의 신호 LBDT03+내지 LBDT07+로 나타내지는 5비트 롤값은 라인 95의 클럭킹 신호 ROLRLD-에 의해 롤 레지스터 90의 입력단 D1내지 D5에 클럭킹된다. 롤 레지스터에 클럭킹된후에, 5비트 롤 값은 라인 88의 신호ROLR00+내지 ROLR04+로써 출력단 Q1내지 Q5에 나타난 신호는 로올링된 횡렬발생 PROM 91인가되어, 어드레스 입력 A16내지 A1으로 사용된다. 횡렬 카운터 49에서 출력된 라인 89의 신호 RWCT01+내지 RWCT16+은 10비트 어드레스의 다른 5비트를 제공하여, 입력 A32내지 A512의 어드레스로써 사용된다. 로올링된 횡렬발생 91은, 인가된 10비트 어드레스에 의해 보상된 데이터 어가 비트 1내지 5인 재배치 롤 값 및 사용되지 않는 비트 6내지 8을 내포하게끔 미를 코우드화 되어있다.(제14도 참조)

로올링된 횡렬발생 PROM 91은, 횡렬 카운터 49에서 나온 0내지 23의 횡렬값으로 어드레스 지정된 모든 데이터어중 비트 1내지 5가 횡렬값에로 롤 레지스터 90에서 나온 롤값을 더한값에 해당하는 값을 내포하고 그 합성치가 모듈로 24=로 취하게끔 미리 코우트화 되어있다. 횡렬 카운터 24에서 나온 롤값 24를 나타내는 어드레스에 의해 어드레스 지정된 모든 데이터 어는 값 24에 세트된 비트 1내지 5를 내포하게 되어, 스테이터스 라인(횡렬 25)이 리프레시 기억회로44의 고정된 위치로부터 액세스 되게한다. 이 실시예에서, 로올링된 횡렬발생 PROM 91은 94068 캘리포니아주, 선니베일시에 소재하는 시그네틱사가 제작한 82S137형인 4비트 PROM 에 의한 2개의 1,024어를 사용하여 구성하였다. 로올링된 횡렬발생 PROM 91출력은 2종류의 논리 0인신호를 칩 인에이불(CE)입력단에 공급함으로써 항상 인에이불된다.

재배치된 롤값은 로올링된 횡렬 PROM91의 Q1내지 Q5출력인데, 이들은 라인 93의 신호 RLRW01+내지 RLRW16+로서 횡렬 어드레스 발생 PROM 92의 어드레스 입력단자 A1내지 A16에 인가된다. 횡렬 어드레스 발생 PROM 92의 어드레스 입력 A32내지 A128은 종렬 카운터 45에 의해 마련되는 7비트 종렬 카운트중 3개의 최대자리수 비트를 내포한 라인 94-1의 신호 CLCT16+내지 CLCT64+에 의해 제공된다. 종렬 카운터 45에서 나온 4개의 최소 자리수 비트 즉 라인 94-1의 신호 CLCT 1+내지 CLCT08+은 비트 11리프레시 기억 어드레스의 4개의 최소자리수 비트로 사용되고, 어드레스 입력 A1내지 A8에 직접 들어간다.

횡렬 어드레스 발생 PROM 92는, 비트 1내지 7이 리프레시 기억 어드레스 PROM데이터어의 비트 1내지 7에 있는 값은 계수 5로 체배한 재배치 횡렬값에서 종렬 카운터 45에서 나온 3개의 최대 자리수 비트의 값을 더한값에 세트되어있다. 횡렬 어드레스 발생 PROM 92의 포오맷은 제15도에 예시하였다. 예를들어, 재배치 횡렬치가 2이고 횡렬 카운터의 값이 5횡렬 스크로올된 표시횡렬 22의 표시종렬 80을 새롭게 하는 것에 해당하는 79(2진수로100 1111)이면, 횡렬 어드레스 발생 PROM 92는 비트 1내지 7에 부호화된 값 $(2 \times 5) + 4 = 14$ (2진수로 1110)를 내포하는 데이터 어를 출력시킨다. 종렬 카운터 45로부터 나온 종렬값 79(2진수로 1111)의 4개의 최소 자리수 비트와 함께 사용될때 이값은 리프레시 기억 어드레스 239(2진수로 1110 1111)가 될것이다. 이것은 재배치 표시횡렬 22와 관련된 리프레시 기억회로 44의 마지막 16비트 데이터 어이다(제12도 참조). 리프레시 강거할 44의 어드레스를 지정하기 위해 7개의 최대자리수 비트로 사용되는 횡렬 어드레스 발생 PROM 92의 출력은 라인 97의 신호

RADD04+내지 RADD10+로써 출력단 Q1내지 Q7에 출력된다. 이 실시예에서, 횡렬 어드레스 발생 PROM 92는 95014 캘리포니아주, 쿠퍼티노시에 소하는 인터실(Intersil)사에서 제작한 IM5603A형인 4비트 PROM에 의한 2개의 256어로 구성되고, 그들의 출판물인 인터실 프러덕트 가이드 1979(Intersil Product Guide 1979)에 설명되어 있으며, 그 내용을 본 명세서에 반영하였다.

로울링된 횡렬발생 PROM 91의 경우에서처럼, 횡렬어드레스 발생 PROM 92도 또한 논리 0을 칩 인에이블(CE)입력에 인가시킴으로써 자주 모우드로 사용된다. 리프레시 어드레스 발생기 논리회로 53의 타이밍은, 톨값이 신호 ROLRLD-에 의해 충분히 롤 레지스터 90에 클럭킹 되어져서 리프레시 기억어드레스의 7개의 최대 자리수비트가 횡렬의 리프레시가 시작하기 이전에 라인 97에서 이용가능할 정도로 되어있다. 이것은 이전횡렬의 주사선 13의 완결에 이온 수평재추적 기간 동안에 톨값을 롤레지스터 90에 클럭킹시킴으로써 성취된다.

리프레시 어드레스 발생기 논리는 횡렬 25가 고정되게하고 횡렬 1내지 24가 로울링(스크로울링)하게 하는 것을 가능케한다. 횡렬 25의 고정으로 그 안에 내포된 스테이터스 정보가 리프레시 기억회로 44내의 다른곳에 재배치된것을 보상하게 함이없이 표시 제어장치에 의해 쉽게 새롭게된다. 이와같이 리프레시 데이터를 로울링시키는 방법은 많은 양의 정보가 리프레시 기억회로 44내에서 이동하게되는 기간동안 표시 스크리인을 새롭게 하는 것을 차단시키는 것이 필요하지 않다. 이 실시예에서, 1 횡렬의 표시 데이터를 스크로울링 시키기 위해서는, 리프레시 기억회로에 내장된 단지 80여만 처리되어지고(빈 횡렬에서 블랭킹됨), 동시에 다른횡렬을 로울링시키는 것을 롤 레지스터 및 관련 논리회로에 의해 처리된다.

이제까지 본 발명을 로울링(스크로울링)될수있는 24횡렬의 데이터 및 정지된 재로 남아있는 1횡렬의 데이터를 지닌 표시 제어장치에 관하여 설명하여 왔지만, 본 발명의 많은원리를 상이한수의 로울링된 횡렬 및 상이한수의 정지횡렬에 대하여 이용할수 있을뿐더러 다수 그룹의 정지횡렬에 관하여 응용할수도 있다. 덧붙여서, 본 기술분야에서 익숙한 자는 본 발명의 범위를 벗어남이 없이 다른 레지스터, PROM및 회로를 대치하여 사용할 수 있음을 인식할 수 있다.

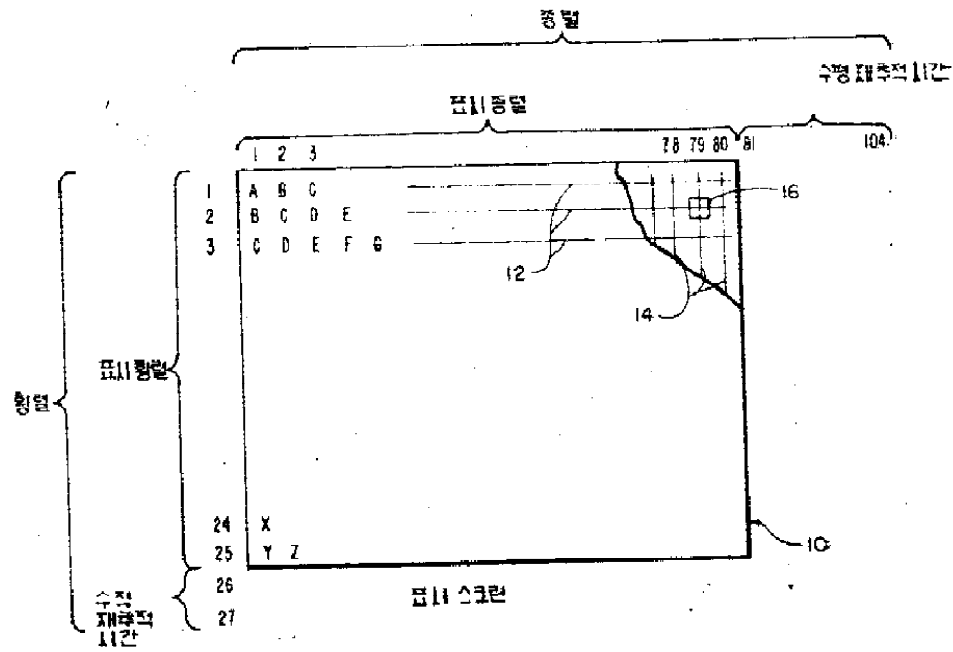
(57) 청구의 범위

청구항 1

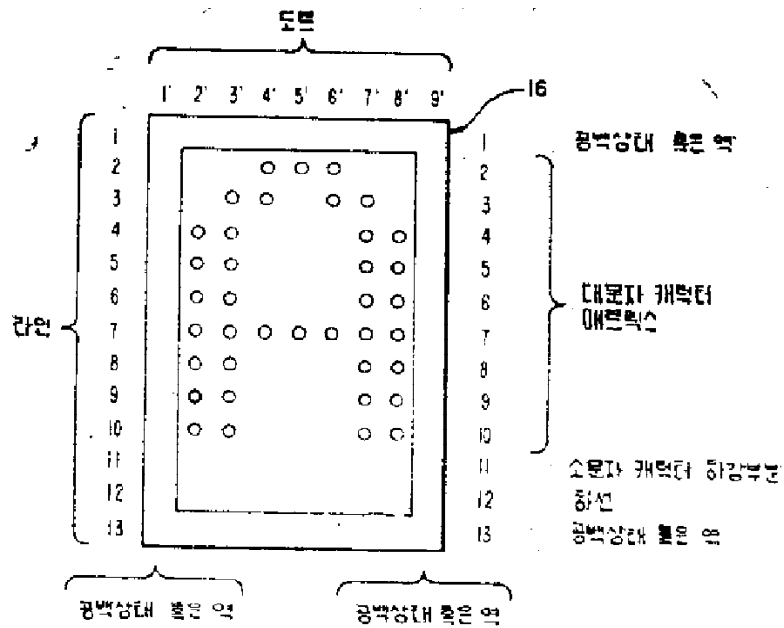
리프레시 기억회로 내의고정된 길이의 횡렬에 저장된 표시정보횡렬의 스크로울일을 마련해 주기 위한 표시 제어장치의리프레시 기억 어드레스 발생장치로서, 상기 표시 제어장치는 종렬값을 유지시키기 위한 종렬 카운터와 횡렬값을 유지시키기 위한 횡렬 카운터를 지닌 라스터 주사논리 회로를 포함하고, 비디오 정보의 종렬 및 횡렬에 대응하는 상기 종렬값 및 횡렬값은 상기 표시 제어장치와 결합된 표시스크린인 상에서 리프레시되며, 상기 리프레시 기억회로내의 고정된 길이의 횡렬의 상기 표시 스크리인에 표시가능한 비디오정보의 각 종렬에 대한 일단의 비디오 데이터를 내포하고, 상기 비디오 정보가 상기 표시 스크리인 상에서 스크로울링될 횡렬수를 가리키는 톨값을 유지하기 위한 롤 레지스터와, 상기 톨값을 상기 횡렬값에 가산시켜 재배치된 횡렬값을 생성시키기 위해 상기 롤 레지스터및 횡렬 카운터에 결합된 제1수단과, 상기 재배치된 횡렬값을 상기 고정된 길이의각 횡렬에 있는 비디오 데이터 유닛수로 곱하고 이것에 종렬값을 가산하여, 비디오 정보의 셀에 해당하는 상기 리프레시 기억회로 내의 일단의 비디오데이터가 상기 표시스크린상의 전기 횡렬값 및 종렬값의 교차에 의해 결정되는 것처럼 리프레시 되게하는 어드레스를 지시하는 재배치 셀 어드레스를 상기 리프레시기억회로에서 생성하여, 상기 리프레시 기억회로에 저장된 비디오 정보를 재구성하지 않고서 상기 표시 스크리인상의 비디오 정보의 횡렬의 스크로울링을 마련하기 위해 상기 제1수단 및 종렬 카운터에 결합된 제2수단으로 구성된 리프레시 기억 어드레스 발생장치.

도면

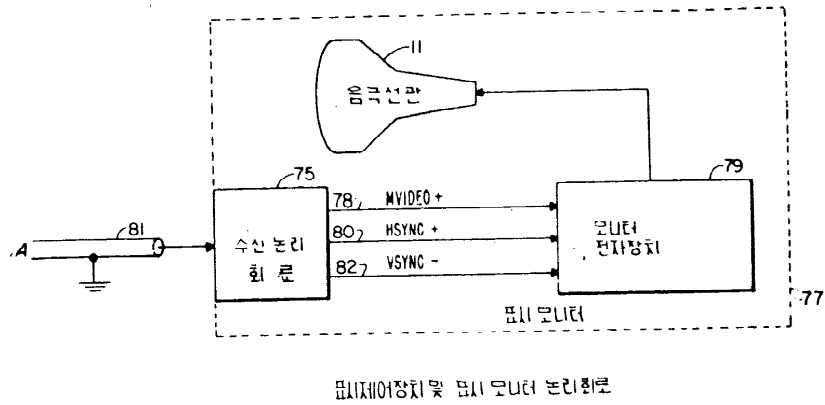
도면1



도면2

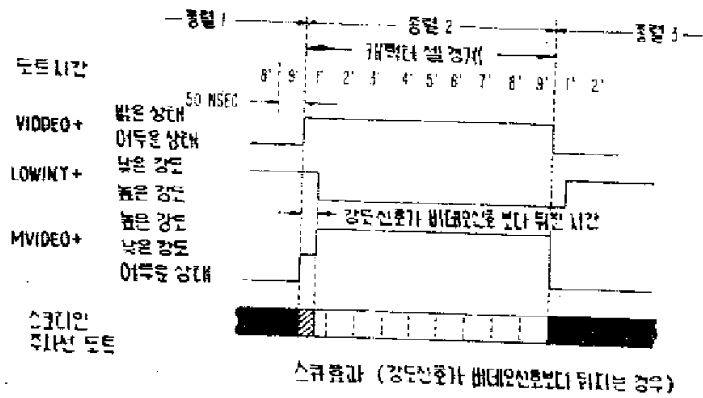


도면4-2



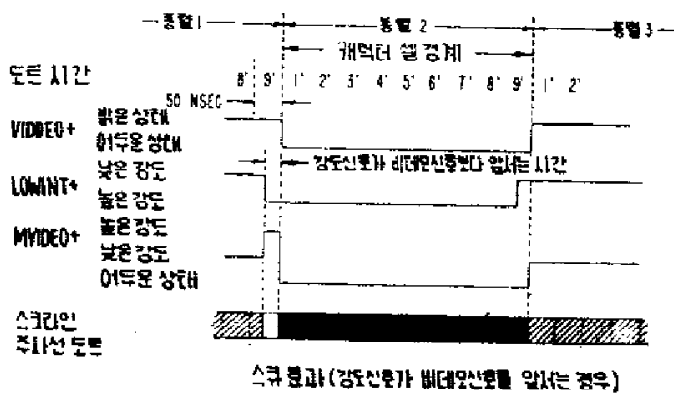
표시제어장치 및 표시 모니터 논리회로

도면5A



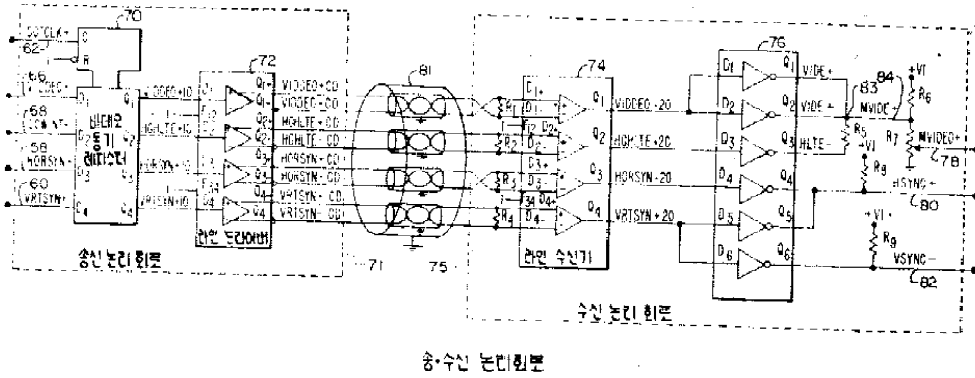
스큐 효과 (강도신호가 비데오신호보다 뒤지는 경우)

도면5B

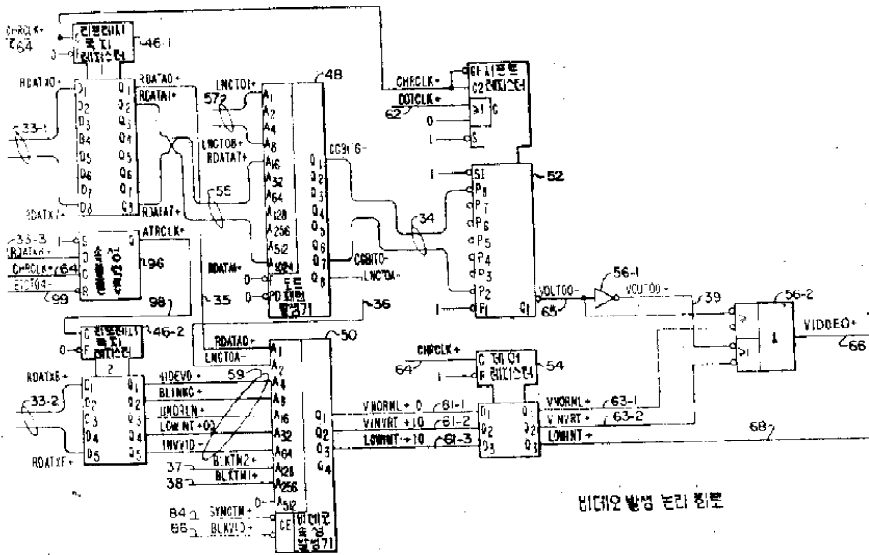


스큐 효과 (강도신호가 비데오신호를 앞서는 경우)

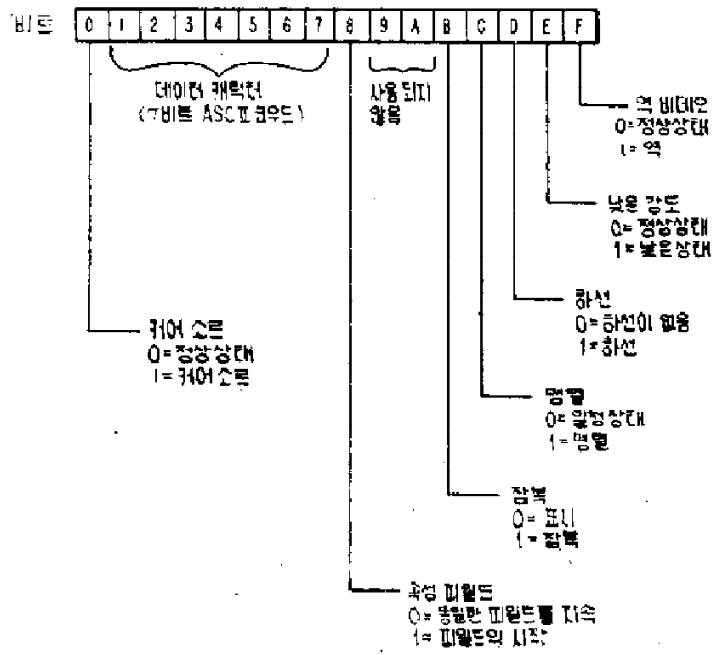
도면6



도면7

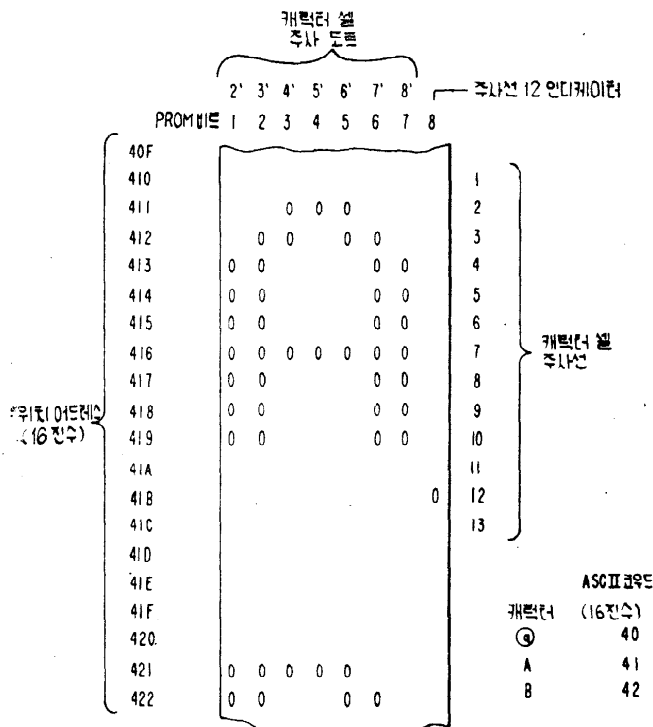


도면8



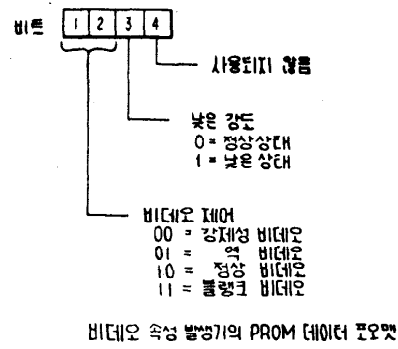
컴퓨터 기억 데이터 포맷

도면9



도트 패턴 발생기의 PROM 데이터 포맷

도면10

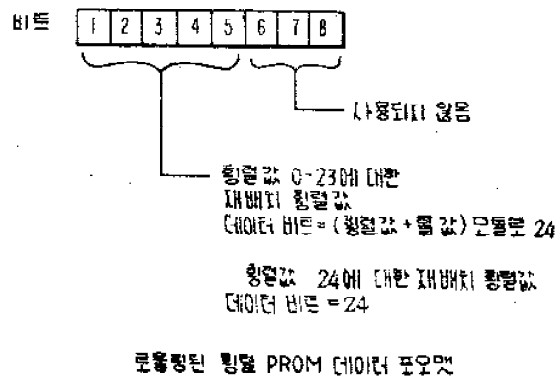


도면11

BLKTM2 (비디오 명령 제어)	BLKTM1 (커어소본 명령 제어)	표시 스크린 캐릭터 셋
0	0	
0	1	
1	0	
1	1	

참고: 영문 캐릭터 셋에 위치한 커어소본

도면 14



도면 15

