

417249

公告本

417249

417249

申請日期	87.5.12
案 號	87107355
類 別	H01L ²¹ /268

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	銅沉積所用之可信賴組合阻障層
	英 文	RELIABILITY BARRIER INTEGRATION FOR CU APPLICATION
二、發明 創作人	姓 名	1. 陳福勝 2. 陳良毓 3. 若迪瑞克可瑞葛摩斯利 4. 摩西伊利伯格
	國 籍	1. 美國 2. 中華民國 3. 美國 4. 以色列
	住、居所	1. 美國加州卡本迪諾史藤恩大街 10390 號 2. 美國加州聖荷西市菲爾維安崔斯大道 1304 號 3. 美國加州快樂城達薇拉大街 4337 號 4. 以色列哈發松若卡街 32 號
三、申請人	姓 名 (名稱)	美商·應用材料股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
	代 表 人 姓 名	瓊西 J. 史維尼

417249

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

本案已向美國申請專利；申請日：1997年5月14日 案號：08/856,116 號

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域：

本發明係關於一種使用一形成於介層物(via)壁上之薄的保角阻障層來製造一插塞(plug)及線的沉積方法與相關的硬體。

發明背景：

現代的半導體積體電路通常涉及以介電(絕緣)層，如二氧化矽或二氧化硅，通常被單純地稱為氧化層，雖然其它的材料被考慮用作為介電質，隔開來的多層結構。這些層透過穿透中介的氧化層之孔而電氣地相互連接，該等孔與底下之某些特徵(feature)相連接。在蝕刻該等孔之後，它們被填入金屬，典型地為鋁(然而現在的趨勢則傾向用銅)以電氣地連接底層與頂層。此一般的結構被稱為一插塞。如果該插塞連接至矽或多晶矽的話，則該插塞為一接點。如果該插塞連接至一金屬的話，則該插塞為一介層物(via)。

當積體電路的電子元件密度愈來愈高時，插塞所產生的困難度即愈高，因為特徵(feature)的尺寸愈來愈小。對於邏輯應用而言，氧化層的厚度似乎被限制在 1 微米附近，而插塞的直徑從 0.25 微米至 0.35 微米附近被降至 0.18 微米及更小。其結果為，插塞的寬高比(高度與最小的測向尺寸的比率)被推向 5:1 或更高。

尺寸持續下降，形成插塞的材料特性變得非常的重要。插塞愈小，形成插塞的材料就應有高速的性能。其結

五、發明說明()

果為銅成為一愈來愈重要的材料。銅的電阻係數為 $1.7 \mu \Omega \text{cm}$ 。銅具有一小的 RC 時間常數藉此提升了由其所製成之裝置的速度。此外，相對於鋁而言，銅表現出改善的可靠度，因為銅具有絕佳的電子漂移電阻並可在線路上驅動更多的電流。

使用銅的一個問題為，銅會擴散至二氧化矽，矽及其它介電材料中。因此，阻障層對防止銅擴散至介電層中及防止累及裝置的完整性變得益形重要。用於銅沉積的阻障層可用於中間介電層沉積上。在中間層介電質上之一薄的氮化矽(SiN)的使用可有效地防止中間層的擴散。在相同的介電層中，很難提供一有效的阻障物來防止線之間的漏電。目前有數種技術正在研究當中，其在介層物(via)側壁上加上一阻障襯層將銅金屬與中間介電質隔開來。一般的物理氣相沉積(PVD)技術在高寬高比及再進入結構中是受到限制的，因為該等沉積之方向性之故。阻障層的厚度與在側壁上接近結構底部處的阻障物厚度變薄之結構架構有直接的關連。於在進入結構的突出物之下，阻障物的厚度，及阻障物的完整性都將受到波及。

相反的，CVD 沉積的薄膜因其本質之故，所以於再進入結構中是保角的。再者，CVD 沉積的薄膜對於結構之下界面保持一高度的保角性。藉由分解一有機物質(TDMAT)而製備之氮化矽(Si_xN_y)及氮化鈦(TiN)是普通的半導體製造材料其表現出該被描述的保角性能。這兩種材料都被理解為是防止銅擴散之良好的阻障物當並因為它們的高電

五、發明說明()

阻係數的關係，而被認為不具吸引力。該材料之高電阻的本質將會對該介層物(via)的電阻性能有負面的影響，該電阻必需儘可能地被保持很低，用以讓邏輯裝置的性能最佳化。較佳地，良好的阻障物會將插塞的側壁作成如第1圖中所示者。

因此，需要一種可在介層物側壁上提供一良好的且不會對插塞的電阻係數有負面的影響的阻障層之方法及相關的硬體。

發明目的及概述：

本發明提供一種用銅來填入一基材中的孔之方法及相關的硬體。該方法包括首先在該孔中形成一可靠的阻障層以防止銅擴散入形成該孔之介電層中。

本發明的一個實施例包括在一經構圖(patterned)的介電層上形成一大致保角的阻障層，蝕刻該孔的底部，沉積一第二阻障層，然後用銅填入該孔內。本發明的另一方法包括在一覆蓋介電層上形成一第一阻障層，形成一穿透該阻障層與該介電層兩者之孔，在該孔中形成一大致保角之第二阻障層，從該孔的底部去除掉該阻障層，及選擇性地用銅填入該孔。

圖式簡單說明：

本發明之一更為特定的描述可藉由參照在附圖中所示出之較佳實施例而被獲得，使得本發明之前述特徵，優

五、發明說明()

點及目的可被詳細地瞭解。

然而，應被瞭解的是，附圖中所展示的只是本發明之典型的實施例，其不應被解讀為本發明之範圍的限制。

第 1 圖為先前技藝的圖式，其展示出一被填入銅之插塞具有一良好的阻障層形成在該插塞的側壁上；

第 2-5 圖顯示一實施了本發明之方法的基材的剖面圖；

第 6 圖為本發明之方法的一流程圖；

第 7-12 圖顯示一實施了本發明之另方法的基材的部分剖面圖；

第 13 圖為本發明之另方法的一流程圖；

第 14 圖為一多容室處理設備的示意圖；

第 15 圖為一高密度 PVD 處理反應室的剖面圖；

第 16 圖為一高密度 CVD 處理反應室的剖面圖；及

第 17 圖為一電腦控制的處理設備的流程圖。

圖號對照說明：

12	介電層	14	金屬層
16	阻障層	18	側壁
20	插塞	22	Si_xN_y 層
24	第二阻障層	15	阻障層
30	第二保角阻障層	35	多容室處理設備
40	真空處理室	42	室壁
44	標靶背板	46	標靶
50	托架電極	52,54	氣體源

五、發明說明()

56,58	質量流控制器	60	真空泵
62	感應線圈	64	DC 能量供應
70	RF 能量供應	48	基材
45	側壁	50	室頂
55	處理氣體分配器	65	支撐件
75	舉升指件總成	80	加熱器
95	處理區	105	有孔的阻障板
110	排放孔	115	排放系統
116	電漿產生器	141	電腦程式
142	製程選擇器次程式	143	製程排序器次程式
144a-c	處理室管理次程式	145	基材置放次程式
146	處理氣體控制次程式	147	壓力控制次程式
148	加熱器控制次程式	149	電漿控制次程式

發明詳細說明：

本發明題供了一種形成一銅(Cu)插塞的方法及相關的硬體，該插塞具有一可靠的阻障層形成於該插塞的側壁上以防止 Cu 擴散至介電層中，該插塞係形成穿過該介電層。在本發明的一個態樣中，提供了一種藉由首先沉積一大致保角的阻障層，如 Si_xN_y ，於一基材上來形成一銅插塞的方法及相關的硬體，該基材具有一插塞其形成於沉積在該基材上的介電層中。然後該基材接受一預清洗或其它的蝕刻處理以去除形成在該插塞底部與底層交接面上之阻障層，其典型地為一金屬層或一矽層或一多晶矽層。然

五、發明說明()

後一第二阻障層，如 Ta，TaN，TiSiN 或 TaSiN 層，被沉積於該第一阻障層上以提供在該插塞中之良好的底部覆蓋性，並覆蓋住可能於蝕刻處理中裸露出來之插塞的角落。然後，使用一高密度物理氣相沉積處理來沉積銅，接著加熱的銅平坦化及高壓填入，化學氣相沉積或一後面接著物理氣相沉積之化學氣相沉積的組合。

在本發明的另一態樣中，一阻障層，如 Si_xN_y ，被沉積於一基材上，該基材具有一毯覆式(blanket)介電層，如 SiO_2 ，形成於其上。然後，該基材被構圖(pattern)以打開一穿透該阻障層及該介電層之插塞並將底層裸露出來。然後一保角阻障層被形成於該包含了該插塞的側壁之經構圖的基材表面上。然後該基材接受一預清洗或其它的蝕刻處理以去除掉形成於該插塞底部與底層交接面上之阻障層。當底層為一有核的材料時，如 Cu 或其它材料，可使用化學氣相沉積技術讓 Cu 選擇性地生長於該插塞內。或者，上述之 IMP Cu 處理及壓力填入可被用來填充該插塞。

第 2-6 圖顯示本發明的一種方法其將於下文中被說明。第 2 圖為一基材的部分剖面圖該基材具有形成於其上之插塞 20，該插塞穿過一介電層 12 到達底下的材料層 14。一保角 Si_xN_y 阻障層 16 藉由 CVD 技術而被形成於該經構圖的表面上以在該插塞 20 的側壁 18 及底部上形成大致保角的阻障層。接下來，該基材接受一預清洗或其它的蝕刻處理以去除形成在該插塞底部與底層交接面上之 Si_xN_y 阻障層 22，如第 3 圖所示。典型地，該蝕刻處理亦

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

去除掉該插塞 20 上面角落部分的材料其會將介電層 12 的一部分裸露出來。此外，插塞側壁上之沉積在底部處會比在上部的要薄。因此，一第二紫障層 24，如 Ta，Ta₂N₃，TiSiN/TaSiN，藉由使用一高密度電漿處理，如一離子金屬電漿處理(申請人通常稱之為 IMPtm 處理)，而被濺射沉積於該 Si_xN_y 層及被裸露的介電層 12 上，如第 4 圖所示。然後使用一 IMP 處理接著用一溫熱的銅平坦化及如第 5 圖所示之高壓填入來沉積銅，或使用化學氣相沉積技術或化學氣相沉積技術與隨後的物理氣相沉積技術的組合來沉積銅。其它填充小特徵(feature)之銅的沉積技術，如電鍍，亦可被使用且是在本發明的範圍之內。本發明之方法步驟被最小量化，如第 6 圖的流程圖所示。

第 7-12 圖顯示本發明的另一種方法其將於下文中被說明。第 7 圖顯示一形成於一基材上之毯覆式介電層 12，該基材具有一阻障層 15，如 Si_xN_y 層，形成於其上。在此方法中，一阻障層 16，如一 Si_xN_y 層，首先被沉積於該介電層 12 上。然後該基材被構圖(pattern)並蝕刻以形成一插塞 20 穿過阻障層 15，16 及該介電層 12，如第 8 圖所示。接下來，一第二保角阻障層 30(Si_xN_y)被形成於該經構圖的表面上，如第 9 圖所示。然後該基材接受一預清洗或其它的蝕刻處理以去除形成於該插塞底部在與底下的層交界處上之 Si_xN_y 層 30，如第 10 圖所示。接下來，在底下層為導電層的應用例中，銅可選擇性地生長於該插塞中。此外，銅可被濺射沉積於該插塞中或銅可電鍍而被沉積以

五、發明說明()

完成該插塞的填充。之後，該基材可接受一化學機械拋光研磨用以從該基材上去除掉多餘的及不需要的物質並完成所需要之特徵的形成，如第 12 圖所示。第 13 圖為一流程圖，其將上述的方法作一概述。

適用於本發明之 CVD 處理的多容室處理設備 35 的一示意圖係示於第 14 圖中。該設備為一 "ENDURA" 系統其是由設在美國加州 Santa Clara 的 Applied Material 公司所製造的。在此處所示之該設備 35 的特定實施例是適用於平面基材的處理，且被用來解說本發明，但不應被用來作為本發明範圍的限制。設備 35 典型地包含互連處理反應室的一叢集(cluster)，例如，CVD 及 PVD 沉積及快速熱退火反應室。

在接點孔填充的內容中，高密度電漿係被定義為一種大致填滿其所在的體積並具有一平均離子密度其在該電漿的主要部分密度大於 10^{11}cm^{-3} 。傳統的電漿蝕刻 PVD 反應器產生一非常低的離子密度。雖然高密度電漿可於許多不同的反應器內獲得，但電漿最好是在電感耦合的電漿反應器中被獲得，如以剖面圖形式於第 15 圖中所示的反應器種類中。此種類的反應器因為將於下文中被說明的理由而被稱為離子化的金屬電漿(IMP)反應器。

如在此圖中所示，一真空反應室 40 主要是由一室壁 42 及一標靶背板 44 所構成。一 PVD 標靶 46 係附著於該標靶背板 44 上並具有一種包含至少該將被濺射沉積之材料的一部分的成分。為了沉積鈮(Ta)及氮化鈮(TaN)，該標

五、發明說明()

靶 46 是由鈹所製成。被濺射沉積有一層 PVD 薄膜的基材 48 被支撐於一位在與標靶 46 相對位置之。處理氣體從氣體源 52, 54 被送至架電極 50 上並被個別的質量流控制器 56, 58 所計量且一真空泵系統 60 將該反應室 40 維持在一所需之低的壓力。

一感應線圈 62 被纏繞在介於標靶 46 與該托架 50 之間的空間。三個獨立的電源供應被使用於此電感地耦合的濺射反應器上。一 DC 能量供應 64 相對於該托架 50 對該標靶 46 施加負電地偏壓。一 RF 能量源 66 對該感應線圈 62 施加在百萬赫茲的範圍內施加電能。被施加於該標靶 46 與該基材 48 之間之該 DC 電壓造成被送至該反應室之處理氣體放電並形成一電漿。經由該線圈 62 而電感地與該反應室耦合之該 RF 線圈能量提升該電漿的密度，亦即，提高被離子化的粒子的濃度。位在該標靶 46 背後之磁鐵 58 顯著地提高鄰近該標靶處之電漿密度用以提高濺射效果。另一 RF 能量源 70 在頻率從 100KHz 至數百萬赫茲的範圍內對托架 50 施加電能用以相對於電漿施加偏壓。

來自於氣體源 54 之氬氣為主要的濺射氣體。其在電漿中離子化，且其帶正電的離子被負電地偏壓之標靶 46 所吸引且該等離子帶有足以濺射來自於該標靶 46 的粒子的能量，亦即，標靶原子或多原子粒子從該標靶被驅出。被濺射的粒子主要是沿著彈道路徑行進，且其中的某些粒子撞擊該基材 48 用以在該基材上沉積為該標靶材料的一

五、發明說明()

薄膜。如果該標靶材料為鉍且假設沒有進一步的反應時，一鉍膜即可被沉積，或在一鋁標靶的例子中，一鋁末膜即被形成。

該設備亦包含一 CVD 沉積反應室 40(示於第 16 圖中)其具有周圍側壁 45 及一室頂 50。該反應室 40 包括一處理氣體分配器 55 用來將處理氣體送至該反應室內。質量流控制器及氣動閥被用來控制流入該沉積室 40 內之處理氣體流。該氣體分配器 55 典型地被安裝在該基材 48 之上(如所示)或在該基材的周圍(未示出)。一支撐件 65 被提供以將該基材支撐於該沉積室 40 中。該基材經由一形成於該沉積室 40 的側壁 45 上的基材裝載入口被送入沉積室內並被置於該支撐件 65 上。支撐件 65 可被一支撐件伸縮架 70 升起或降下使得介於基材兩與氣體分配器之間的距離可被調整。一包含了可插入穿過在該支撐件 65 上的孔之舉升指之舉升指件總成 75 可被用來將基材舉起或方下至該支撐件上以便於將基材送入沉積室 40 中或從沉積室中取出。一加熱器 80 被提供於該沉積室 40 中以快速地對基材加熱。基材的快速加熱及冷卻是較佳的，用以提升處理的產出(throughput)，並允許在相同的沉積室中不同的溫度下之連續的處理之間之快速的循環。該基材的溫度係大略地用該支撐件 65 的溫度來估算。

該基材係於一水平的有孔的阻障板 105 之上的處理區 95 中被處理。該阻障板 105 具有排放孔 110 與一排放系統 115 成流體連通用以從該沉積室 40 中排出用過的處理氣

五、發明說明()

體。一典型的排放系統 115 包括一轉動的通氣真空泵(未示出)其能夠達到約 10mTorr 的最小真空，及一用來吸除附產品氣體之非必要洗氣器。在該沉積室 40 內之壓力是在基材側被偵測且是藉由調節在該排放系統 115 中之節流閥來控制。

一電漿產生器 116 被提供來在該沉積室 40 的處理區 95 中產生電漿以供電漿蝕刻的化學氣相沉積處理之用。該電漿產生器 116 可(i)藉由施加一 RF 電流至環繞在該沉積室周圍的電感器線圈(未示出)而電感地產生一電漿，(ii)藉由施加一 RF 電流至該沉積室內之處理電極而電容地產生一電漿，或(iii)當室壁或其它電極被接地時，同時電感地或電容地產生一電漿。在一能量水平從 750 瓦至 200 瓦的 DC 或 RF 電流可被施加至一電感線圈(未示出)用以電感地將能量耦合至該沉積室以在該處理區 95 中產生一電漿。當一 RF 電流被使用時，該 RF 電流的頻率典型地是從 400KHz 至 16MHz，及更典型地約為 13.56MHz。非必要地，一氣體容器或電漿焦距環(未示出)，典型地是由鋁氧化物或石英所製成，可被用來容納環繞該基材之處理氣體流或電漿。

一預清洗室可由位在美國加州 Santa Clara 的 Applied Material 公司獲得，該預清洗室可被用來從該插塞的底部去除該阻障層。此外，自此領域中所習知之其它的蝕刻室亦可被用來去除如上所述的阻障層。

該處理可用一在一傳統的電腦系統上執行之電腦程

五、發明說明()

式產品 141 來操作，該電腦系統包括一與具有週邊控制組件之記憶體系統連接之中央處理器單元(CPU)，如由 Synenergy Microsystems 公司所生產之 68400 微處理器。該電腦程式碼可用任何電腦可讀取的程式語言，如 68000 組合語言，C，C++，或 Pascal 來寫。適當的程式碼使用傳統的編輯器輸入到一單一的檔案中，或多個檔案中，並儲存或編入至電腦可讀取的媒體中，如該電腦的記憶體系統中。如果被輸入的碼為一高階語言的話，其即被編譯，所獲的編譯碼然後與一預先編譯的視窗程式庫目標碼鏈結。該系統的使用者呼叫該目標碼以執行該經鏈結的編譯過的目標碼，造成電腦將該目標碼載入記憶體中，CPU 從記憶體讀取並執行該目標碼以實施在該程式中所指定的工作。

第 17 圖顯示一電腦程式 141 之邏輯控制結構的方塊圖。一使用者輸入一處理組號碼及處理反應室號碼至一處理選擇器次程式 142 中。處理組是執行特定的處理所需要之預定的處理參數，且是用預定的組號來定義。該處理設定所需要的反應室，及(ii)操作該處理室所需要之處理參數組以實施所需要的處理。該處理參數與處理條件有關，如處理氣體的成份及流率，溫度，壓力，電漿條件，如 RF 及 DC 偏壓能量等級及磁場能量等級，冷卻氣體壓力，及反應室壁溫度等。

一製程排序器次程式 143 包括用來從該製程選擇器次程式 142 接受被指定之處理室及處理參數組，及用來控制

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

不同的處理室的粗作之程式碼。多個使用者可輸入處理組號碼及處理室號碼，或一使用者可輸入多個處理組號碼及處理室號碼，該製程排序器次程式 143 可將被選取的處理以所需要的順序排好。較佳地，製程排序器次程式 143 包括一用來實施(i)監視該等處理室之操作以決定處理室是否被使用，(ii)決定那些處理是要在那些處理室中進行，(iii)根據一有空的處理室及將被實施之處理的種類來執行所需要的處理，的程式碼。監視處理室之傳統的方法可被使用，如詢訊(polling)。當在排那一個處理要被執行時，排序器次程式 143 可被設計成將被使用之處理室之目前的條件與一被選取之處理所需要的條件比較，或每一特定的使用者所輸入的要球的"年齡"，或一系統程式員想要包括進去以決定優先順序之任何其它相關因子，考慮進去。

在排序器次程式 143 決定那一個處理室及處理組的組合將於下一個被執行之後，該排序器次程式 143 藉由將該特定的處理組參數送至一處理室管理次程式 144a-c 來執行該處理組，其中處理室管理次程式 144a-c 根據由該排序器次程式 143 所決定的處理組來控制在處理室內之多製程工作。例如，處理室管理次程式 144a 包括用來控制在該處理室 40 內之濺射及 CVD 處理操作的程式碼。處理室管理次程式 144 亦控制不同處理室組件次程式的執行，其中組件次程式控制執行該被選取的處理組所必需之處理室組件的操作。處理室組件次程式的例子為基材置放次程式 145，處理氣體控制次程式 146，壓力控制次程式 147，加

五、發明說明 ()

熱器控制次程式 148，及電漿控制次程式 149。這些不同的次程式的功能如播種(seeding)程式碼機構般用來(i)將基材加熱至溫度範圍 ΔT_s 內之溫度 T_s 及(ii)將一反應氣體引入該處理區內用以在該基材之場域部分上沉積一大致連續的絕緣層；及如沉積生長程式碼機構般用來(i)將該基材保持在溫度範圍 ΔT_d 內之溫度 T_d 及(ii)將常積氣體引入該處理區內用以形成一磊晶生長層其是生長於接點孔或介層孔內。熟悉此技藝者可輕易地瞭解到其它的處理室控制次程式可根據那些處理是要在處理室 40 內來實施而被包括在內。

在操作時，處理室管理次程式 144a 依據被執行之透定的處理組來選擇性地安排或呼叫處理組件次程式。該處理室管理次程式 144a 之排序使用一種與排序器次程式 143 在排定那一個處理室 40 及處理組將被執行時所用之方式相似的方式來實施。典型地，處理室管理次程式 144a 包括了監視不同的處理室組件，根據將被執行之處理的處理參數決定那些組件必需被操作，及執行一處理室組件次程式以作為監視及決定步驟之回應，等步驟。

例子 1

在一個例子中，一根據本發明的處理在一具有約 4:1 的寬高比之 0.25μ 的介層物(via)晶圓上被實施。該經過構圖之晶圓首先被置入一 CVD 反應室內，在該反應室內一約 50 埃至 100 埃的 Si_xN_y 層使用 CVD 技術被常積於該晶

五、發明說明()

圖上。然後該晶圓被移入一預清洗 II 反應室中，該晶圓於該預清洗反應室內接受氫氣/氫氣蝕刻環境約 20 秒。約 300/300 瓦的 RF/DC 能量被使用。接下來，該晶圓被移入一 IMP 處理室中，一約 400 埃的 TaN 被沉積於該晶圓上。接下來，該晶圓被引入一 CVD 反應室中，一約 400 埃的 CVD Cu 被沉積於該晶圓上作為一濕潤層。然後，Cu 被濺射至該晶圓上以完成介層物(via)的填充。

例子 2

在另一個例子中，本發明的另一個處理方法被實施於一具有一金屬 1 特徵，一阻障層及一介電層形成於其上之晶圓上。該晶圓首先被構圖及蝕刻以形成一連接金屬 1 特徵之介層物(via)。首先被置入一 CVD 反應室內，在該反應室內一約 50 埃至 100 埃的 Si_xN_y 層使用 CVD 技術被常積於該晶圓上。然後該晶圓被移入一預清洗 II 反應室中，該晶圓於該預清洗反應室內接受氫氣/氫氣蝕刻環境約 20 秒。約 300/300 瓦的 RF/DC 能量被使用。接下來，該晶圓被引入一 CVD 反應室中，該介層物被選擇性地填入 Cu。

雖然上述的說明係針對本發明之較續的實施例，但本發明之其它的及進一步的實施例亦可在不偏離本發明的範圍之下被推導出，本發明之範圍是由下列之申請專利範圍所界定。

四、中文發明摘要(發明之名稱：)

銅沉積所用之可信賴組合阻障層

本發明提供了一種用銅來填入一孔之方法及相關的硬體。此方法包括了首先在該孔中形成一可靠的阻障層以防止銅擴散入形成該孔之介電層中。有一方法其包括在一經構圖(patterned)的介電層上形成一大致保角的阻障層，蝕刻該孔的底部，沉積一第二阻障層，然後用銅填入該孔內。另一替代方法包括在一覆蓋介電層上形成一第一阻障層，形成一穿透該阻障層與該介電層兩者之孔，在該孔中形成一大致保角之第二阻障層，從該孔的底部去除掉該阻障層，及選擇性地用銅填入該孔。

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種填充一穿過在一積體電路中的一介電層之孔的方法，該方法至少包含：
 - a) 在該孔內沉積一大致保角的第一阻障層；
 - b) 去除形成於該孔之底部上之該第一阻障層；
 - c) 在一高密度電漿的條件之下濺射沉積第二阻障層；及
 - d) 在該孔中沉積一金屬層。
2. 如申請專利範圍第1項所述之方法，其中該第一阻障層是使用化學氣相沉積技術來沉積的。
3. 如申請專利範圍第2項所述之方法，其中該阻障層是由 Si_xN_y 組成。
4. 如申請專利範圍第3項所述之方法，其中形成於該孔之底部上之該第一阻障層的一部分是使用蝕刻技術來去除的。
5. 如申請專利範圍第4項所述之方法，其中沉積於該孔中之金屬層為銅。
6. 如申請專利範圍第5項所述之方法，其中該金屬層是使用化學氣相沉積技術來沉積的。

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

六、申請專利範圍

7.如申請專利範圍第5項所述之方法，其中該金屬層是使用物理氣相沉積技術來沉積的。

8.如申請專利範圍第1項所述之方法，其中該第一阻障層包含 Si_xN_y 。

9.如申請專利範圍第8項所述之方法，其中該第二阻障層包含了一由包含 Ta, TaN, TiSiN, TaSiN 及其組合物的組群中所選取的材料。

10.如申請專利範圍第9項所述之方法，其中濺射沉積於該孔內之金屬層為銅。

11.如申請專利範圍第10項所述之方法，其中該第二阻障層是在一高密度電漿的條件下被濺射沉積的。

12.如申請專利範圍第11項所述之方法，其中該金屬是在一高密度電漿的條件下被濺射沉積的。

13.如申請專利範圍第12項所述之方法，其中該金屬被加熱至介於室溫與 500°C 之間的溫度，然後受到一加壓的環境。

14.如申請專利範圍第13項所述之方法，其中該加壓的環

(請先閱讀背面之注意事項再填寫本頁)

訂

煩請委員指示
修正本有無變更實質內容是否准予修正。
89年4月7日所提之

六、申請專利範圍

境是在約 1000psi 與 100,000psi 的範圍之內。

15. 一種填充一穿過在一積體電路中的一介電層之孔的方法，該方法至少包含：

- a) 在一毯覆式介電層上沉積一第一阻障層；
- b) 形成一穿過該阻障層及該介電層之孔以露出一底層；
- c) 在該孔內沉積一大致保角的第二阻障層；
- d) 去除形成於該孔之底部上之該第一阻障層；
- e) 在該孔中選擇性地沉積一金屬層。

16. 如申請專利範圍第 15 項所述之方法，其中該第一及第二阻障層是由 Si_xN_y 所組成的。

17. 如申請專利範圍第 16 項所述之方法，其中該第一及第二阻障層是使用化學氣相沉積技術來沉積的。

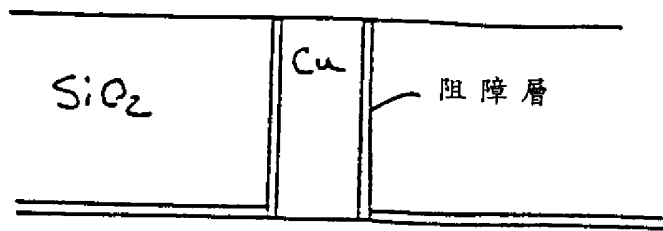
18. 如申請專利範圍第 16 項所述之方法，其中形成於該孔的底部之阻障層是用濺射蝕刻技術來去除的。

19. 如申請專利範圍第 5 項所述之方法，其中該金屬層是藉由首先使用化學氣相沉積技術沉積一濕潤 (wetting) 層，然後使用物理氣相沉積技術填充該孔。

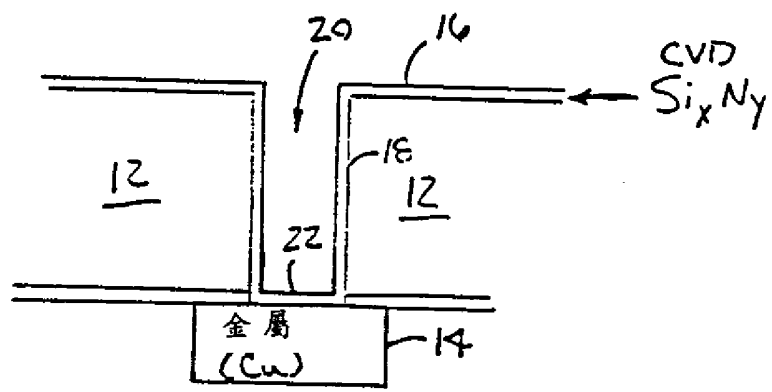
(請先閱讀背面之注意事項再填寫本頁)

訂

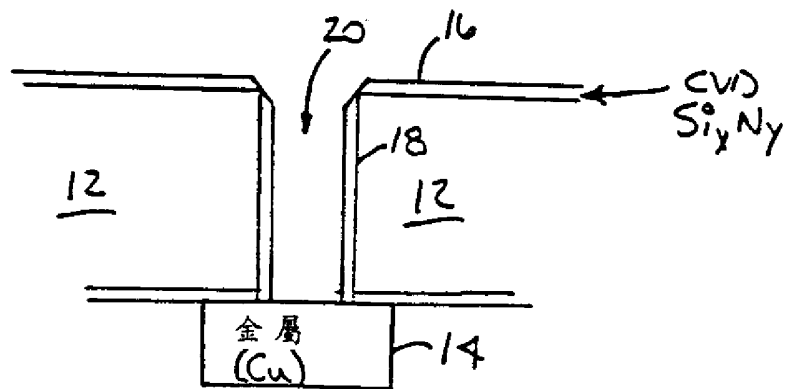
終



第 1 圖

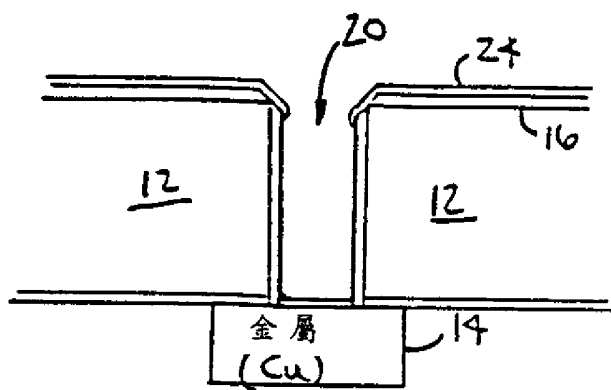


第 2 圖

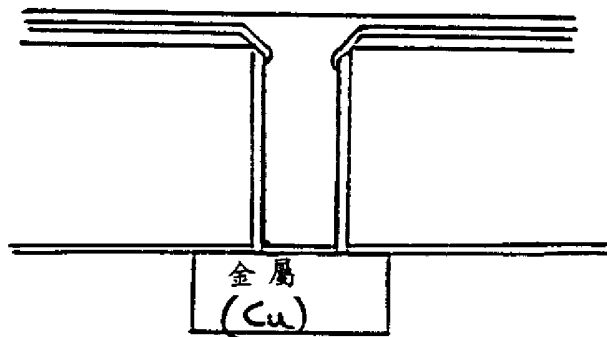


第 3 圖

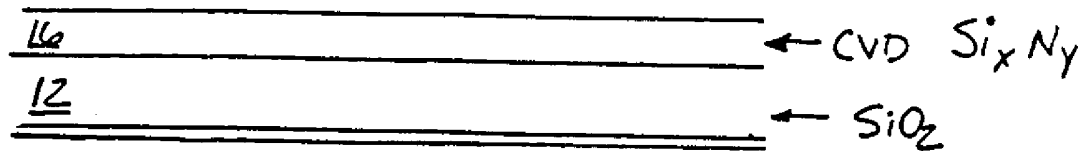
417249



第 4 圖

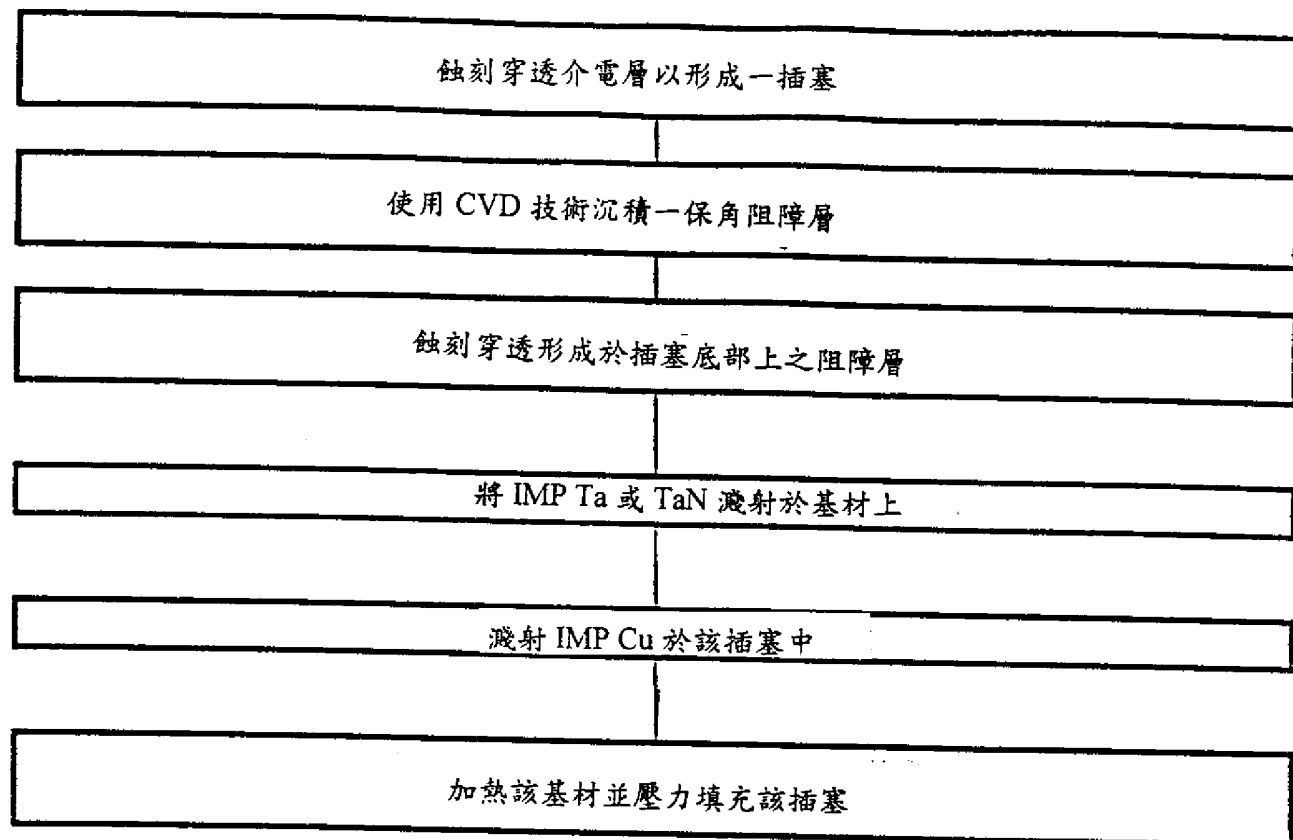


第 5 圖



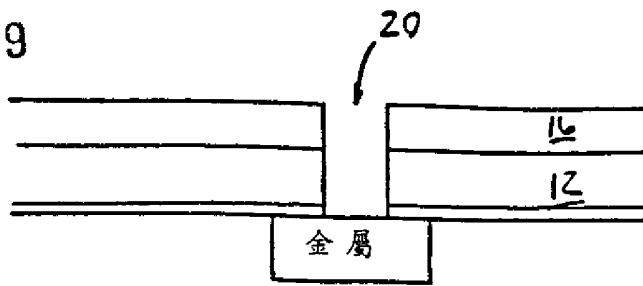
第 7 圖

417249

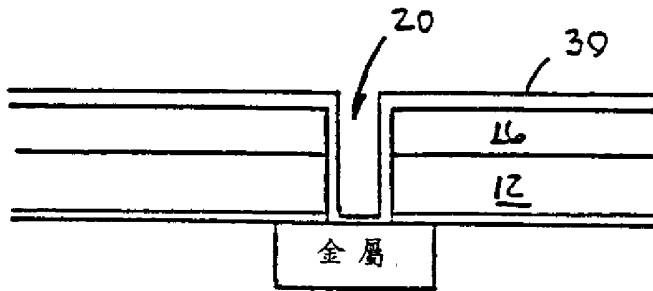


第 6 圖

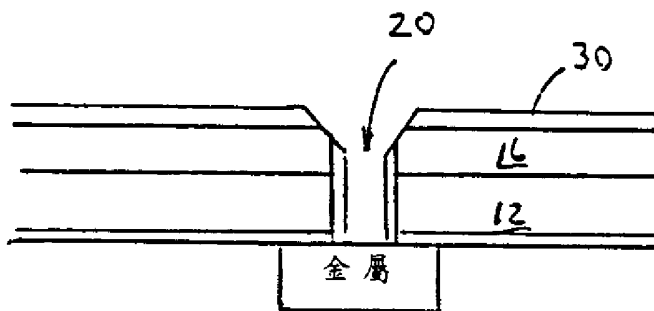
417249



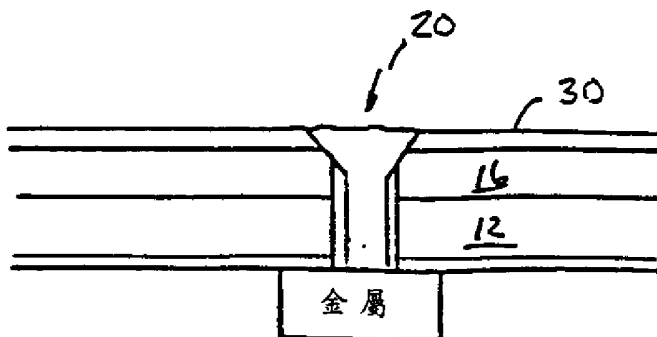
第 8 圖



第 9 圖

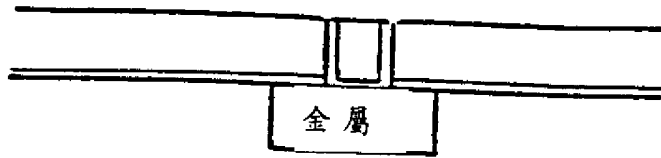


第 10 圖



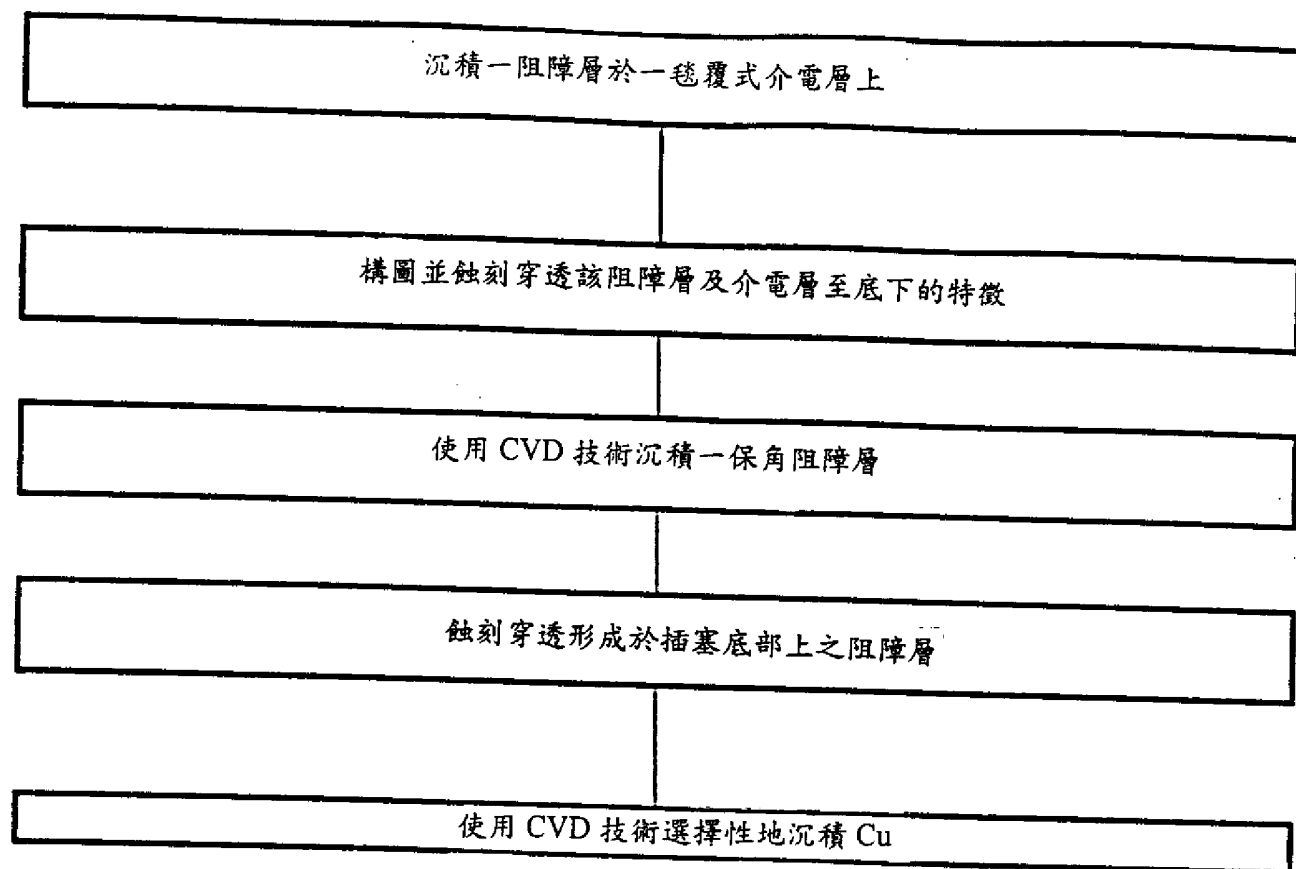
第 11 圖

417249



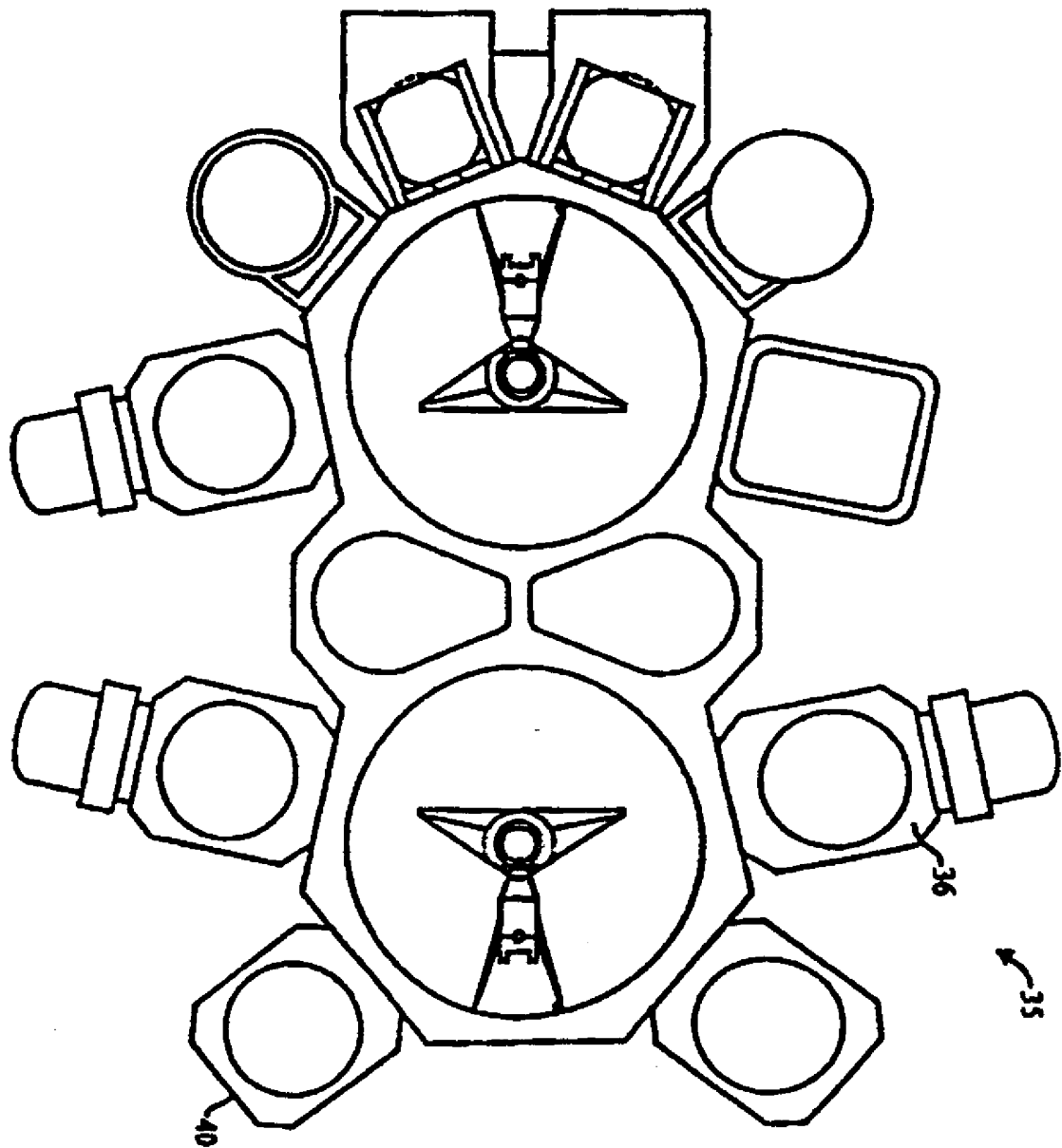
第 12 圖

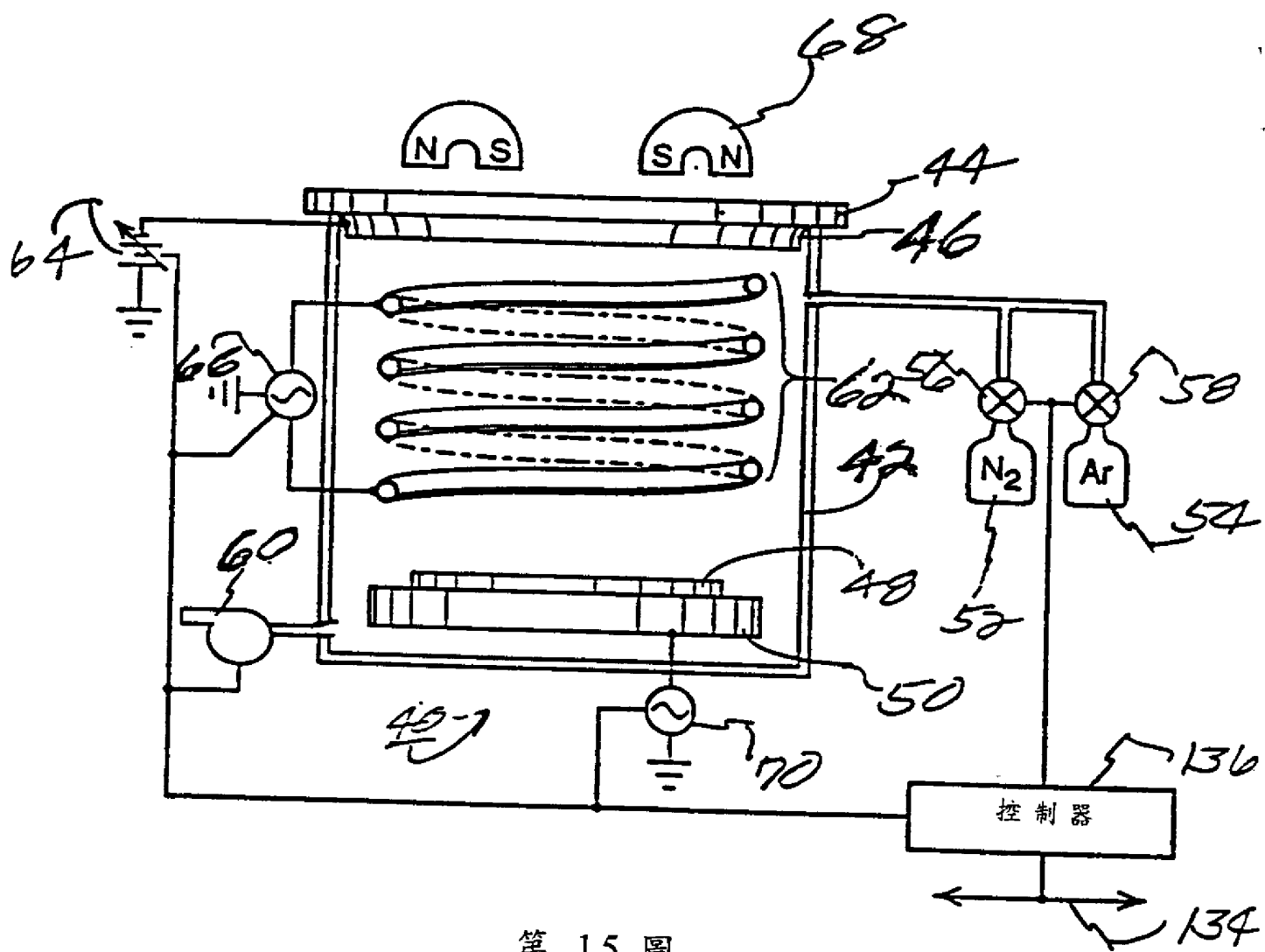
417249



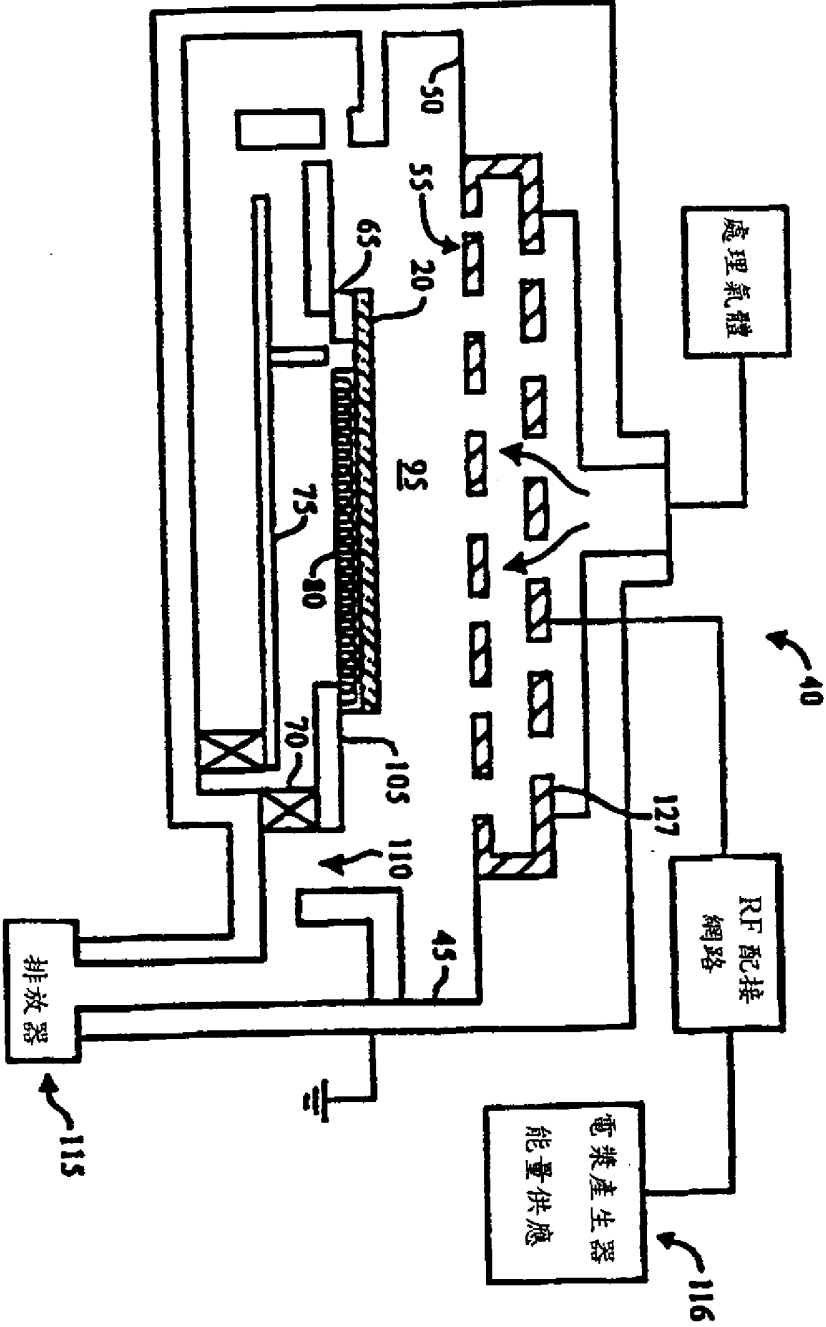
第 13 圖

第 14 圖

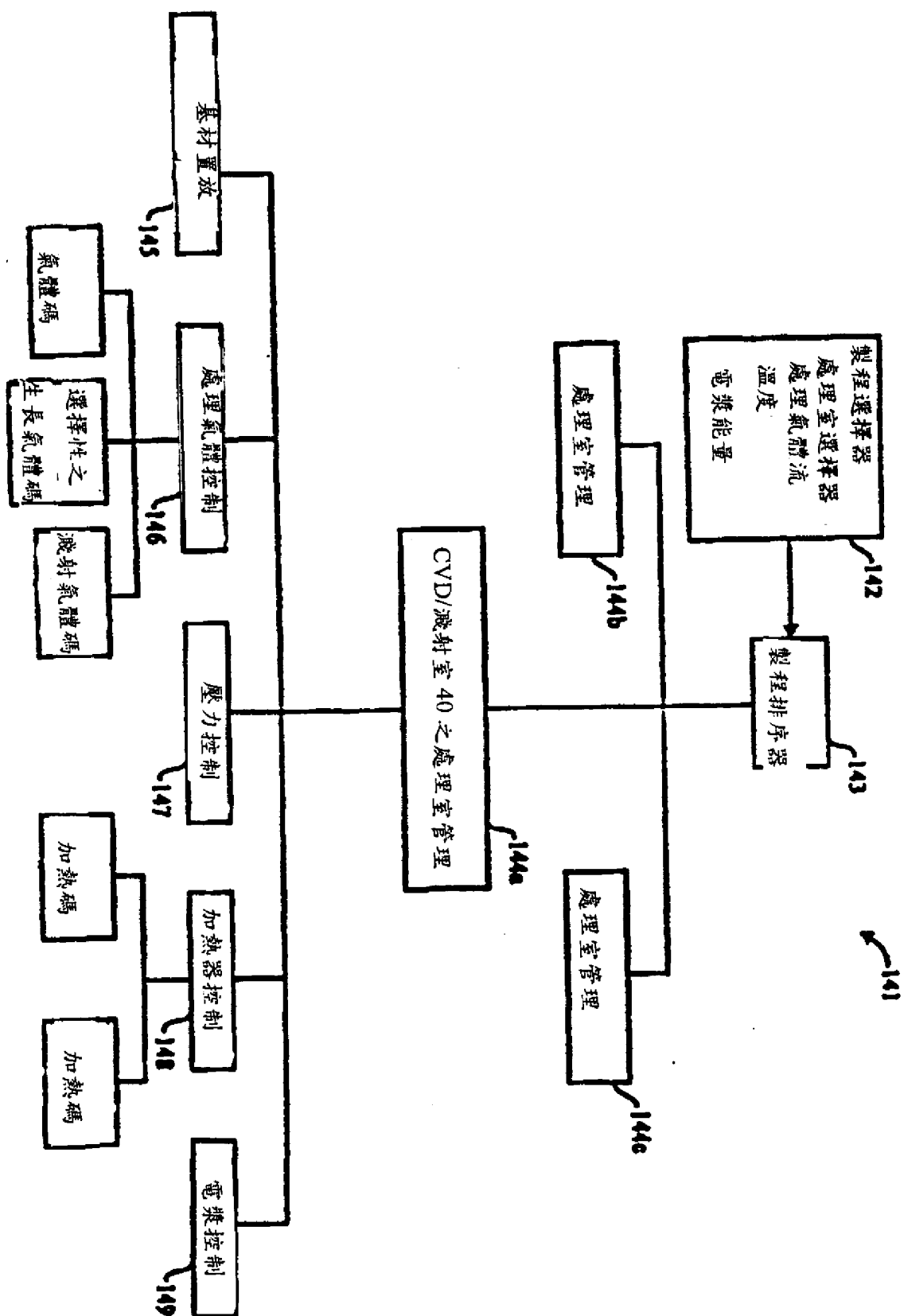




第 15 圖



第 16 圖



第 17 圖

六、申請專利範圍

1. 一種填充一穿過在一積體電路中的一介電層之孔的方法，該方法至少包含：
 - a) 在該孔內沉積一大致保角的第一阻障層；
 - b) 去除形成於該孔之底部上之該第一阻障層；
 - c) 在一高密度電漿的條件之下濺射沉積第二阻障層；及
 - d) 在該孔中沉積一金屬層。
2. 如申請專利範圍第1項所述之方法，其中該第一阻障層是使用化學氣相沉積技術來沉積的。
3. 如申請專利範圍第2項所述之方法，其中該阻障層是由 Si_xN_y 組成。
4. 如申請專利範圍第3項所述之方法，其中形成於該孔之底部上之該第一阻障層的一部分是使用蝕刻技術來去除的。
5. 如申請專利範圍第4項所述之方法，其中沉積於該孔中之金屬層為銅。
6. 如申請專利範圍第5項所述之方法，其中該金屬層是使用化學氣相沉積技術來沉積的。

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

六、申請專利範圍

7.如申請專利範圍第5項所述之方法，其中該金屬層是使用物理氣相沉積技術來沉積的。

8.如申請專利範圍第1項所述之方法，其中該第一阻障層包含 Si_xN_y 。

9.如申請專利範圍第8項所述之方法，其中該第二阻障層包含了一由包含 Ta, TaN, TiSiN, TaSiN 及其組合物的組群中所選取的材料。

10.如申請專利範圍第9項所述之方法，其中濺射沉積於該孔內之金屬層為銅。

11.如申請專利範圍第10項所述之方法，其中該第二阻障層是在一高密度電漿的條件下被濺射沉積的。

12.如申請專利範圍第11項所述之方法，其中該金屬是在一高密度電漿的條件下被濺射沉積的。

13.如申請專利範圍第12項所述之方法，其中該金屬被加熱至介於室溫與 500°C 之間的溫度，然後受到一加壓的環境。

14.如申請專利範圍第13項所述之方法，其中該加壓的環

(請先閱讀背面之注意事項再填寫本頁)

訂

煩請委員指示
修正本有無變更實質內容是否准予修正。
89年4月7日所提之